



(21) 申請案號：105116168 (22) 申請日：中華民國 105 (2016) 年 05 月 24 日  
 (51) Int. Cl. : *H01L21/768 (2006.01)* *H01L21/8242(2006.01)*  
 (30) 優先權：2016/01/15 美國 14/996,240  
 (71) 申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)  
 美國  
 (72) 發明人：楊勝威 YANG, SHENG-WEI (TW)；吳鐵將 WU, TIEH-CHIANG (TW)；王文傑  
 WANG, WEN-CHIEH (TW)  
 (74) 代理人：陳長文  
 申請實體審查：有 申請專利範圍項數：10 項 圖式數：10 共 26 頁

## (54) 名稱

形成記憶胞接觸結構的方法

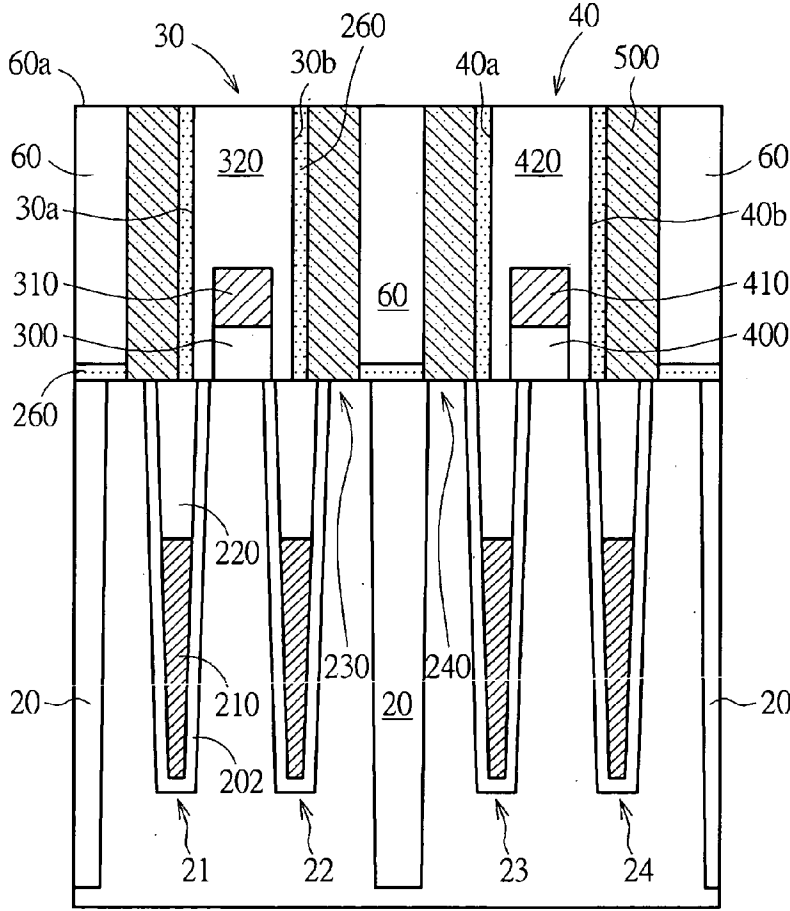
METHOD FOR FORMING CELL CONTACT

## (57) 摘要

本發明披露一種形成記憶胞接觸結構的方法。先提供具有第一凸起結構及第二凸起結構的基底，於基底上沉積一蝕刻停止層，再於蝕刻停止層上全面沉積一犧牲層，凹蝕犧牲層，再於犧牲層上表面上形成側壁子，再將未被側壁子覆蓋的犧牲層蝕除，形成一凹陷結構，再於凹陷結構內填入一填充材料層，去除填充材料層的上部及側壁子，以顯露出犧牲層的上表面，再去除犧牲層以形成接觸洞，然後進行貫通蝕刻製程，移除接觸洞底部蝕刻停止層，最後於接觸洞內填入導電材料層。

A method for forming a cell contact. A substrate having first and second protruding structures is prepared. An etch stop layer is deposited over the substrate. A sacrificial layer is deposited on the etch stop layer. The sacrificial layer is recessed. Spacers are formed on the top surface of the sacrificial layer. A portion of the sacrificial layer not covered by the spacers is etched away, thereby forming a recess. A gap filling material layer is deposited into the recess. An upper portion of the gap filling material layer and the spacers are removed to expose the top surface of the sacrificial layer. The sacrificial layer is removed to form contact holes. A punch etching process is performed to remove the etch stop layer from bottoms of the contact holes. The contact holes is filled up with a conductive material layer.

指定代表圖：



第10圖

符號簡單說明：

- 30 . . . 向上凸起結構
- 40 . . . 向上凸起結構
- 300 . . . 矽基下部
- 310 . . . 金屬部
- 320 . . . 氮化矽層
- 30a . . . 側壁表面
- 30b . . . 側壁表面
- 400 . . . 矽基下部
- 410 . . . 金屬部
- 420 . . . 氮化矽層
- 40a . . . 側壁表面
- 40b . . . 側壁表面
- 20 . . . 淺溝渠隔離結構
- 21 . . . 溝渠閘極結構
- 22 . . . 溝渠閘極結構
- 23 . . . 溝渠閘極結構
- 24 . . . 溝渠閘極結構
- 202 . . . 閘極介電層
- 210 . . . 導電層
- 220 . . . 帽蓋層
- 230 . . . 記憶胞接觸區
- 240 . . . 記憶胞接觸區
- 260 . . . 蝕刻停止層
- 60 . . . 間隙填充材料層
- 60a . . . 頂表面
- 500 . . . 記憶胞接觸結構



201725657

## 【發明摘要】

申請日: 105.5.20

IPC分類: H01L 21/768 (2006.1)  
H01L 21/8242 (2006.1)

【中文發明名稱】 形成記憶胞接觸結構的方法

【英文發明名稱】 METHOD FOR FORMING CELL CONTACT

## 【中文】

本發明披露一種形成記憶胞接觸結構的方法。先提供具有第一凸起結構及第二凸起結構的基底，於基底上沉積一蝕刻停止層，再於蝕刻停止層上全面沉積一犧牲層，凹蝕犧牲層，再於犧牲層上表面上形成側壁子，再將未被側壁子覆蓋的犧牲層蝕除，形成一凹陷結構，再於凹陷結構內填入一填充材料層，去除填充材料層的上部及側壁子，以顯露出犧牲層的上表面，再去除犧牲層以形成接觸洞，然後進行貫通蝕刻製程，移除接觸洞底部蝕刻停止層，最後於接觸洞內填入導電材料層。

## 【英文】

A method for forming a cell contact. A substrate having first and second protruding structures is prepared. An etch stop layer is deposited over the substrate. A sacrificial layer is deposited on the etch stop layer. The sacrificial layer is recessed. Spacers are formed on the top surface of the sacrificial layer. A portion of the sacrificial layer not covered by the spacers is etched away, thereby forming a recess. A gap filling material layer is deposited into the recess. An upper portion of the gap filling material layer and the spacers are removed to expose the top surface of the sacrificial layer. The sacrificial layer is removed to form contact holes. A punch etching process is performed to remove the etch stop layer from bottoms of the contact holes. The contact holes is filled up with a conductive material layer.

【指定代表圖】第（ 10 ）圖。

【代表圖之符號簡單說明】

- 30 向上凸起結構
- 40 向上凸起結構
- 300 矽基下部
- 310 金屬部
- 320 氮化矽層
- 30a 側壁表面
- 30b 側壁表面
- 400 矽基下部
- 410 金屬部
- 420 氮化矽層
- 40a 側壁表面
- 40b 側壁表面
- 20 淺溝渠隔離結構
- 21 溝渠閘極結構
- 22 溝渠閘極結構
- 23 溝渠閘極結構
- 24 溝渠閘極結構
- 202 閘極介電層
- 210 導電層
- 220 帽蓋層
- 230 記憶體接觸區
- 240 記憶體接觸區

第 2 頁，共 3 頁(發明摘要)

260 蝕刻停止層

60 間隙填充材料層

60a 頂表面

500 記憶胞接觸結構

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】 形成記憶胞接觸結構的方法

【英文發明名稱】 METHOD FOR FORMING CELL CONTACT

### 【技術領域】

【0001】 本發明係有關於半導體裝置及其製造方法的技術領域，更特定言之，本發明係有關於一種動態隨機存取記憶體(DRAM)裝置的記憶胞接觸結構的製作方法。

### 【先前技術】

【0002】 如本領域所已知的，DRAM是一種隨機存取記憶體，其將位元資料儲存在積體電路內的各個獨立的電容器中。DRAM包含由複數個電荷存儲記憶胞所構成的矩形陣列，而各個電荷存儲記憶胞通常由一電容器與電晶體組成。

【0003】 通常，DRAM記憶胞的各個電晶體包括一閘極、位於半導體基底中的汲極區，以及在空間上與汲極區分開的源極區。所述閘極通常電連接到一字元線。所述源極區通常電連接到一數位線。所述汲極區通常經由記憶胞接觸結構電連接到一電容器。

【0004】 隨著行動裝置尺寸的微縮，促使DRAM記憶胞的設計朝更大的密度和更小特徵尺寸及單元面積發展，這使得記憶胞接觸結構的尺寸急劇縮小，導致接觸電阻的增加及製程餘裕的不足。在記憶胞接觸結構的蝕刻過程中造成的主動區(active area, AA)傷害已成為所述技術領域中亟待解決的問題。

【0005】 因此，本領域仍然需要一種改良的方法，用於製造DRAM裝置的記憶胞接觸結構，不會增加製程的複雜性，並且能夠避免上述先前技術的問題。

### 【發明內容】

【0006】 本發明一主要目的在提供一種改良的方法，用於形成DRAM裝置的切開式記憶胞接觸結構 (split cell contact)，並有效解決上述先前技術的不足與缺點。

【0007】 本發明一方面，提出一種形成記憶胞接觸結構的方法。首先提供一基底，在基底的一主表面上設有一第一凸起結構及一第二凸起結構，其中主表面包含一第一記憶胞接觸區，緊鄰第一凸起結構，及一第二記憶胞接觸區，緊鄰第二凸起結構。之後，於基底上沉積一順形的蝕刻停止層，其中蝕刻停止層順形的覆蓋第一凸起結構及第二凸起結構，且覆蓋第一記憶胞接觸區及第二記憶胞接觸區。然後，於蝕刻停止層上全面沉積一犧牲層，其中犧牲層填滿第一凸起結構與第二凸起結構的一間隙。接著凹蝕犧牲層，使第一凸起結構與第二凸起結構的上端部凸出於犧牲層的一上表面。

【0008】 接著，繼續於第一凸起結構與第二凸起結構的上端部的側壁上及犧牲層的上表面上，形成側壁子，再以側壁子作為一蝕刻硬遮罩，自動對準將未被側壁子覆蓋的犧牲層蝕除，如此形成一凹陷結構。之後，於凹陷結構內填入一填充材料層，並進行一第一平坦化製程，去除填充材料層的一上部、側壁子，及第一凸起結構與第二凸起結構的上端部，直到犧牲層的一上表面顯露出來。再去除犧牲層，在原本犧牲層所在處形成接觸洞，然後進行一貫通蝕刻製程，移除接觸洞底部蝕刻停止層，以顯露出第一記憶胞接觸區及第二記憶胞接觸

區。最後，於接觸洞內填入一導電材料層。

【0009】 為讓本發明之上述目的、特徵及優點能更明顯易懂，下文特舉較佳實施方式，並配合所附圖式，作詳細說明如下。然而如下之較佳實施方式與圖式僅供參考與說明用，並非用來對本發明加以限制者。

### 【圖式簡單說明】

#### 【0010】

經由詳細描述示例性實施例及其參考附圖，本發明上述和其他方面以及特徵將變得顯而易見，其中：

第1圖至第10圖為示意性剖面圖，說明根據本發明一實施例的示例性方法，其係用於製造DRAM裝置的記憶胞接觸結構。

須注意的是所有圖式均為示意圖，以說明和製圖方便為目的，相對尺寸及比例都經過調整。相同的符號在不同的實施例中代表相對應或類似的特徵。

### 【實施方式】

【0011】 於下文中，給予許多具體細節以透徹理解本發明。然而，在沒有這些具體細節的情況下，本發明對於本技術領域中具有通常技術者將是顯而易見的，仍可據以施行。此外，一些公知的系統配置和處理步驟在本文中並沒有詳細討論，因為這些應是本領域技術人員所熟知。

【0012】 同樣地，圖示說明裝置的實施例係半示意圖且非按比例繪製，某些

第 3 頁，共 10 頁(發明說明書)

尺寸被誇大是為了在圖中能清楚地呈現。另外，當多個實施例被揭示及描述為具有一些通用的特徵時，相同或類似的特徵通常以相同的符號描述，便於說明和描述他們。

【0013】 關於電晶體和積體電路的製造，術語“主表面”通常指的是有多個電晶體製造於其上或其中的半導體層的表面。本文所使用的術語“垂直”是指相對正交於所述主表面的方向。一般而言，主表面可以是沿著單晶矽層的<100>結晶面，其中場效應電晶體裝置通常被製造於此結晶面上。

【0014】 第1圖至第10圖為示意性剖面圖，說明根據本發明一實施例的示例性方法，其係用於製造DRAM裝置的記憶胞接觸結構。如第1圖所示，首先，提供一半導體基底10，諸如矽基底。應理解的是，半導體基底10可以由本領域中已知的任何合適的半導體材料或晶圓組成。半導體基底10具有一主表面10a，在其上形成有兩個向上凸起結構30及40。

【0015】 根據本發明一實施例，圖中兩個向上凸起結構30及40凸出於主表面10a且彼此靠近。當從上往下看時，向上凸起結構30及40可沿第一方向延伸，並且彼此平行排列。例如，當從上往下看時，向上凸起結構30和40可具有一個波浪形的圖案，但不限於此。應該理解的是，記憶體陣列中可以有多條向上凸起結構，但為簡化說明，在圖示中僅例示出兩個向上凸起結構。

【0016】 根據本發明一實施例，向上凸起結構30可包含一矽基下部300、直接設於矽基下部300上的一金屬部310，及一氮化矽層320，其堆疊在金屬部310上且至少覆蓋金屬部310的側壁。在氮化矽層320上直接堆疊有一矽氧層330。此外，

第4頁，共10頁(發明說明書)

可選擇另提供一氮化矽襯層（未明確示出）以覆蓋矽氧層330及氮化矽層320的側壁。向上凸起結構30具有兩個相對的側壁表面30a和30b。

【0017】 根據本發明一實施例，向上凸起結構40可包含一矽基下部400、直接位於矽基下部400上的一金屬部410，及一氮化矽層420，其堆疊在金屬部410上且至少覆蓋金屬部410的側壁。在氮化矽層420上直接堆疊有一矽氧層430。此外，可選擇提供一氮化矽襯墊（未明確示出）以覆蓋矽氧層430及氮化矽層420的側壁。向上凸起結構40具有兩個相對的側壁表面40a和40b。

【0018】 應理解的是，向上凸起結構30和40僅供說明參考用。根據本發明一實施例，直接位於矽基下部300上的金屬部310與直接位於矽基下部400上的金屬部410可以作為DRAM裝置的數位線，但不限於此。

【0019】 當從上往下看時，矽氧層330和矽氧層430可沿第二方向延伸且彼此平行排列。根據本發明一實施例，第一方向垂直於第二方向，但不限於此。根據本發明一實施例，矽氧層330和430可以透過使用旋塗介電質(spin-on-dielectric, SOD)材料來形成，但不限於此。矽氧層330和430是圖案化層，且皆可具有線狀圖案。

【0020】 根據本發明一實施例，淺溝渠隔離(shallow trench isolation, STI)結構20及複數個溝渠閘極結構21、22、23及24可設置在半導體基底10的主表面10a下。各個溝渠閘極結構21、22、23及24可包括含一閘極介電層202、一導電層210及一帽蓋層220。根據本發明一實施例，溝渠閘極結構21、22、23及24可沿第二方向延伸，但不限於此。

【0021】 根據本發明一實施例，一記憶胞接觸區230被設置鄰近於溝渠閘極結構22及一記憶胞接觸區240被設置鄰近於溝渠閘極結構23。應理解的是，STI結構20及溝渠閘極結構21、22、23及24的排列僅供例示說明。

【0022】 如第2圖所示，根據本發明一實施例，進行化學氣相沉積(chemical vapor deposition, CVD)製程或任何合適的沉積方法，以在半導體基底10上沉積一順形的蝕刻停止層260。蝕刻停止層260共形地覆蓋兩個向上凸起結構30和40、矽氧層330和430，以及主表面10a，包括STI結構20和記憶胞接觸區230和240。根據本發明一實施例，蝕刻停止層260可包含氮化矽，但不限於此。

【0023】 如第3圖所示，根據本發明一實施例，犧牲層50全面沉積在蝕刻停止層260上。犧牲層50填滿了向上凸起結構30和40之間的間隙或空間。根據本發明一實施例，犧牲層50可以包含多晶矽，但不限於此。隨後，犧牲層50被凹蝕或回蝕。例如，在犧牲層50回蝕之後，犧牲層50的頂表面50a可以低於矽氧層330和430的底表面或與其齊平，此時，矽氧層330和430凸出於犧牲層50的頂表面50a。

【0024】 如第4圖所示，根據本發明一實施例，之後，進行另一CVD製程或沉積製程，以沉積一順形的側壁子層，例如一氮化矽層，形成在犧牲層50的頂表面50a上及凸出的矽氧層330和430上。側壁子層的厚度，可根據後續階段所欲形成的記憶胞接觸結構的目標厚度來控制。隨後，進行一非等向性乾蝕刻製程，蝕刻側壁子層，直到犧牲層50的頂表面50a顯露出來，從而在矽氧層330和430的兩個相對側壁上形成側壁子52a。

【0025】 如第5圖所示，根據本發明一實施例，進行另一乾蝕刻過程，利用側壁子52a作為一蝕刻硬遮罩，自動對準將未被側壁子52a覆蓋的犧牲層50蝕除。上述乾蝕刻製程選擇性的蝕刻至下面的蝕刻停止層260即停止，以避免損壞包括記憶胞接觸區230和240在內的主動區。將犧牲層50分離之後，在犧牲層50中形成一個凹陷結構54，並在凹陷結構54的底部暴露出蝕刻停止層260的一頂表面。

【0026】 如第6圖所示，之後，於凹陷結構54內填入一間隙填充材料層60。根據本發明一實施例，間隙填充材料層60可包含氮化矽，但不限於此。間隙填充材料層60填滿所述凹陷結構54且覆蓋側壁子52a。

【0027】 如第7圖所示，根據本發明一實施例，進行一平坦化製程，包括拋光或蝕刻製程，但不限於此，以去除間隙填充材料層60的一上部、側壁子52a，及矽氧層330和430，直到犧牲層50頂表面50a顯露出來。此時，犧牲層50的頂表面50a可與氮化矽層320和420的頂表面及間隙填充材料層60的頂表面60a齊平。

【0028】 如第8圖所示，根據本發明一實施例，進行一蝕刻製程，例如乾蝕刻製程，以完全移除犧牲層50，從而在原本犧牲層50所在處形成接觸洞64。此時，接觸洞64顯露出蝕刻停止層260的側壁及間隙填充材料層60的側壁，而接觸洞64的底部顯露出蝕刻停止層260的頂表面。

【0029】 如第9圖所示，根據本發明一實施例，然後進行一貫通蝕刻製程，從接觸洞64的底部去除蝕刻停止層260，從而顯露出記憶胞接觸區230和240。根據本發明一實施例，貫通蝕刻製程可為非等向性蝕刻製程，但不限於此。根據本發明一實施例，接觸洞64是由兩個階段的蝕刻方法形成。透過上述做法，包含

記憶體接觸區230和240在內的主動區就不會被損壞，並避免主動區侵蝕的問題。

【0030】 如第10圖所示，在顯露出記憶體接觸區230和240之後，於接觸洞64內填入至少一個導電材料層。根據本發明一實施例，導電材料層可以包含多晶矽、金屬(諸如鎢或氮化鈦)，或它們的組合。導電材料層填滿接觸洞64並且覆蓋氮化矽層320和420的頂表面，及間隙填充材料層60的頂表面60a。然後，進行一平坦化製程，包括拋光或蝕刻製程，但不限於此，以去除導電材料層的上部，直到顯露出間隙填充材料層60的頂表面60a，從而在接觸洞64中形成記憶體接觸結構500。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

#### 【符號說明】

#### 【0031】

- 10 半導體基底
- 10a 主表面
- 30 向上凸起結構
- 40 向上凸起結構
- 300 矽基下部
- 310 金屬部
- 320 氮化矽層
- 330 矽氧層
- 30a 側壁表面
- 30b 側壁表面

- 400 矽基下部
- 410 金屬部
- 420 氮化矽層
- 430 矽氧層
- 40a 側壁表面
- 40b 側壁表面
- 20 淺溝渠隔離結構
- 21 溝渠閘極結構
- 22 溝渠閘極結構
- 23 溝渠閘極結構
- 24 溝渠閘極結構
- 202 閘極介電層
- 210 導電層
- 220 帽蓋層
- 230 記憶胞接觸區
- 240 記憶胞接觸區
- 260 蝕刻停止層
- 50 犧牲層
- 50a 頂表面
- 52a 側壁子
- 54 凹陷結構
- 60 間隙填充材料層
- 60a 頂表面
- 64 接觸洞

500 記憶胞接觸結構

## 【發明申請專利範圍】

【第1項】 一種形成記憶胞接觸結構的方法，包含：

提供一基底，在該基底的一主表面上設有一第一凸起結構及一第二凸起結構，其中該主表面包含一第一記憶胞接觸區緊鄰該第一凸起結構及一第二記憶胞接觸區緊鄰該第二凸起結構；

於該基底上沉積一順形的蝕刻停止層，其中該蝕刻停止層順形的覆蓋該第一凸起結構及該第二凸起結構，且覆蓋該第一記憶胞接觸區及該第二記憶胞接觸區；

於該蝕刻停止層上全面沉積一犧牲層，其中該犧牲層填滿該第一凸起結構與該第二凸起結構的一間隙；

凹蝕該犧牲層，使該第一凸起結構與該第二凸起結構的上端部凸出於該犧牲層的一上表面；

於該第一凸起結構與該第二凸起結構的上端部的側壁上及該犧牲層的該上表面上，形成側壁子；

以該側壁子作為一蝕刻硬遮罩，自動對準將未被該側壁子覆蓋的該犧牲層蝕除，如此形成一凹陷結構；

於該凹陷結構內填入一填充材料層；

進行一第一平坦化製程，去除該填充材料層的一上部、該側壁子，及該第一凸起結構與該第二凸起結構的該上端部，直到該犧牲層的一上表面顯露出來；

去除該犧牲層，在原本該犧牲層所在處形成接觸洞；

進行一貫通蝕刻製程，移除該接觸洞底部該蝕刻停止層，以顯露出該第一記憶胞接觸區及該第二記憶胞接觸區；及

於該接觸洞內填入一導電材料層。

【第2項】 如申請專利範圍第1項所述的形成記憶胞接觸結構的方法，其中於該第一記憶胞接觸區及該第二記憶胞接觸區之間的該基底內，形成有一溝渠絕緣結構。

【第3項】 如申請專利範圍第1項所述的形成記憶胞接觸結構的方法，其中該蝕刻停止層包含氮化矽。

【第4項】 如申請專利範圍第1項所述的形成記憶胞接觸結構的方法，其中該犧牲層包含多晶矽。

【第5項】 如申請專利範圍第1項所述的形成記憶胞接觸結構的方法，其中該側壁子係由氮化矽所構成。

【第6項】 如申請專利範圍第1項所述的形成記憶胞接觸結構的方法，其中該第一平坦化製程包含一研磨製程或一蝕刻製程。

【第7項】 如申請專利範圍第1項所述的形成記憶胞接觸結構的方法，其中該導電材料層包含多晶矽、金屬或其組合。

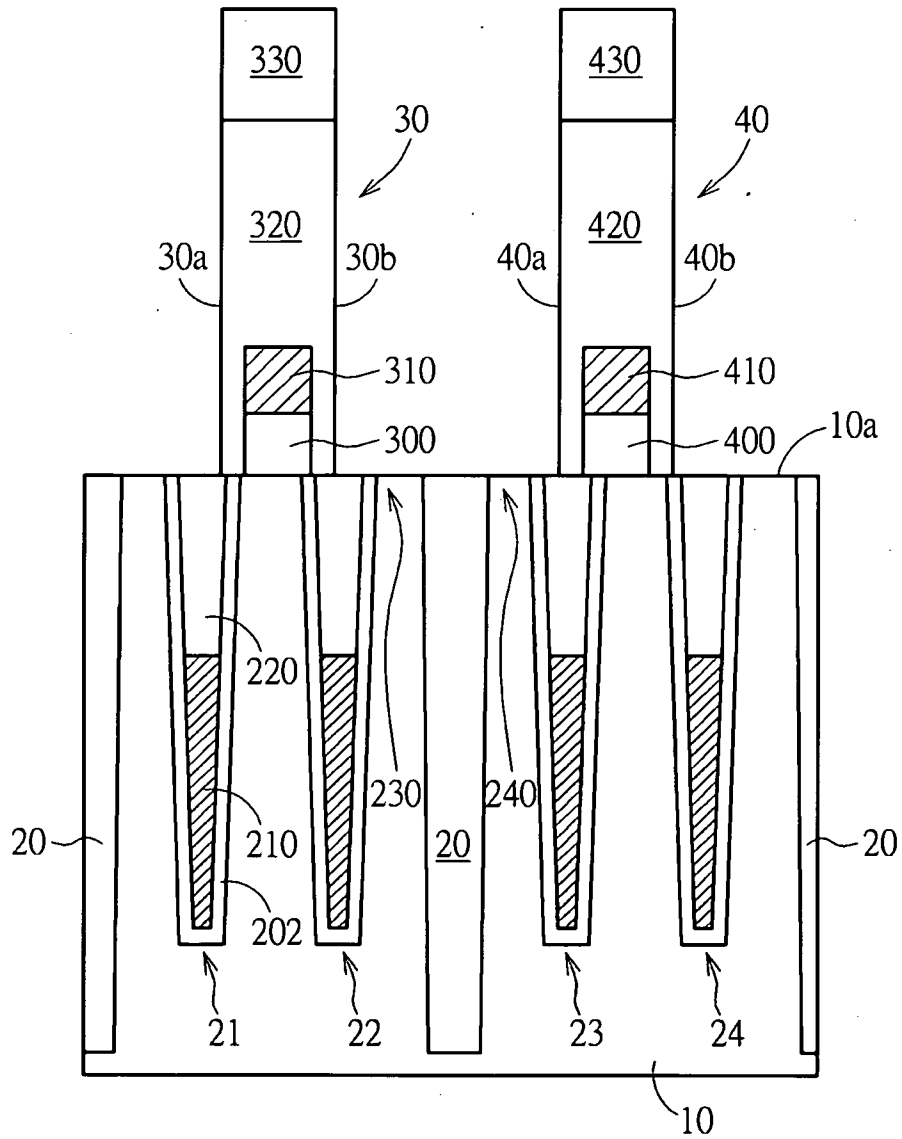
【第8項】 如申請專利範圍第1項所述的形成記憶胞接觸結構的方法，其中另包含：

進行一第二平坦化製程，以去除該導電材料層的一上部，直到該填充材料層的一上表面被顯露出來。

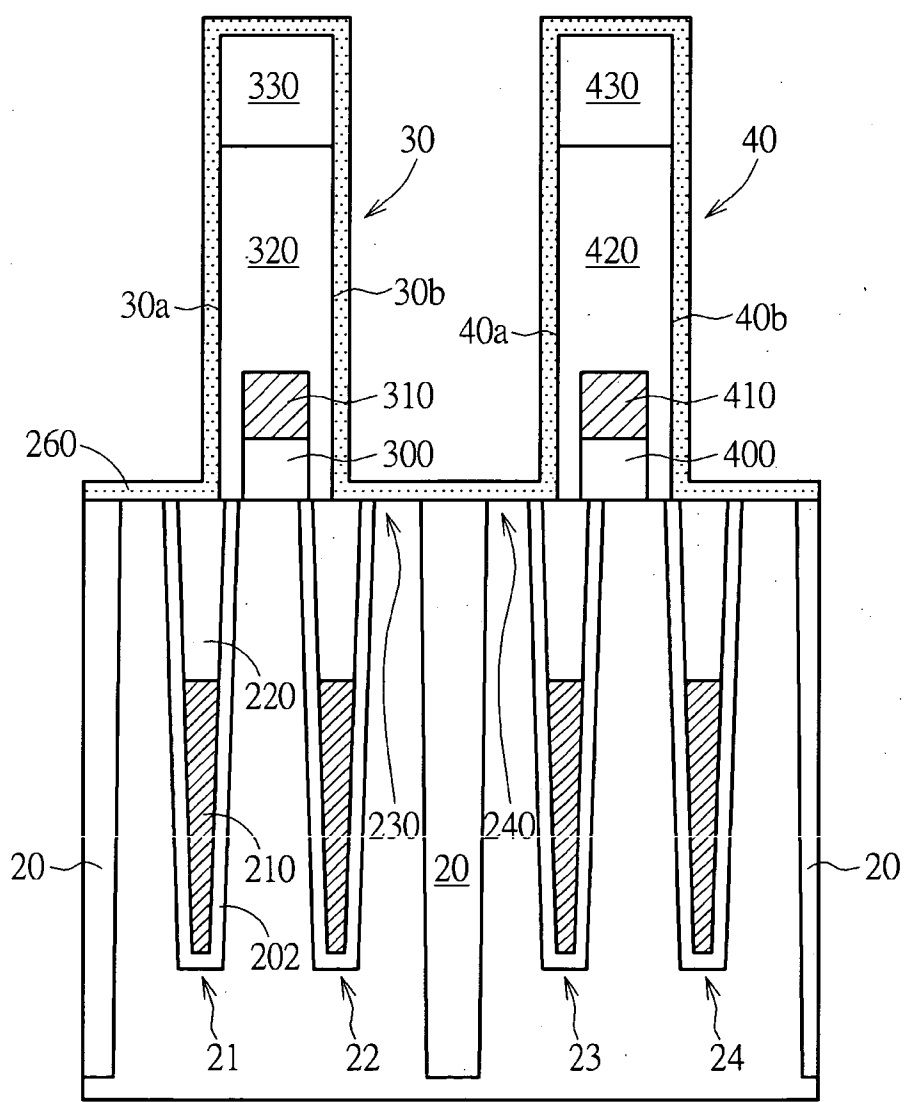
【第9項】 如申請專利範圍第1項所述的形成記憶胞接觸結構的方法，其中該第一凸起結構與該第二凸起結構的該上端部包含一矽氧層。

【第10項】 如申請專利範圍第1項所述的形成記憶胞接觸結構的方法，其中於該基底的該主表面下另形成有複數個溝渠式閘極結構。

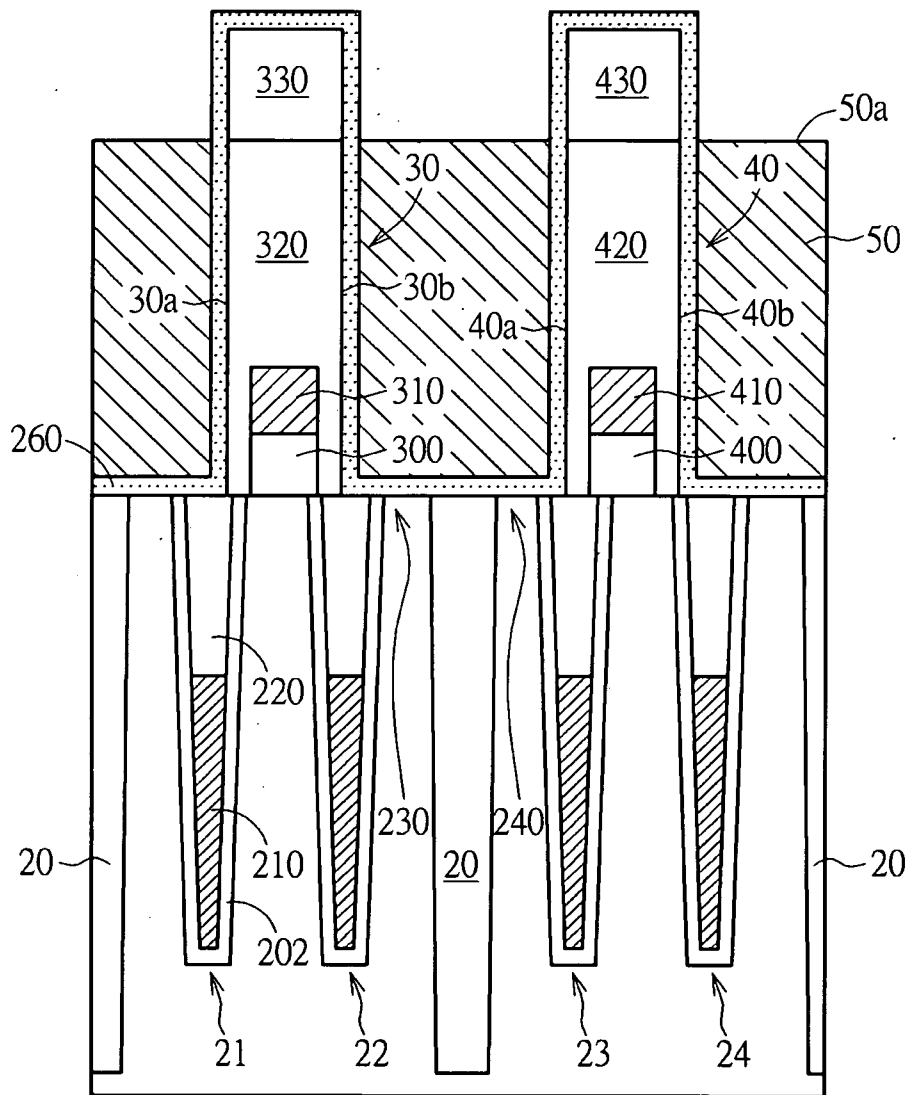
【發明圖式】



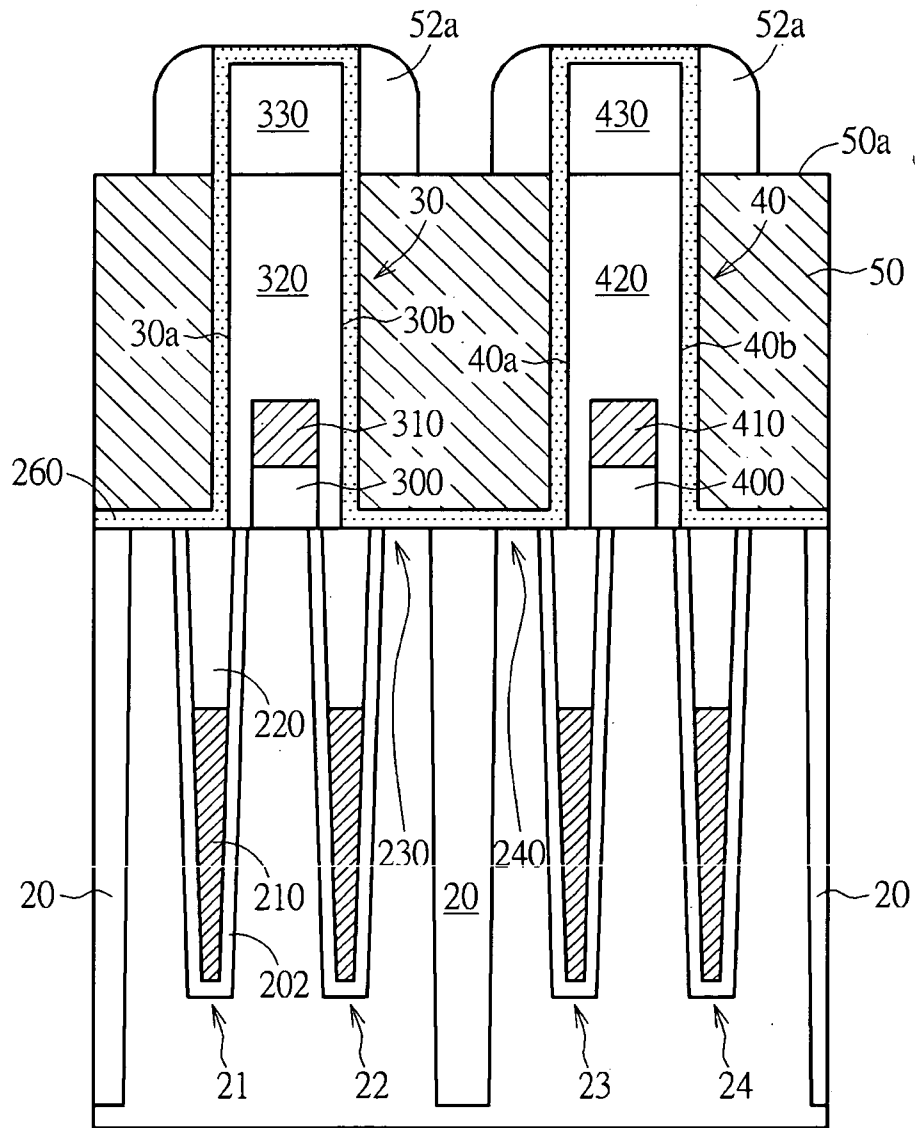
第1圖



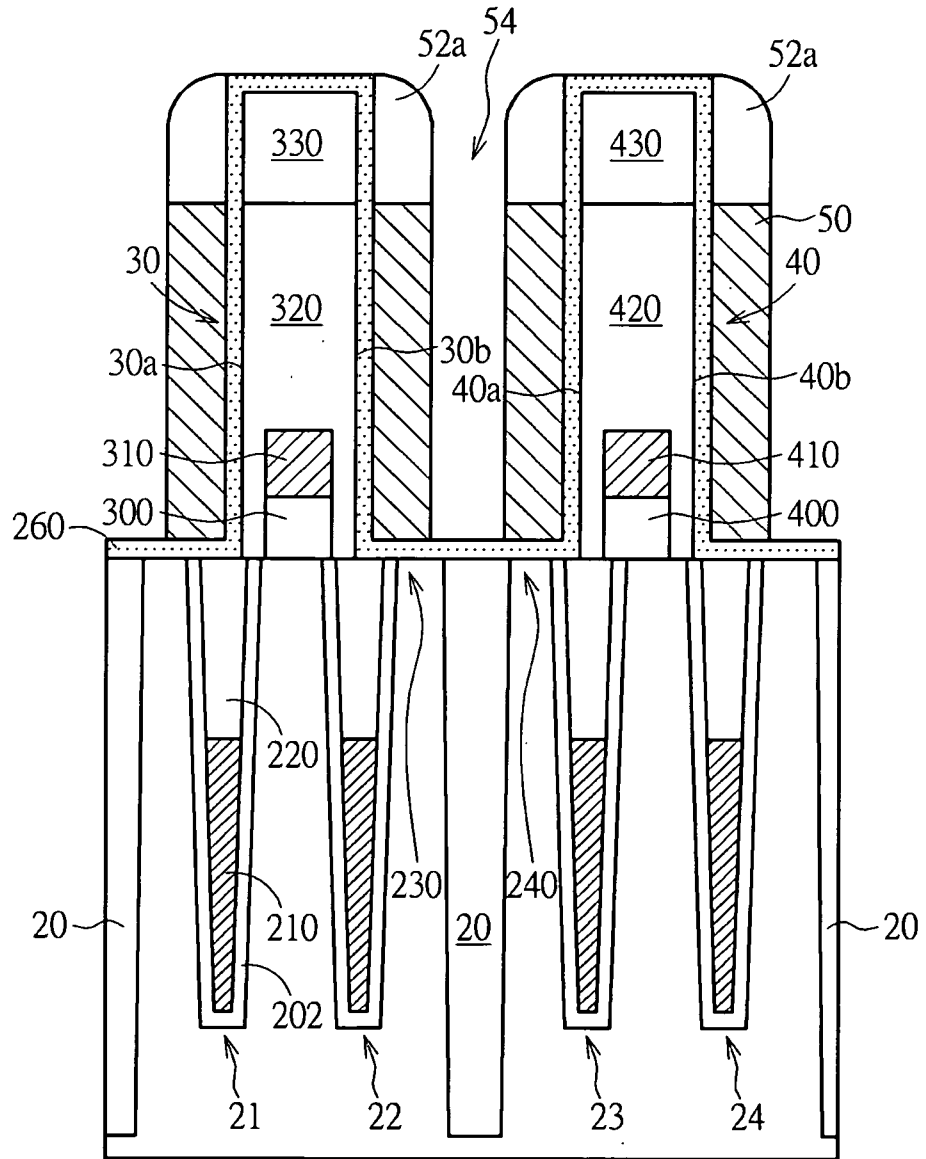
第2圖



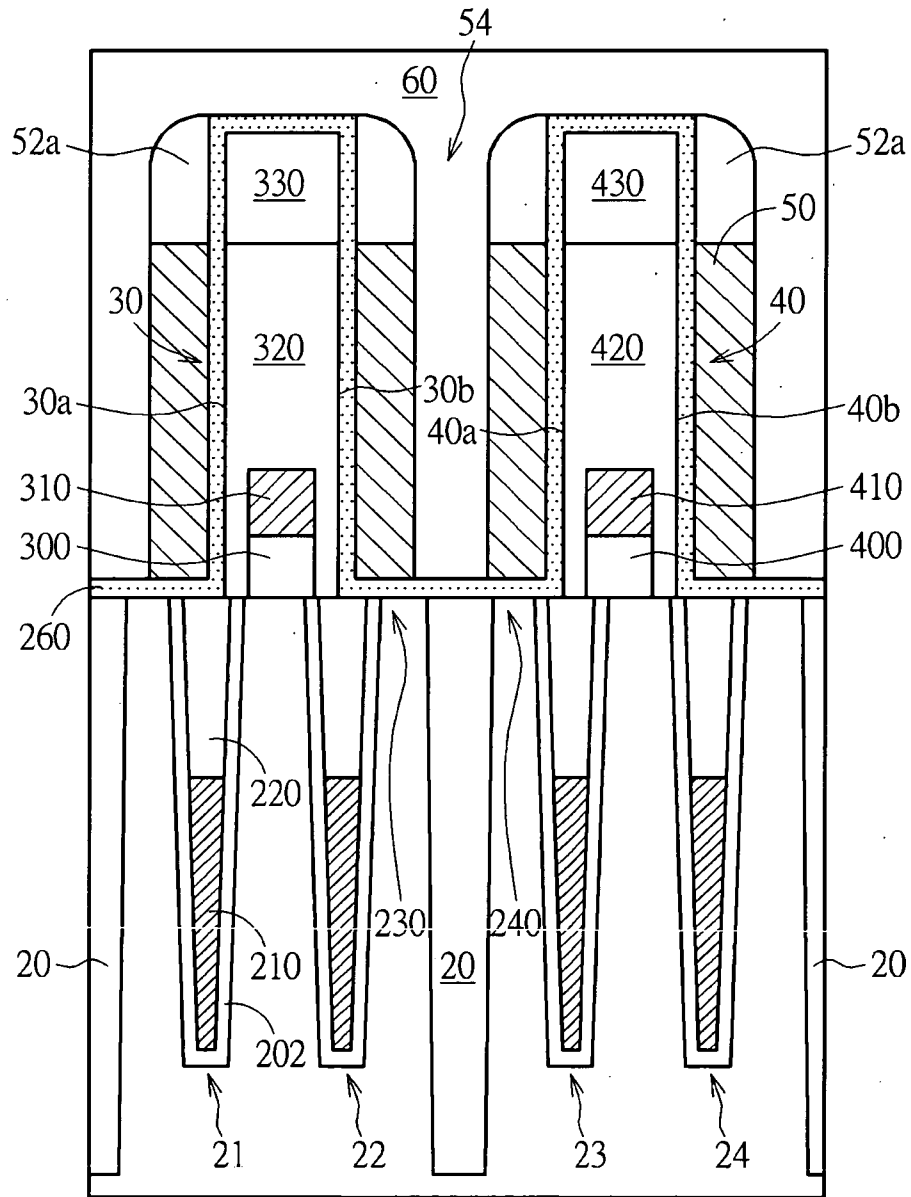
第3圖



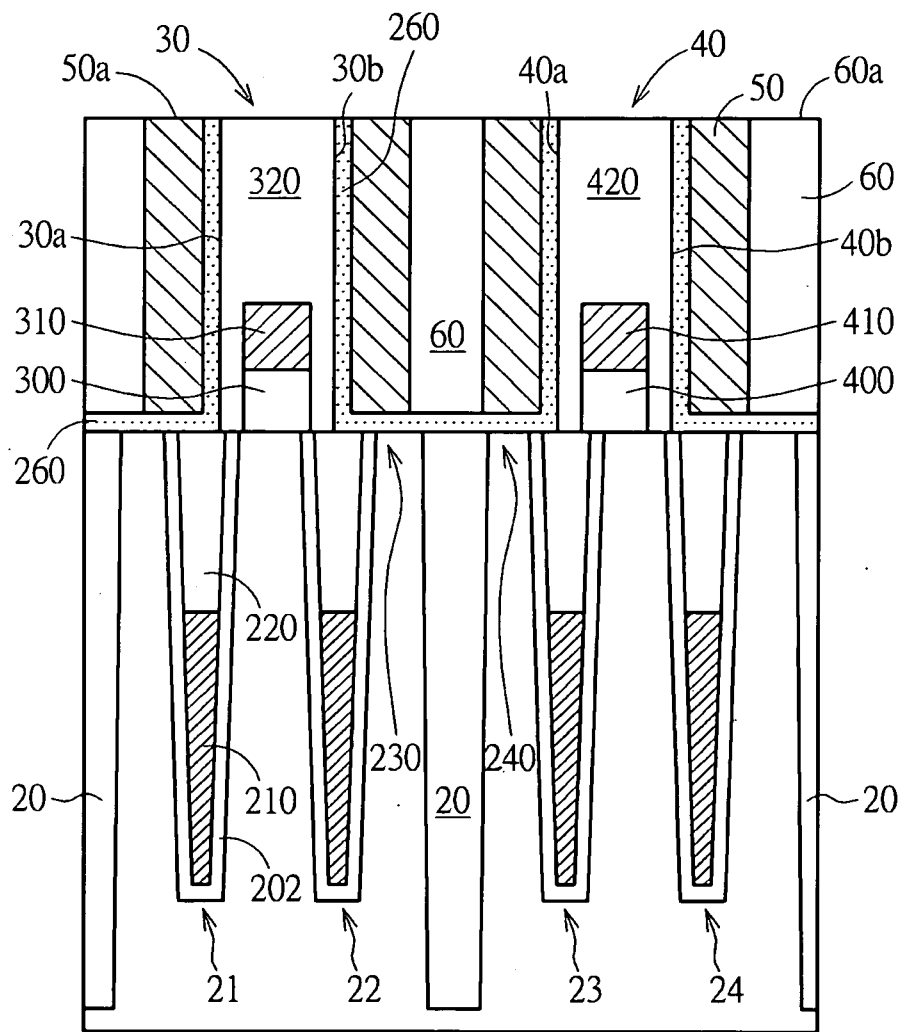
第4圖



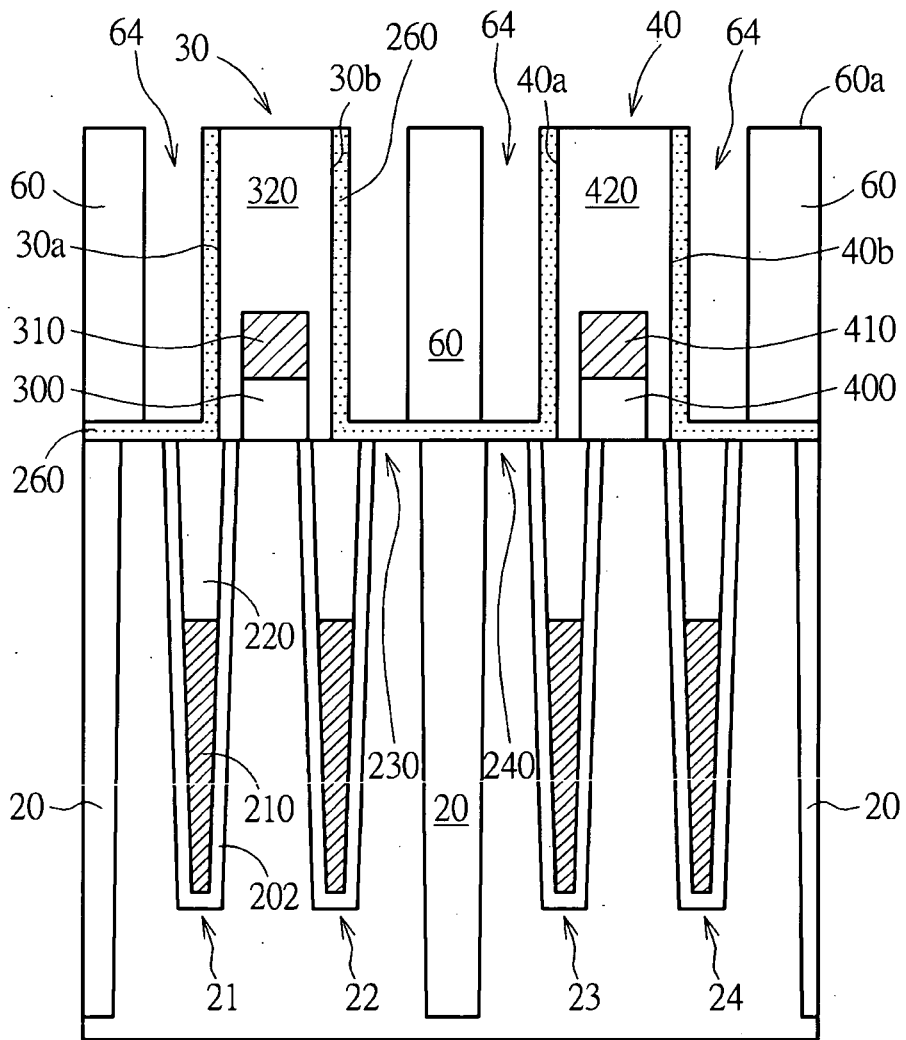
第5圖



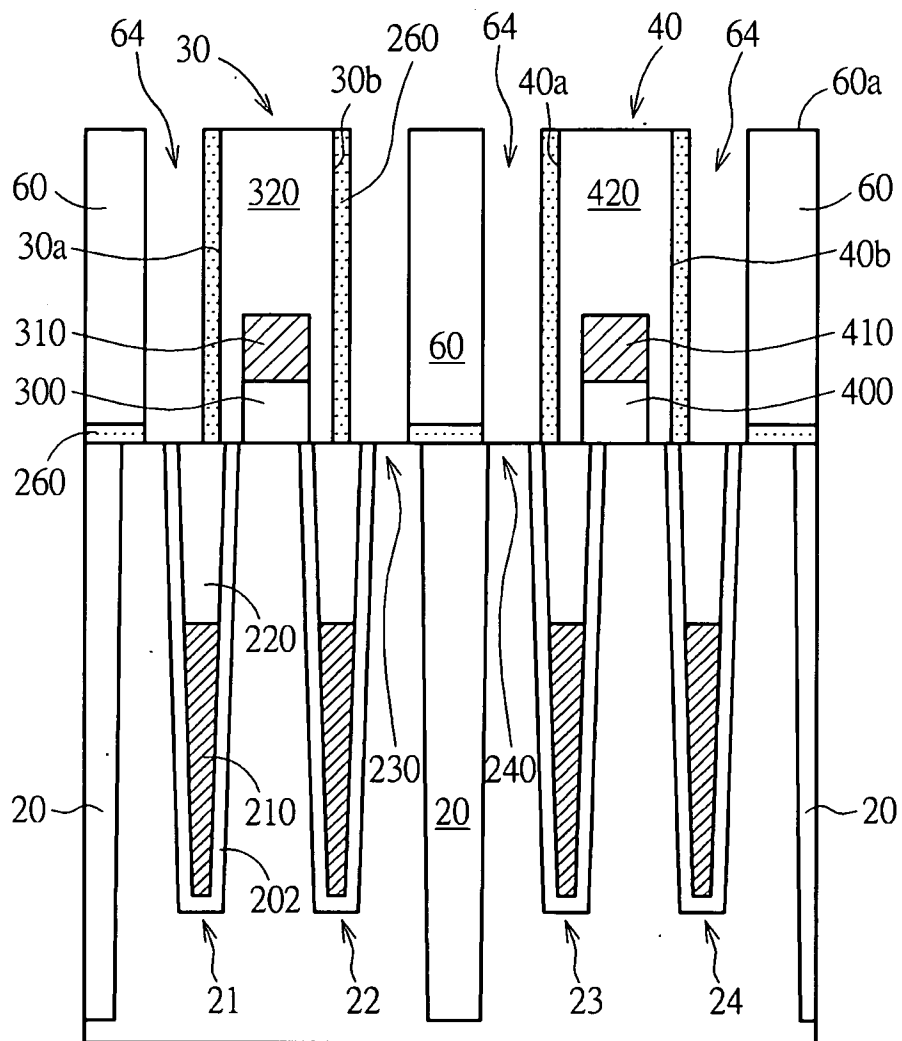
第6圖



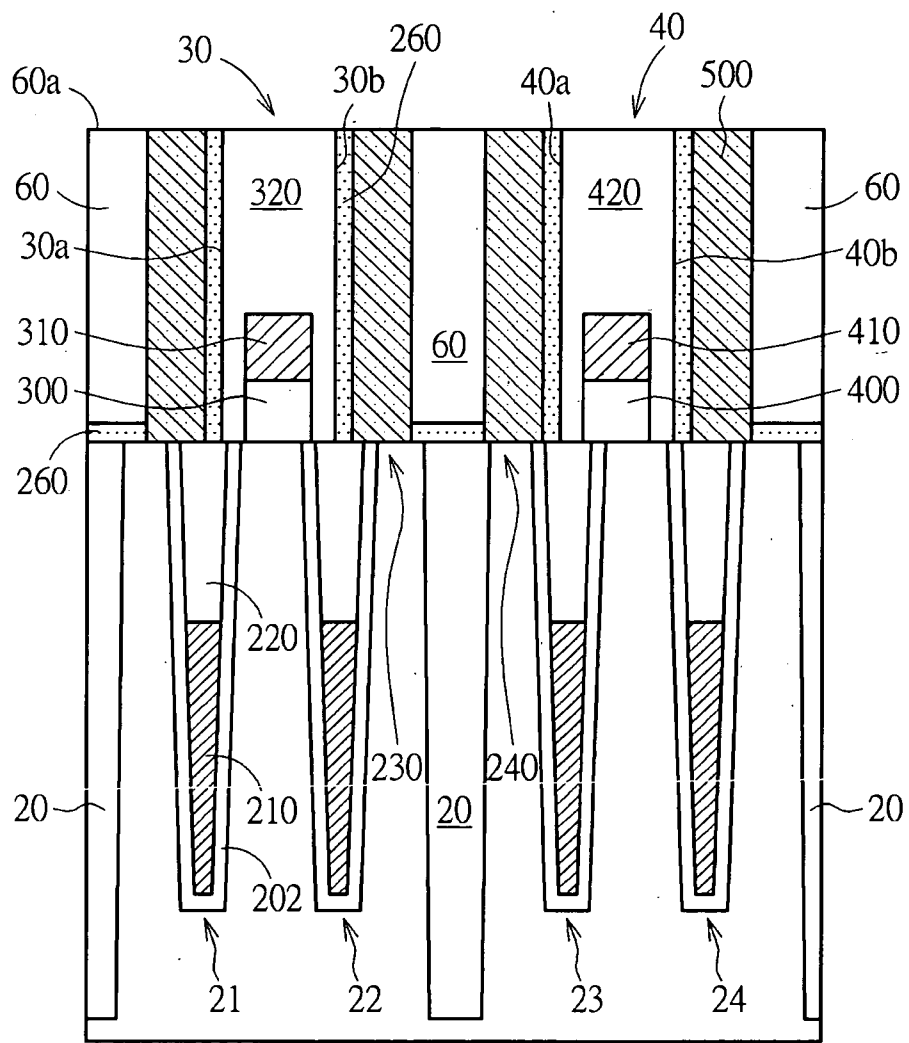
第7圖



第8圖



第9圖



第10圖