

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 2 区分  
 【発行日】平成 17 年 8 月 11 日 (2005.8.11)

【公開番号】特開 2003-110086 (P2003-110086A)  
 【公開日】平成 15 年 4 月 11 日 (2003.4.11)  
 【出願番号】特願 2001-375022 (P2001-375022)  
 【国際特許分類第 7 版】

H 0 1 L 25/065

G 1 1 C 16/02

H 0 1 L 25/07

H 0 1 L 25/18

【F I】

H 0 1 L 25/08 Z

G 1 1 C 17/00 6 0 1 U

【手続補正書】

【提出日】平成 17 年 1 月 25 日 (2005.1.25)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数の半導体集積回路チップが積層された積層型半導体装置であって、  
 前記各半導体集積回路チップは、  
 自己の識別情報が電氣的に書き込まれて保持される保持回路と、  
各半導体集積回路チップが積層された状態で自己の保持回路に自己の識別情報を設定する識別情報設定回路と、  
自己の保持回路に自己の識別情報を設定するために用いる少なくとも一つの設定端子と  
を備え、  
各半導体集積回路チップの前記少なくとも一つの設定端子は、他の半導体集積回路チップの対応する前記少なくとも一つの設定端子に接続されている  
 ことを特徴とする積層型半導体装置。

【請求項 2】

前記各半導体集積回路チップ内の回路構成は互いに実質的に同一である  
 ことを特徴とする請求項 1 に記載の積層型半導体装置。

【請求項 3】

前記各半導体集積回路チップはチップセレクトのための信号が入力される複数の端子を有し、各半導体集積回路チップの対応する前記複数の端子どうしは全て共通に接続されている  
 ことを特徴とする請求項 1 に記載の積層型半導体装置。

【請求項 4】

前記保持回路は、保持される情報を電氣的に書き換え可能な構造を有する  
 ことを特徴とする請求項 1 に記載の積層型半導体装置。

【請求項 5】

前記保持回路は、不揮発性メモリセルを含む  
 ことを特徴とする請求項 1 に記載の積層型半導体装置。

## 【請求項 6】

前記識別情報設定回路は、所定の動作に費やされる時間の各半導体集積回路チップ間での相違に基づいて自己の保持回路に自己の識別情報を設定することを特徴とする請求項 1に記載の積層型半導体装置。