

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
H01L 29/00

(45) 공고일자 1990년01월 19일
(11) 공고번호 특1990-0000063

(21) 출원번호	특1986-0004152	(65) 공개번호	특1986-0009493
(22) 출원일자	1986년05월27일	(43) 공개일자	1986년12월23일
(30) 우선권주장	60-115855 1985년05월28일	일본(JP)	
(71) 출원인	후지쓰 가부시끼가이샤 야마모도 다쿠마 일본국 가나가와켄 가와사끼시 나카하라구 가미고다나카 1015번지		

(72) 발명자 도오야마 가이
일본국 가나가와켄 가와사끼시 나카하라구 가미고다나카 1306번지
(74) 대리인 문병암

심사관 : 정용철 (책자공보 제1722호)

(54) 반도체 집적회로에 사용된 반도체 저항요소

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

반도체 집적회로에 사용된 반도체 저항요소

[도면의 간단한 설명]

제1도와 제2도는 각각 종래의 레벨 쉬프트(level shift)회로도.

제3도는 본 발명에 따른 반도체 저항요소를 사용한 레벨 쉬프트 회로도.

제4a, b도는 MESFET의 물리적 구조도.

제5a, b도는 제3도의 레벨쉬프트 회로의 물리적 구조도.

제6도는 MESFET의 드레인-소오스 전압 대 드레인 전류특성도.

제7도는 본 발명에 따른 저항요소의 다른 실시예.

제8도-제10도는 각각 본 발명에 따라 저항요소를 사용한 레벨쉬프트회로의 다른 실시예.

제11도와 제12도는 각각 PN접합 게이트 FET와 HEMT의 물리적 구조도.

제13도와 제14도는 본 발명에 따라 저항요소를 사용한 다른 응용 회로도이다.

[발명의 상세한 설명]

본 발명은 주로 쇼트키 게이트 FET(이후 MESFET라함) 또는 접합 게이트 FET(이후 JFET라함)를 가지는 반도체 집적회로에 사용된 반도체 저항요소에 관한 것이다.

많은 수의 MESFET 또는 JFET가 기판상에 형성되는 직접 회로장치에 있어서, 동일 기판상에 형성된 저항요소가 예를 들면 전류를 제한하거나 전압을 분할하기 위하여 외부회로에 혹은 그 FET들 사이에 연결하기 위하여 사용된다.

일반적으로 이 저항요소는 기판상에 형성된 불순물 영역에 의하여 구성된다.

즉, 저항요소가 기판상에 장치영역을 패턴화하고 다음에 불순물을 주입함으로써 형성된다.

저항요소와 저항치는 불순물의 밀도와 패턴화의 크기를 기초로하여 정하여 진다.

IC장치의 회로에 있어서 매우 정확한 저항치가 요구되지 않는다면 이 방법으로 충분하다.

그러나 매우 정확한 저항치가 요구된다면 높은 신뢰성을 가지는 집적회로를 얻을 수 없다.

즉, 기판상에 저항을 형성하기 위한 종래 방법에 있어서, 저항영역은 기판상에 패턴화 되어야 하고, 더욱이 이온 주입공정, 어닐링이 시행되어야 한다.

그러나 이 공정에 있어서, 공정제에 조건의 변화 또는 패턴화 크기의 오차 때문에 저항의 저항치가 넓게 변할 것이며, 따라서 종래 방법에 의하여 기판상에 형성된 저항은 높은 정확성을 요구하는 회로요소에 대하여 사용될 수 없다.

반도체 집적회로에 사용된 반도체 저항요소를 제공하는 것이 본 발명의 목적이며 저항치가 매우 정확하게 정하여 질 수 있다.

본 발명의 기본 양상에 따라서 쇼트키 게이트 FET 또는 접합 게이트 FET를 포함하는 반도체 집적회로에 사용하기 위한 반도체 저항요소가 제공되고, 저항요소가 상호연결된 드레인과 게이트를 가지는 FET에 의하여 구성되 있는 반도체 기판상에 각각 형성되고, 드레인-소오스 전압이 게이트와 드레인 전극사이에 형성된 다이오드의 순방향 상승전압이하로 제한되도록 그것의 드레인 전류가 제한된다.

본 발명의 다른 양상에 따라서 직접회로에 사용된 레벨 쉬프트 회로가 제공되며, 여기서 집적회로는 입력전압이 공급되는 게이트 전극을 가지는 첫 번째 FET, 정전류원으로써 작용하는 두 번째 FET, 상기 언급된 바와 같은 반도체 저항 요소를 포함하며, 여기에서 그 사이에 놓여진 첫 번째와 두 번째 FET와 반도체 저항요소는 전원 전압과 접지 사이에 직렬로 연결된다.

본 발명에 따른 반도체 저항요소의 실시예를 첨부도면을 참조하여 설명하겠다.

본 발명을 더 쉽게 이해하기 위하여 종래 방법에 의하여 만들어진 저항이 레벨 쉬프트 회로에 대하여 사용될 때 야기되는 문제를 이하 설명하겠다.

제1도는 전압 쉬프트 요소로서 저항 R을 사용한 레벨 쉬프트 회로의 회로도이다.

제1도에 있어서 Q_1 과 Q_2 는 각각 GaAs MESFET이며 여기에서 그것의 게이트 금속은 텅스텐 실리사이드 (WSi)이고, R은 전압 쉬프트요소로서 사용된 저항이며 종래 기술로 만들어졌고, 1은 입력단자, 2는 출력단자이다.

이 레벨 쉬프트 회로는 매우 정확한 저항을 요구하는 회로의 예이다.

제1도에 있어서, MESFET Q_1 과 Q_2 는 그들 사이의 저항 R와 함께 드레인 공급전압 V_{DD} 와 접지 사이에 직렬로 연결된다.

트랜지스터 Q_2 는 일반적으로 ON형 FET이다.

FET Q_2 의 드레인 전극과 소오스 전극은 폐회로화 되었으며 따라서 FET Q_2 의 드레인 전류 I_{DS} 가 정의된다.

드레인 전류 I_{DS} 에 의하여 발생된 저항 R을 지나는 전압 강하, 즉 $I_{DS} \times R$ 이 쉬프트전압 V_{SFT} 를 정한다.

그러나 이 레벨 쉬프트 회로에 있어서, 저항 R의 저항치는 상기 언급된 바와 같이 공정제어 조건의 변화 또는 패턴화 크기의 오차 때문에 광범위하게 변한다.

결과적으로 쉬프트 전압 V_{SFT} 가 광범위하게 변하고 요구된 정도내로 제한할 수 없다.

따라서 종래기술로 만들어진 저항 R은 정확성의 관점으로부터 레벨 쉬프트 회로에 대하여 사용할 수 없다.

레벨 쉬프트 요소로서 쇼트키 다이오드를 사용하므로써 제1도의 회로와 비교하여 더 큰 정확성을 가지는 쉬프트 전압을 얻는 것이 가능하다.

제2도는 제1도의 저항 R 대신 쇼트키 다이오드 D_1 을 사용한 레벨 쉬프트 회로를 나타내고 있다.

쇼트키 다이오드 D_1 은 FET 제조공정과 다른 제조 공정중 기판상에 형성될 수 있다.

그러나 MESFET의 경우에 있어서, 다이오드 D_1 이 MESFET의 접합과 게이트 전극사이의 접합에 대하여 처럼 동일 제조공정중에 형성될 수도 있다.

이 종류의 쇼트키 다이오드는 그것의 순방향 상승전압이 거의 일정하므로 정확한 쉬프트 전압을 얻는 것이 적합하다.

쇼트키 다이오드가 금속으로서 WSi를 사용하여 GaAs기판상에 형성될 때, 하나의 쇼트키 다이오드가 약 0.6V의 쉬프트 전압을 제공할 수 있다.

그러나 쇼트키 다이오드를 사용하는 방법이 사용된다면, 쉬프트전압의 높은 정확성에도 불구하고 쉬프트 전압을 임의로 선택할 수 없다.

즉, 단지 복수의 쇼트키 다이오드를 직렬로 연결함으로써 하나 이상의 다이오드의 배전압의 쉬프트 전압만을 사용할 수 있다.

본 발명의 언급된 실시예를 제3도-제6도를 참조하여 설명하겠다.

제3도는 전압 쉬프트 요소로서 본 발명에 따른 저항요소를 사용하는 레벨 쉬프트 회로의 실시예를 나타낸다.

제3도에 있어서, Q_1 , Q_2 , Q_3 는 각각 반도체 기판상에 형성된 통상적으로 0N형 MESFET이다.

이 MESFET는 동일 제조공정중에 형성된다.

MESFET Q_2 의 드레인과 게이트 전극이 폐회로화 되고, MESFET Q_3 의 소오스와 게이트 전극도 폐회로화 된다.

1은 입력단자, 2는 출력단자이다.

MESFET Q_2 는 본 발명에 따른 저항요소로서 작용한다.

MESFET Q_3 는 일정치에서 MESFET Q_2 의 드레인 전류를 유지하기 위한 정전류원으로서 작용한다.

제4a,b도는 MESFET의 물리적 구조를 보여주는 것이다.

제4a도는 반도체 기판의 평면도이고, 제4b도는 제4a도에서 a-a'선을 따라 취한 횡단면도이다.

제4a,b도에 있어서, 40은 GaAs의 반도체 절연기판(semi-insulating substrate)이고, 41은 이온 주입 등에 의하여 반도체 절연기판 40상에 형성된 액티브층(active)층, D는 드레인전극, G는 게이트 전극, S는 소오스 전극이다.

각 전극은 액티브층 41상에 형성된다.

게이트 전극 G가 드레인 D가 폐회로화 된다. 게이트 전극 G는 쇼트키 접촉에 의하여 액티브층 41과 접하여 유지되고, 드레인과 소오스전극 D, S는 오믹(ohmic)접촉에 의하여 액티브층과 접하여 유지된다.

제5a,b도는 제3도의 회로를 실현하기 위한 물리적 구조를 나타낸다. 제5a도는 평면도 이고, 제5b도는 제5a도에서 b-b'선을 따라 취한 횡단면도이다. 제5a,b도에 있어서, G_1 , G_2 , G_3 는 각각 MESFET Q_1 , Q_2 , Q_3 의 게이트 전극이다. 게이트전극 G_1 , G_2 , G_3 는 각각 게이트폭 W_{G1} , W_{G2} , W_{G3} 와 게이트길이 L_{G1} , L_{G2} , L_{G3} 를 갖는다. 게이트전극 G_1 과 G_3 는 게이트폭 W_{G1} , W_{G3} 가 같도록 형성된다. L_{G1} , L_{G2} , L_{G3} 는 같도록 형성된다. E_1 은 MESFET Q_1 의 드레인 전극이고, E_2 는 MESFET Q_1 의 소오스전극과 MESFET Q_2 의 드레인전극으로서 공통으로 사용된 전극이다. 이 전극 E_2 는 게이트 전극 G_2 와 폐회로화된다. E_3 은 MESFET Q_2 의 소오스전극과 MESFET Q_3 의 드레인 전극으로서 공통으로 사용된 전극이다. 이 전극 E_3 는 출력단자 2에 연결된다. E_4 는 MESFET Q_3 의 소오스전극이며 게이트 전극 G_3 에 연결된다.

이하 언급되는 바와 같이, 제3도의 MESFET Q_2 는 저항요소로서 작용한다.

그것은 MESFET의 드레인-소오스전압 V_{DS} 대 드레인 전류 I_{DS} 특성이 제6도에 나타나 있고 가로축은 드레인-소오스전압 V_{DS} [V]를 나타내며, 세로축은 드레인전류 I_{DS} [mA]를 나타낸다. 특성곡선은 파라미터로서 게이트-소오스전압 V_{GS} 를 취하여 나타내었다.

제6도에 있어서, 게이트와 드레인이 폐회로화된 저항 요소로서의 MESFET의 특성곡선은 드레인 전극D의 전위와 게이트 전극 G의 전위가 같으므로 드레인-소오스 전압 V_{DS} 와 게이트-소오스 전압 V_{GS} 가 같은 점을 연결함으로써 얻어진 점선 A로 표시하였다. 제6도로부터 분명히 나타난 바와 같이 점선 A로 표현된 특성 곡선은 비교적 선형이다. 따라서 MESFET Q_2 는 오히려 저항 요소로서 사용될 수 있다.

반면에 곡선 B는 MESFET Q_2 의 게이트와 소오스전극 사이에 형성된 다이오드의 특성곡선을 나타낸다.

여기에서 본 발명의 MESFET Q_2 가 저항요소로서 사용될 수 있는 범위는 그것의 우측 영역에서 게이트와 소오스 전극사이에 형성된 다이오드가 게이트 전류를 흐르도록 순방향으로 바이어스 되기 때문에 곡선 B의 좌측 영역에서 제한된다.

곡선 B의 상승전압 V_F (dc순방향전압)가 약 0.6V이고, 이 상승전압 V_F 이상에서 다이오드의 순방향 전류는 게이트 전극으로부터 소오스전극으로 흐른다. 따라서 저항요소로서 MESFET Q_2 를 사용함으로써 얻어진 쉬프트 전압 V_{SFT} 는 이 상승전압 V_F 이하로 되어야 한다. 그것은 MESFET Q_2 를 통하여 흐른 드레인 전류 I_{DS} 가 제6도에 있어서 곡선 A와 B양쪽의 교차점 P에서의 드레인 전류 I_{DSP} 보다 더 낮아져야 한다는 제한이 존재한다는 것이다.

제3도의 레벨 쉬프트 회로의 동작은 다음과 같다. MESFET Q_2 를 통하여 흐르는 드레인 전류 I_D 는 정전류원으로서 MESFET Q_3 에 의한 전기 언급된 드레인 전류 I_{DSP} 보다 일정한 전류로 조절되며, 그것에 의하여 MESFET Q_2 가 저항요소로서 작용한다. 이 회로에 있어서 MESFET Q_1 과 Q_3 가 동일 제조공정중에 형성되고 따라서 동일 특성을 갖는다. 그러므로 동일 드레인 전류 I_{DS} 가 MESFET Q_1 과 Q_3 를 통하여 흐를 때 그것의 게이트-소오스 전압 V_{GS3} 가 0이 되도록 MESFET Q_3 의 게이트와 소오스전극이 폐회로화 되므로 MESFET Q_1 의 게이트-소오스 전압 V_{GS1} 이 0이 된다. 따라서 입력단자 1에 입력된 전압 V_{in} 은 MESFET Q_2 에서 야기된 쉬프트 전압 V_{SFT} 에 의하여 쉬프트되며 다음에 출력단자 2로부터 출력된다.

상기 언급된 바와 같이 제3도의 레벨 쉬프트 회로에 있어서, FET Q_2 에서 야기된 쉬프트 전압 V_{SFT} 가 FET Q_3 에 의하여 일정치로 드레인 전류 I_{DS} 를 조절함으로써 일정치에서 유지될 수 있다. 더욱이 만약 드레인 전류 I_{DS} 가 변한다면 쉬프트 전압 V_{SFT} 가 매우 정확하게 변화될 수 있다. 드레인 전류 I_{DS} 를 요

구된 값으로 세팅하고, 동시에 앞에 언급된 I_{DSP} 조건을 만족하기 위한 FET Q_2 와 Q_3 사이의 관계자를 이후 설명하겠다.

MESFET의 드레인 전류를 계산하기 위한 다양한 식들이 알려져 있고, 일반적으로 드레인 전류 I_{DS} 는 게이트 폭 W_G 에 비례한다.

FET Q_2 와 Q_3 의 게이트 폭이 각각 W_{G2} 와 W_{G3} 라고 가정하면 상승전압 V_F 이하가 되도록 쉬프트 전압 V_{SFT} 를 제한하기 위한 필요 조건의 표현식이 이하에 나타난 바와 같이 얻어진다.

FET Q_3 가 포화된 영역에서 동작하고 FET Q_2 가 선형 영역에서 동작한다고 가정한다면 FET Q_2 의 드레인 전류 I_{DS2} 와 FET Q_3 의 드레인 전류 I_{DS3} 가 다음과 같이 표현된다.

$$I_{DS2} = \beta_2 V_{DS2} [2(V_{GS2} - V_{th2}) - V_{DS2}] \times (1 + \lambda_2 V_{DS2}) \dots \dots \dots (1)$$

$$I_{DS} = \beta_3 (V_{GS3} - V_{th3})^2 (1 + \lambda_3 V_{DS3}) \dots \dots \dots (2)$$

여기서 β_2 와 β_3 은 각각 FET Q_2 와 Q_3 의 전달 콘덕턴스이며, λ_2 와 λ_3 은 각각 FET Q_2 와 Q_3 의 채널 길이 변조계수이고, V_{th2} 와 V_{th3} 는 각각 FET Q_2 와 Q_3 의 드레쉬홀드 전압이며, V_{DS2} 와 V_{DS3} 는 각각 FET Q_2 와 Q_3 의 드레인-소오스 전압이고, V_{GS2} 와 V_{GS3} 는 각각 FET Q_2 와 Q_3 의 게이트-소오스 전압이며, FET Q_2 의 게이트와 드레인 전극이 폐회로화되므로 V_{GS2} 는 V_{DS2} 와 같다.

$$V_{DS2} = V_{DS2}$$

출력단자 2로 부터 흐르는 전류가 0이라고 가정하면 I_{DS2} 는 I_{DS3} 와 같다. 따라서 식(1)과 (2)로부터 다음식이 얻어진다.

$$\beta_2 V_{DS2} [2(V_{GS2} - V_{th2}) - V_{DS2}] (1 + \lambda_2 V_{DS2}) = \beta_3 (V_{GS3} - V_{th3})^2 (1 + \lambda_3 V_{DS3}) \dots \dots \dots (3)$$

드레인-소오스 전압 V_{DS2} 가 쉬프트 전압 V_{SFT} 에 해당 하므로, V_{DS2} 는 상승전압 V_F 보다 더 낮아지도록 제한한다.

FET Q_2 와 Q_3 가 동일 제조 공정중에 형성될 때 드레쉬 홀드 전압 V_{th2} 와 V_{th3} 는 같은 값이 되고 V_{th} 와 같다. 전달 콘덕턴스 β_2 와 β_3 가 각각 게이트 폭, W_{G2} 와 W_{G3} 에 비례하므로 다음의 관계식이 얻어진다.

$$\frac{\beta_2}{\beta_3} = \frac{W_{G3}}{W_{G2}}$$

지금 간단히 하기 위하여 채널 길이 변조 계수 λ_2 와 λ_3 를 무시한다면 쉬프트 전압 V_{SFT} 가 식(3)으로부터 다음과 같이 얻어진다

$$V_{SFT} = V_{DS2} = V_{th} [1 - (1 + \frac{W_{G3}}{W_{G2}}) \frac{1}{2}] \dots \dots \dots (4)$$

저항요소로서 FET Q_2 를 사용할 수 있는 범위는 상승전압 V_F 이하가 되도록 제한되므로 다음의 관계식이 얻어진다.

$$V_F > V_{th} [1 - (1 + \frac{W_{G3}}{W_{G2}}) \frac{1}{2}] \dots \dots \dots (5)$$

따라서 식(5)를 만족하도록 FET Q_2 와 Q_3 의 게이트폭 W_{G2} 와 W_{G3} 를 정함으로써 FET Q_2 가 저항 요소로서 작동할 수 있다.

상기 식에 있어서, FET Q_2 와 Q_3 가 동일 특성을 갖는다고 가정하였다.

반면에, FET Q_2 와 Q_3 가 다른 특성을 갖는다면 식(3)을 상술함으로써 얻어진 드레인-소오스 전압 V_{DS2} 에 관계식 $V_F > V_{DS2}$ 가 적용된다.

요구된 쉬프트 전압 V_{SFT} 와 FET Q_3 을 통하여 흐르는 포화전류($V_{GS} = 0$ 인 상태에서)가 주어진다 면 필요한 게이트폭 W_{G2} 와 W_{G3} 가 다음 순서에 의하여 정하여 진다.

먼저 게이트 폭의 변화에 변화를 주는 것을 제외하면 각각의 게이트 길이와 소오스와 드레인 불순물 영역등과 같은 동일 장치 파라미터를 가지는 수개의 MESFET가 제공되고, 다음에 각각의 MESFET부터 제6도에서 나타난 바와 같은 특성곡선을 얻기위하여 검사되며, 이것의 의하여 드레인 전류가 게이트 폭에 비례하므로 FET Q_3 의 필요한 게이트폭 W_{G3} 가 전기 언급된 특성곡선을 기초로하여 정하여진다.

다음에 게이트 폭을 제외한 장치의 파라미터가 FET Q_3 와 같도록 FET Q_2 가 형성되면 FET Q_2 의 게이트 폭 W_{G2} 의 크기의 범위가 식(4)로부터 얻어지고, 요구된 쉬프트 전압 V_{SFT} 를 발생하기 위하여 필요한 게이트 폭 W_{G2} 가 식(3)을 기초로 하여 크기의 범위내에 결정된다.

집적회로의 실제 설계에 있어서, FET Q_1 , Q_2 , Q_3 는 기판상에 밀접하게 배치되고 FET Q_1 과 Q_3 의 게이트

폭은 같은 크기를 갖도록 형성된다. 미리 언급한 바와 같이 FET Q₁ 과 Q₃ 의 게이트 폭이 같아질 때 FET Q₁ 과 Q₃ 가 동일 제조 공정중에 형성되므로 그들의 특성은 정확히 같아진다. 결과적으로의 게이트와 소오스전극 사이의 폐회로 때문에 FET Q₁ 의 게이트 전위와 그것의 소오스 전위가 같아진다. 따라서 출력전압 V_{OUT}는 FET Q₂에서 야기된 쉬프트전압 V_{SFT}에 의하여 입력전압 Vin보다 더 낮아진다.

본 발명에 따른 저항요소는 이하 언급된 이유 때문에 온도 변화와 공정조건의 변동에 저항한다.

그것은 각각 제조된 FET Q₃ 가 제조공정의 다른 조건 때문에 다른 드레인 전류치는 갖는다 하더라도 FET Q₂ 의 드레인-소오스 전압 V_{DS2} 에 상응하는 쉬프트 전압 V_{SFT} 가 넓게 변하지 아니한다는 것이다. 이는 FET Q₂ 와 Q₃ 양쪽이 동일 제조공정중에 형성되므로 FET Q₃ 의 드레인 전류 I_{DS3} 가 커질 때 FET Q₂ 의 저항이 적어지기 때문이며, 결과적으로 FET Q₂ 의 저항에 의하여 드레인 전류 I_{DS3} 을 증배시킴으로써 얻어진 드레인-소오스 전압 V_{DS2} 가 거의 일정하게 된다.

온도변화에 대하여서도 마찬가지 이다. 그것은 온도가 증가하는 대로 FET Q₃ 의 드레인 전류 I_{DS3} 가 커질 때 FET Q₂ 의 등가 저항이 그 증가에 비례하여 감소된다.

결과적으로 I_{DS3} × Q₂ 의 등가저항에 의하여 얻어진 쉬프트 전압 V_{SFT} 가 온도의 변화에도 불구하고 거의 일정하게 유지된다.

더욱이 FET Q₂ 와 Q₃ 가 각각 다른 제조공정 중에 형성되는 경우에도 마찬가지이다.

그것은 FET Q₂ 와 Q₃ 가 다른 제조공정중에 형성될 때, 만약 이들 FET가 동일 웨이퍼 상에 형성된다면 FET의 특성이 상호관계를 가지기 때문이라는 것이다.

더욱이 FET Q₂ , Q₃ 가 칩상에 밀접하게 배치될 때 앞에서 언급된 효과가 FET의 이웃하는 상호관계에 의하여 현저하게 나타난다.

비록 언급된 실시예가 이전에 설명되었다 하더라도 다양한 변형과 변경이 본 발명의 범위내에서 가능하다. 예를 들면 상기 언급된 예에 있어서, 드레인과 게이트 전극이 폐회로화 된다. 그러나 비록 이 전극이 저항을 통하여 연결된다 하더라도 동일한 효과를 얻을 수 있다. 그것은 제7도에 본 발명의 저항요소의 다른 실시예가 나타나 있다.

이 실시예에서 저항은 이외의 대전압이 드레인 D에 인가되면 저항 R은 게이트 G와 소오스 S로부터 흐르는 게이트 전류를 제한하도록 드레인 D와 게이트 G 사이에 제공되며 게이트 접합을 파괴할수도 있다. 정상적인 동작에서 게이트 전류가 없으므로 저항 R은 본 발명의 저항 요소 특성에 어떤 악영향을 끼치지 아니한다.

또한 MESFET Q₃ 의 드레인 전류를 정하기 위한 방법은 제3도에 나타난 회로로 제한되지 아니한다.

예를 들면 제8도에서 나타난 바와 같은 일정한 드레인 전류를 얻기 위하여 MESFET Q₃ 를 바이어스 하는 것이 가능하다.

더욱이 상승전압 F₀ 보다 더 큰 쉬프트 전압 V_{SFT} 가 필요할 때 제9도와 제10도에 나타난 회로가 사용될 수 있다. 그것은 제9도에 있어서, 쇼트키 다이오드 D₁ 이 FET Q₁ 과 Q₂ 사이에 놓여지고 그것에 의하여 제3도의 회로와 비교하며 약 0.6V까지 쉬프트 전압 V_{SFT2} 를 증가시킨다는 것이다. 또한 제10도에 있어서, 저항요소는 두 개의 FET Q₂ 와 Q₄ 에 의하여 구성되고, 따라서 쉬프트전압은 제3도에서 보여준 전압과 비교하여 두배로 된다.

상기 언급된 예에 있어서, 본 발명에 따른 저항요소는 MESFET로 구성되었다. 그러나 본 발명은 MESFET로 제한되지 않고, 그점에 있어서 JFET가 기본적으로 MESFET의 특성처럼 동일 특성을 가지므로 본 발명의 저항요소로서 JFET가 사용될 수도 있다. 이 경우에 있어서, JFET의 게이트와 소오스 전극사이의 상승 전압은 거의 1.2V가 되고, MESFET의 것보다 더 높지만 나머지 특성은 거의 같다.

추가로 본 발명에 있어서, JFET는 HEMT(고전자 이동도 트랜지스터)등과 같은 이중접합형 FET와 PN접합형 FET를 포함하지만 MOS형 FET는 포함하지 아니한다. 따라서 본 발명은 MOS형 FET를 사용하는 회로에 적용되지 아니한다.

PN접합형 FET와 HEMT의 물리적구조는 각각 제11도와 제12도에 나타나 있다. 제11도에 있어서, 게이트 전극 G는 PN접합을 통하여 N형 반도체층과 접하고 있다. 또한 제12도에 있어서, 게이트 전극은 이중 접합을 통하여 반도체 층과 접하여 있다.

더욱이 상기 언급된 실시예에 있어서 레벨 쉬프트 회로는 본 발명의 저항요소의 응용회로를 설명하기 위하여 사용되었다. 그럼에도 불구하고, 본 발명의 저항요소의 응용회로는 물론 본 발명이 예를 들어 제13도와 제14도에서 보여준 바와 같은 다양한 형태의 회로에 응용될 수 있으므로 레벨 쉬프트 회로로 제한되지 아니한다.

제13도에 있어서, 본 발명에 따른 저항요소는 보호된 FET 논리회로의 버퍼단을 위하여 사용된다. 제14도에 있어서, 본 발명에 따른 저항요소 Q₁₀ 은 차동증폭기 Q₂₀ , Q₃₀ , Q₄₀ 과 전원 V_{DD} 사이에 그것을 연결함으로써 반도체 기억장치에 있어서 센스증폭기의 레벨 쉬프트 수단에 대하여 사용된다. 저항요소 Q₁₀ 과 정전류원 Q₂₀ 이 전원 V_{DD} 와 V_{EE} 의 사이에 직렬로 연결된다.

(57) 청구의 범위

청구항 1

각각이 반도체 기판상에 형성된 쇼트키 게이트형 FET 또는 접합형 게이트형 FET를 포함하는 반도체 집적회로에 사용된 반도체 저항요소에 있어서, 여기에서 상기 저항요소가 상호연결된 드레인과 게이트 전극을 가지는 상기 FET로 구성되고, 드레인-소오스 전압 V_{DS} 가 게이트와 드레인 전극사이 형성된 다이오드의 순방향 상승전압 V_f 이하로 되도록 제한하기 위하여 그것의 드레인 전류 I_{DS} 를 제한하는 것을 특징으로 하는 반도체 저항요소.

청구항 2

청구범위 제1항에 있어서, 반도체 저항요소로서 사용된 FET가 쇼트키 접촉에 의하여 반도체 절연기판(semi-insulating Substrate)에 형성된 액티브층과 접하여 유지된 게이트 전극을 가지는 MESFET인 반도체 저항요소.

청구항 3

청구범위 제1항에 있어서, 반도체 저항요소로서 사용된 FET가 PN접촉에 의하여 액티브 층과 접하여 유지된 게이트 전극을 가지는 접합형 FET인 반도체 저항요소.

청구항 4

청구범위 제1항에 있어서, 반도체 저항요소로서 사용된 FET가 이중접합에 의하여 반도체 층과 접하여 유지된 게이트 전극을 가지는 접합형 FET인 반도체 저항요소.

청구항 5

청구범위 제1항에 있어서, 반도체 저항요소로서 사용된 FET가 액티브요소로서 사용되는 FET의 제조 공정중에 함께 기판상에 형성된 반도체 저항요소.

청구항 6

집적회로에 사용된 레벨 쉬프트회로에 있어서, 입력전압 V_{in} 이 공급되는 게이트 전극을 가지는 첫 번째 FET Q_1 , 정전류원으로 작용하는 두 번째 FET Q_3 , 상호연결된 드레인과 게이트전극을 가지는 쇼트키 게이트형 FET 또는 접합 게이트형 FET Q_2 로 구성되고, 드레인-소오스 전압 V_{DS} 이 게이트와 드레인 전극사이에 형성된 다이오드의 순방향 상승전압 V_f 이하로 되도록 제한하기 위하여 그것의 드레인 전류 I_{DS} 가 제한되는 반도체 저항 요소를 가지며, 여기에서 첫 번째와 두 번째 V_f 와 그들사이에 놓여진 반도체 저항 요소 Q_2 가 전원전압 V_{DD} 과 접지 사이에 직렬로 연결되는 것을 특징으로 하는 레벨 쉬프트회로.(제3도)

청구항 7

청구범위 제6항에 있어서, 첫 번째와 두 번째 FET Q_1 과 Q_3 이 동일 특성을 가지도록 동일 제조 공정중에 형성되는 레벨 쉬프트 회로.

청구항 8

청구범위 제6항에 있어서, 두 번째 FET Q_3 의 드레인과 게이트 전극이 정전류원으로 동작 하기 위하여 폐회로화 되는 레벨 쉬프트 회로.

청구항 9

청구범위 제6항에 있어서, 두 번째 FET Q_3 의 게이트 전극이 저항전압 분할기에 의하여 정전압으로 바이어스되는 레벨쉬프트 회로.

청구항 10

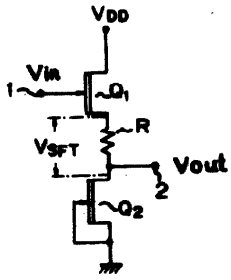
청구범위 제6항에 있어서, 반도체 저항요소를 통하여 흐르는 전류가 다음식에 기초하여 반도체 저항 요소로서 FET의 게이트 폭을 정하므로써 결정되며,

$$V_f > V_{th} \left[1 - \left(1 + \frac{W_{G3}}{W_{G2}} \right)^{\frac{1}{2}} \right]$$

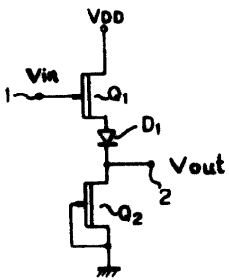
여기에서 V_f 는 FET의 드레인과 게이트 전극사이의 다이오드의 dc순방향 전압이고, V_{th} 는 FET의 드레 쉬 홀드 전압, W_{G3} 는 두 번째 FET의 게이트 폭, W_{G2} 는 반도체 저항요소로서 FET의 게이트폭인 레벨 쉬프트회로.

도면

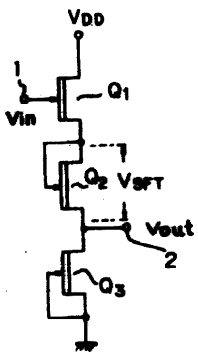
도면1



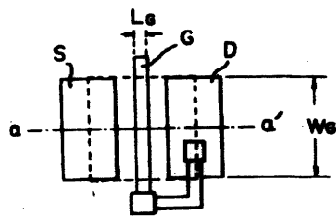
도면2



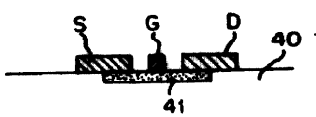
도면3



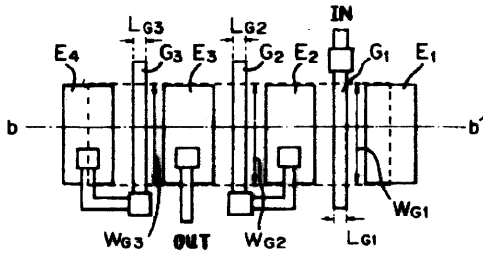
도면4-A



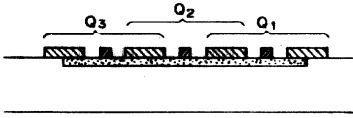
도면4-B



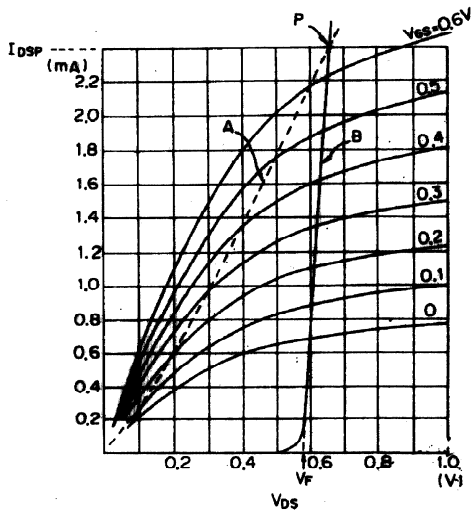
도면5-A



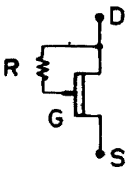
도면5-B



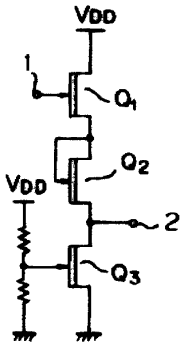
도면6



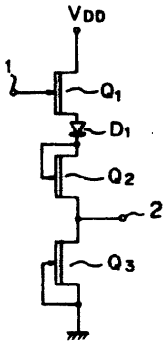
도면7



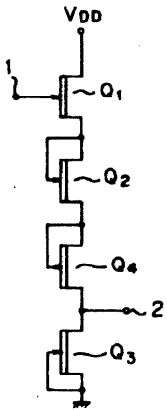
도면8



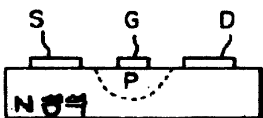
도면9



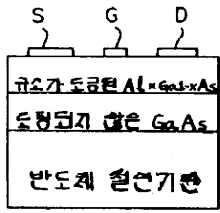
도면10



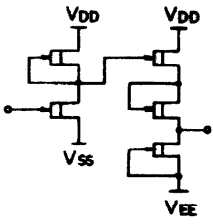
도면11



도면 12



도면 13



도면 14

