

公告

申請日期	87.6.26
案 號	87110385
類 別	G06F1/08

A4
C4

445404

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	快速啓動處理器時鐘產生方法及系統
	英 文	FAST START-UP PROCESSOR CLOCK GENERATION METHOD AND SYSTEM
二、發明 人	姓 名	1. 傑夫瑞 哈德斯堤 2. 喬福芮 霍爾 3. 凱文 麥可洛夫
	國 籍	均美國
三、申請人	住、居所	1. 美國北卡羅蘭納州蓋瑞市吉拉內大道1528號 2. 美國德州奧斯汀市聖地牙哥路9109號 3. 美國德州奧斯汀市艾耳多瑞都大道8302號
	姓 名 (名稱)	美商摩托羅拉公司
	國 籍	美國
	住、居所 (事務所)	美國伊利諾州史堪伯市東阿崗崑路1303號 摩托羅拉中心
	代 表 人 姓 名	F. 強 莫辛格

裝

訂

線

經濟部中央標準局員工消費合作社印製

445404

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期：

案號：

，☐有 ☐無主張優先權

美國

1997年7月28日

08/901,645

☒有 ☐無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

先前申請案參考資料

本申請案已於1997年7月28號向美國政府申請專利，專利申請案號為08/901,645，。

發明範圍

本發明總體而言係關於一種以相位鎖定迴路(PLL)為基礎的時鐘產生系統，特別是指例如使用於電瓶電源裝置等中以雙頻寬相位鎖定迴路為基礎的時鐘產生系統。

發明背景

在低功率電子如手提電話或攜帶式電腦等的應用中，有一重要的設計目的，即是將功率的消耗減到最少以增加此類電子裝置的電池使用壽命。此類以電池為動力的裝置典型地是在一低功率的模式下動作，此時裝置也許不動作或是使用者將其挪作它用以節省電力。在具有以相位鎖定迴路為基礎的時鐘產生電路的一攜帶式裝置中，相位鎖定迴路在低功率模式下一般來說是關掉的。當從低功率模式切換到動作模式時，才會重新啟動相位鎖定迴路以提供一系統時鐘予攜帶式裝置。

在重新被啟動或是系統起始之後要再獲得相位鎖定时，相位鎖定迴路會在嘗試獲得已設定好的系統頻率時超過目標頻率。如果相位鎖定迴路的目標輸出頻率為系統處理器的最大特定頻率時，相位鎖定迴路的超頻會造成記憶體存取失效或是處理器的執行失效。在先前技藝中要避免這類問題時是採用一執行控制電路將系統處理器的執行動作延遲到相位鎖定迴路取回相位鎖定為止。

五、發明說明(2)

如接下來所要認識的，一攜帶式裝置在處理器沒有在動作時也會在此延遲時段中消耗如同動作時的電池動力。因此，就想到要找到相位鎖定迴路時鐘產生系統，其中處理器執行時沒有延遲，也沒有與超頻相關的失效的危險，如此可以減少花在全功率模式下的時間。

圖式之簡單說明

圖1顯示一傳統的微處理器系統，其具有一以相位鎖定迴路為基礎的時鐘產生電路。

圖2顯示圖1之系統在啟動期間隨時間而變化之系統時鐘頻率(系統時鐘)。

圖3為根據本發明的一具體實施例的一微處理器系統，其具有一以相位鎖定迴路為基礎的時鐘產生電路。

圖4說明為圖3之系統在啟動時的範例中，隨時間變化之系統時鐘頻率(系統時鐘)。系根據本發明的較佳具體實施例。

較佳具體實施例說明

本發明提供雙頻寬相位鎖定迴路電路，使一相關的中央處理器(CPU)在獲得相位/頻率鎖定之前可以開始指令的執行。如接下來所要認識的，本發明確實使得處理器在相位鎖定迴路的相位/頻率鎖定的相位中動作，而大為節省攜帶式電池的電力。其是在處理器動作之前移除等待相位鎖定迴路重新鎖定的時間，而增加在低功率省電模式的時間以減少整體系統的功率。此種方式在必需重覆地由一低功率模式切換到一動作模式的應用中特別有用，如行動電話，

五、發明說明(3)

其週期性地與行動通信系統保持聯絡。

現在參考附圖，特別是圖1，為一傳統的微處理器系統，其具有一以相位鎖定迴路為基礎的時鐘產生電路。一以微處理器為主的系統100包含一雙頻寬相位鎖定迴路時鐘產生電路105。舉例來說，一雙頻寬相位鎖定迴路，是用在需要快速啟動時間但低相位鎖定迴路輸入參考頻率的系統。一雙頻寬相位鎖定迴路具有兩種動作模式：1)一寬頻(高增益)相位和2)一窄頻(低增益)相位。當用在功率明顯的設計中，一低頻率參考時鐘(REF)會輸入到電路105的相位鎖定迴路110中，其會合成參考時鐘以產生相位鎖定迴路電路輸出(相位鎖定迴路時鐘)，其為一倍數因子輸入(N)的函數。在某些系統中，相位鎖定迴路110為用來減低鎖定時間的一雙頻相位鎖定迴路。相位鎖定迴路110會輸出相位鎖定迴路時鐘到一分頻器130並輸出一頻率鎖定訊號到一計數器120。此頻率鎖定訊號指出在相位鎖定迴路於一寬頻模式下動作時，相位鎖定迴路的時鐘何時會到達於一選定的頻所設定的相位鎖定迴路頻率。然而，相位鎖定迴路仍然必需在相位鎖定迴路由寬頻模式切換到窄頻模式之前到達一相位鎖定的狀態，要使用一計數器120計數一經驗所得的時間，如10微秒，以保證相位鎖定迴路已將相位鎖定。在數完10微秒之後，計數器120會輸出一相位鎖定訊號予中央處理器140，使中央處理器140在系統時鐘計時之際開始執行作業。

分頻器130由一中央處理器所輸出的暫存器位元(X位元)

五、發明說明(4)

所控制。分頻器130已設定好將相位鎖定迴路時鐘分為兩個目的動作頻率之一，其由輸入M所設定並由X位元所選定的。在先前技藝中，分頻器130典型地會產生一系統時鐘，其相等於相位鎖定迴路的時鐘的頻率或為其一半。分頻器可程式的特性特別有用的應用是在中央處理器140將系統時鐘由一動作頻率轉到另一個的應用。分頻器130會避免發生在頻率轉換時系統時鐘的超頻現象，此現象會造成中央處理器的錯誤或是記憶體存取失效。

此超頻現象可由圖2中觀查到，其為圖1的系統在啟動時的系統時鐘頻率對時間的示意圖。在時間 t_0 時，系統100由一低功率模式切換到一動作模式而參考時鐘則輸入到於相位鎖定迴路110。在時間 t_1 時，相位鎖定迴路110確認參考時鐘並開始獲得目標頻率。因為相位鎖定迴路110開始時是在寬頻模式下動作，在相位鎖定迴路110快速地嘗試要鎖定參考時鐘時會發生很大的超頻現象，如圖2所示。分頻器130會將此相位鎖定迴路時鐘除以二以在啟動模式時產生系統時鐘，但是此時中央處理器尚未開始執行指令。當相位鎖定迴路110決定其已達到設定的頻率時，頻率鎖定訊號會輸出到計數器120，其會開始以參考時鐘為準的10微秒計數。在計數結束時，代表相位鎖定迴路轉換到窄頻動作模式已經趨於穩定。在時間 t_2 時，計數器120會將相位鎖定訊號輸出到中央處理器140使中央處理器開始執行指令。相位鎖定訊號也會被相位鎖定迴路110所接收(未顯示連線)將位鎖定迴路110切換到窄頻動作模式。在時間 t_3 時，中央處理器提

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

供一X位元訊號以選定分頻器130的零增益分頻器，其會將系統時鐘切換到相位鎖定迴路時鐘的頻率。如所示，在 t_1 和 t_2 的10微秒間，中央處理器140不能執行程式碼因此不動作。然而，時鐘產生電路100和其他系統中的電路已從低功率模式切換到動作模式並且不是很有效率地在消耗動力。

本發明提供一方法和系統以減少具有一低頻率參考時鐘系統的低效率，該訊號使得中央處理器能在相位鎖定期間在一有用的動作頻率下動作而不會使得系統時鐘超出系統所指定的最大動作頻率。現在參考途3，為一微處理器系統，其具有一以相位鎖定迴路為基礎的時鐘產生電路，根據本發明的一具體實施例。系統300包含中央處理器350和時鐘產生電路305。一低頻率參考時鐘(REF)輸入到電路305中的雙頻寬相位鎖定迴路310。

相位鎖定迴路310在獲得相位鎖定時於一寬頻模式(高增益)下動作而在維持相位鎖定時於一窄頻模式(低增益)下動作。相位鎖定迴路310合成參考時鐘以產生相位鎖定迴路時鐘，其為一倍數因子(N)的函數。在參考時鐘為一33千赫茲低頻時鐘的一具體實施例中，N等於512。相位鎖定迴路310將相位鎖定迴路時鐘輸出到一分頻器330。分頻器330受控於一由邏輯乘法器340所輸出的選擇訊號，並被設定將相位鎖定迴路時鐘除為兩個目的動作頻率之一，其由輸入M所設定並由X位元所選定的。

相位鎖定迴路310也將一頻率鎖定訊號輸出到一計數器320和一中央處理器350。此頻率鎖定訊號指出相位鎖定迴

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

路時鐘何時達到在一選定得頻寬內所設定好的時鐘產生電路的輸出頻率。然而，因為相位鎖定迴路仍然必需達到一相位鎖定狀態使相位鎖定迴路由一寬頻模式切換到一窄頻模式並達到一穩定的頻率，計數器320會計數並輸出一相位鎖定訊號，表示鎖定狀態趨於穩定以保證相位鎖定迴路已將相位鎖定。頻率鎖定訊號會由啓始始得計數器320由設定好的 t_1 計數到 t_2 。計數器320會產生相位鎖定訊號並使得中央處理器350在相位鎖定期間開始動作及進行設定好的工作。因為處理器的時鐘為將系統時鐘除過的時鐘，在相位/頻率鎖定期間並沒有超過最大指定頻率的危險。

中央處理器350能夠設定為由讀/寫暫存器中截取X位元以在任意時間要求最大動作速度。X位元和相位鎖定訊號輸入至邏輯乘法閘340。邏輯乘法閘340的選擇輸出訊號控制分頻器330，其中選擇訊號會選擇頻率M為1或是n。因此，接下來要認識的是，選擇訊號會選擇分頻器330的除法函數並當作一選擇的除法因子，直到中央處理器350已經藉由X位元獲得最大的動作速度以及計數器320所計數的穩定時間已經結束。當產生選擇訊號時，分頻器330會切換以在相位鎖定迴路時鐘滿頻時(或是其幾分之一)產生一系統時鐘。

圖4所顯示的是圖3中的系統在啓動時的系統時鐘頻率對時間的示意圖。在時間 t_0 時，攜帶式裝置300由一低功率模式切換到一動作模式而參考時鐘則輸入到於相位鎖定迴路310。在時間 t_1 時，相位鎖定迴路310確認參考時鐘並開始獲得目標頻率。因為相位鎖定迴路310開始時是在寬頻模式下

五、發明說明(7)

動作，在相位鎖定迴路310快速地嘗試要鎖定參考時鐘時會發生很大的超頻現象。分頻器330會將此相位鎖定迴路時鐘除以M以在啟動模式時產生系統時鐘。當相位鎖定迴路310決定其已達到預期輸出的平均頻率時，其在 t_1 之後很快就會發生，一頻率鎖定訊號會輸出到計數器320，其會啓始以參考時鐘為準的10微秒計數(例如，10微秒需要計數器320計數328次)。同時，頻率鎖定訊號會使中央處理器350在 t_1 時開始動作，而不像先前技藝在 t_2 時動作。這會使攜帶式系統如行動電話在系統於 t_2 時到達最大動作頻率之前完成其週期性工作。因為中央處理器350在相位鎖定迴路310鎖定相位時以一半的最大動作頻率在動作，並無超出最大頻率的危險。

在 t_2 時，計數器320將相位鎖定訊號輸出到邏輯乘法閘340，指出相位鎖定迴路轉換到窄頻相位已足夠穩定。相位鎖定訊號也為相位鎖定迴路310所接收(未顯示連線)以便將相位鎖定迴路310切換到窄頻動作模式。在 t_2 時或其之前(或如其他例在其之後)，中央處理器350獲得X位元以選擇分頻器330的零增益分頻器，以便將系統時鐘切換到相位鎖定迴路時鐘的頻率。在一較佳實施例中，相位鎖定迴路時鐘的頻率為系統所指定得最大頻率。如圖4所示，本發明的系統能夠在 t_2 時到達最大動作頻率，因為中央處理器已在 t_1 到 t_2 期間以半頻在執行指令，因此其在相位鎖定發生時也能動作並且能馬上衍生出X位元。因此，如圖4所示，較佳實施例的系統會在 t_1 到 t_2 期間以半頻在動作並在 t_2 到 t_3 期間以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

全頻在動作使系統完成其工作並更快返回低功率模式。先前技藝甚至到了 t_3 都尚未開始執行程式碼。

因此，現在要認識的是，本發明提供一以相位鎖定迴路為基礎的時鐘產生電路，其使得處理器能夠在系統時鐘鎖定相位時執行程式碼。如此確實改善了動力的節省也增加了處理器的功能。一相位鎖定迴路產生一相位鎖定迴路時鐘並將其輸出到一分頻器，其再將此相位鎖定迴路時鐘除為一系統時鐘輸出訊號。相位鎖定迴路會在嘗試獲得一輸出頻率時輸出一頻率鎖定訊號，其會啓始一計數器並使得中央處理器以系統時鐘動作。藉此使得中央處理器能夠在相位鎖定时以一除過的頻率動作而不會有超頻而引起失效等的危險。當計數器計數結束時，中央處理器會要求最大的動作頻率，於是產生一選擇訊號將分頻器切換到輸出一最大的動作頻率，藉此使得中央處理器能在相位鎖定迴路安全地鎖定相位時以最大頻率動作。

本發明是以一較佳實施例做說明，但是明顯地，諳熟此藝者應了解，本發明還可以根據不同的方法和採用除了以上所特別設計和描述的其他實施例來做修正。因此，附屬的申請專利範圍即是要涵蓋所有在本發明範圍之內的修正事項。

五、發明說明 (8a)

元件符號說明

100	以微處理器為主的系統
105	雙頻寬相位鎖定迴路時鐘產生電路
110	相位鎖定迴路
120	計數器
130	分頻器
140	中央處理器
300	系統
305	時鐘產生電路
310	相位鎖定迴路
320	計數器
330	分頻器
340	邏輯乘法閘
350	中央處理器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱: 快速啟動處理器時鐘產生方法及系統)

一種能夠在相位鎖定期間使處理器執行工作的相位鎖定迴路時鐘產生電路。一相位鎖定迴路(310)產生一相位鎖定迴路時鐘輸出而輸出至一分頻器(330)，該分頻器在一個系統時鐘輸出之上將該相位鎖定迴路予以分離。相位鎖定迴路(310)在獲得一個能啟動一計數器(320)以及能在被該系統時鐘鎖定的中央處理器(350)中執行工作所需的頻率時，即輸出一鎖定訊號。中央處理器(350)因此能夠在相位鎖定时以一分離的頻率執行工作而不致因超頻而衍生失誤的危險。一指示相位鎖定迴路(310)已完成相位鎖定之相位鎖定訊號，經由計數器(320)輸出，而合宜地與一從需有最大頻率作業的中央處理器(350)所輸出之訊號相結合(340)。該結合之訊號選擇分頻器(330)而啟動一最大頻率系統時鐘，藉此使中央處理器(350)能在相位鎖定迴路(310)被安全鎖定相位時，以最大頻率執行作業。

英文發明摘要(發明之名稱:

FAST START-UP PROCESSOR CLOCK
GENERATION METHOD AND SYSTEM)

A PLL based clock generation circuit that enables processor execution during phase locking is provided. A PLL (310) generates a PLL clock output to a divider (330), which divides the PLL clock at a system clock output. PLL (310) outputs a frequency lock signal upon acquiring a desired output frequency that initiates a counter (320) and enables execution in a CPU (350) being clocked by the system clock. CPU (350) is thereby enabled to execute during phase locking at a divided frequency without risk of frequency overshoot induced failures. A phase lock signal, indicating PLL (310) has achieved phase lock, output by counter (320) is logically combined (340) with a signal output from CPU (350) requesting maximum frequency operation. The combined signal selects divider (330) to enable a maximum frequency system clock, thereby enabling CPU (350) to execute at maximum frequency when the PLL (310) is safely phase locked.

六、申請專利範圍

1. 一種系統(300)，其中包含：

產生一個第一訊號以及一個根據參考時鐘之相位鎖定迴路時鐘的相位鎖定迴路器(PLL)(310)，其中：

該相位鎖定迴路器包含一具有一窄頻寬模式和一寬頻寬模式的充電泵，

該第一訊號為相位鎖定迴路器在一預定的頻寬內到達一預期頻率時所產生，以及

該預期頻率為一參考時鐘的特定倍數；

一接收相位鎖定迴路時鐘及一選擇訊號，並產生一系統時鐘之分頻器電路(330)，其中：

若選擇訊號在第一狀態下分頻器電路在第一頻率上產生系統時鐘，以及選擇訊號在第二狀態下分頻器電路會在第二頻率上產生系統時鐘；

一接收第一訊號及產生第二訊號的啓動電路(320)，其中該啓動電路包含一計數器；

一接收第一訊號並選擇性地產生一第三訊號的處理器(350)；以及

一接收第二訊號和第三訊號以及對應第二訊號和第三訊號產生選擇訊號的選擇電路(340)。

2. 一種資料處理系統之作業方法，該方法包含：

(A) 接收一選擇訊號而提供多數個頻率中的一個頻率從相位鎖定迴路時鐘產生一系統時鐘；

(B) 接收一第二訊號和一第三訊號而產生該選擇訊號；

(C) 接收一第一訊號之後產生該第二訊號；

六、申請專利範圍

- (D) 在處理器中產生由該第一訊號所啟動的第三訊號；
- (E) 反應鎖定相位鎖定迴路時鐘的頻率產生該第一訊號。
3. 如申請專利範圍第2項之方法，其中步驟(C)包含：
- 接收該第一訊號時即啟動一計數器；
- 隨著時鐘將計數器的值遞增；以及
- 當計數器遞增到一延遲計數時產生第二訊號。
4. 如申請專利範圍第2項之方法，尚包含：
- 當在寬頻寬模式時，反應一個第一電流位階而產生相位鎖定迴路時鐘，以及
- 當在窄頻寬模式時，反應一個第二電流位階而產生相位鎖定迴路時鐘。
5. 如申請專利範圍第2項之方法，其中步驟(E)之中：
- 當相位鎖定迴路在一預定的頻寬內到達一預期頻率時產生該第一訊號，以及
- 該預期頻率為一參考時鐘的某一特定倍數。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

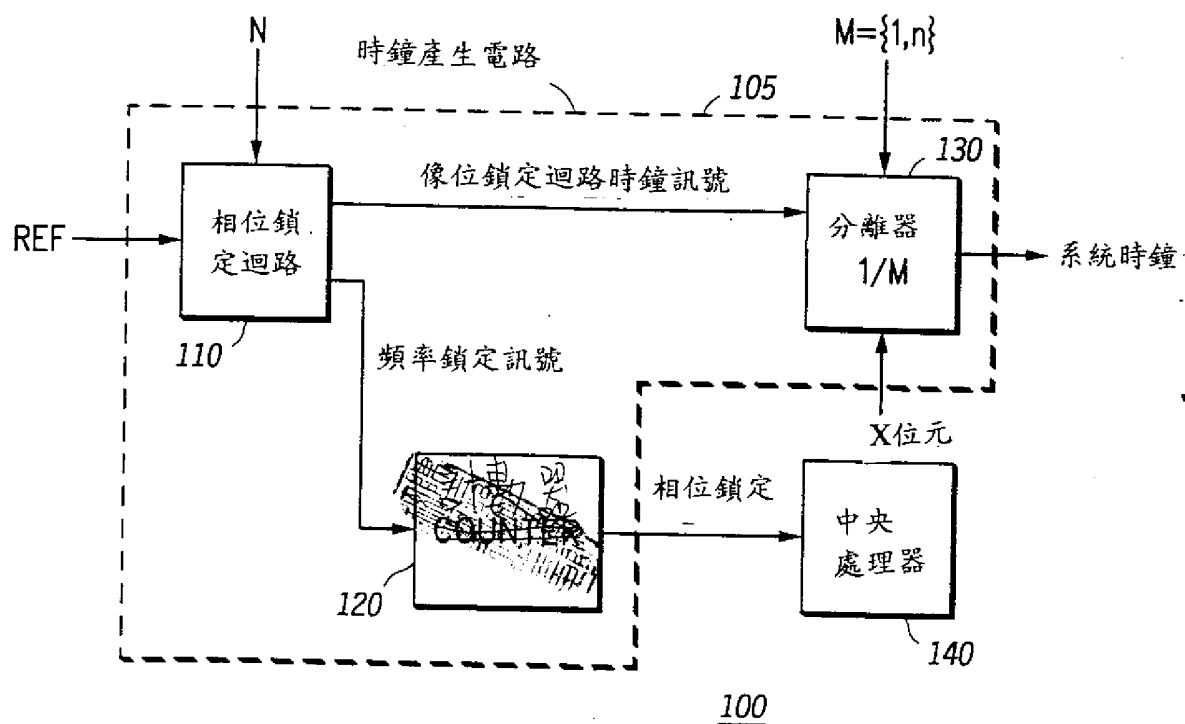


圖1
先前技藝

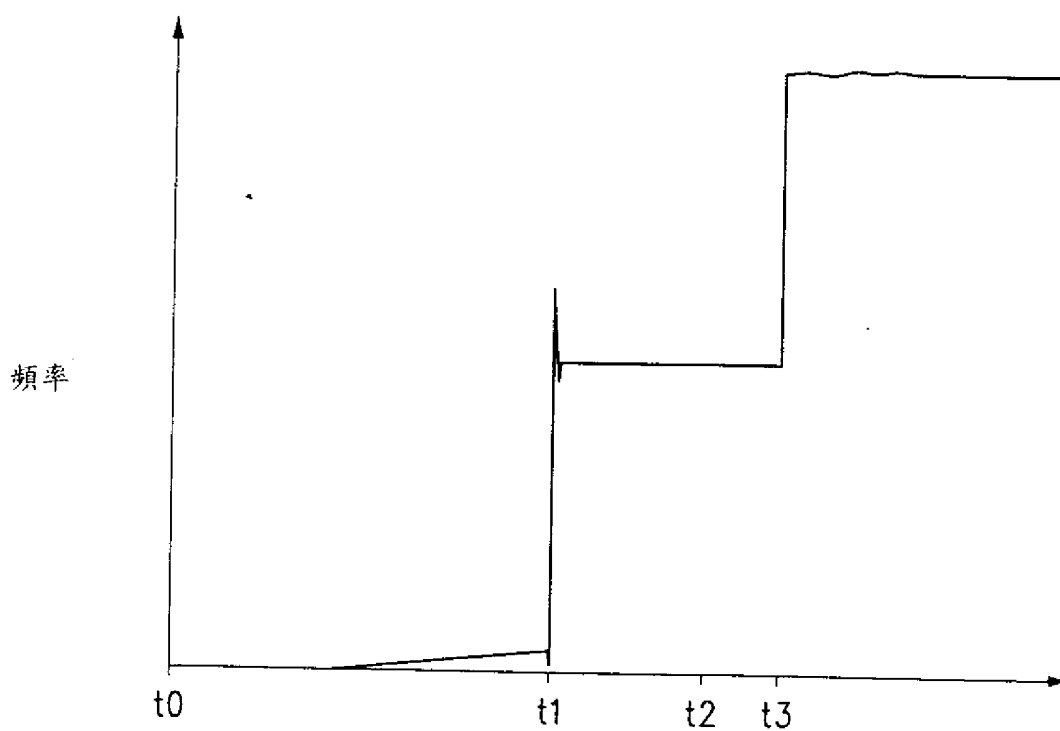


圖2
先前技藝

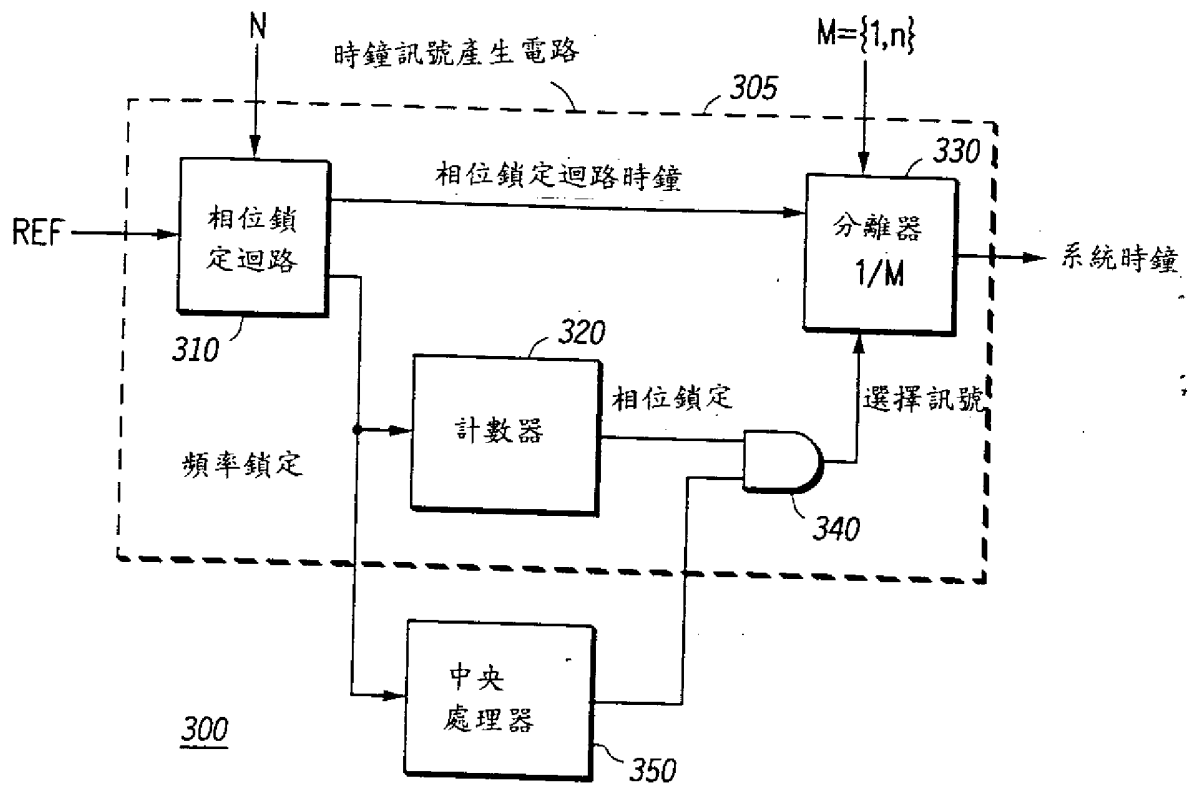


圖3

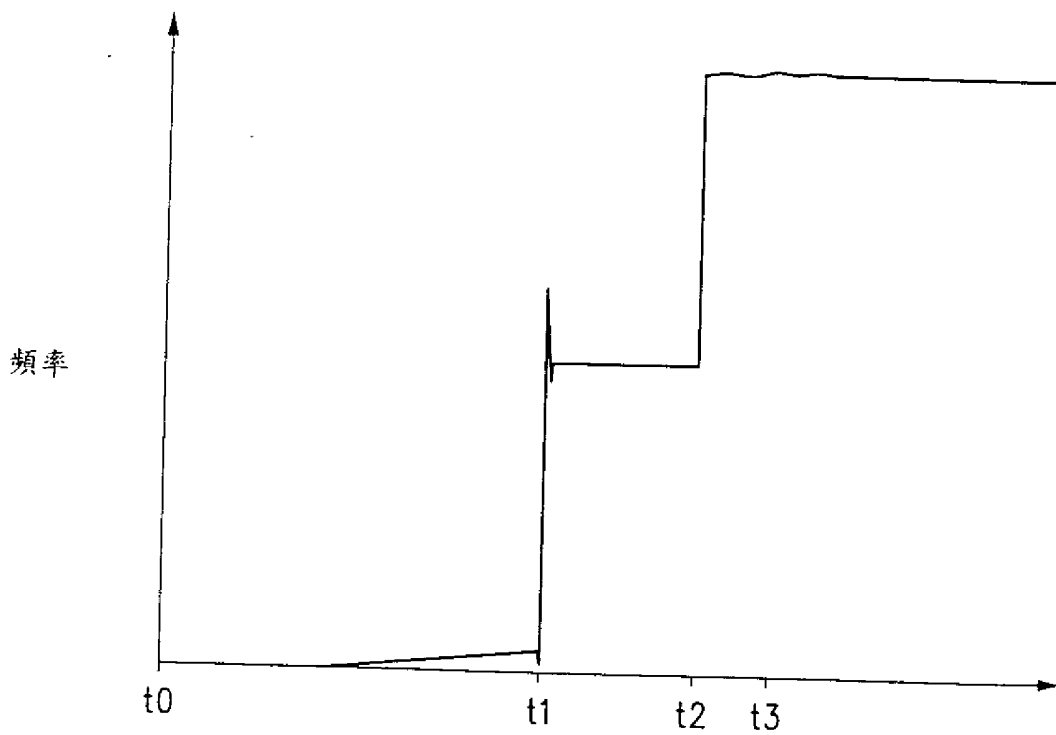


圖4