

1. 一种交织数据比特的方法，所述方法包括对一个由 N_r 行和 N_c 列构成的逐行表示需交织的数据比特的矩阵的行和列按照

$$\text{行置换 } I_r(K) = [\alpha_r K + f_c(I)] \bmod N_r$$

$$\text{列置换 } I_c(I) = [\alpha_c I + f_r(K)] \bmod N_c$$

进行置换，其中 $I_r(K)$ 表示一个行标为 K 的数据比特， K 为一个从 1 至 N_r 的整数， α_r 为一个整数， $f_c(I) = mI + [N_r + 1] \bmod 2$ 为列标 I 的非零函数， I 为一个从 1 至 N_c 的整数， m 为一个整数， $I_c(I)$ 表示一个列标为 I 的数据比特， α_c 为一个整数， $f_r(K) = 2K + [N_c + 1] \bmod 2$ ，而 $\bmod 2$ 、 $\bmod N_r$ 和 $\bmod N_c$ 分别表示模 2、模 N_r 和模 N_c 的算术运算，经交织的数据比特从该矩阵逐列得出。

2. 一种如在权利要求 1 中所提出的方法，其中 m 近似等于 N_r/N_c 。

3. 一种如在权利要求 1 或 2 中所提出的方法，其中 α_r 为小于 $N_r/\log_2(\log_2(N_r))$ 的最大素数。

数据传输的速率匹配方法和装置

技术领域

本发明与用于通信系统的速率匹配和信道交织技术有关。

背景技术

众所周知，在采用前向纠错(FEC)的通信系统中对数据进行交织，以便在解交织后使差错分布均匀有利于纠错。通常，这种交织利用一个块交织器对各数据块进行交织。所谓涡轮型编码(turbo coding, 即并置卷积编码)利用了一个交织器，接在两个卷积编码器的输入端之间，而这两个卷积编码器分别根据交织前、后的输入数据产生相应的奇偶校验比特。随着对采用涡轮型编码的关注日益增强，特别是在无线通信系统中，也已产生对交织器形式的关注。

所谓第三代CDMA(码分多址)无线通信系统也正在开发之中。这种系统需要一个信道或帧际交织器，对各个与无线电帧持续时间(通常为10ms)相应的块内的数据进行交织或置换。在这种系统中，信道交织器可以配置在速率匹配功能执行之前或之后。速率匹配功能用来使各种数据率与无线电帧速率匹配，通常需要缩减(删除)或重复一些数据码元，在这种情况下是数据比特。所希望的是，删除或重复的比特在解交织后的帧内分布尽量均匀，间距尽量大，而且容易实现，对诸如帧长、帧数和收缩率之类的变量相对独立。

1999年3月19日Men Tong等人递交的加拿大专利申请NO. 2, 268, 283“交织数据的交织器和方法”(“Data Interleaver and Method of Interleaving Data”)提出了一种能用来提供上述信道交织的交织数据方法和数据交织器。本发明所提出的速率匹配特别适用于这种信道交织后的数据，而且也能用于其他形式的交织数据。本发明还改善了这种信道交织的各种应用。

发明内容

就一个方面来说，本发明提供了一种通过在经预定交织过程交织的数据比特矩阵中删除一些冗余数据比特或重复一些数据比特使数据比特的速率与所需速率匹配的方法，这种方法包括下列步骤：确定为了提供所述所需数据率在未交织的数据比特矩阵内需删除或重复的比特的模式；以与交织过程相反的方式对所述比特模式中的每个比特的

地址进行解码，产生所述比特在经交织的数据比特矩阵内的相应地址；以及根据所述地址删除或重复经交织的数据比特中的相应比特。

特别有利和在实际上可能是必需的是，地址解码应以与根据未交织数据比特矩阵产生经交织的数据比特的地址编码相同的方式执行。这在本发明的方法的一些优选实施例中由于采用按照

$$\text{行置换 } I_r(K) = [\alpha_r K + f_c(I)] \bmod N_r$$

$$\text{列置换 } I_c(I) = [\alpha_c I + f_r(K)] \bmod N_c$$

对一个由 N_r 行和 N_c 列构成的逐行表示需交织的数据比特的矩阵的行和列进行的置换显得更为方便，其中： $I_r(K)$ 表示一个行标为 K 的数据比特， K 为一个从 1 至 N_r 的整数， α_r 为一个整数， $f_c(I)$ 为列标 I 的非零函数， I 为一个从 1 至 N_c 的整数， $I_c(I)$ 表示一个列标为 I 的数据比特， α_c 为一个整数， $f_r(K)$ 为零或行标 K 的函数，而 $\bmod N_r$ 和 $\bmod N_c$ 分别表示模 N_r 和模 N_c 的算术运算，经交织的数据比特从该矩阵逐列得出。

通常认为这样选择是最佳的： $f_c(I) = mI + [N_r + 1] \bmod 2$ ，其中： m 为一个整数， m 近似等于 N_r / N_c ， $f_r(K) = 2K + [N_c + 1] \bmod 2$ ，而 α_r 为小于 $N_r / \log_2(\log_2(N_r))$ 的最大素数。

本发明还提出了用来执行上述方法的速率匹配装置。

另一方面，本发明提出了一种交织数据比特的方法，这种方法包括对一个由 N_r 行和 N_c 列构成的逐行表示需交织的数据比特的矩阵的行和列按照

$$\text{行置换 } I_r(K) = [\alpha_r K + f_c(I)] \bmod N_r$$

$$\text{列置换 } I_c(K) = [\alpha_c I + f_r(K)] \bmod N_c$$

进行置换，其中： $I_r(K)$ 表示一个行标为 K 的数据比特， K 为一个从 1 至 N_r 的整数， α_r 为一个整数， $f_c(I) = mI + [N_r + 1] \bmod 2$ 为列标 I 的非零函数， I 为一个从 1 至 N_c 的整数， $I_c(I)$ 表示一个列标为 I 的数据比特， α_c 为一个整数， $f_r(K) = 2K + [N_c + 1] \bmod 2$ ，而 $\bmod 2$ 、 $\bmod N_r$ 和 $\bmod N_c$ 分别表示模 2、模 N_r 和模 N_c 的算术运算，经交织的数据比特从该矩阵逐列得出。

本发明还提出了一种执行这种方法的数据交织器。

本发明另一方面提供了一种通过删除编码的数据比特，包括系统比特的编码比特和奇偶校验比特来交织和匹配并置卷积编码数据的方法

法，包括交织从奇偶校验比特分离的系统比特和从交织后的奇偶校验比特中删除奇偶校验比特来提供速率匹配。

再一方面，本发明提出了一种对并置卷积编码数据通过重复包括系统比特和奇偶校验比特的编码数据比特进行交织和速率匹配的方法，这种方法包括下列步骤：将系统比特与奇偶校验比特分别交织；以及以比任何重复经交织的系统比特中的一些系统比特大的重复因子重复经交织的奇偶校验比特中的一些奇偶校验比特来提供速率匹配。

本发明还提出了执行这些方法的编码、交织和速率匹配装置。

又一方面，本发明还涉及一种以下面结合图 4 所述的方式对经交织和速率匹配的一些数据流进行混洗的方法和将这方法递推应用于多于两个这种数据流的情况。

附图说明

从以下结合附图的说明中可以对本发明有更深入的理解。在这些附图中：

图 1 例示了一种在第三代 CDMA 通信系统中进行业务多路复用和信道交织的已知配置；

图 2 为有关已知速率匹配算法的流程图；

图 3 例示了一种按照本发明的一个实施例设计的交织器和速率匹配装置的实现方式；

图 4 列于与图 2 相同的页内，示出了图 1 中第二级交织的混洗情况的流程图；以及

图 5 示出了图 1 所示配置中为了对经涡轮型（并置卷积）编码的数据进行信道交织和速率匹配而修改的部分。

具体实施方式

参见图 1，图中例示了在第三代 CDMA 无线电通信系统中进行业务多路复用和信道交织的已知配置。这种配置包括一个业务多路复用器 10，用来将分别通过各业务块 12（图中只示出其中一个）提供的多个称为主流业务或 QoS（业务质量）信道的数据信号流多路合并在一起。每个业务块 12 的输入端 14 上分别加有多个输入构成信号，例如它们可以是诸如语音、数据和多媒体信号之类的任何类型的信号。这些信号可以具有任意的传输率、帧长和其他参数。这些输入信号在块 16 内加了各自的 CRC（循环冗余校验）码后由传送信道多路复用器 18 多路

合并在一起。多路合并后的信号由分段块 20 分段后分别在各 FEC (前向纠错) 编码块 22 内受到 FEC 编码。经编码的信号由多路复用器 24 多路合并。

多路合并后的信号在块 26 内受到速率匹配处理 (缩减 (删除) 冗余数据码元 (比特) 或重复数据码元 (比特)), 使得数据率与帧持续期为 10ms 的无线电通信速率 (空间接口速率) 相匹配。主要是为了使相邻的比特分开以减小由于无线电信道衰落而引起的差错的有害影响, 数据比特由第一交织器 28 交织, 第一交织器 28 也称为信道或帧际交织器, 因为它用来置换各有 10ms 的数据比特的块。虽然在图 1 中交织器 28 示为在速率匹配块 26 之后, 但如下面将要说明的那些这两个功能块的位置是可以互换的, 来自多路复用器 24 的经多路合并的信号加到信道交织器 28, 而信道交织器 28 输出的经交织的信号送至速率匹配块 26。例如, 这两个功能块对于从一个中心站下行传输信号的情况可以是图 1 所示次序, 而对于向中心站上行传输信号的情况可以是相反的次序。

在通过功能块 26 和 28 后, 所得到的经速率匹配和交织的信号相继由分段块 30 和 32 进行无线电帧分段和物理信道分段, 产生由多路复用器 10 进行多路合并的信号。多路复用器 10 输出的信号由第二交织器 34 交织, 它的输出在分段和映射块 36 内分段后映射成一些专用的物理信道, 以众所周知的方式通过 CDMA 无线电通信通路传输。

第一交织器 28 可以具有足够好的性能, 使得第二交织器 34 可以省去或只执行简单的混洗操作, 例如如下面所说的那样。这是所希望的, 特别是由于否则第二交织器 34 就有可能使每个可以按各自经速率匹配的数据流和 QoS 最佳化的第一交织器 28 所执行交织在性能上有所恶化。

因此, 第一交织器 28 以一个提供良好的随机散布特性的代数交织器的形式来实现。每个 QoS 信道的多个编码比特块或数据传送帧映射为一个二维矩阵, 以线性同余律对这个矩阵的行和列进行置换, 实现交织功能。最大交织深度和时间跨度可以通过搜索一组最佳参数来确定。这样, 这种交织器就具有比较简单的形式, 而没有已知交织器

的诸如需要一个大容量的存储器来存储查找表或不能完全适应速率匹配功能之类的缺点。

虽然下面的说明针对一个矩阵的行和列，但应当指出的是，这只是为了方便和清晰，行和列可以互换而不会改变交织器的功能，实际上如下面所述，交织器的操作等效于控制对存储数据比特的线性存储器的存储单元的读、写寻址，并没有将所存储的比特在存储单元之间作任何实际移动。

如在前面所列为参考的专利申请中所述，交织器 26 的作用是实现以下三个步骤：

1. 将 N_c 个各长为 N_r 个数据比特的编码数据比特块表示为一个具有 N_r 行为 N_c 列的矩阵；

2. 按照

$$\text{行置换 } I_r(K) = [\alpha_r K + f_c(I)] \bmod N_r$$

$$\text{列置换 } I_c(I) = [\alpha_c I + f_r(K)] \bmod N_c$$

对这个矩阵的行和列进行置换，其中： $I_r(K)$ 表示一个行标为 K 的数据比特， K 为一个从 1 至 N_r 的整数， α_r 为一个是整数的行置换参数， $f_c(I)$ 为列标 I 的正值函数， I 为一个从 1 至 N_c 的整数， $I_c(I)$ 表示一个列标为 I 的数据比特， α_c 为一个是整数的列置换参数， $f_r(K)$ 为行标 K 的正值函数，而 $\bmod N_r$ 和 $\bmod N_c$ 分别表示模 N_r 和模 N_c 的算术运算；以及

3. 从矩阵逐列得出经交织的数据比特。

步骤 1 可以稍加修改，使得一个给定的矩阵列数能适合不同的数据传送帧数。例如，矩阵列数 $N_c = 8$ ，而数据传送帧数可以是 N_c/γ ，其中 $\gamma = 1, 2, 4$ 或 8 ，因此矩阵具有 N_r/γ 行，而步骤 3 相应修改成每个无线电帧要读出矩阵的 γ 列。为了说明简明起见，以下假设 $\gamma = 1$ ， $N_c = 8$ 。

对于步骤 2，行置换参数 α_r 选为小于 $[N_r / \lceil \log_2(\lceil \log_2(N_r) \rceil)]$ 的最大素数，列置换参数 α_c 选为小于 $[N_c]$ 的最大素数，函数 $f_c(I) = mI + [N_r + 1] \bmod 2$ ，其中 m 为一个等于 $[N_r / N_c]$ ，而函数 $f_r(K) = 2K + [N_c + 1] \bmod 2$ 符号。 $\lfloor \cdot \rfloor$ 是指向下取整，而 $\lceil \cdot \rceil$ 是指向上取整。可以理解， $[N_r + 1] \bmod 2$ 在 N_r 为奇数时等于 0，而在 N_r 为偶数时等于 1。同样， $[N_c + 1] \bmod 2$ 在 N_c 为奇数时等于 0，而在 N_c 为偶数时等于 1。这

样，函数 $f_c(I)$ 和 $f_r(K)$ 中的这两部分就简化为在相应的 N_r 或 N_c 为偶数时加 1。

如上所述，速率匹配在数据传送帧的长度大于无线电帧的长度时缩减（删除）一些冗余数据比特（由于有 FEC 编码块 22 而形成的比特冗余），最大缩减比为无线电帧长的 20%。相反，如果数据传送帧的长度小于无线电帧的长度，就重复传送帧中的一些比特，以达到速率匹配。希望速率匹配尽可能分开，使得缩去的比特之间相隔的距离最大，并且使得每个无线电帧内的缩去比特数均衡，也就是说，将缩去的这些比特均匀地分布在各无线电帧内，而且相隔距离最大。

在如图 1 所示的速率匹配块 26 配置在信道交织器 28 之前的情况下，可以采用如图 2 所示的已知速率匹配方法。

参见图 2，对于每个分有 N_i 比特长的无线电帧，在方框 40 内确定一个整数 y ， $y=N_r-N_i$ 。在需要缩减的情况下 y 大于 0（正数），在需要重复的情况下 y 小于 0（负数），而在既不需要缩减也不需要重复的情况下 y 等于 0。在后一种情况下，流程就进至停止方框 41。由图 2 所示的各个步骤可见，对于比特重复（ $y<0$ ，示于图 2 中的右分支）和对于比特缩减（ $y>0$ ，示于图 2 中的左分支）的处理基本上是不同的，除了用 $|y|$ 和重复来代替 y 和缩减，因此下面仅对缩去情况进行详细说明。

如果 $y>0$ ，就需要在传送帧的 N_r 个比特中缩去 y 个比特，以产生无线电帧的 N_i 个比特。在这种情况下，在方框 42，将一个参数 e 初始化为起始偏移 e_{os} ，它以任何对这个特定无线电帧来说是所需的方式确定；并将行计数器 γ 初始化为 1。在方框 43，确定是否 $\gamma \leq N_r$ 。如果是，就在方框 44 将 e 的值减去 $2y$ 。在后继的判决方框 45 确定是否 $e \leq 0$ 。如果是，就在方框 46 将行 γ 内的这个比特缩减掉，再在方框 47 将 e 的值增加 $2N_r$ ，在方框 48 将行计数器 γ 加 1 后，返回判决方框 43。如果方框 45 的判决结果是否定的（即 $e>0$ ），则经方框 48 将行计数器 γ 加 1 后返回方框 43，而没有任何缩减或改变 e 值的操作。如果方框 43 的判决结果是否定的（即 $\gamma > N_r$ ），就表明已经到达帧尾，因此流程进至停止方框 41 结束。

然而，在速率匹配块 26 配置在信道交织器 28 之后的情况下，速率匹配要对经置换（交织）的比特流进行，因此速率匹配问题就相当

复杂。通常，信道交织和速率匹配过程的要求是不一致的。

具体地说，设计一个适当而又满足最佳化的在经信道交织处理后的比特矩阵内缩减或重复比特的速率匹配模式是一项非常复杂甚至是不实际的任务。本发明通过为交织前的矩阵提供一个适当而又满足最佳化的缩减或重复比特的速率匹配模式，再利用一个解交织或解码过程确定需在信道交织器的输出端缩减或重复的相应比特，从而避免了这一难题。这个过程由于解交织或解码过程能如下面将进一步说明那样用与交织过程完全相同的结构来实现因此更为方便。为了方便和清晰起见，在以下说明中将交织前（或者说解交织后）的比特矩阵称为自然矩阵 NM，而将交织后的比特矩阵称为随机化矩阵 RM。

图 3 示出了按照本发明的一个实施例设计的信道交织器 28 和速率匹配块 26 的实现情况。如图 3 所示，交织器 28 包括一个分为两半的工作存储器 50，这两半以已知方式交替地保证读、写存储器，每一半存储矩阵内的 $N_r N_c$ 个数据比特，这些数据比特与矩阵的逐行结构相应线性地写入存储器。模 N_r 的行计数器 51 根据时钟信号 CLK 进行计数，提供表示行标 K 的读数。计数器 51 的进位输出送至提供表示列标 I 的读数的模 N_c 的列计数器 52。计数器 51 和 52 的读数 K 和 I 送至图 3 中虚线所围的地址编码器 53。具体地说，列计数器 52 的读数送至分别还加有参数 α_c 和 m 的乘法器 54 和 55，相应产生分别表示 $\alpha_c I$ 和 mI 的积，而行计数器 51 的读数送至分别还加有整数 2 和参数 α_r 的乘法器 56 和 57，相应产生分别表示 $2K$ 和 $\alpha_r K$ 的积。加法器 58 将乘法器 54 和 56 的输出相加，再根据 N_c 是偶数还是奇数有选择地相应加上 1 或 0，而加法器 58 的输出由模运算功能块 59 变换成模 N_c 形式，从而完成上述的列置换。加法器 60 将乘法器 55 和 57 的输出相加，再根据 N_r 是偶数还是奇数有选择地相应加上 1 或 0，而加法器 60 的输出由模运算功能块 61 变换成模 N_r 形式，从而完成上述行置换。模运算功能块 59 和 61 可以各包括比较和减法功能。功能块 59 和 61 的输出在读地址组合器 62 内组合成一个地址，用来从存储器 50 读出经交织的序列内的相应比特。如图 3 所示，读地址经如下面要说明的那样配置的开关 63 送至存储器 50。

如果行数 N_r 是 2 的乘方，地址组合器 62 就能将模运算功能块 61 的输出作为送至存储器 50 的读地址的低位比特而将模运算功能块 59

的输出作为送至存储器 50 的读地址的高位比特，这相当于地址组合器 62 将功能块 61 的输出与 N_r 倍的功能块 59 的输出相加。

可能需要交织不是 N_c 整数倍的任意长度的帧内的数据比特。在这种情况下，将矩阵的行数选择成能纳入需交织的所有数据比特，而存储器 50 内的最后少数（少于 N_c ）存储单元不予写入。为了从经交织的数据比特中略去这些存储单元的数据比特，图 3 的交织器 28 还包括一个解码器 64，用来检测地址组合器 62 的读地址输出中的这些存储单元的地址，一旦检测到就打开开关 63，阻止从存储器 50 读这些存储单元中的数据。为了保证来自存储器 50 的经交织的数据比特具有恒定的数据输出率，图 3 的交织器 28 还包括一个由时钟信号 CLK 定时的 FIFO（先进先出）存储器 65，通过这个 FIFO 经交织的数据比特送至交织器的输出线 66。FIFO 65 在每个交织操作开始时予充填，具有足以容纳不读从而要略去的存储单元的数据比特的长度（例如最长达 N_c 个比特）。

线 66 上的经交织的数据比特送至也示于图 3 的速率匹配功能块 26。这个速率匹配功能块包括还加有时钟信号 CLK 的速率匹配地址产生器 70、地址分离器 71、地址解码器 72、缓存器 73、比较器 74 和数据比特选择器 75，将经速率匹配的数据输出加到线 76 上。与为保证交织器 28 具有恒定的数据比特率输出而配置 FIFO 65 类似，速率匹配功能块 26 也可以包括一个 FIFO 或其他缓存器（未示出），用来保证输出线 76 输出的数据比特具有恒定的速率。

速率匹配地址产生器 70 按照为这个过程确定的缩减或重复模式在它的输出端产生每个缩减或重复比特在自然矩阵 NM 内的地址，如下面进一步要说明的那样。这个地址由地址分离器 71 分离为高有效位和低有效位部分，这操作为上述读地址组合器 62 的操作的逆操作。因此，如果行数 N_r 是 2 的乘方，地址分离器 71 就能简单地将产生器 70 输出的地址比特直接分离为高位比特和低位比特，相当于将来自产生器 70 的地址除以 N_r ，产生一个整数商和一个余数，分别构成地址分离器 71 的两个输出。

地址解码器 72 执行的是地址编码器 53 的逆操作。如前面所指出的那样，如果采用上述代数交织过程，解交织器的结构可以与交织器的结构完全相同，从而地址解码器 72 与地址编码器 53 完全相同。因

此，在图3中没有详细示出地址解码器72的结构，它与图3中所示的地址编码器53的结构完全相同。可以理解，交织和解交织互补操作的这种结构相同的特征对于实现这些功能是相当有利的，可以使实现得到简化。

地址解码器72的输出经存储器73缓存后送至比较器74，与信道交织器28的行计数器51和列计数器52的当前读数 K 和 I 分别进行比较，在所比较的值相同时将一个选择器控制信号加到线77上。因此，每当线66上的比特需缩减或重复时就产生这样的选择器控制信号加到线77上。对于不需缩减或重复比特的其他时间，加在线77上的控制信号控制选择器75在时钟信号CLK的同步下将从线66送至选择器75的三个输入端的一个中间输入端（见图3）的比特送至它的输出线76。相反，每当需重复或缩减比特时，线77上的控制信号控制选择器75根据由加到选择器75的另一个控制输入P/R确定的需重复还是缩减将它的上输入端或下输入端（见图3）上的比特送至它的输出线。选择器75的上输入端与输出线76连接，以提供重复的比特，而选择器的下输入端没有连接，因此用于缩减比特。如前面所指出的那样，输出线76上的数据比特送至一个缓存器（未示出），以使经交织和速率匹配的数据比特以恒定的输出数据比特率输出。

由于有速率匹配功能块26内解码器72所提供的地址解码，速率匹配地址产生器70能用以上结合图2所述方式通过普通矩阵地址直接确定所需的缩减或重复的模式，利用以所需方式确定的单个参数 e_{os} 优化这个模式。例如，这个参数可以按式 $e_{os}=[2py+1] \bmod 2N_r$ 确定，其中，如前面所说明的那样， y 为矩阵每列需缩减或重复的比特数，而 p 为矩阵的从0至7的列标（对于 $N_c=8$ 的情况）。

下面的表1、2和3详细示出了这个例子，按上述对8个各有10个比特的数据传送帧进行交织，要求达到最大缩减比20%，以产生各有8个比特的经信道交织和速率匹配的无线电帧（总共要在80个比特中缩减或删除16个比特）。因此， $N_c=8$ ，而 $N_r=10$ 。表1例示了这80个从0编到79的数据比特逐行输入到一个行标 K 从1至10、列标 I 从1至8的 10×8 自然矩阵内的排列情况。

		1							
		1	2	3	4	5	6	7	8
K	1	0	1	2	3	4	5	6	7
	2	8	9	10	11	12	13	14	15
	3	16	17	18	19	20	21	22	23
	4	24	25	26	27	28	29	30	31
	5	32	33	34	35	36	37	38	39
	6	40	41	42	43	44	45	46	47
	7	48	49	50	51	52	53	54	55
	8	56	57	58	59	60	61	62	63
	9	64	65	66	67	68	69	70	71
	10	72	73	74	75	76	77	78	79

表 1

经上述那样信道交织后得到的随机化矩阵如下面的表 2 所示。

		1							
		1	2	3	4	5	6	7	8
K	1	57	40	79	62	45	28	11	74
	2	35	18	1	64	23	6	69	52
	3	13	76	59	42	25	8	47	30
	4	71	54	37	20	3	66	49	32
	5	73	56	15	78	61	44	27	10
	6	51	34	17	0	39	22	5	68
	7	29	12	75	58	41	24	63	46
	8	7	70	53	36	19	2	65	48
	9	9	72	31	14	77	60	43	26
	10	67	50	33	16	55	38	21	4

表 2

经上述那样速率匹配后，随机化矩阵每列缩减 2 个比特，共缩减 16 个比特，按速率匹配算法产生的模式得到的经缩减的随机化矩阵如下面的表 3 所示：

		1							
		1	2	3	4	5	6	7	8
K	1	57	40	79	62	45	28		74
	2	35	18	1		23	6	69	52
	3	13	76	59	42		8		30
	4	71		37	20	3	66	49	
	5	73	56	15	78		44	27	10
	6	51		17	0	39	22	5	
	7		12		58	41	24	63	46
	8	7	70	53	36	19		65	48
	9		72		14	77	60	43	26
	10	67	50	33		55		21	4

表 3

经信道交织和速率匹配的数据比特从表 3 中逐列读出，即按次序 [57, 35, ..., 51, 7, 67, 40, ..., 26, 4] 读出。所缩减的比特是 2, 9, 11, 16, 25, 29, 31, 32, 34, 38, 47, 54, 61, 64, 68 和 75, 最大的缩减距离为 9 (25 - 16), 而最小的缩减距离为 1 (32 - 31), 这样小的最小缩减距离表明这个具体实例并不是最佳的, 所希望的是最小缩减距离能比较大。可以理解, 能采用许多其他确定这些参数特别是参数 e_{os} 的方式优化缩减过程。

如前面所指出的那样, 希望第二交织器 34 的操作不影响第一交织器 28 所达到的性能。为此, 最好第二交织器 34 减弱为只执行简单的混洗操作, 交织具有不同的 QoS 的数据流, 同时保持每个 QoS 数据流的第一交织器 28 达到的散布特性。

图 4 示出了能有益地用于交织通过图 1 中的业务多路复用器 10 提供的由各自业务块 12 如上面所述那样得出的两个由经交织的无线电帧构成的数据流的比特的比特混洗算法的流程图。假设一个具有各由 N_1 个比特构成的帧的流为 TQ_1 , 另一个具有各由 N_2 个比特构成的帧的流为 TQ_2 , 而 $N_1 \geq N_2$, 图 4 示出了流 TQ_2 的比特怎样插入流 TQ_1 的情况。

参见图 4, 最初, 在方框 82 参数 e 初始化为 N_1 , 而计数器 γ 初始化为 1。在方框 83, 确定是否 $\gamma \leq N_1$, 如果是, 在方框 84 将 e 的值减小 $2N_2$ 。在下一个判决方框 85 确定是否 $e \leq 0$, 如果是, 在方框 86 将流 TQ_2 的下个比特插入流 TQ_1 后, 在方框 87 将 e 的值增大 $2N_1$, 在方框 88

计数器 γ 加 1, 然后返回判决方框 83。如果在方框 85 的判决结果是否定的 (即 $e > 0$), 就通过方框 88 将计数器 γ 加 1 后返回方框 83, 而没有任何比特插入或改变 e 值的操作。如果在方框 83 的判决结果是否定的 (即 $\gamma > N_i$), 这表示已经到达帧的结束处, 于是程序进至停止方框 81 结束。

对于多于两个数据流的情况, 对于后继的这些数据流递推地应用同样的过程。从以上的说明和图 4 所示情况可以看出, 这个过程各个步骤与图 2 的缩减和重复过程的步骤直接有关, 使得实现这种递推混洗过程可以特别方便。

如上面所指出的那样, 为达到所需速率匹配而对比特的缩减施加于由于由编码器 22 提供的 FEC 编码而具有冗余的数据比特。一种优选形式的编码是所谓的涡轮型 (并置卷积) 编码, 经编码的数据比特包括称为系统数据比特 S 的输入数据比特本身以及由分别对输入数据比特和对经交织的输入数据比特进行操作的卷积编码器提供的奇偶校验比特 $P1$ 和 $P2$ 。在涡轮型编码器内通常缩减奇偶校验比特 $P1$ 和 $P2$, 以提供一个速率满足要求的涡轮编码器。对于由涡轮型编码器构成的编码器 22 来说, 必需保证后面的速率匹配功能块 26 不缩减任何系统比特 S , 而只缩减奇偶校验比特 $P1$ 和/或 $P2$ 。在需重复的情况下, 业已确定, 如果奇偶校验比特 $P1$ 和 $P2$ 的重复是系统比特 S 的重复的 2 或 3 倍左右, 就可提供性能增益。

为此, 在图 5 中示出了图 1 的配置中为了对由涡轮型编码所得的数据进行信道交织和速率匹配所作的修改部分。参见图 5, 构成 FEC 编码器 22 之一的涡轮型编码器示于虚线所围的方框 90 内。如所周知, 它包括一个交织输入数据比特的涡轮型码交织器 (turbo code interleaver) 91 和两个分别对交织前、后的输入数据比特进行操作从而产生奇偶校验比特 $P1$ 和 $P2$ 的卷积编码器 92。输入数据比特也送至编码器的输出端, 作为系统比特 S 。还可以有一个缩减块 (未示出), 用来只选择某些奇偶校验比特 $P1$ 和 $P2$ 送至编码器输出端。

图 5 中示出的不是如前面所说明的那样的单个信道交织器, 而是分别为系统比特流和奇偶校验比特流配置的各个信道交织器 93。如图 5 所示, 有三个信道交织器 93, 但可以理解, 由于奇偶校验比特 $P1$ 和 $P2$ 的流能够合并在一起, 因此只需配置两个信道交织器, 一个负责系

统比特流，而另一个负责奇偶校验比特流。图5中信道交织器93的其他输入表示多个信道的系统和奇偶校验比特流的多路复用，相应于图1中的多路复用器24。

信道交织器93后的速率匹配功能块示于虚线所围的方框94内。缩减功能块95只对经信道交织的奇偶校验比特流执行比特缩减，然而重复功能块96可以对奇偶校验和系统比特流执行比特重复，因此有一个选择器97示为相应耦合这些经信道交织的比特。缩减和重复可以是如前面所述的那样。可以理解，在这方面图5所示只是图解性地表示不对系统比特进行缩减的原理，而不是示出速率匹配功能的实际实现情况。也可以理解，例如，缩减和重复按需要只对奇偶校验比特流进行，以提供所需的速率匹配，而不对系统比特流进行任何的缩减或重复。

虽然以上说明对于其中所说明的各个过程涉及的是独立的功能和单元，但可以理解，在许多情况下这些过程能用一个或多个数字信号处理器或其他集成电路的功能来实现。

虽然以上对本发明的具体实施例作了说明，但可以理解，其中可加以种种修改、变化和调整，这并不偏离如在权利要求书中所给出的本发明的专利保护范围。

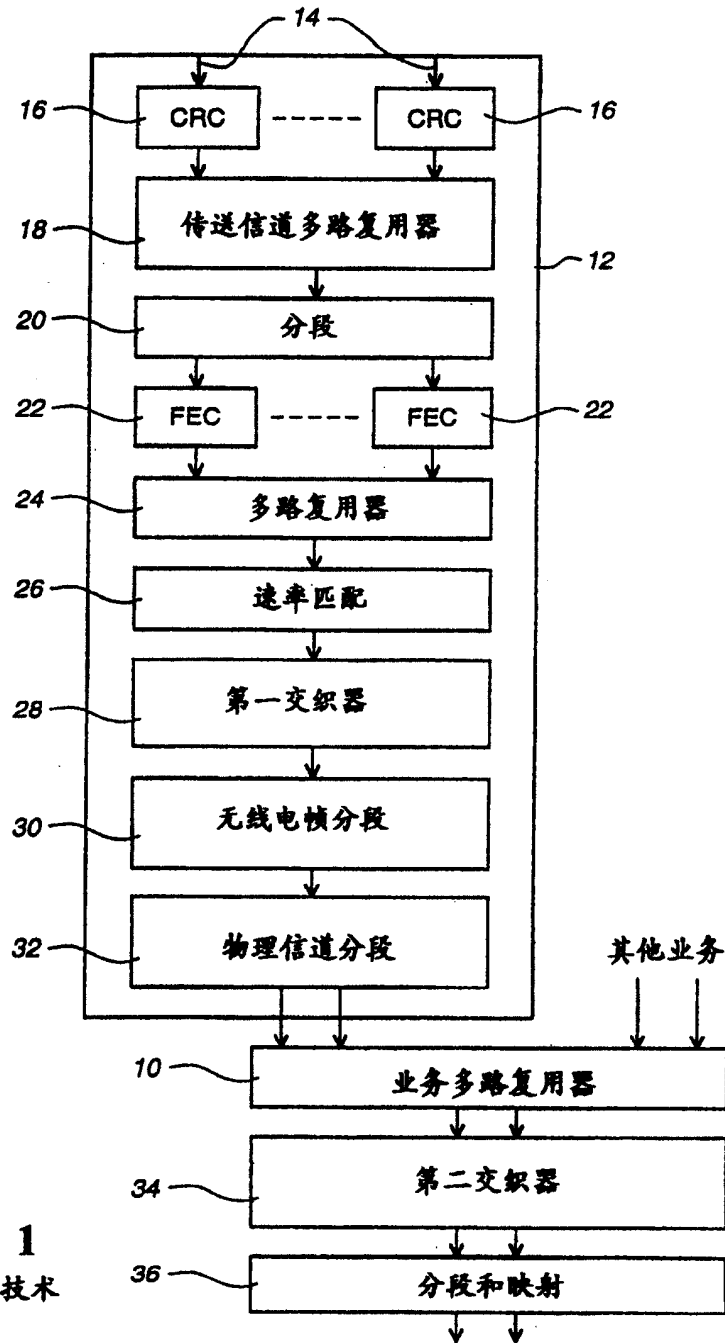


图1
现有技术

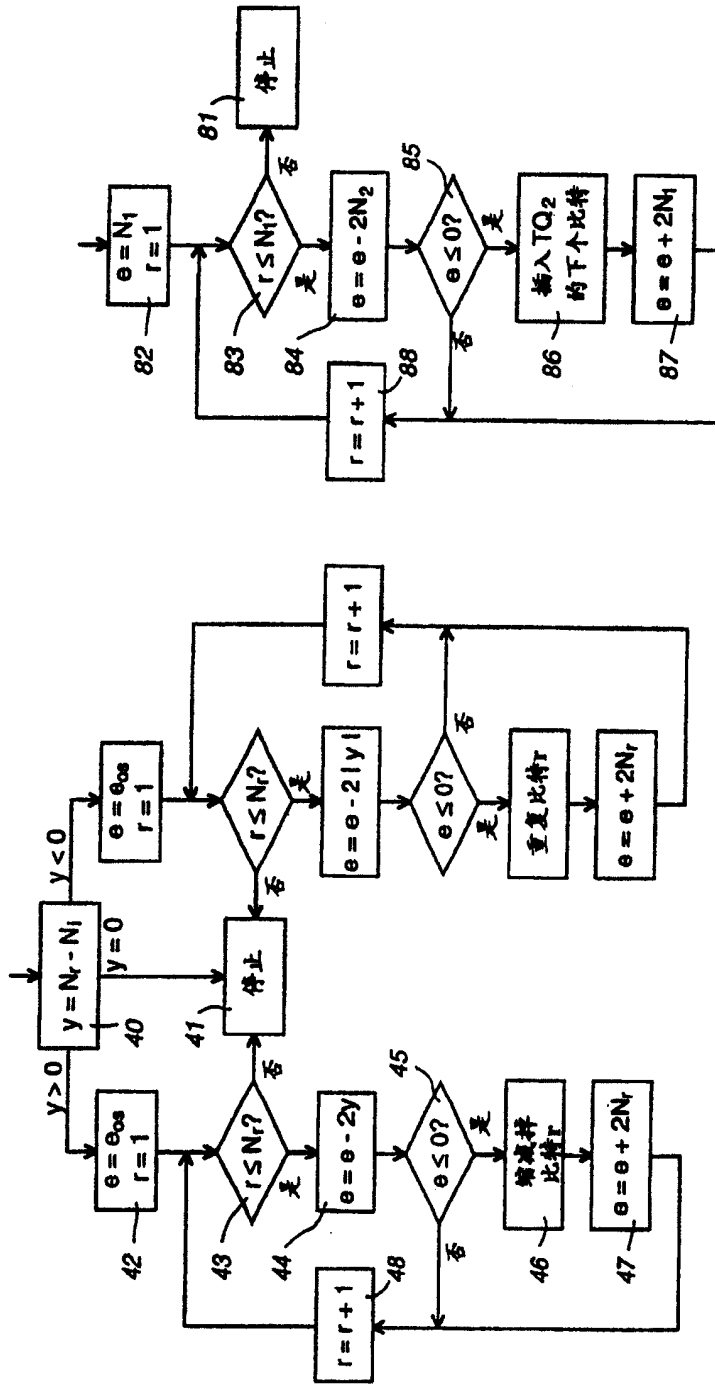


图 2
现有技术

图 4

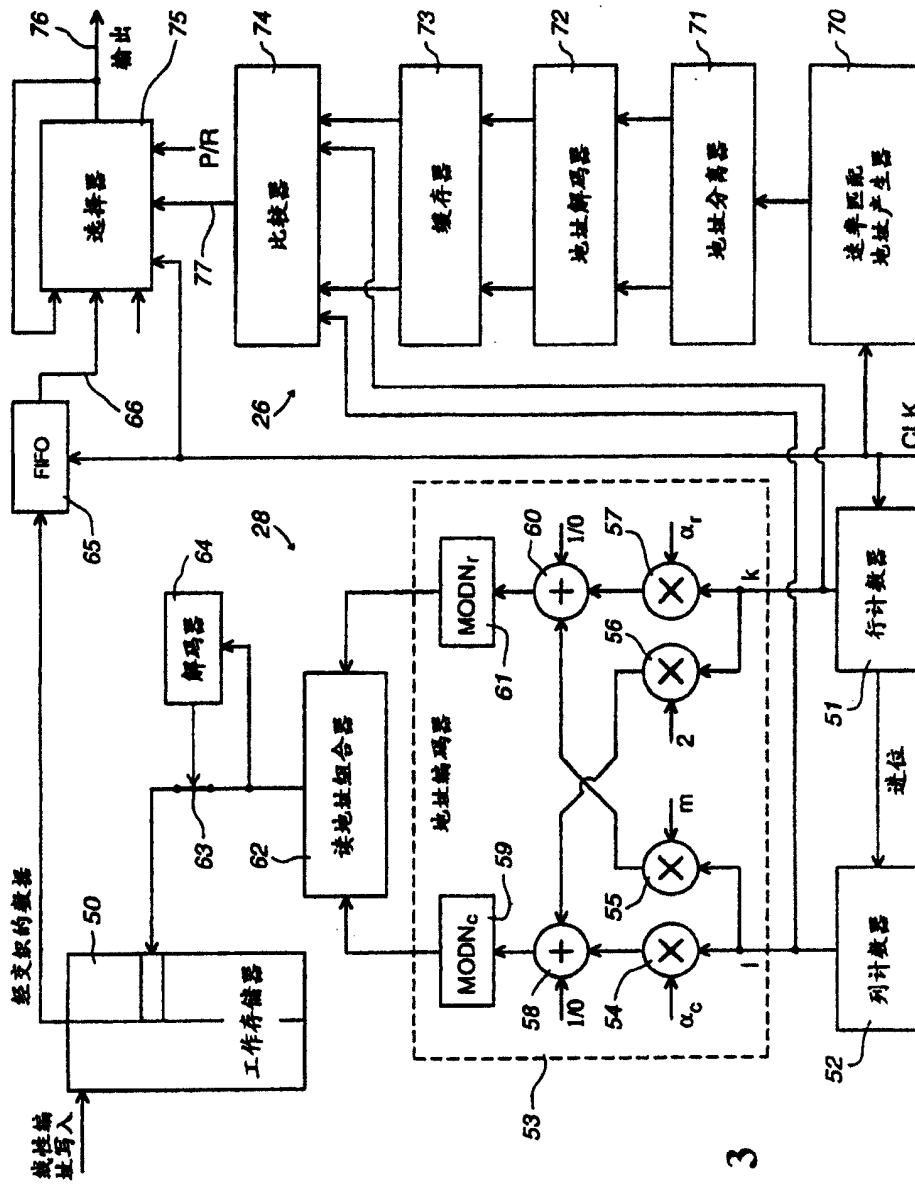


图 3

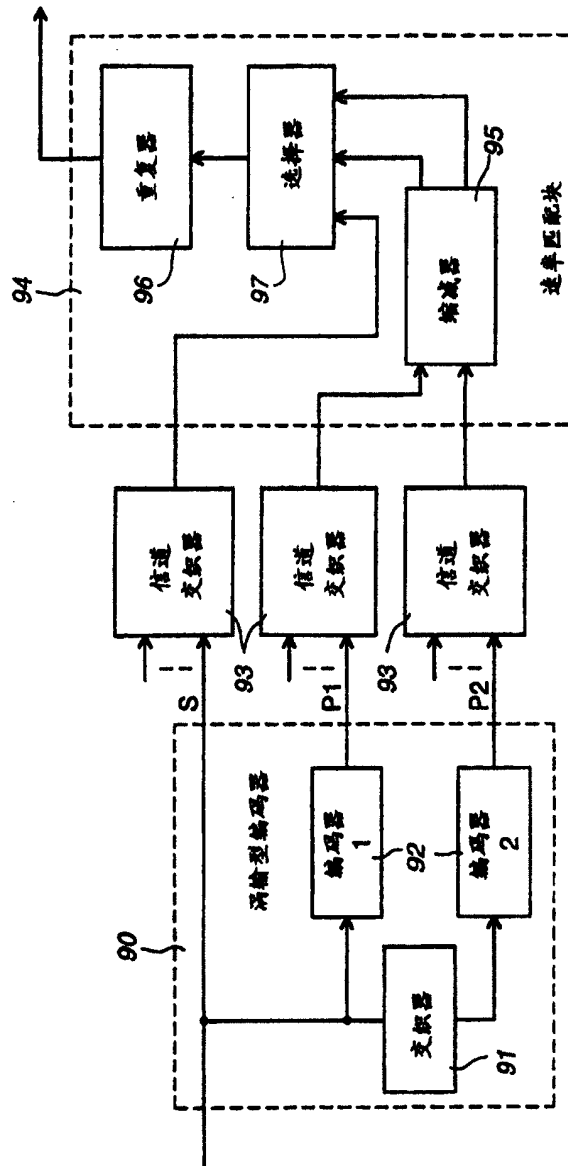


图5