

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2005年07月11日；11/179,122

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種非揮發性記憶體單元。

【先前技術】

存在具有至少兩種相異的穩定電阻狀態之材料。藉由於一第一方向在該材料上施加一電壓量值，該類材料可自一高電阻率狀態切換至一低電阻率狀態。為了使該材料自該低電阻率狀態切換回一高電阻率狀態，可使該電壓量值反向。

該等材料中之若干可在相對低的外加電壓下(例如，二伏特或更少，且較佳地一伏特或更少)於電阻率狀態間切換。該等特性使得將該等材料用於非揮發性記憶體陣列中為具有吸引力的，即使當電源自裝置移除時，陣列保持其記憶體狀態。低壓切換對於降低裝置中之功率消耗為有利的，但必須克服許多挑戰來提供低電壓及操作併入該材料之單元所需之可逆電壓且避免在讀取期間或在一大單元陣列中的其他單元的寫入期間的狀態之意外改變。

【發明內容】

本發明藉由下述申請專利範圍界定，且不應將本部分中之任何說明理解為對該等申請專利範圍之一限制。一般而言，本發明係針對一種適用於一可重寫記憶體陣列中之非揮發性記憶體單元。

本發明之一第一態樣提供一種非揮發性記憶體單元，其包含一可切換電阻記憶體元件；及一具有一通道區域之薄

膜電晶體，其中該可切換電阻記憶體元件經安置與該薄膜電晶體串聯，其中當在該電阻性記憶體元件上施加一設定電壓量值時，該可切換電阻記憶體元件降低電阻，且其中當在該可切換電阻記憶體元件上施加一重設電壓量值時，該可切換電阻記憶體元件增加電阻，且其中該設定電壓量值之極性與該重設電壓量值之極性相反。

本發明之另一態樣提供一種非揮發性記憶體單元，其包含一可切換電阻記憶體元件；及一包含一通道區域之電晶體，該可切換電阻記憶體元件與該電晶體係串聯排列，其中該電晶體電性連接於一資料線與一參考線之間，資料線與參考線兩者在一第一方向上延伸，其中當該電晶體接通時，電流在一第二方向上通過該通道區域，該第二方向大體上與該第一方向垂直，其中該可切換電阻記憶體元件在經受一設定電壓量值時降低電阻且在經受一重設電壓量值時增加電阻，且其中該設定電壓量值之極性與該重設電壓量值之極性為相反的。

本發明之一相關態樣提供一種在一基板上形成之非揮發性記憶體單元，該記憶體單元包含：一具有一通道區域之薄膜電晶體，該通道區域包含一沈積半導體材料，其中該半導體材料為矽、鍺或矽鍺合金；及一可切換電阻記憶體元件，其中該可切換電阻記憶體元件在經受一設定電壓量值時降低電阻且在經受一重設電壓量值時增加電阻，且其中該設定電壓量值之極性與該重設電壓量值之極性為相反的。

本發明之另一態樣提供一種單石三維記憶體陣列，其包含a)一形成於一基板上之第一記憶層，該第一記憶層包含第一複數個記憶體單元，每一第一記憶體單元包含：i)一場效電晶體；及ii)一可切換電阻記憶體元件，其中該可切換電阻記憶體元件在經受一設定電壓量值時降低電阻且在經受一重設電壓量值時增加電阻，且其中該設定電壓量值之極性與該重設電壓量值之極性為相反的；及b)一單石化地形成於該第一記憶層上之第二記憶層。

本發明之一較佳實施例要求一種單石三維記憶體陣列，其包含在一第一方向上延伸之第一複數個大體上平行、大體上共面的線；在一第二方向上延伸之第二複數個大體上平行、大體上共面的線；第一複數個可切換電阻記憶體元件，每一可切換電阻記憶體元件電性安置於該等第一線之一者與該等第二線之一者間，該等第一可切換電阻記憶體元件在一基板上之一第一高度處；及第二複數個可切換電阻記憶體元件，該等第二可切換電阻記憶體元件在該第一高度上之一第二高度處，其中該等可切換電阻記憶體元件在經受一設定電壓量值時降低電阻且在經受一重設電壓量值時增加電阻，且其中該設定電壓量值之極性與該重設電壓量值之極性為相反的。

本發明之另一態樣提供一種用於形成、設定並重設一非揮發性記憶體單元及相關導體之方法，該方法包含：形成一在一第一方向上延伸之第一資料線；形成一在該第一方向上延伸之第一參考線；形成一具有一通道區域之薄膜電

晶體，該通道區域電性地安置於該第一資料線與該第一參考線之間；形成一安置於該通道區域與該資料線間之可切換電阻記憶體元件，該可切換電阻記憶體元件具有一第一電阻；形成一在一與該第一方向不同之第二方向上延伸之第一選擇線；在該可切換電阻記憶體元件上施加一設定電壓量值，其中在施加該設定電壓量值之後，該電阻性切換記憶體元件具有一比該第一電阻低之第二電阻；及在該可切換電阻記憶體元件上施加一重設電壓量值，其中在施加該重設電壓量值之後，該可切換電阻記憶體元件具有一比該第二電阻高之第三電阻，且其中該設定電壓量值之極性與該重設電壓量值之極性為相反的。

本文中所描述之本發明之態樣及實施例之每一者可單獨使用或相互組合使用。

現將參看附圖描述較佳態樣及實施例。

【實施方式】

已注意到若干材料可在一個以上穩定的電阻率狀態間可逆地切換，舉例而言在一高電阻率狀態與一低電阻率狀態間切換。將自一高電阻率狀態至一低電阻率狀態之轉換稱作設定轉換，而將自一低電阻率狀態至一高電阻率狀態之轉換稱作重設轉換。Petti於2005年6月2日申請、由本發明之受讓人擁有且以引用之方式併入本文之美國專利申請案第11/143,269號「Rewriteable Memory Cell Comprising a Transistor and Resistance-Switching Material in Series」描述一單石三維記憶體陣列，其包含電晶體及電阻切換記憶

體元件，其中設定及重設可藉由相同電壓極性在該電阻切換記憶體元件上執行。對於設定或重設轉換中之任一者，Petti之該等電阻切換記憶體元件需要相對大的電壓(例如，2至3伏特)及電流。

對於某些材料(與Petti中受青睞之彼等材料對比)，自一高電阻率狀態至低電阻率狀態之轉換係藉由在一個方向上施加某一量值之一電壓(稱作一設定電壓量值)實現的，而自一低電阻率狀態至一高電阻率狀態之逆向轉換係藉由在相反方向上施加一電壓量值(稱作一重設電壓量值)實現的。該等材料因此為雙向的。一種該材料為摻雜V、Co、Ni、Pd、Fe或Mn(該等材料在Rose等人之美國專利案第5,541,869號中得到更充分地描述)之非晶矽。另一類材料係由Ignatiev等人在美國專利案第6,473,332號中教示：該等材料為諸如 $\text{Pr}_{1-x}\text{Ca}_x\text{MnO}_3$ 、 $\text{La}_{1-x}\text{Ca}_x\text{MnO}_3$ (LCMO)、 LaSrMnO_3 (LSMO)或 $\text{GdBaCo}_x\text{O}_y$ (GBCO)之鈣鈦礦材料。該可變電阻材料之另一選擇為一包含(例如)混合入一塑膠聚合物之碳黑微粒或石墨之碳聚合物薄膜，如由Jacobson等人在美國專利案第6,072,716號中所教示的。

一較佳材料由Campbell等人在美國專利申請案第09/943190號中且由Campbell在美國專利申請案第09/941544號中教示。該材料為化學式 A_xB_y 之摻雜硫族化物玻璃，其中A包括來自週期表之族IIIA (B、Al、Ga、In、Ti)、族IVA (C、Si、Ge、Sn、Pb)、族VA (N、P、As、Sb、Bi)或族VIIA (F、Cl、Br、I、At)之至少一元素，其中B係

自 S、Se 及 Te 及其混合物中選出。該摻雜劑係自包括 Ag、Au、Pt、Cu、Cd、Ir、Ru、Co、Cr、Mn 或 Ni 之貴金屬及過渡金屬中選出。如將描述的，在本發明中該硫族化物玻璃(不在結晶狀態中之非晶形硫族化物)形成在一臨近移動金屬離子之一儲集層之記憶體單元中。若干其他固態電解質材料可取代硫族化物玻璃。

圖 1a 展示一包括定位於兩個電極間之硫族化物層 10 之可切換電阻記憶體元件 8。硫族化物層 10 為非晶形的且形成為高電阻率的，故可切換電阻記憶體元件 8 在一高電阻狀態中。電極 12 為移動金屬離子(較佳地為銀)之一源極。電極 14 為不易於提供移動金屬離子之任何導體，例如，鎢、鋁、鎳、鉑或重摻雜半導體材料。

參看圖 1b，當將一正電壓施加至銀電極 12 且將一負電壓施加至電極 14 時，電子朝向電極 12 流動，而銀離子(展示為小圈)自電極 12 遷移入硫族化物層 10 中。如圖 1c 所示，銀形成一跨越硫族化物層 10 之導電橋，且可切換電阻記憶體元件 8 在一低電阻狀態中。包括可切換電阻記憶體元件 8 之記憶體單元已設定、或轉換到一低電阻狀態。可切換電阻記憶體元件 8 之低電阻狀態與高電阻狀態間之電阻差異可易於並重複偵測，且以此方式一記憶體狀態(例如，資料「0」或資料「1」)可經儲存並讀取。

參看圖 1d，為了重設該記憶體單元，使電壓反向。將一負電壓施加至電極 12 且將一正電壓施加至電極 14。電子朝向電極 14 流動，在硫族化物層 10 中之銀經氧化，且銀離子

遷移回電極12中，此破壞該導電橋，從而使硫族化物層10再次為高電阻的。該設定及重設循環可重複多次。

小心地控制每一單元在讀取、設定及重設期間所經受之電路情況為重要的。若在設定期間使用過少的電流來形成導電橋，則該單元將不為高度導電的，且將難以偵測程式化與非程式化狀態間之差異。若施加過多電流，則跨越硫族化物層形成之導電橋變得十分導電以致於當嘗試一重設時，該導電橋之電阻太低(電流太高)而不能建立足夠電壓來使該橋中之銀氧化且遷移回電極12。

在一讀取操作期間，必須在該單元上施加電壓以偵測電流及因此可切換電阻記憶體元件之電阻，且自該電阻來判定該記憶體單元之對應資料狀態。然而，若施加過多電壓，則存在將無意中觸發一不當之高電阻至低電阻轉換或低電阻至高電阻轉換之危險。

當包括該等可切換電阻記憶體元件之多個單元包括在一大片的記憶體陣列中時，對每一單元所經受之電壓之控制變得更為困難。本發明描述一非揮發性記憶體單元，其儲存一處於一可切換電阻記憶體元件之狀態下之資料狀態，其中該可切換電阻記憶體元件在經受一設定電壓量值時降低電阻且在經受一重設電壓量值時增加電阻，且其中該設定電壓之極性與該重設電壓之極性為相反的。本發明之記憶體單元適於在大的陣列中形成，從而容許精確控制每一單元上之電壓情況。

當將電壓施加至相鄰單元(例如，共用導體上之一單元)

時，較大陣列中之記憶體單元受到干擾。舉例而言，在諸如Herner等人於2005年5月9日申請、以引用之方式併入本文中之美國專利申請案第11/125,939號「Rewriteable Memory Cell Comprising a Diode and a Resistance-Switching Material」中所教示陣列的陣列中，使一電阻切換材料與一二極體配對以提供電絕緣。二極體並非為與材料(諸如本文中描述之彼等材料)一起使用之最有利選擇。本發明之電阻切換材料要求雙向電壓或電流，而二極體為一單向元件。此外，考慮到與習知二極體相關之相對高的導通電壓，難以達到在本發明中使用之一些電阻切換材料之相對低的切換電壓。

在本發明中，使一雙向可切換電阻記憶體元件與一MOSFET(金氧半場效電晶體)配對。在較佳實施例中，該MOSFET為一適於在一單石三維記憶體陣列中形成之薄膜電晶體，其形成一高度密集的記憶體元件。如在此同一日期申請之相關'123申請案(代理人案號023-0040)及'077申請案(代理人案號023-0041)中更詳細地描述，選擇用於讀取、設定及重設操作之偏壓極性以避免在記憶體之正常操作期間對儲存記憶體狀態之意外干擾且藉此容許在一TFT(薄膜電晶體)記憶體陣列中使用在非常低的電壓下切換電阻狀態之雙向切換電阻元件。在一示範性實施例中，設定偏壓為正的且重設及讀取偏壓為負的。

將描述兩類實施例。參看圖2，一第一實施例包括在一TFT陣列中之多個記憶體單元，每一單元具有串聯之一電晶體

及一可切換電阻記憶體元件。應瞭解許多其他實施例可在本發明之範疇內。提供該等實施例係為明晰之目的而不意欲成為限制。大體上平行之幹線20(以截面展示，延伸出頁面外)包括複數個線集21，每一線集21由兩個資料線22(例如，22a及22b)及一個參考線24組成，參考線24直接臨近兩個資料線22a及22b且在該等兩個資料線之間。大體上平行之選擇線26在幹線20上且較佳與其垂直而延伸。選擇線26與閘極介電層28及通道層30共同延伸。電晶體形成於每一相鄰之資料線與參考線對之間。電晶體34包括在源極區40與汲極區42間之通道區域41。每一選擇線26控制與其相關之電晶體。將可切換電阻記憶體元件36安置於通道區域41與資料線22b之間。在本實施例中，相鄰電晶體共用一參考線；舉例而言，電晶體38與電晶體34共用一參考線24。電晶體38亦包括一在通道區域41與資料線22a間之可切換電阻記憶體元件36。在相鄰之資料線22b與22c間無電晶體存在。如將描述的，在較佳實施例中，資料線22b與22c間之洩漏路徑藉由摻雜在此區域中之通道層30或藉由使用一通道調整遮蔽步驟移除該部分之通道層30中之任一者來防止。

圖3a係第二實施例之一橫截面圖，其中電晶體大體上垂直地定向。形成複數個大體上平行之資料線50。形成多個半導體柱52，每一柱在資料線50之一者上。每一柱52包括用作汲極區及源極區之重摻雜區域54及58，及一用作一通道區域之輕微摻雜或無摻雜區域56。在一替代實施例中，

區域56亦可為藉由複數個薄穿隧介電層分隔之複數個薄摻雜半導體區域之堆疊。該種堆疊對非常低的洩漏垂直TFT切換為較佳的。一閘電極60環繞每一柱52。

圖3b展示自上方所觀察之圖3a之該等單元。在一重複圖案中，間距為一特徵與相同特徵之下一出現之間之距離。舉例而言，柱52之間距為一個柱之中心與相鄰柱之中心間之距離。在一個方向上，柱52具有一第一間距 P_1 ，而在另一個方向上，柱52具有一較大的間距 P_2 ；舉例而言 P_2 可為 P_1 之1.5倍。(特徵尺寸為在一元件中藉由光微影形成之最小特徵或間隙之寬度。換句話說，間距 P_1 可為特徵尺寸之兩倍，而間距 P_2 為特徵尺寸之三倍。)在圖3a中所示之具有較小間距 P_1 之方向上，相鄰記憶體單元之閘電極60合併以形成一單一選擇線62。在具有較大間距 P_2 之方向上，相鄰單元之閘電極60不合併，且相鄰選擇線62經隔離。圖3a以橫截面展示沿圖3b之線X-X'之結構，而圖3c以橫截面展示沿圖3b之線Y-Y'之結構。出於可讀性，將參考線64自圖3b省略。

參看圖3a及3c，參考線64(較佳與資料線50平行)形成於柱52之上方，以使得每一柱52垂直地安置於資料線50之一者與參考線64之一者間。舉例而言，在每一記憶體單元中，一可切換電阻記憶體元件66形成於源極區58與一參考線64之間。或者，一可切換電阻記憶體元件可形成於汲極區54與資料線50之間。

本實施例之每一記憶體單元具有一垂直定向之電晶體，

該電晶體具有電性地串聯之一多晶通道區域及一可切換電阻記憶體元件。相反，在圖2之實施例中，總體通道定向為橫向的，而不是垂直的。

該等實施例之兩者係基於一非揮發性記憶體單元，其包含一可切換電阻記憶體元件；及一具有一通道區域之薄膜電晶體，其中安置該可切換電阻記憶體元件與該薄膜電晶體串聯，其中當在電阻性記憶體元件上施加一設定電壓量值時，該可切換電阻記憶體元件降低電阻，且其中當在可切換電阻記憶體元件上施加一重設電壓量值時，該可切換電阻記憶體元件增加電阻，且其中該設定電壓量值之極性與該重設電壓量值之極性相反。該電晶體及可切換電阻記憶體元件電性地安置於一資料線與一參考線之間，該參考線大體上與該資料線平行。具體言之，該電晶體之通道區域電性地安置於該資料線與該參考線之間。在兩個實施例中，選擇線包含其選擇之該等電晶體之閘電極。

由於本文中將描述之原因，且在相關申請案中，較佳地使本發明之薄膜電晶體具有低臨限電壓及高電流。因此，儘管每一電晶體之通道區域可由矽形成，但在較佳實施例中，通道區域為鍺或矽鍺合金。

於2002年12月31日申請、由本發明之受讓人擁有且以引用之方式併入本文中之Lee等人的美國專利第6,881,994號「Monolithic Three Dimensional Array of Charge Storage Devices Containing a Planarized Surface」及Walker等人的美國專利申請案第10/335,089號「Method for Fabricating

Programmable Memory Array Structures Incorporating Series-Connected Transistor Strings」描述單石三維記憶體陣列，其中該等記憶體單元包含電晶體。

將提供詳細實例，一個實例描述根據圖2之實施例形成之一單石三維記憶體陣列之製造，且另一實例描述根據圖3a至3c之實施例形成之一單石三維記憶體陣列之製造。在根據本發明之記憶體陣列之製造期間，Lee等人、Walker等人及Petti描述之製造技術將證明為有用的。為了簡單之目的，不會將來自該等申請案之所有製造細節包括在本文之描述中，但應瞭解不意欲將該等經併入之專利及申請案之任何教示排除在外。

橫向電晶體實施例：製造

參看圖4a，記憶體之形成起始於一基板100。基板100可為此項技術中已知之任何半導體基板，諸如單晶矽、如矽鍺或矽鍺碳之IV-IV化合物、III-V化合物、II-VII化合物、在該等基板上之磊晶層或任何其他半導體材料。該基板可包括在其中製造之積體電路。

一絕緣層102形成於基板100上。絕緣層102可為二氧化矽、氮化矽、高介電薄膜、Si-C-O-H薄膜或任何其他合適之絕緣材料。

導電材料104沈積於絕緣層102上。導電材料104係任何適當之導電材料或材料之堆疊。至少導電材料104之頂部較佳為重摻雜矽。在較佳實施例中，導電材料104為一原位摻雜矽層，其較佳重摻雜有一諸如磷之n型摻雜劑。導電材料104

可具有任何適當之厚度，例如，在大約100 nm厚與大約250 nm厚之間。

接著，沈積移動金屬離子之一儲集層106。該層在大約1 nm厚與大約100 nm厚之間，較佳在大約10 nm厚與大約30 nm厚之間。離子儲集層106為可提供適當移動金屬離子(較佳為銀離子)之任何材料。

接著沈積一離子導電層108。層108為一固態電解質材料，較佳包含化學式為 A_xB_y 之硫族化物玻璃，其中A包括來自週期表之族IIIA (B、Al、Ga、In、Ti)、族IVA (C、Si、Ge、Sn、Pb)、族VA (N、P、As、Sb、Bi)或族VIIA (F、Cl、Br、I、At)之至少一元素，其中B係自S、Se及Te及其混合物中選出。摻雜劑係自包括Ag、Au、Pt、Cu、Cd、Ir、Ru、Co、Cr、Mn或Ni之貴金屬及過渡金屬中選出。硫族化物層108較佳以一非晶態形成。層108與離子儲集層106接觸。

注意若干硫族化物記憶體藉由經受在一非晶態與一結晶狀態間之相變來操作。如所描述，本發明之實施例之該等記憶體單元具有一不同歷程(一導電橋之形成及分解)且不應經受相變。因此較不易進入晶相之硫族化物為較佳的。

在其他實施例中，可支持一導電橋之形成及分解之其他材料可取代一硫族化物。為了簡便之目的，本描述將層108稱作一硫族化物層，但應理解可替代使用其他材料來。

硫族化物層108較佳在大約10 nm厚與大約50 nm厚之間，較佳為約35 nm厚。

接著沈積之上部電極110為任何適當之電極材料。其應為

一 在一電場下不易提供移動金屬離子至硫族化物層 108 之材料。上部電極 110 可為(例如)鎢、鎳、鈾、鉑、金屬矽化物、諸如氮化鈦之導電氮化物或重摻雜多晶矽。最好是一可用作在硫族化物層 108 與尚未形成之通道層間之一擴散障壁的電極(諸如氮化鈦)。上部電極 110 宜在大約 10 nm 厚與大約 50 nm 厚之間。

若上部電極 110 並非由重摻雜 n 型多晶矽形成，則接著沈積重摻雜 n 型 (N+) 多晶矽之一薄層 112。該層可經原位摻雜或藉由離子植入摻雜。除了所描述之該等層外，可包括其他適當之障壁層、黏著層或蝕刻終止層。

接著，導電材料 104、離子儲集層 106、硫族化物層 108、上部電極 110 及 N+ 層 112 經圖案化且經蝕刻入複數個大體上平行、大體上共面的線 200。

介電填料 114(例如，HDP(高密度電漿)氧化物)沈積在線 200 之上及線 200 之間，其填充該等線間之間隙。移除介電填料 114 之過度填充以暴露在線 200 之頂部處之 N+ 層 112，且一平坦化步驟(例如，藉由化學-機械研磨(CMP)或回蝕)在一大體上平坦之表面暴露 N+ 層 112 及介電填料 114。圖 4a 展示此刻之結構。

接著，參看圖 4b，執行一遮蔽步驟以暴露線 200 中每第三線，且 N+ 層 112、上部電極 110、硫族化物層 108 及離子儲集層 106 經蝕刻且僅自暴露之線處移除。該等經暴露之線將為完成陣列中參考線。如所示的，層 112、110、108 及 106 餘留在三條線之其他兩條上，該等線將成為完成陣列中之資

料線。

離子儲集層 106、硫族化物層 108及電極層 110形成一可切換電阻記憶體元件。

參看圖 4c，接著沈積一通道層 116。該層為一宜與一 p 型摻雜劑輕微摻雜之半導體材料，且宜在大約 10 nm 厚與大約 50 nm 厚之間。在較佳實施例中，通道層 116 在大約 10 nm 厚與大約 20 nm 厚之間。通道層 116 為一半導體材料，且可為矽、鍺、或矽合金、鍺合金或矽與鍺之合金。在較佳實施例中，通道層 116 在沈積時為非晶形的，且在一隨後的退火步驟中或在隨後之熱處理期間將結晶，且再結晶後將為多晶的。使沈積半導體通道層中之晶粒尺寸最大化之方法描述於 Gu 之美國專利第 6,713,371 號「Large Grain Size Polysilicon Films Formed by Nuclei-Induced Solid Phase Crystallization」及 Gu 等人的美國專利申請案第 10/681,509 號「Uniform Seeding to Control Grain and Defect Density of Crystallized Silicon for Use in Sub-Micron Thin Film Transistors」中，該兩者由本發明之受讓人擁有，且以引用之方式併入本文中。

注意到在隨後之熱處理步驟中，n 型摻雜劑原子將自 N⁺層 112 及自 N⁺材料 104 向上擴散以形成通道層 116 中之 N⁺區域，該區域在將相當於完成元件中之源極區及汲極區。

通道層 116 沿其藉以沈積之構形為等形的。因而，在層 112、110、108 及 106 經移除之參考線 R₁ 及 R₂ 之頂部，通道層 116 具有一波紋形狀。該波紋形狀增加有效的通道長度，

其可改良元件在極小尺寸處之效能。

在完成陣列中，電晶體將在相鄰資料線與參考線間形成，但不應有任何元件形成於相鄰資料線之間，例如，在資料線D₂與資料線D₃之間。藉由一遮蔽步驟及一離子植入步驟(如圖4c所示在資料線D₂與D₃間之通道層內植入一p型摻雜劑)可防止該等線間之洩漏。

在一替代實施例中，如圖4f所示，使用習知圖案化及蝕刻技術可將資料線D₂與D₃間之區域117內之通道層116選擇性地移除。

參看圖4d，接著形成一閘極介電120。若通道層116為矽或一富含矽之合金，則閘極介電120可為一藉由一諸如熱氧化或電漿氧化之氧化製程生長之二氧化矽層。在其他實施例中，該層為一沈積介電質，例如二氧化矽或諸如Si₃N₄、Al₂O₃、HfO₂、HfSiON或Ta₂O₅之高K介電材料。閘極介電層120較佳在大約2 nm與大約10 nm之間。高K介電質閘極介電可比一由二氧化矽形成之閘極介電厚。

接著沈積字線材料122。字線材料122可為任何導電材料，其包括鎢、鋁或諸如多晶矽之重摻雜半導體材料。在若干實施例中，字線材料122包括一第一n型多晶矽層、一薄之鈦層、一薄之氮化鈦層及一第二n型多晶矽層。鈦及氮化鈦將與周圍多晶矽反應以形成一矽化鈦層，從而提供較低電阻。

最後執行一圖案化及蝕刻步驟以形成字線300。該蝕刻持續穿過閘極介電層120、通道層116，且穿過N⁺層112及上部

電極110。在較佳實施例中，蝕刻亦持續穿過硫族化物層108。字線300必須完全隔離；硫族化物層108通常為高電阻的，但在一極大的陣列中，即使由相鄰字線間之剩餘硫族化物材料提供之低電導路徑亦可為不利的。視情況亦可蝕刻離子儲集層106。圖4e展示在字線蝕刻完成後沿線L-L'與圖4d中所示之視圖成90度處結構。

一介電材料124沈積在字線300之上及字線300之間，其填充該等字線間之間隙。一平坦化步驟(例如，藉由CMP)使一大體上平坦之表面形成於一由介電材料124形成之層間介電上。一第一記憶層已形成。附加記憶層可在該層之上形成。

可設想對此處所描述之實施例進行的許多改變。在若干實施例中，硫族化物層108由摻雜有V、Co、Ni、Pd、Fe或Mn之非晶矽替代且夾在適當之電極層之間。在其他實施例中，硫族化物層108由先前指定之鈣鈦礦材料之一者替代。任何適當之電極材料可與一鈣鈦礦材料一起使用，例如，鋁、鈦、鈮、錳、銅、鈮、鋳、銀、錫、銦、鉛、鉍或鎢。在另一實施例中，一碳聚合物可替代硫族化物層108。

注意到在剛描述之實施例中，資料線及參考線在通道區域之下方且大體上為平行的。在本實施例中，為了將一記憶體單元之可切換電阻記憶體元件自高電阻狀態轉換至低電阻狀態，將一第一電壓施加至資料線且將一第二電壓施加至參考線，該第一電壓比該第二電壓高。相反地，為了將一記憶體單元之可切換電阻記憶體元件自低電阻狀態轉

換至高電阻狀態，將一第三電壓施加至資料線且將一第四電壓施加至參考線，該第四電壓比該第三電壓高。

◀垂直電晶體實施例：製造

參看圖5a，如同在先前實施例中，製造在一合適的基板100及絕緣層102上開始。如先前所描述的，基板100可包括製造於其中之積體電路。

資料線400在基板100及絕緣體102上形成。可在絕緣層102與導電層406之間包括一黏著層404以有助於導電層406黏著。儘管可使用其他材料，但是黏著層404之較佳材料為氮化鈦，或者可將該層省略。黏著層404可藉由任何習知方法(例如，藉由濺鍍)沈積。

黏著層404之厚度可在大約20埃至大約500埃之範圍內變動，且較佳在大約10 nm與大約40 nm之間，更佳為大約20 nm。

待沈積之下一層為導電層406。導電層406可包含此項技術中已知之任何導電材料，諸如摻雜半導體材料、諸如鎢之金屬或導電金屬矽化物或鋁。導電層406之厚度可部分地取決於所要薄層電阻且因此可為提供該所要薄層電阻之任何厚度。在一個實施例中，導電層406之厚度可在大約50 nm至大約300 nm之範圍內變動，且較佳在大約100 nm與大約200 nm之間，更佳為大約120 nm。

另一層410(較佳為氮化鈦)沈積在導電層406上。其可具有與層404之厚度相當之厚度。

一旦將形成資料線400之所有層經沈積，就使用任何合適

之遮蔽及蝕刻製程來圖案化並蝕刻該等層以形成大體上平行、大體上共面的資料線400，其在圖5a中以橫截面展示。

接著一介電材料408沈積在資料線400之上及資料線400之間。介電材料408可為任何已知之電絕緣材料，諸如HDP氧化物。

最後，移除資料線400上之過量介電材料408，從而暴露藉由介電材料408隔離之資料線400之頂部且留下一大體上平坦之表面。所得結構在圖5a中展示。移除介電過量填料以形成平坦表面可藉由此項技術中已知之任何製程(諸如回蝕或CMP)來執行。

資料線400之寬度可為如所需的。在較佳實施例中，資料線200可具有一在大約20 nm與大約250 nm間、較佳在大約45 nm與大約90 nm之間的寬度。在較佳實施例中，資料線400間之間隙具有與資料線400大約相同之寬度，儘管其可為較大或較小的。在較佳實施例中，資料線200之間距在大約40 nm與大約500 nm之間，較佳在大約90 nm與大約180 nm之間。

接著，參看圖5b，垂直柱將形成在完成之資料線400之上。(為了節省空間，基板100在圖5b及隨後的圖式中省略；但應假定其存在)。沈積將經圖案化成柱之半導體材料。該半導體材料可為矽、鍺、或矽合金、鍺合金或矽與鍺之合金。

在較佳實施例中，該半導體柱包含一第一導電型式之一底部重摻雜區域、一第二導電型式之一中部輕微摻雜或無

摻雜區域及該第一導電型式之一頂部重摻雜區域。

在本實例中，底部重摻雜區域412為重摻雜n型鍺。在最佳實施例中，重摻雜區域412經沈積且藉由任何習知方法(儘管可或者藉由諸如離子植入之若干其他方法，但是較佳藉由原位摻雜)，以一諸如磷之n型摻雜劑摻雜。該層較佳在大約10 nm與大約80 nm之間，最佳在大約20 nm與大約30 nm之間。底部重摻雜區域412將相當於待形成之電晶體之一源極區或汲極區。

接著，沈積將形成該柱之剩餘物(區域414及416)之鍺。輕微摻雜區域414將較佳在大約60 nm厚與大約200 nm厚之間，較佳在大約90 nm厚與大約150 nm厚之間。頂部重摻雜區域416應在大約10 nm厚與大約50 nm厚之間，較佳在大約20 nm厚與大約30 nm厚之間。因此，應沈積在大約70 nm與大約200 nm間之鍺以完成該柱所需之厚度。該鍺層414較佳為輕微摻雜之p型鍺且較佳經原位摻雜。待形成之電晶體之通道區域將在鍺層414內。

在若干實施例中，一隨後之平坦化步驟將移除一些鍺，因此在該種狀況下一額外厚度經沈積。若使用一習知CMP方法執行該平坦化步驟，則可損耗大約800埃之厚度(此為一平均值；該數量在該晶圓上改變。取決於CMP期間使用之研磨漿及方法，該鍺損耗可為更多的或更少的)。若藉由一回蝕法執行該平坦化步驟，則可移除僅約40 nm之鍺或更少之鍺。

在一較佳實施例中，頂部重摻雜n型區域416於此刻藉由

離子植入形成。將用作待形成之電晶體之一源極/汲極區之重摻雜區域416較佳在大約20 nm厚與大約30 nm厚之間。

接著，沈積移動金屬離子之一儲集層421。該層在大約1 nm厚與大約100 nm厚之間，較佳在大約10 nm厚與大約30 nm厚之間。離子儲集層421為可提供合適之移動金屬離子(較佳為銀離子)之任何材料。

一離子導體(較佳地一硫族化物)層418(對應於先前實施例中之硫族化物層108)沈積於離子儲集層421上且與離子儲集層421接觸。層418之厚度及組合物可如先前實施例中所描述的。為了簡單之目的，本論述將離子導體層418稱作一硫族化物層，但應瞭解可替代使用其他材料。

接著，電極層423沈積於硫族化物層418上。層423為描述用於先前實施例之上部電極層中之材料之任一者。

接著，執行一圖案化及蝕刻步驟來蝕刻柱500。層423、418、421、416、414及412在該蝕刻步驟中經蝕刻。

使用任何合適之遮蔽及蝕刻製程可形成柱500。舉例而言，光阻可經沈積、使用標準光微影技術經圖案化且經蝕刻、然後移除該光阻。或者，若干其他材料(例如，二氧化矽)之一硬式光罩可形成於半導體層堆疊上，使其頂部具有底部抗反射塗層(BARC)，然後經圖案化並蝕刻。相似地，介電抗反射塗層(DARC)可用作一硬式光罩。

在蝕刻之後，柱500包括底部重摻雜區域n型區域412、中部輕微摻雜p型區域414、頂部重摻雜n型區域416、離子儲集層421、硫族化物層418及上部電極423。在若干實施例

中，可包括諸如障壁層之其他層。

Chen於2003年12月5日申請之美國申請案第10/728436號「Photomask Features with Interior Nonprinting Window Using Alternating Phase Shifting」或Chen於2004年4月1日申請之美國申請案第10/815312號「Photomask Features with Chromeless Nonprinting Phase Shifting Window」中(該兩者由本法明之受讓人擁有且以引用之方式併入本文中)描述的光微影技術可有利地用以執行在形成一根據本發明的記憶體陣列中使用的任何光微影步驟。

柱500之寬度較佳地與資料線400之寬度大約相同。參看展示自上方觀察到之結構的圖5c，可見柱500具有在一個方向上之第一間距 P_3 及在另一方向上之第二、較大間距 P_4 。(柱500在圖5c中描繪為大體上圓柱形的。在小的特徵尺寸處，光微影製程傾向於使轉角變圓；因此經獨立圖案化之柱將傾向於為圓柱形的)。圖5a及5b之視圖展示沿著圖5c之線Z-Z'之在較小間距 P_3 處之柱。在與資料線400垂直之方向上量測之間距 P_3 應與資料線400之間距大約相同(較佳在大約180 nm與大約360 nm之間)，以使得每一柱500在資料線400之一者上方。可容忍若干未對準。與資料線400平行量測之間距 P_4 應比間距 P_3 大，儘管必要時其可為較大的或較小的，但是較佳約為 P_3 之1.5倍。

參看圖5d，一薄的閘極介電層426等形地沈積於柱500上，圍繞每一柱500且與每一柱500接觸。閘極介電層426可為任何適當之材料(例如，二氧化矽)，且可具有任何適當之

厚度(例如，在大約20埃與大約80埃之間，較佳約為50埃)。

接著，一閘極材料層428沈積於閘極介電層426上，沈積於第一柱500上及第一柱500之間。閘極材料層428較佳為氮化鉬，儘管可替代使用任何其他合適之導電材料(例如，重摻雜矽或一金屬)。

圖5e展示沿圖5c之線W-W'之以90度觀察到之圖5d之結構。選擇氮化鉬層428之厚度以使得側壁在一個方向上(具有較小間距 P_3)合併但不在另一方向(具有較大間距 P_4)合併。舉例而言，假定間距 P_3 為180 nm且間距 P_4 為270 nm。進一步假定柱500之寬度為大約90 nm，且在較小間距 P_3 之方向上柱500之間之間距為大約90 nm；因此在 P_4 間距方向上柱500之間之間距為180 nm。厚度為大約45 nm之氮化鉬層428將恰好填充 P_3 間距方向上之間隙(在圖5d中展示)，且將在 P_4 間距方向上餘留一90 nm之間隙G(在圖5e中展示)。氮化鉬層428之厚度較佳在二分之一之柱500之寬度與大約四分之三的柱500的寬度之間。因此，若柱500具有一大約90 nm之寬度，則氮化鉬層428之較佳厚度在大約45 nm與大約72 nm之間，較佳為大約60 nm。60 nm之厚度將在 P_4 間距方向上餘留大約60 nm之間隙。

參看展示 P_3 間距方向上之結構之圖5f及展示 P_4 間距方向上之結構的圖5g，執行一蝕刻以使氮化鉬層428凹進且使選擇線430隔離。選擇線430在 P_3 間距方向上由合併之氮化鉬層428組成(圖5f)，但在 P_4 間距方向上應為完全獨立的(圖5g)。選擇線430為大體上平行且大體上共面的。

該蝕刻應為一定時蝕刻，且應謹慎地加以控制。在該蝕刻完成之後，氮化鈮層428較佳在上部電極423之頂部下方至少50 nm處。該50 nm間隙將填滿介電質且將用來使選擇線430與尚未形成之上覆導體隔離。然而，氮化鈮層428不應經蝕刻過多，以使得其未能達到將成為電晶體之源極/汲極區之重摻雜區域416之較低邊緣。

接著，參看圖5h及5i，介電材料408沈積於柱500及氮化鈮層428之上及柱500與氮化鈮層428之間，其填充它們間之隙。介電材料408可為任何已知之電絕緣材料，例如HDP氧化物。

接著，將柱500上方之介電材料移除，從而暴露藉由介電材料408隔離之上部電極423。同時將閘極介電層426自上部電極423上移除。可藉由此項技術中已知之任何製程(諸如CMP或回蝕)來執行介電過量填料之該移除及平坦化。

大體上平行、大體上共面的參考線600可藉由任何合適之方法形成。可使用用來形成資料線400之方法來形成參考線600：沈積氮化鈦層432、沈積導電層434、沈積氮化鈦層436、接著圖案化並蝕刻以形成參考線600。儘管在一替代實施例中，若須要可形成參考線600與資料線400垂直，但參考線600較佳與資料線400平行。一介電材料(未圖示)沈積於參考線600上及參考線600間。或者，參考線600可藉由一鑲嵌法形成。參考線600較佳具有與資料線400大約相同之寬度。參考線之間距應為間距 P_3 ，以使得每一柱500垂直地安置於資料線400之一者與參考線600之一者之間。可容忍

若干未對準。

或者，參考線600可藉由一鑲嵌法形成，例如，包含銅。若參考線600藉由一鑲嵌法形成，則其將藉由以下步驟形成：沈積一介電材料；蝕刻該介電材料中大體上平行的溝槽；在該介電材料上沈積一導電材料，填充該等溝槽；及平坦化以暴露該介電材料且形成參考線600。

圖5j展示自上方觀察到之結構。圖5h之視圖為沿線Z-Z'，且圖5i之視圖為沿線W-W'。

注意到在本實施例中，與先前實施例不同，資料線與參考線之一者在通道區域下方且另一者在通道區域上方。

已在圖5h及5i中形成的為一第一記憶層。在每一記憶體單元中，氮化鉬層428用作一閘電極。當施加臨限電壓至閘電極428時，一垂直導電通道在通道區域414之表面處形成，且電流可在源極/汲極區412與416之間流動。每一閘電極為選擇線430之一者之一部分。離子儲集層421、硫族化物層418及上部電極423用作一可切換電阻記憶體元件。額外記憶層可使用所描述之方法形成在該記憶層上。

舉例而言，參看圖6，在一平坦化步驟暴露參考線600之頂部後，由合併以形成第二選擇線750之閘電極材料環繞之第二柱700可形成於參考線600上，且第二資料線800可形成於第二柱700上方。圖6展示共用參考線600之兩個記憶層。

額外記憶層可形成在圖6中所描繪之該等第一兩個記憶層之上方。資料線亦可被共用，或者其可為獨立的。圖7a展示四個記憶層：記憶層M₁及M₂共用參考線610，記憶層

M₂及M₃共用資料線710，且記憶層M₃及M₄共用參考線810。圖7b展示四個記憶層，其中參考線(610及810)被共用，但資料線(710及712)並未在記憶層M₂與M₃之間共用。圖7a之排列要求較少之遮蔽步驟，且由於此原因可為較佳的。

在最佳實施例中，控制電路形成於記憶體下方之基板中，且必須構成該陣列之該等資料線、參考線及選擇線之末端至該電路之電連接。用於構成該等連接同時最小化基板面積之使用的有利方案於2003年3月31日申請的Scheuerlein等人的美國專利案第6,879,505號「Word line arrangement having multi-layer word line segments for three-dimensional memory array」及Scheuerlein等人的美國專利申請案第10/403,752號「Three-Dimensional Memory Device Incorporating Segmented Bit Line Memory Array」中得以描述，該兩者由本發明之受讓人擁有且以引用之方式併入本文中。圖7b之排列儘管要求較多遮蔽步驟，但是可使用由Scheuerlein等人描述之技術，且由於此原因可為較佳的。

所述實施例之兩者皆包括一非揮發性記憶體單元，其包含一可切換電阻記憶體元件；及一包含一通道區域之電晶體，該可切換電阻記憶體元件與該電晶體串聯安置，其中該電晶體電性連接於一資料線與一參考線之間，資料線與參考線兩者在一第一方向上延伸，其中當該電晶體接通時，電流在一第二方向上通過該通道區域，該第二方向大體上與該第一方向垂直，其中該可切換電阻記憶體元件在

經受一設定電壓量值時降低電阻，且在經受一重設電壓量值時增加電阻，且其中該設定電壓量值之極性與該重設電壓量值之極性相反。

電路考慮

在本發明之記憶體陣列中，資料線與參考線為平行的且最好與選擇線垂直。因為許多單元可藉由一選擇線選擇，所以此係有利的。所有該等單元具有一些電流活性，且若一參考線與該選擇線平行，則所有該等電流將通過該資料線，且I-R(電流-電阻)下降將增加許多倍。

在本發明之較佳實施例中，資料線及參考線與電流通過電晶體之通道的方向垂直。具有一相似組態之DRAM(動態隨機記憶體)裝置描述於Scheuerlein之美國專利申請案第11/157,293號「Floating Body Memory Cell System and Method of Manufacture」(代理人案號MAT1P001)及Scheuerlein之美國專利申請案第11/157,317號「Volatile Memory Cell Two-Pass Writing Method」(代理人案號MAT1P003)中，該兩者在2005年6月20日申請，且該兩者以引用之方式併入本文中。

本發明之薄膜電晶體上之電阻對於元件效能是重要的。該薄膜電晶體之電阻宜與可切換電阻記憶體元件之低電阻狀態相當，其原因在與本案同一日期申請之相關申請案中有更詳盡的描述。在本發明之記憶體單元中，通道區域之電阻藉由鍍或矽鍍合金之使用而得以降低。同樣地，極其薄的閘極介電及高K介電閘極材料之使用有助於將電晶體

之電阻保持為低的。

一般而言，本發明中使用之設定電壓量值及重設電壓量值小於大約2伏特，其中以小於約1伏特較佳。

一單石三維記憶體陣列為其中多個記憶層在單一基板上形成而不具有插入基板之一個陣列，諸如晶圓。形成一個記憶層之層直接沈積或生長於一現存層或多個層之層上。相反，堆疊記憶體藉由在獨立基板上形成記憶層及將該等記憶層黏著在彼此上方已加以建構，如在Leedy之美國專利案第5,915,167號「Three dimensional structure memory」中。該等基板在黏結前可變薄或自記憶層移除，但由於該等記憶層最初形成在獨立基板上，故該等記憶體並非真正的單石三維記憶體陣列。

一形成在一基板上之單石三維記憶體陣列包含在該基板上之一第一高度處形成之至少一第一記憶體陣列及一在一與該第一高度不同的第二高度處形成的第二記憶層。三個、四個、八個或甚至任何數量之記憶層可在該多階陣列中之基板上形成。

本發明之實施例包括一單石三維記憶體陣列，其包含：
a)一形成於一基板上之第一記憶層，該第一記憶層包含第一複數個記憶體單元，每一第一記憶體單元包含：i)一場效電晶體；及ii)一可切換電阻記憶體元件，其中該可切換電阻記憶體元件在經受一設定電壓量值時降低電阻且在經受一重設電壓量值時增加電阻，且其中該設定電壓量值之極性與該重設電壓量值之極性為相反的；及b)一單石化地形

成在該第一記憶層上之第二記憶層。在較佳實施例中，該第二記憶層包含第二複數個記憶體單元。

因為記憶體單元在一基板上形成，所以第一、第二及額外複數個可切換電阻記憶體元件可在一基板上之不同高度處形成。

本發明之實施例提供用於形成、設定並重設一非揮發性記憶體單元及相關導體之方法，該方法包含：形成一在該第一方向上延伸之第一資料線；形成一在該第一方向上延伸之第一參考線；形成一具有一通道區域之薄膜電晶體，該通道區域電性地安置於該第一資料線與該第一參考線之間；形成一安置於該通道區域與該資料線之間之可切換電阻記憶體元件，該電阻性切換記憶體元件具有一第一電阻；形成一在與該第一方向不同之第二方向上延伸之第一選擇線；在該可切換電阻記憶體元件上施加一設定電壓量值，其中在施加該設定電壓量值之後，該可切換電阻記憶體元件具有一比該第一電阻低之第二電阻；及在該可切換電阻記憶體元件上施加一重設電壓量值，其中在施加該重設電壓量值之後，該可切換電阻記憶體元件具有一比該第二電阻高之第三電阻，且其中該設定電壓量值之極性與該重設電壓量值之極性為相反的。當施加該設定電壓量值時，在該第一資料線與該第一參考線間流動之電流通過該通道區域且通過該可切換電阻記憶體元件。

已在本文中描述製造之詳細方法，但只要結果在本發明之範疇內，可使用形成相同結構之任何其他方法。

上述實施方式已描述本發明可採取之眾多形式中之僅僅少數形式。因此，意欲使該實施方式用於說明，而並非用於限制。僅包括所有等效物之下述申請專利範圍意欲界定本發明之範疇。

【圖式簡單說明】

圖1a至1d係說明在一根據本發明之一較佳實施例形成之一記憶體單元中使用之一可切換電阻記憶體元件中的一導電橋的形成及分解的橫截面圖。

圖2係一根據本發明之一較佳實施例形成之記憶層之一橫截面圖。

圖3a、3b及3c係根據本發明之另一較佳實施例形成之一記憶層之圖。圖3a及3c為橫截面圖，而圖3b為一平面圖。

圖4a至4f係說明一根據本發明之一較佳實施例之記憶層的形成中之階段的橫截面圖。

圖5a至5j係說明一根據本發明之另一較佳實施例之記憶層的形成中之階段之圖。圖5c及5j為平面圖，而其餘的為橫截面圖。

圖6係一說明根據本發明之一較佳實施例之共用參考線之兩個記憶層之橫截面圖。

圖7a係一說明根據一較佳實施例之共用資料線之兩個記憶層之橫截面圖，而圖7b係一說明根據一不同實施例之未共用資料線之兩個記憶層之橫截面圖。

【主要元件符號說明】

8、36、66

可切換電阻記憶體元件

10	硫族化物層
12、14	電極
20	幹線
21	線集
22a、22b、22c、50、 400、710、712、800	資料線
24、64、600、610、810	參考線
26、62、430、750	選擇線
28、120、426	閘極介電層
30、116	通道層
34、38	電晶體
40	源極區
41	通道區域
42	汲極區
52、500、700	半導體柱
54、58、412、416	重摻雜區域
56	輕微摻雜區域/無摻雜區域
60	閘電極
100	基板
102	絕緣層
104	導電材料
106、421	離子儲集層
108、418	硫族化物層/離子導體層
110、423	上部電極

112	N+層
114	介電填料
117	區域
122	字線材料
124、408	介電材料
200	線
300	字線
404	黏著層
406、434	導電層
410、432、436	氮化鈦層
414	輕微摻雜區域428閘極材料層
D ₂ 、D ₃	資料線
G	間隙
M ₁ 、M ₂ 、M ₃ 、M ₄	記憶層
P ₁ 、P ₂ 、P ₃ 、P ₄	間距
R ₁ 、R ₂	參考線

五、中文發明摘要：

本發明教示一種可重寫非揮發性記憶體單元，其包含串聯之一薄膜電晶體及一可切換電阻記憶體元件。該可切換電阻元件在經受一施加於一第一方向上之設定電壓量值時降低電阻，且在經受一施加於一與該第一方向相反之第二方向上之重設電壓量值時增加電阻。在較佳實施例中，該記憶體單元以一陣列形成，其中以一單石三維記憶體陣列(其中多個記憶層形成於一單一基板上)較佳。在較佳實施例中，一薄膜電晶體及一可切換電阻記憶體元件電性地安置在平行之一資料線與一參考線之間。一垂直於該資料及該參考線而延伸之選擇線宜控制該電晶體。

六、英文發明摘要：

十一、圖式：

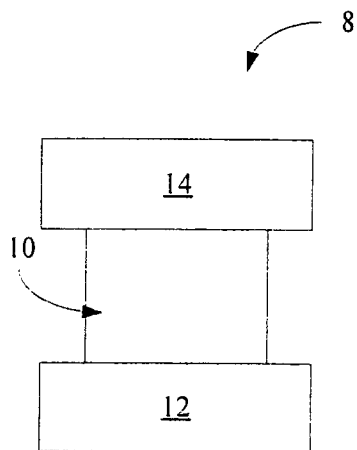


圖1a

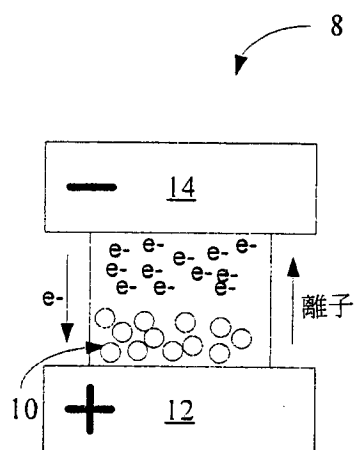


圖1b

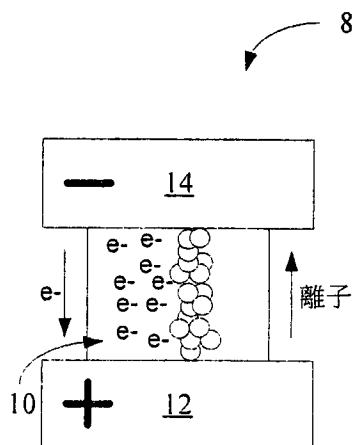


圖1c

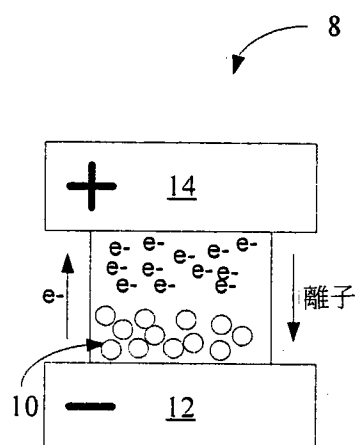


圖1d

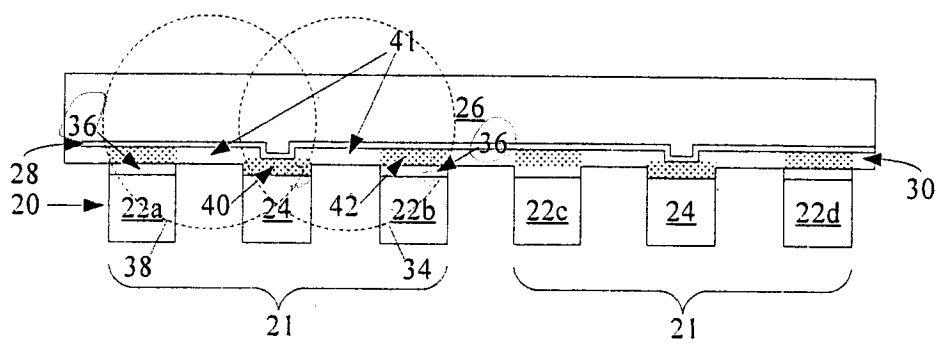


圖2

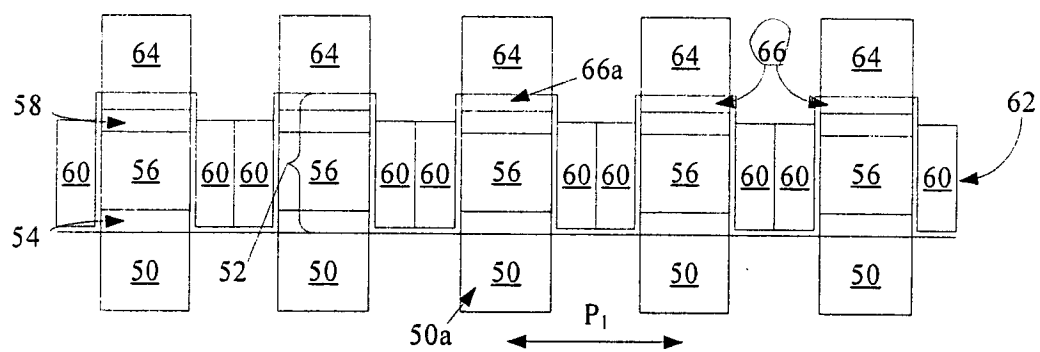


圖3a

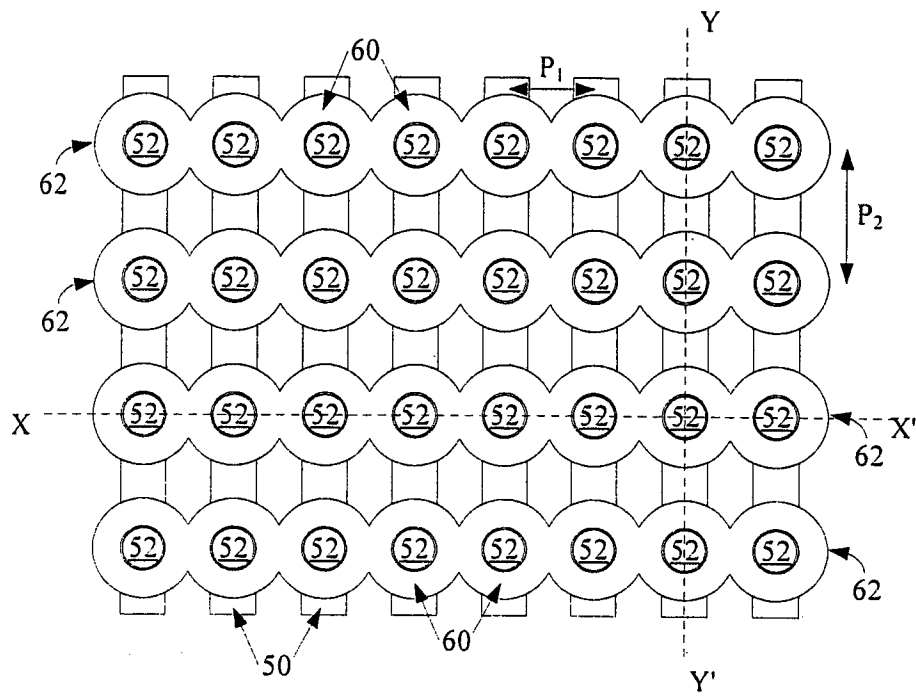


圖3b

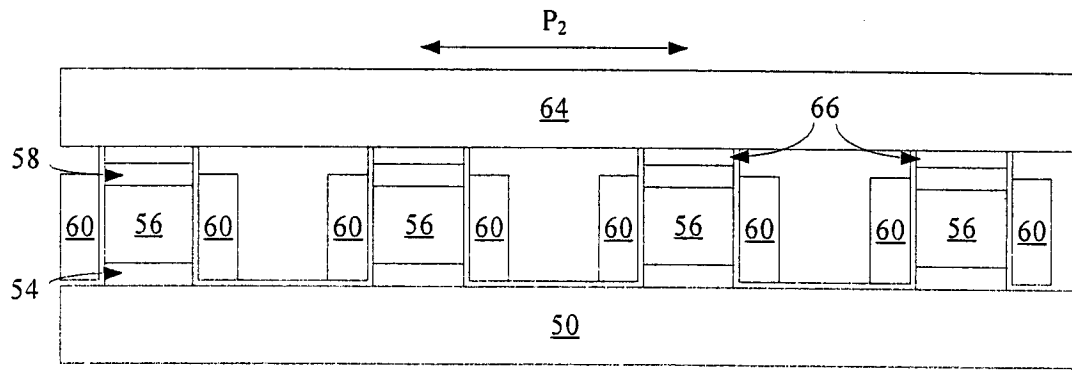


圖3c

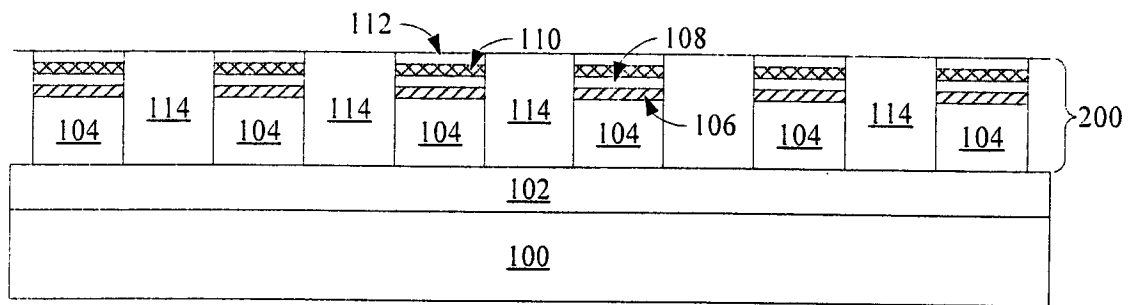


圖4a

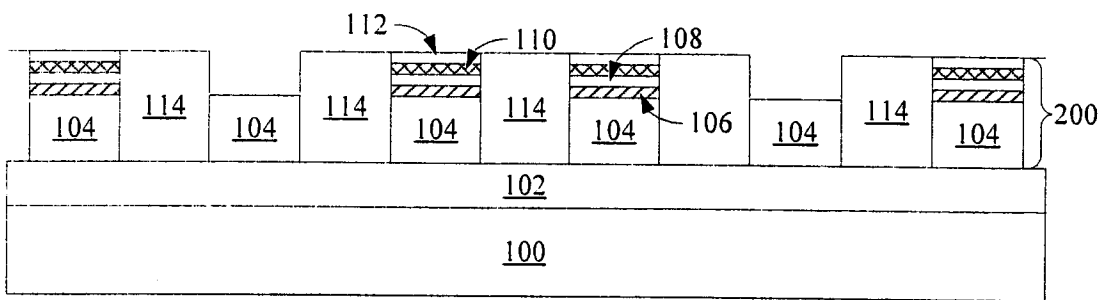


圖4b

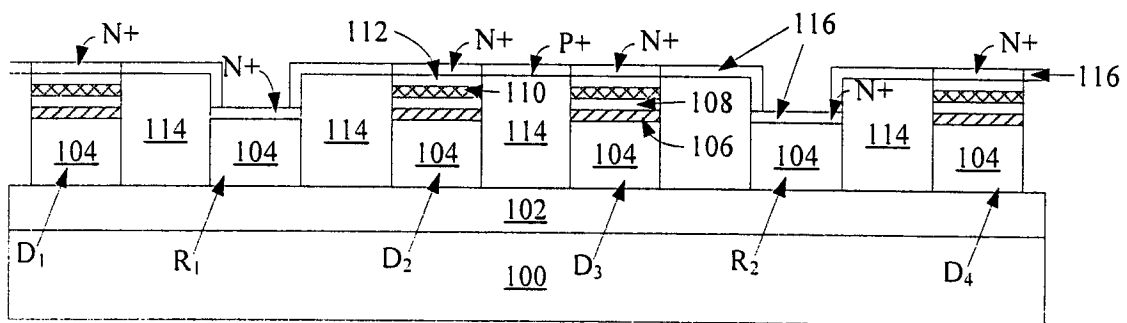


圖4c

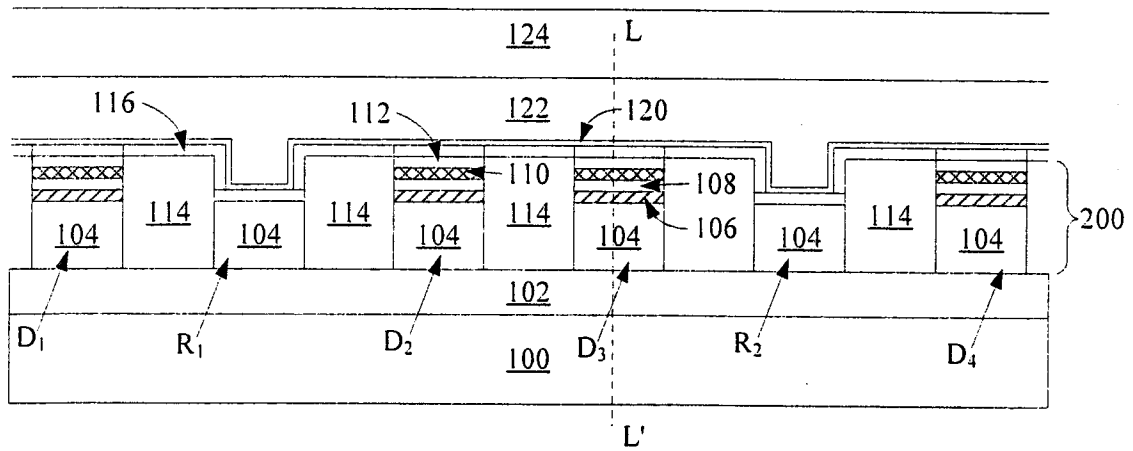


圖4d

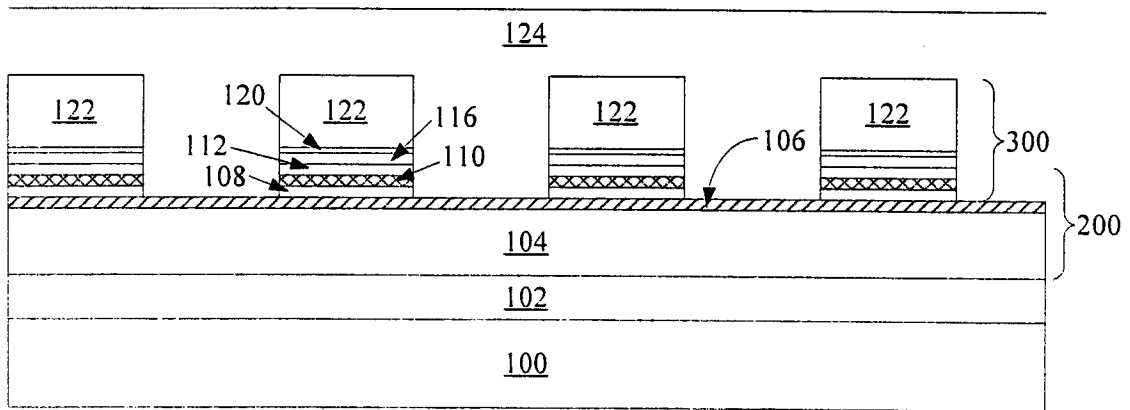


圖4e

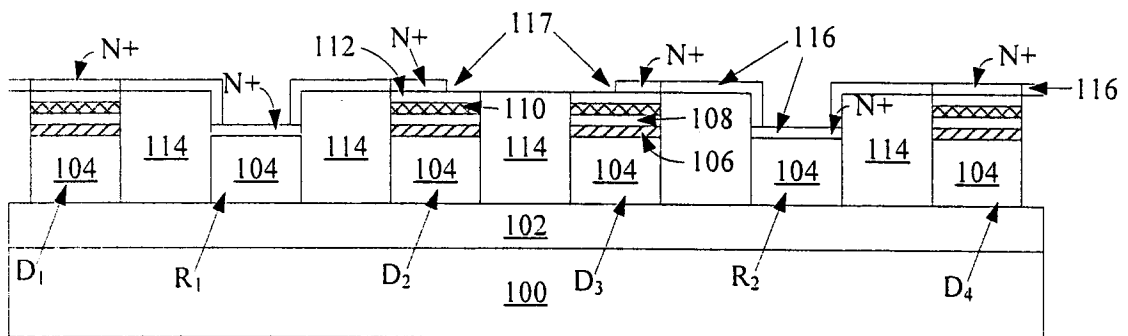


圖4f

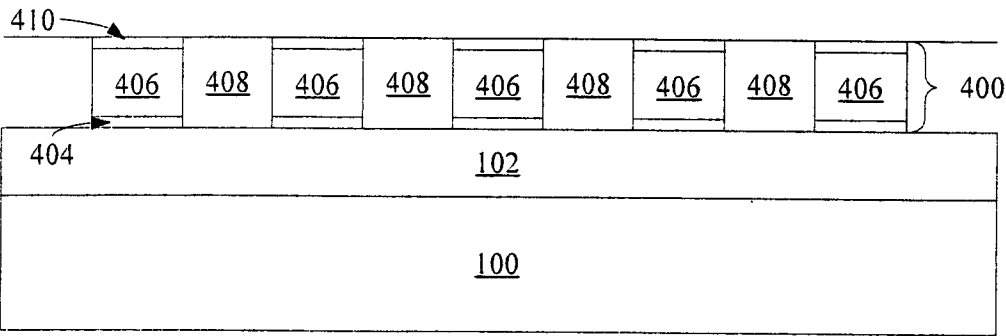


圖5a

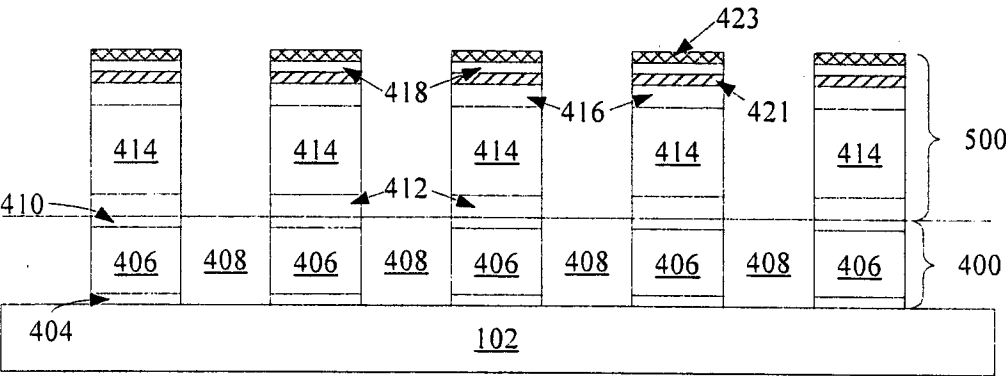


圖5b

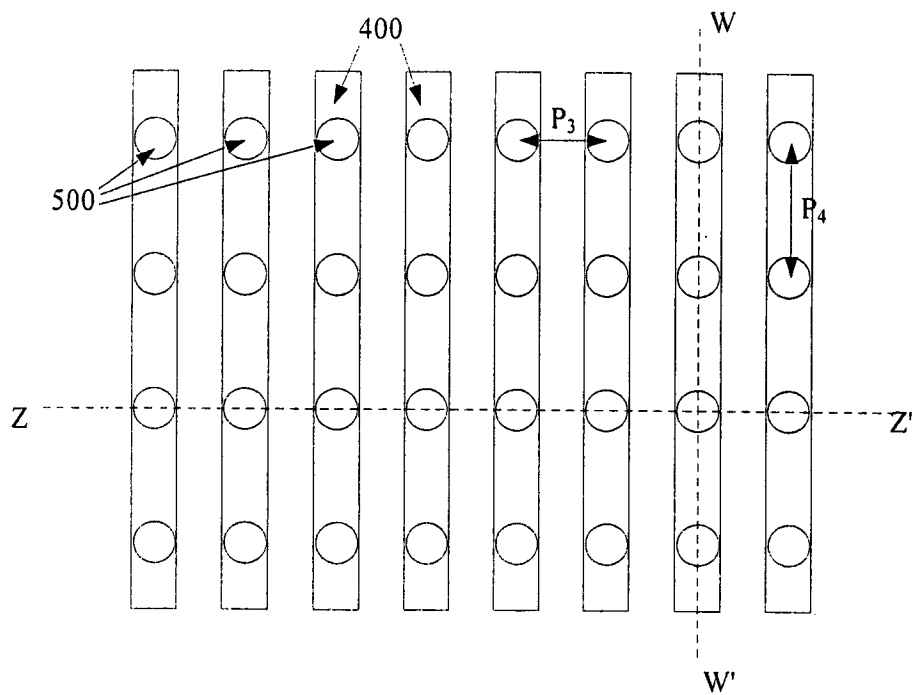


圖5c

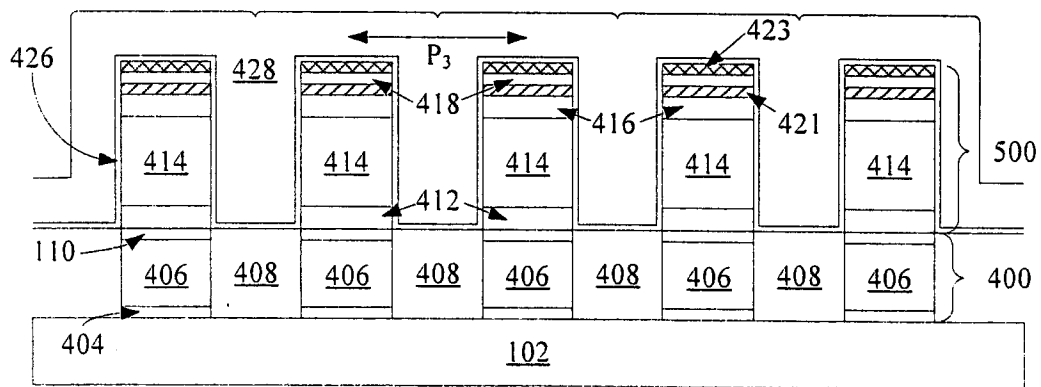


圖5d

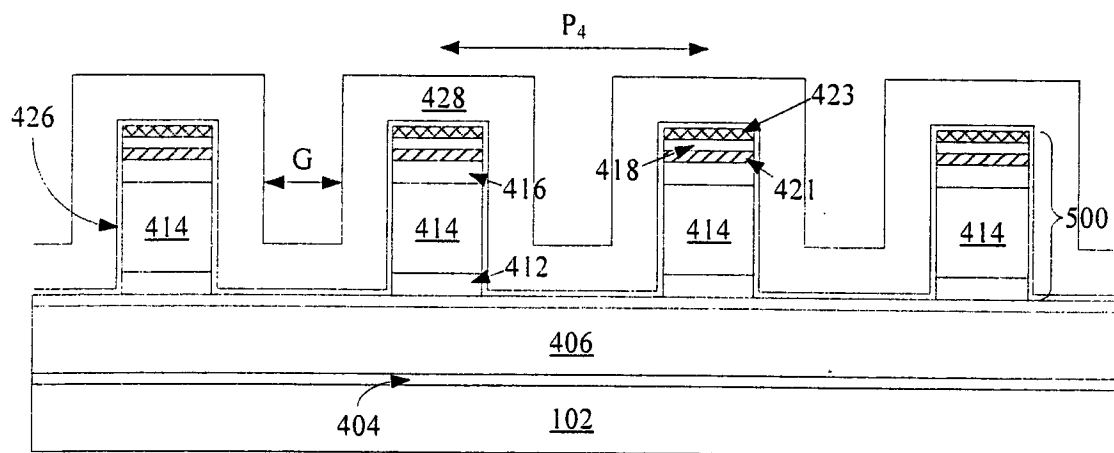


圖5e

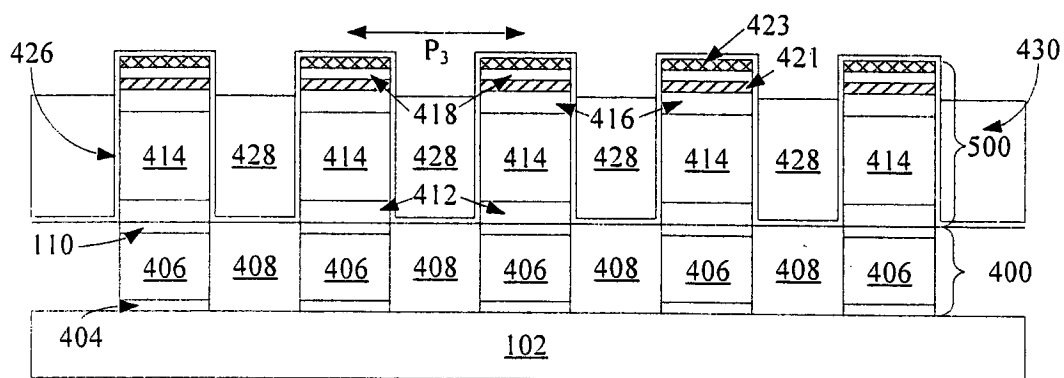


圖5f

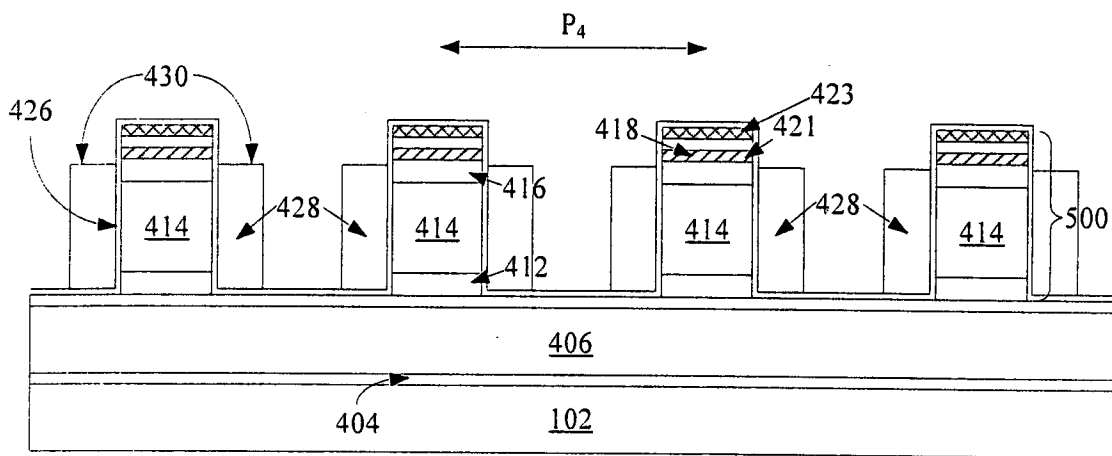


圖5g

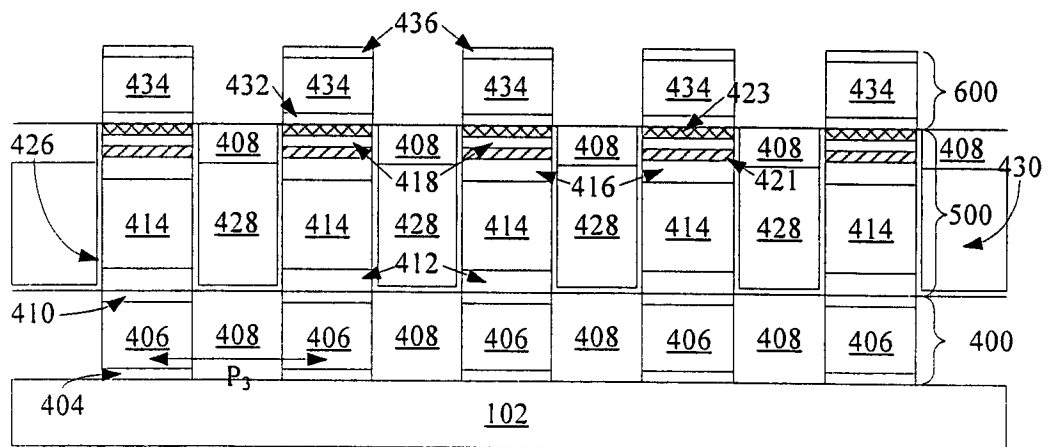


圖5h

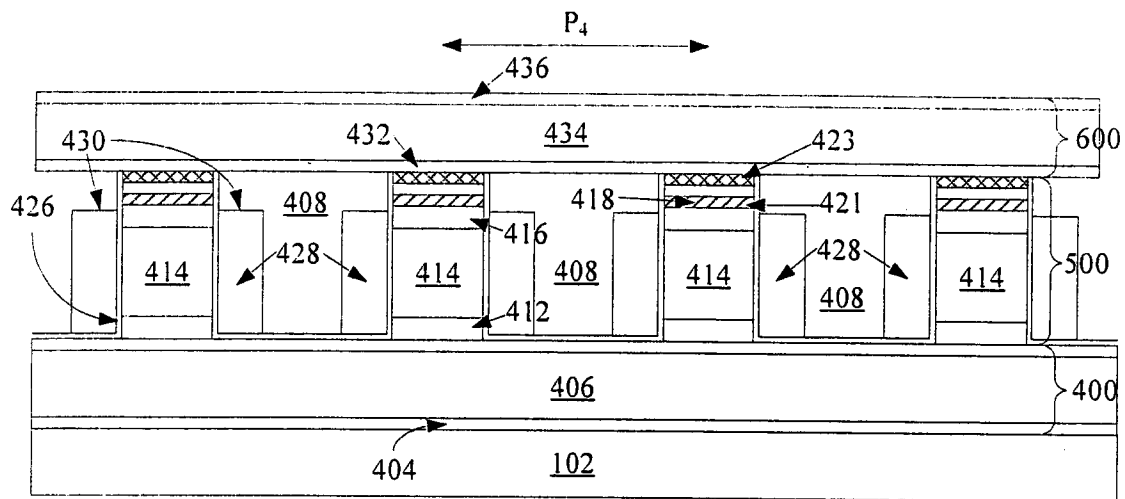


圖5i

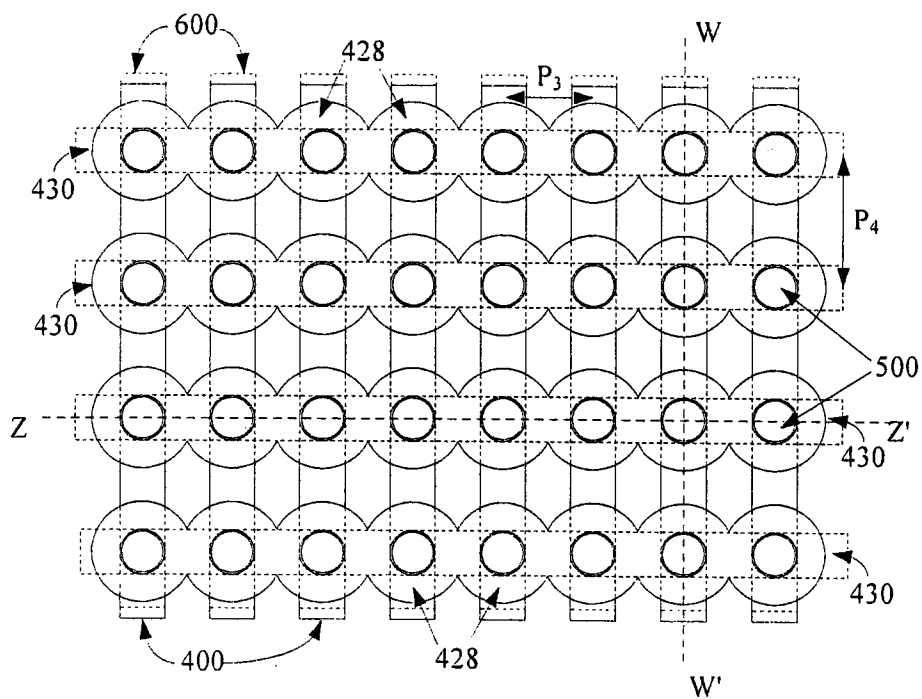


圖5j

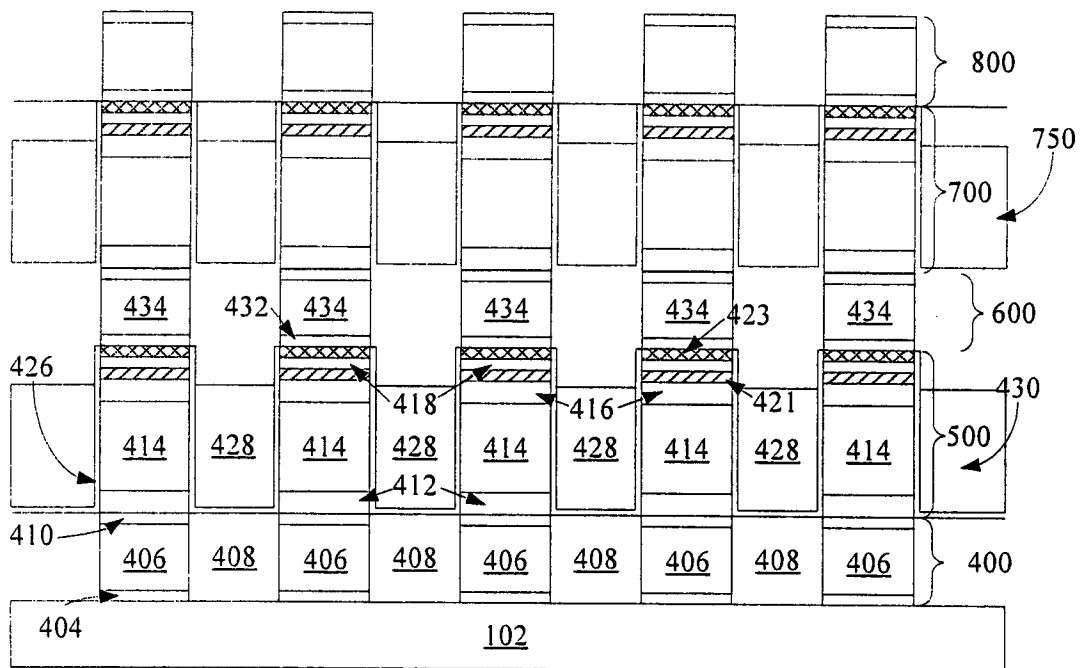


圖6

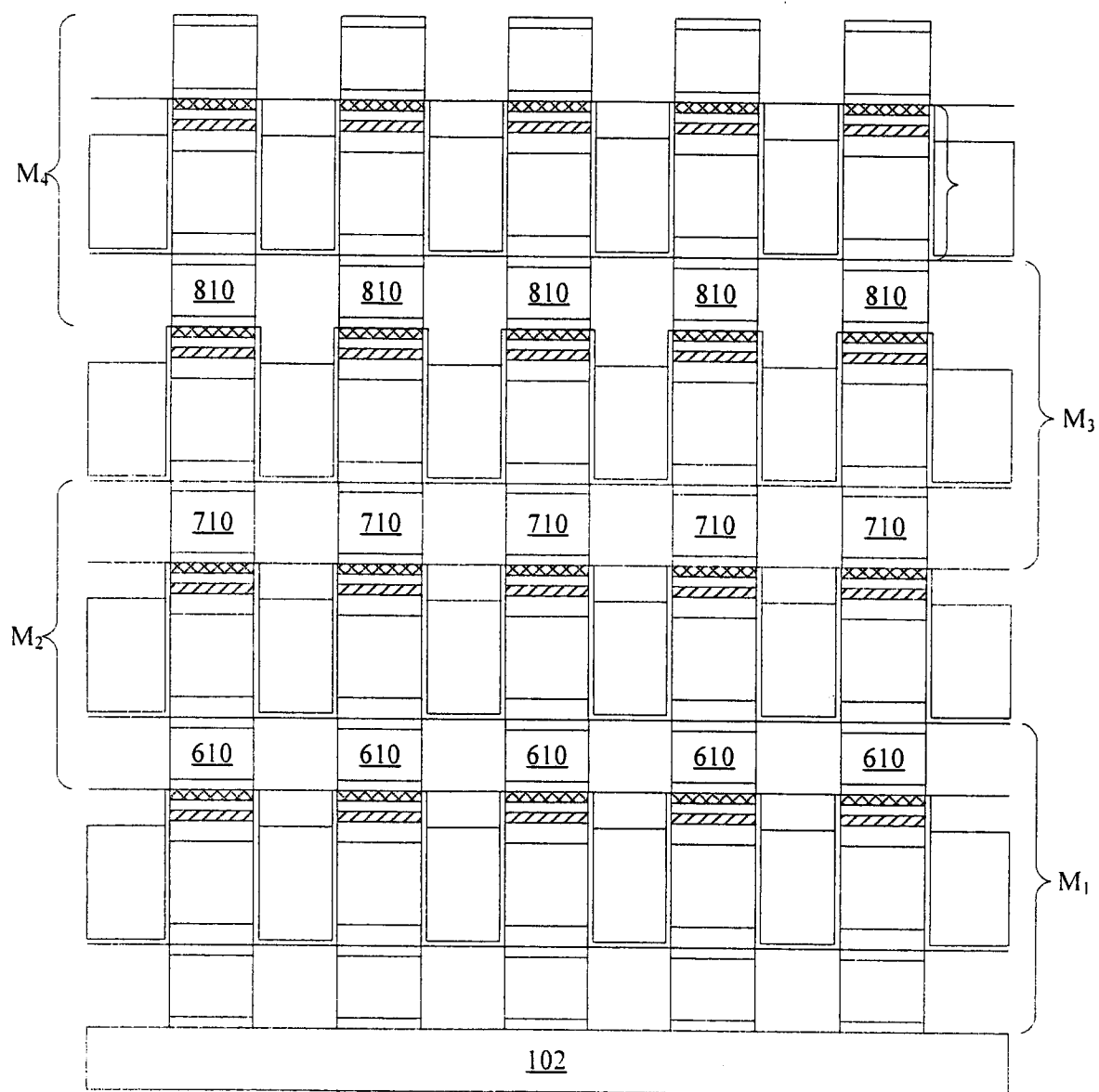


圖7a

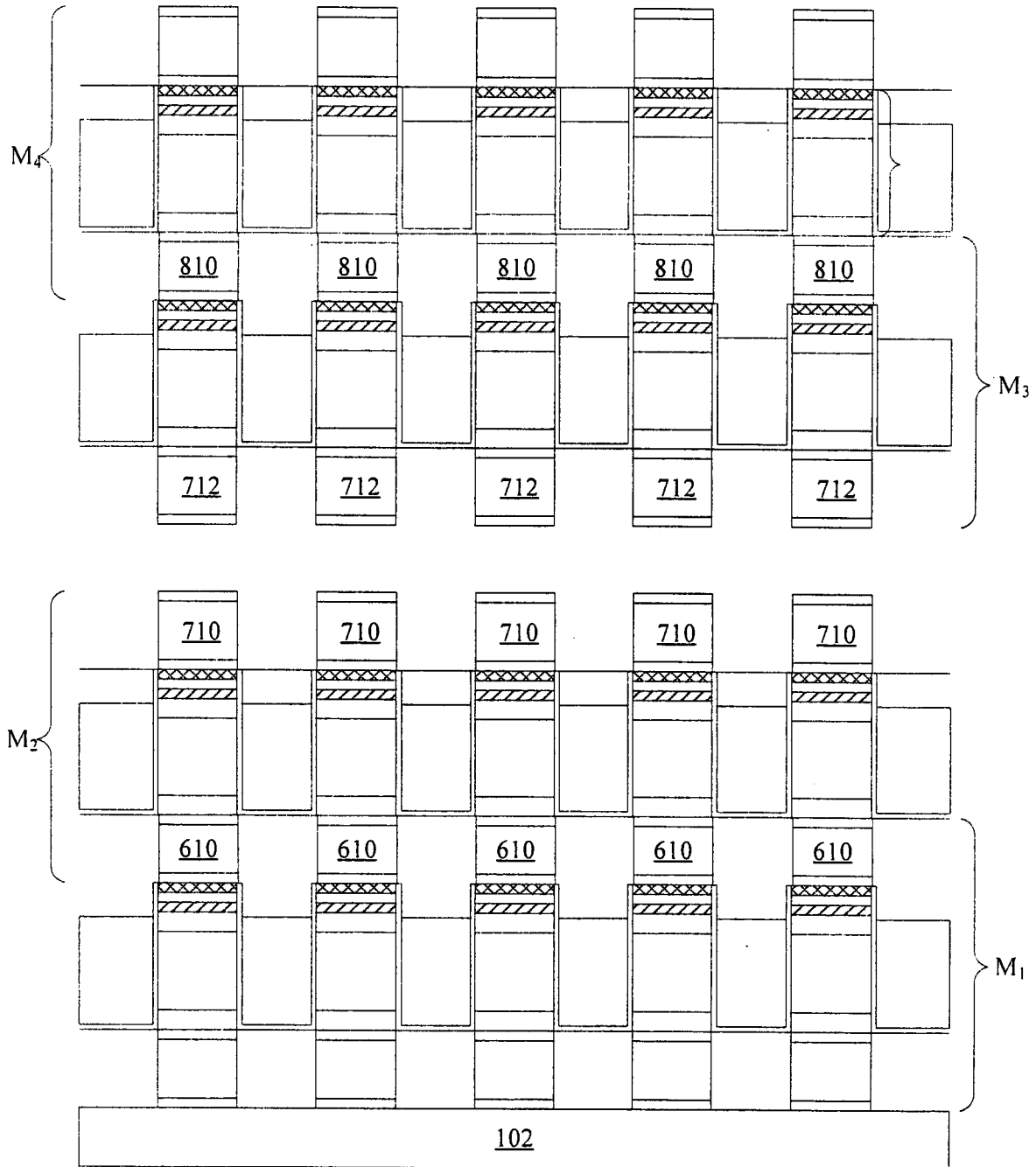


圖7b

七、指定代表圖：

(一)本案指定代表圖為：第 (2) 圖。

(二)本代表圖之元件符號簡單說明：

20	幹線
21	線集
22a、22b、22c	資料線
24	參考線
26	選擇線
28	閘極介電層
30	通道層
34	電晶體
36	可切換電阻記憶體元件
38	電晶體
40	源極區
41	通道區域
42	汲極區

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

發明專利說明書

中文說明書替換頁(98年6月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：95125294

※ 申請日期：95.7.11

※IPC 分類：G11C (1/44(2006.01))

(1/21(2006.01))

一、發明名稱：(中文/英文)

非揮發性記憶體單元、單石三維記憶體陣列及用於形成、設定並重設
一非揮發性記憶體單元及相關導體之方法

A NONVOLATILE MEMORY CELL, A MONOLITHIC THREE
DIMENSIONAL MEMORY ARRAY, AND A METHOD FOR FORMING,
SETTING AND RESETTING A NONVOLATILE MEMORY CELL AND
ASSOCIATED CONDUCTORS

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商桑迪士克 3D 公司
SANDISK 3D, LLC

代表人：(中文/英文)

查爾斯 樊 歐登
VAN ORDEN, CHARLES
梅根 康普特
COMPORT, MEGAN

住居所或營業所地址：(中文/英文)

美國加州謬佩塔斯市麥卡錫大道 601 號
601 MCCARTHY BOULEVARD, MILPITAS, CA 95035, U. S. A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 1 人)

姓 名：(中文/英文)

洛依 艾德恩
SCHEUERLEIN, ROY

國 籍：(中文/英文)

美國 U.S.A.

十、申請專利範圍：

1. 一種非揮發性記憶體單元，其包含：

一可切換電阻記憶體元件；及

一具有一通道區域之薄膜電晶體，

其中一資料線及一參考線在該通道區域之下，

其中該可切換電阻記憶體元件係安置成與該薄膜電晶體串聯，其中當一設定電壓量值施加於該可切換電阻記憶體元件上時，該可切換電阻記憶體元件降低電阻，且其中當一重設電壓量值施加於該可切換電阻記憶體元件上時，該可切換電阻記憶體元件增加電阻，且其中該設定電壓量值之極性與該重設電壓量值之極性相反。

2. 如請求項1之非揮發性記憶體單元，其中該可切換電阻記憶體元件包含一鈣鈦礦材料。

3. 如請求項1之非揮發性記憶體單元，其中該可切換電阻記憶體元件包含一非晶矽，其摻雜有一選自由下列各物組成之群的元素：V、Co、Ni、Pd、Fe及Mn。

4. 如請求項1之非揮發性記憶體單元，其中該可切換電阻記憶體元件包含一碳聚合物薄膜。

5. 如請求項1之非揮發性記憶體單元，其中該可切換電阻記憶體元件包含一固態電解質材料。

6. 如請求項5之非揮發性記憶體單元，其中該固態電解質材料包含具有化學式 A_xB_y 之硫族化物玻璃，

其中A係選自由下列各物組成之群：B、Al、Ga、In、Ti、C、Si、Ge、Sn、Pb、N、P、As、Sb、Bi、F、Cl、

Br、I及At，且其中B為Si、Se、Te或其合金或化合物。

7. 如請求項6之非揮發性記憶體單元，其中該硫族化物玻璃摻雜有Ag、Au、Pt、Cu、Cd、Ir、Ru、Co、Cr、Mn或Ni。
8. 如請求項5之非揮發性記憶體單元，其中一移動金屬離子儲集層與該固態電解質材料接觸。
9. 如請求項1之非揮發性記憶體單元，其中該電晶體及該可切換電阻記憶體元件電性地安置在該資料線與該參考線之間，該參考線實質上與該資料線平行。
10. 如請求項9之非揮發性記憶體單元，其中該電晶體連接至一選擇線，該選擇線實質上與該資料線垂直，其中該選擇線控制該薄膜電晶體。
11. 如請求項1之非揮發性記憶體單元，其中該通道區域包含矽、鍺或一鍺合金。
12. 如請求項1之非揮發性記憶體單元，其中該通道區域為多晶的。
13. 如請求項1之非揮發性記憶體單元，其中該設定電壓量值小於約2伏特。
14. 如請求項1之非揮發性記憶體單元，其中該重設電壓量值小於約2伏特。
15. 如請求項1之非揮發性記憶體單元，其中該單元係形成於一基板上之一單石三維記憶體陣列的一部分。
16. 如請求項15之非揮發性記憶體單元，其中該基板包含單晶矽。

17. 一種非揮發性記憶體單元，其包含：

一可切換電阻記憶體元件；及

一具有一通道區域之薄膜電晶體，

其中該可切換電阻記憶體元件係安置成與該薄膜電晶體串聯，

其中當一設定電壓量值施加於該可切換電阻記憶體元件上時，該可切換電阻記憶體元件降低電阻，且

其中當一重設電壓量值施加於該可切換電阻記憶體元件上時，該可切換電阻記憶體元件增加電阻，

其中該設定電壓量值之極性與該重設電壓量值之極性相反，

其中該電晶體及該可切換電阻記憶體元件電性地安置在一資料線與一參考線之間，該參考線實質上與該資料線平行，

其中該電晶體連接至一選擇線，該選擇線實質上與該資料線垂直，其中該選擇線控制該薄膜電晶體，且

其中該通道區域實質上不垂直，且該資料線及該參考線實質上共面且在該通道區域之下方。

18. 如請求項17之非揮發性記憶體單元，其中該可切換電阻記憶體元件係安置於該通道區域與該資料線之間。

19. 一種非揮發性記憶體單元，其包含：

一可切換電阻記憶體元件；及

一包含一通道區域之電晶體，該可切換電阻記憶體元

件係安置成與該電晶體串聯，其中該電晶體電性連接於一資料線與一參考線之間，資料線與參考線兩者在一第一方向上延伸，其中當該電晶體接通時，電流在一第二方向上通過該通道區域，該第二方向實質上與該第一方向垂直，其中該可切換電阻記憶體元件在經受一設定電壓量值時降低電阻，且在經受一重設電壓量值時增加電阻，其中該設定電壓量值之極性與該重設電壓量值之極性相反，且

其中該記憶體單元之特徵在於下列至少之一：

- A. 該通道區域係電性地安置在該資料線與該參考線之間；或
- B. 該電晶體連接至一選擇線，該選擇線在該第二方向上延伸。

- 20. 如請求項19之非揮發性記憶體單元，其中該通道區域包含一多晶半導體材料。
- 21. 如請求項19之非揮發性記憶體單元，其中該通道區域包含矽、鍺或一矽鍺合金。
- 22. 如請求項19之非揮發性記憶體單元，其中該通道區域係電性地安置在該資料線與該參考線之間。
- 23. 如請求項22之非揮發性記憶體單元，其中該資料線及該參考線在該通道區域下方。
- 24. 如請求項23之非揮發性記憶體單元，其中該電晶體連接至一選擇線，該選擇線在該第二方向上延伸。
- 25. 如請求項24之非揮發性記憶體單元，其中該選擇線包含

該電晶體之一閘電極。

26. 如請求項19之非揮發性記憶體單元，其中該可切換電阻記憶體元件包含一鈣鈦礦材料。
27. 如請求項19之非揮發性記憶體單元，其中該可切換電阻記憶體元件包含非晶矽，其摻雜有一選自由下列各物組成之群的元素：V、Co、Ni、Pd、Fe及Mn。
28. 如請求項19之非揮發性記憶體單元，其中該可切換電阻記憶體元件包含一碳聚合物薄膜。
29. 如請求項19之非揮發性記憶體單元，其中該可切換電阻記憶體元件包含一固態電解質材料。
30. 如請求項29之非揮發性記憶體單元，其中該固態電解質材料包含一具有化學式 A_xB_y 之硫族化物玻璃，
其中A係選自由下列各物組成之群：B、Al、Ga、In、Ti、C、Si、Ge、Sn、Pb、N、P、As、Sb、Bi、F、Cl、Br、I及At，且其中B為Si、Se、Te或其合金或化合物。
31. 如請求項30之非揮發性記憶體單元，其中該硫族化物玻璃摻雜有Ag、Au、Pt、Cu、Cd、Ir、Ru、Co、Cr、Mn或Ni。
32. 如請求項29之非揮發性記憶體單元，其中一移動金屬離子儲集層與固態電解質材料接觸。
33. 如請求項32之非揮發性記憶體單元，其中該移動金屬離子為銀離子。
34. 如請求項19之非揮發性記憶體單元，其中該設定電壓量值及該重設電壓量值小於約2伏特。

35. 一種形成於一基板上之非揮發性記憶體單元，該記憶體單元包含：

一包含一通道區域之薄膜電晶體，該通道區域包含一沈積半導體材料，其中該半導體材料為矽、鍺或一矽鍺合金；及

一可切換電阻記憶體元件，其中該可切換電阻記憶體元件在經受一設定電壓量值時降低電阻，且在經受一重設電壓量值時增加電阻，且其中該設定電壓量值之極性與該重設電壓量值之極性相反，且

其中該通道區域係電性地安置在一資料線與一參考線之間，該資料線及該參考線實質上平行，且在平行於該基板的一第一方向上延伸。

36. 如請求項35之非揮發性記憶體單元，其中當該薄膜電晶體接通時，在該資料線與該參考線間流動之電流在一實質上與該第一方向垂直之一第二方向上通過該通道區域。

37. 如請求項36之非揮發性記憶體單元，其中該資料線及該參考線在該通道區域下方。

38. 如請求項36之非揮發性記憶體單元，其中該薄膜電晶體係藉由一選擇線控制，該選擇線在該第二方向上延伸。

39. 如請求項36之非揮發性記憶體單元，其中該選擇線包含該薄膜電晶體之一閘電極。

40. 如請求項35之非揮發性記憶體單元，其中該通道區域係實質上垂直地定向。

41. 如請求項35之非揮發性記憶體單元，該可切換電阻記憶體元件包含一鈣鈦礦材料。
42. 如請求項35之非揮發性記憶體單元，其中該可切換電阻記憶體元件包含非晶矽，其摻雜有一選自由下列各物組成之群的元素：V、Co、Ni、Pd、Fe及Mn。
43. 如請求項35之非揮發性記憶體單元，其中該可切換電阻記憶體元件包含一碳聚合物薄膜。
44. 如請求項35之非揮發性記憶體單元，其中該可切換電阻記憶體元件包含一固態電解質材料。
45. 如請求項44之非揮發性記憶體單元，其中該固態電解質材料為一具有化學式 A_xB_y 之硫族化物玻璃層，
其中A係選自由下列各物組成之群：B、Al、Ga、In、Ti、C、Si、Ge、Sn、Pb、N、P、As、Sb、Bi、F、Cl、Br、I及At，且其中B為Si、Se、Te或其合金或化合物。
46. 如請求項45之非揮發性記憶體單元，其中該硫族化物玻璃摻雜有Ag、Au、Pt、Cu、Cd、Ir、Ru、Co、Cr、Mn或Ni。
47. 如請求項44之非揮發性記憶體單元，其中一移動金屬離子儲集層與該固態電解質材料接觸。
48. 如請求項47之非揮發性記憶體單元，其中該移動金屬離子為銀離子。
49. 一種單石三維記憶體陣列，其包含：
a) 一在一基板上形成之第一記憶層，該第一記憶層包含第一複數個記憶體單元，每一第一記憶體單元包

含：

i)一場效電晶體；及

ii)一可切換電阻記憶體元件，其中該可切換電阻記憶體元件在經受一設定電壓量值時降低電阻，且在經受一重設電壓量值時增加電阻，且其中該設定電壓量值之極性與該重設電壓量值之極性相反；及

b)一單石化地形成於該第一記憶層上之第二記憶層，其中該第一記憶層進一步包含一第一複數個資料線，一第一複數個參考線，及一第一複數個選擇線，其中該等第一資料線及該等第一參考線係實質上平行且在一第一方向上延伸，其中該等第一選擇線係實質上平行且在不同於該第一方向的一第二方向上延伸，且其中每一該第一記憶體單元的該場效電晶體包含一通道區域，且其中，當該通道區域導通時，電流在該等第一資料線之一及該等第一參考線之一間，流經該通道區域。

50. 如請求項49之單石三維記憶體陣列，其中該可切換電阻記憶體元件包含一鈣鈦礦材料。

51. 如請求項49之單石三維記憶體陣列，其中該可切換電阻記憶體元件包含非晶矽，其摻雜有一選自由下列各物組成之群的元素：V、Co、Ni、Pd、Fe及Mn。

52. 如請求項49之單石三維記憶體陣列，其中該可切換電阻記憶體元件包含一碳聚合物薄膜。

53. 如請求項49之單石三維記憶體陣列，其中該可切換電阻記憶體元件包含一固態電解質材料。
54. 如請求項53之單石三維記憶體陣列，其中該固態電解質材料包含一具有化學式 A_xB_y 之硫族化物玻璃層，
其中A係選自由下列各物組成之群：B、Al、Ga、In、Ti、C、Si、Ge、Sn、Pb、N、P、As、Sb、Bi、F、Cl、Br、I及At，且其中B為Si、Se、Te或其合金或化合物。
55. 如請求項54之單石三維記憶體陣列，其中該硫族化物玻璃摻雜有Ag、Au、Pt、Cu、Cd、Ir、Ru、Co、Cr、Mn或Ni。
56. 如請求項53之單石三維記憶體陣列，其中一移動金屬離子儲集層與該電解質材料接觸。
57. 如請求項56之單石三維記憶體陣列，其中該移動金屬離子為銀離子。
58. 如請求項49之單石三維記憶體陣列，其中電流通過該通道區域之方向實質上在該第二方向上。
59. 如請求項58之單石三維記憶體陣列，其中該資料線及該參考線在該通道區域下方。
60. 如請求項58之單石三維記憶體陣列，其中該資料線及該參考線之一者在該通道區域下方，且另一者在該通道區域上方。
61. 如請求項60之單石三維記憶體陣列，其中該通道區域係實質上垂直地定向。
62. 如請求項49之單石三維記憶體陣列，其中該第二記憶層

包含第二複數個記憶體單元。

63. 一種用於形成、設定並重設一非揮發性記憶體單元及相關導體之方法，該方法包含：

形成一在一第一方向上延伸之第一資料線；

形成一在該第一方向上延伸之第一參考線；

形成一具有一通道區域之薄膜電晶體，該通道區域電性地係安置在該第一資料線與該第一參考線之間；

形成一安置在該通道區域與該資料線間之可切換電阻記憶體元件，該可切換電阻記憶體元件具有一第一電阻；

形成一在一與該第一方向不同之第二方向上延伸之第一選擇線；

在該可切換電阻記憶體元件上施加一設定電壓量值，其中在施加該設定電壓量值後，該電阻性切換記憶體元件具有一比該第一電阻低的第二電阻；及

在該可切換電阻記憶體元件上施加一重設電壓量值，其中在施加該重設電壓量值後，該可切換電阻記憶體元件具有一比該第二電阻高的第三電阻，且其中該設定電壓量值之極性與該重設電壓量值之極性相反。

64. 如請求項63之方法，其中在施加該設定電壓量值之步驟期間，在該第一資料線與該第一參考線間流動之電流通過該通道區域且通過該可切換電阻記憶體元件。

65. 如請求項63之方法，其中該可切換電阻記憶體元件包含一與一移動金屬離子儲集層接觸之固態電解質材料。

66. 如請求項65之方法，其中在施加該設定電壓之步驟期

間，金屬離子遷移入固態電解質材料中，從而形成一導電橋。

67. 如請求項65之方法，其中在施加該重設電壓量值之步驟期間，金屬離子自該固態電解質材料遷移至移動金屬離子之該儲集層。

68. 如請求項65之方法，其中該第一電阻與該第三電阻實質上相同。

69. 如請求項65之方法，其中該固態電解質材料包含一硫族化物玻璃層。

70. 如請求項63之方法，其中該通道區域實質上垂直。

71. 如請求項63之方法，其中該通道區域實質上不垂直。

72. 如請求項63之方法，其中形成該薄膜電晶體之步驟包含沈積一半導體材料層，該半導體材料層包含矽、鍺或一矽合金或一鍺合金。

73. 如請求項72之方法，其中形成該薄膜電晶體之該步驟進一步包含使該半導體材料再結晶。

74. 如請求項63之方法，其中施加該設定電壓量值之步驟包含施加一第一電壓至該資料線且施加一第二電壓至該參考線，該第一電壓比該第二電壓高。

75. 如請求項74之方法，其中施加該重設電壓量值之步驟包含施加一第三電壓至該資料線且施加一第四電壓至該參考線，該第四電壓比該第三電壓高。