

1. 一种半导体器件包括:

衬底;

第一半导体芯片, 所述第一半导体芯片通过倒装片连接安装在所述衬底上, 所述第一半导体芯片以小于等于 0.055mm 的距离间隔开所述衬底, 所述第一半导体芯片具有小于等于 0.25mm 的厚度;

导电连接部件, 用于将所述第一半导体芯片电连接至所述衬底; 以及

成型树脂层, 所述成型树脂层置于所述衬底上以覆盖所述第一半导体芯片, 所述成型树脂层由凝固树脂组合物形成, 该组合物包括重量百分比为 75-92% 的无机填料和重量百分比为 0.5-1.5% 的碳黑, 所述成型树脂层相对于所述衬底的部分具有小于等于 0.15mm 的厚度, 重量百分比 99% 的所述无机填料具有小于等于 35 $\mu$ m 的最长直径, 所述无机填料的平均最长直径小于等于 15 $\mu$ m, 以及具有最长直径小于等于 10 $\mu$ m 的细填料的含量, 被限制在基于所述无机填料总重量的重量百分比 30-50% 的范围内。

2. 根据权利要求 1 所述的半导体器件, 还包括成型树脂层, 所述成型树脂层插入所述衬底和所述第一半导体芯片之间, 所述成型树脂层由凝固树脂组合物形成, 该组合物包括重量百分比为 75-92% 的无机填料和重量百分比为 0.5-1.5% 的碳黑, 重量百分比 99% 的所述无机填料具有小于等于 35 $\mu$ m 的最长直径, 所述无机填料的平均最长直径小于等于 15 $\mu$ m, 以及具有最长直

[19] 中华人民共和国国家知识产权局

[51] Int. Cl<sup>7</sup>

H01L 23/29

H01L 23/48 H01L 25/00



# [12] 发明专利申请公开说明书

[21] 申请号 03121497.5

[43] 公开日 2003年10月15日

[11] 公开号 CN 1449031A

[22] 申请日 2003.3.28 [21] 申请号 03121497.5

[30] 优先权

[32] 2002.3.28 [33] JP [31] 2002-090393

[71] 申请人 株式会社东芝

地址 日本东京

[72] 发明人 福田昌利 河合薰

[74] 专利代理机构 北京康信知识产权代理有限责  
任公司

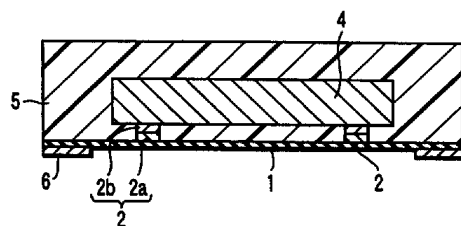
代理人 余刚

权利要求书4页 说明书12页 附图2页

[54] 发明名称 半导体器件

[57] 摘要

本发明披露了一种半导体器件，该半导体器件包括衬底；第一半导体芯片，其具有小于等于0.25mm的厚度并且其通过具有小于等于0.055mm缝隙的倒装片连接安装在衬底上；导电连接部件，其将芯片连接到衬底上；以及成型树脂层，其覆盖芯片并由凝固树脂组合物形成，该组合物包括重量百分比为75-92%的无机填料和重量百分比为0.5-1.5%的碳黑，成型树脂层相对于衬底的部分具有小于等于0.15mm的厚度，重量百分比99%的填料具有小于等于35μm的最长直径，填料的平均最长直径小于等于15μm，以及具有最长直径小于等于10μm的细填料的含量，被限制在基于填料总重量的重量百分比30-50%的范围内。



ISSN 1008-4274

径小于等于  $10\mu\text{m}$  的细填料的含量,被限制在基于所述无机填料总重量的重量百分比 30-50%的范围内。

3. 根据权利要求 1 所述的半导体器件,还包括粘合层,所述粘合层插入所述衬底和所述第一半导体芯片之间。
4. 根据权利要求 1 所述的半导体器件,其中,所述成型树脂层置于所述第一半导体芯片上的部分具有不超过所述衬底和所述第一半导体芯片之间距离三倍的厚度。
5. 根据权利要求 1 所述的半导体器件,其中,所述导电连接部件是由包括锡/银焊料的材料形成的。
6. 根据权利要求 1 所述的半导体器件,其中,所述导电连接部件是由包括金的材料形成的。
7. 根据权利要求 1 所述的半导体器件,其中,所述导电连接部件是由包括锡/铅焊料的材料形成的。
8. 根据权利要求 1 所述的半导体器件,其中,所述导电连接部件是由包括锡、锡/银/铜焊料、锡/锌焊料、锡/铋焊料、或镍的材料形成的。
9. 根据权利要求 1 所述的半导体器件,还包括第二半导体芯片,所述第二半导体芯片置于所述第一半导体芯片上,所述第二半导体芯片电连接至所述衬底,并与所述第一半导体芯片一起被所述成型树脂覆盖。
10. 根据权利要求 9 所述的半导体器件,其中,所述第二半导体芯片通过凸块电连接至所述衬底。

11. 根据权利要求 9 所述的半导体器件, 其中, 所述第二半导体芯片通过导线电连接至所述衬底。
12. 根据权利要求 11 所述的半导体器件, 其中, 所述导线是由包括金的材料形成的。
13. 根据权利要求 12 所述的半导体器件, 其中, 所述导线具有 28 $\mu\text{m}$  的直径。
14. 一种半导体器件包括:
  - 衬底;
  - 第一半导体芯片, 所述第一半导体芯片安装在所述衬底上;
  - 第一导线, 所述第一导线具有小于等于 28 $\mu\text{m}$  的直径并将所述第一半导体芯片电连接至所述衬底; 以及
  - 成型树脂层, 所述成型树脂层置于所述衬底上以覆盖所述第一半导体芯片, 所述成型树脂层由凝固树脂组合物形成, 该组合物包括重量百分比为 75-92% 的无机填料和重量百分比为 0.5-1.5% 的碳黑, 所述成型树脂层相对于所述衬底的部分具有小于等于 0.2mm 的厚度, 重量百分比 99% 的所述无机填料具有小于等于 35 $\mu\text{m}$  的最长直径, 所述无机填料的平均最长直径小于等于 15 $\mu\text{m}$ , 以及具有最长直径小于等于 10 $\mu\text{m}$  的细填料的含量, 被限制在基于所述无机填料总重量的重量百分比 30-50% 的范围内。
15. 根据权利要求 14 所述的半导体器件, 还包括粘合层, 所述粘合层插入所述衬底和所述第一半导体芯片之间。
16. 根据权利要求 14 所述的半导体器件, 还包括第二半导体芯片, 所述第二半导体芯片置于所述第一半导体芯片上, 所述第二半

导体芯片电连接至所述衬底,并与所述第一半导体芯片一起被所述成型树脂覆盖。

17. 根据权利要求 16 所述的半导体器件,其中,所述第二半导体芯片通过凸块电连接至所述衬底。
18. 根据权利要求 16 所述的半导体器件,其中,所述第二半导体芯片通过第二导线电连接至所述衬底。
19. 根据权利要求 18 所述的半导体器件,其中,所述第二导线是由包括金的材料形成的。
20. 根据权利要求 19 所述的半导体器件,其中,所述第二导线具有 28 $\mu\text{m}$  的直径。

# 半导体器件

## 相关申请的交叉引用

本申请是基于并要求 2002 年 3 月 28 日提交的在先日本专利申请第 2002-090393 号的优先权，其全部内容合并于此作为参考。

## 技术领域

本发明涉及一种半导体器件，尤其涉及使用封装树脂封装半导体芯片的半导体器件。

## 背景技术

为了保持近年来在半导体集成电路领域中关于提高半导体集成电路的集成度和可靠性的技术发展，进一步使半导体器件小型化并且更薄，付出了许多努力。为了迎合这样的趋势，目前存在对发展特性优异的封装树脂日益增加的需求。

在传统的倒装片型的四方轮廓无引线封装（Quad Outline Nonleaded Package，缩写为 QON）中，如图 1 所示，半导体芯片 4 通过导电连接部件 2 安装在衬底 1 的表面上。在该情况下，衬底 1 由树脂或陶瓷制成，并且在其表面上具有布线电路（未示出）。衬底 1 还在其下表面上具有用于外接的端子 6。导电连接部件 2 由用于衬底 1 布线电路端子的凸块 2a 和用于半导体芯片的凸块 2b 组成。这些凸块例如可由金或焊料形成。

封装树脂层 5 置于半导体芯片 4 的上表面和侧面以及衬底 1 和半导体芯片 4 之间的间隔或缝隙中。该封装树脂层 5 可以通过整体密封衬底 1 形成，其中，该衬底具有用成型树脂组合物安装在其上的半导体芯片 4。

由于与模子和半导体芯片 4 之间的距离相比，衬底 1 和半导体芯片 4 之间的间隔或缝隙在高度上相对较小，在使用成型树脂组合物整体密封衬底 1 的时候，空隙更容易在上述间隔或缝隙中产生。同时，近年来使半导体器件更薄的技术得到进一步发展，所以封装树脂层 5 的厚度不可避免地被制作得更薄。因此，由此产生了一个问题，即理想地将成型树脂组合物置于半导体芯片 4 的上表面并且在使用成型树脂组合物封装半导体器件的过程中，用成型树脂组合物填充上述间隔或缝隙是很困难的，从而增加了其中产生空隙的可能性。

尤其是，如果在衬底 1 和半导体芯片 4 之间的间隔中存在空隙，半导体芯片 4 将受到在用成型树脂组合物填充间隔时所使用的压力。结果，半导体芯片 4 的中间部分将被向下推，从而引起半导体芯片 4 产生裂纹。树脂层从产生的空隙和裂纹上剥落，从而破坏了半导体器件的长期可靠性。

可以通过增加在用成型树脂组合物填充间隔时的压力和温度抑制空隙的产生。但是，可能导致半导体芯片在该填充过程中所使用的压力作用下流走，或者可能被高温熔化。

这些问题成为显著降低半导体器件可靠性的原因。

## 发明内容

根据本发明一个实施例的半导体器件包括:

衬底;

第一半导体芯片, 通过倒装片连接安装在所述衬底上, 该第一半导体芯片以小于等于 0.055mm 的距离间隔开该衬底, 该第一半导体芯片具有小于等于 0.25mm 的厚度;

导电连接部件, 将该第一半导体芯片电连接至该衬底; 以及

成型树脂层, 置于该衬底上以覆盖该第一半导体芯片, 并由凝固树脂组合物形成, 该组合物包括重量百分比为 75-92% 的无机填料和重量百分比为 0.5-1.5% 的碳黑, 该成型树脂层相对于该衬底的部分具有小于等于 0.15mm 的厚度, 重量百分比 99% 的该无机填料具有小于等于 35 $\mu$ m 的最长直径, 该无机填料的平均最长直径小于等于 15 $\mu$ m, 以及具有最长直径小于等于 10 $\mu$ m 的细填料的含量, 被限制在基于该无机填料总重量的重量百分比 30-50% 的范围内。

根据本发明另一个实施例的半导体器件包括:

衬底;

第一半导体芯片, 安装在该衬底上;

第一导线, 具有小于等于 28 $\mu$ m 的直径并将该第一半导体芯片电连接至该衬底; 以及

成型树脂层, 置于该衬底上以覆盖该第一半导体芯片, 并由凝固树脂组合物形成, 该组合物包括重量百分比为 75-92% 的无机填料和重量百分比为 0.5-1.5% 的碳黑, 该成型树脂层相对于该衬底的



部分具有小于等于 0.2mm 的厚度,重量百分比 99%的该无机填料具有小于等于 35 $\mu\text{m}$  的最长直径,该无机填料的平均最长直径小于等于 15 $\mu\text{m}$ , 以及具有最长直径小于等于 10 $\mu\text{m}$  的细填料的含量,被限制在基于该无机填料总重量的重量百分比 30-50%的范围内。

## 附图说明

图 1 示出了根据现有技术的半导体器件的横截面图;

图 2 示出了根据本发明一个实施例的半导体器件的横截面图;

图 3 示出了根据本发明另一个实施例的半导体器件的横截面图;

图 4 示出了根据本发明另一个实施例的半导体器件的横截面图;

图 5 示出了根据本发明另一个实施例的半导体器件的横截面图;

图 6 示出了根据本发明另一个实施例的半导体器件的横截面图;

图 7 示出了根据本发明另一个实施例的半导体器件的横截面图; 以及

图 8 示出了根据本发明另一个实施例的半导体器件的横截面图。

## 具体实施方式

以下参照附图对根据本发明的实施例进行详细说明。

图 2 示出了根据本发明一个实施例的半导体器件的横截面图。

在此所示的该半导体器件中，半导体芯片 4 通过导电连接部件 2 安装在衬底 1 的表面上。衬底 1 可以由聚酰亚胺带或者陶瓷形成，并在其下表面上具有用于外接的端子 6。

虽然未在图中显示，导电连接部件 2 由用于半导体芯片 4 的凸块和用于衬底 1 布线电路端子的凸块组成。这些凸块可由例如锡/银焊料、金、锡/铅焊料、锡、锡/银/铜焊料、锡/锌焊料、锡/铋焊料或镍形成。用于外接的端子 6 可以由例如锡/银焊料、锡/铅焊料或锡形成。

封装树脂层 5 置于半导体芯片 4 的上表面和侧面，衬底 1 的上表面以及衬底 1 和半导体芯片 4 之间的间隔中。

在如图 2 所示的该半导体器件中，衬底 1 和半导体芯片 4 之间的间隔高度小于等于 0.055mm，并且半导体芯片 4 的厚度小于等于 0.25mm。此外，封装树脂层 5 相对于衬底部分的厚度小于等于 0.15mm。在这种情况下，封装树脂层 5 置于半导体芯片 4 上的部分的厚度小于等于 0.15mm。为了减小半导体器件的整体厚度，这些尺寸被限制为上述数值。

半导体器件的整体高度（从用于外接的端子 6 测量到封装树脂层 5 上表面的距离）优选小于等于 0.500mm。此外，封装树脂层 5 置于半导体芯片 4 上的部分优选被限制在不超过间隔高度三倍的厚度。

为了形成成型树脂层同时防止在如小于等于 0.055mm 一样窄的间隔内产生空隙，需要使用流动性和成型性优异的成型树脂组合物。因此，为了得到最佳成型树脂组合物，本发明人做出了各种研究。

成型树脂组合物包括无机填料、环氧树脂、酚醛树脂、固化促进剂、和碳黑。

对于环氧树脂，不存在任何特殊的限制，因此可以从那些每个分子具有两个或更多环氧基的环氧树脂中选择。该环氧树脂的具体实例包括，例如，邻甲酚酚醛型环氧树脂、二聚环戊二烯改性环氧树脂、三酚甲烷型环氧树脂、联苯型环氧树脂、和表-双型环氧树脂。这些环氧树脂可以单独或者组合使用。

对于酚醛树脂，不存在任何特殊的限制，只要其具有两个或更多酚式羟基能够与环氧树脂的环氧基反应。该酚醛树脂的具体实例包括，例如，酚醛清漆树脂、酚醛芳烷树脂、萘酚芳烷树脂、和二聚环戊二烯改性酚醛树脂。这些酚醛树脂可以单独或者组合使用。

对于固化促进剂，可以使用不同种类的固化促进剂，例如磷固化促进剂、咪唑固化促进剂、DBU 型固化促进剂等。这些固化促进剂可以单独或者组合使用。这些固化促进剂的混合比应该优选在基于树脂组合物总重量的重量百分比 0.01-5% 的范围内。如果混合比小于重量百分比 0.01%，树脂组合物的胶凝时间可能被延长，并且同时树脂组合物的固化特性变差。另一方面，如果混合比超过重量百分比 5%，树脂组合物的流动性将严重变差，从而可能引起成型树脂层电特性以及防潮性能变差。

在此加入碳黑为了防止由于光透射导致的半导体芯片故障，所以可以使用通常用作密封或封装材料的任何一种碳黑。

成型树脂组合物的流动性由所加入无机填料的种类决定。为了比较，使用不同种类的熔融石英作为无机填料制备了如下表 1 所示的八种成型树脂组合物。

然后，用这些成型树脂组合物制造如图 2 所示的半导体器件。在这种情况下，调查这些成型树脂组合物填充进衬底 1 和半导体芯片 4 之间间隔的填充特性。在该评估中，成型树脂组合物中没有空隙产生的空间被表示为“O”，而成型树脂组合物中有空隙产生的空间被表示为“X”。

顺便提及，至少调查 30 个样品并且将空隙定义为具有大于等于 0.020mm 的最长直径。

表 1

树脂号	构造	最长直径 ( $\mu\text{m}$ )	平均直径 ( $\mu\text{m}$ )	含量 (重量%)	填充特性
1	碎的	105	30	86	X
2	球形的	75	16	86	X
3	球形的	75	9	86	X
4	球形的	75	6	86	X
5	球形的	75	6	82	X
6	球形的	35	9	86	O
7	球形的	35	6	86	O
8	球形的	35	6	82	O

最长直径是为了表示无机填料粒子的最长部分，平均直径是为了表示填料粒子的最长直径的平均值。

如表 1 所示，由树脂号 6、7 和 8 表示的成型树脂组合物在填充特性方面优异。因此，本发明实施例中使用的无机填料定义为具有小于等于 35 $\mu\text{m}$  的最长直径以及小于等于 15 $\mu\text{m}$  的平均最长直径。

顺便指出，在本发明实施例中，重量百分比大于等于 99% 的无机填料粒子需要满足上述最长直径的条件。无机填料粒子的含量满足上述条件，比较适宜的是重量百分比大于等于 99.9%，最佳为重量百分比大于等于 99.99%。

在第 6、7、和 8 号树脂所使用的熔融石英中，具有最长直径小于等于  $10\mu\text{m}$  的细填料的含量，被限制在基于该熔融石英总重量的重量百分比 30-50% 的范围内。

此外，发现当无机填料的含量小于重量百分比 75% 时，半导体器件的抗回流性能和封装可靠性变差。另一方面，为了制造成型树脂的方便，发现无机填料含量的上限被限制在重量百分比 92%。

基于上述的考虑，在本发明实施例中使用的成型树脂组合物中混合的无机填料被限制以具有以下特征：

- (1) 其最长直径小于等于  $35\mu\text{m}$ ;
- (2) 其平均直径小于等于  $15\mu\text{m}$ ;
- (3) 具有最长直径小于等于  $10\mu\text{m}$  的细填料的含量，被限制在重量百分比 30-50% 的范围内；以及
- (4) 无机填料的含量被限制在重量百分比 75-92% 的范围内。

在前面的说明中，熔融石英作为无机填料的一个例子被描述。但是，只要能符合上述条件，也可以使用碎石英等。

其中所包含无机填料的特征限制为如上所述的成型树脂组合物，在流动性以及成型性方面性能优异。因此，如上定义的成型树脂组合物可以在实施上述整体树脂封装的时候，容易地被引入狭小

空间，从而可能抑制空隙的产生。此外，由于以这种方式可以抑制空隙的产生，可以防止在用成型树脂组合物填充狭小空间时使用的压力导致的芯片裂纹的产生，从而使提高制造的半导体器件可靠性成为可能。而且，现在可以制造厚度小的半导体器件。不发生树脂层的剥离，从而改善半导体器件的长期可靠性。

另外，由于上面定义的成型树脂组合物在流动性方面性能优异，在封装半导体器件的时候不再需要增加填充压力。因此，半导体器件将不会由于在树脂封装中使用的压力而流走。

进而，在本发明实施例中，混合入成型树脂组合物的碳黑的含量被限制在重量百分比 0.5-1.5% 的范围内。

碳黑含量的该范围是如下确定的。首先，通过变化碳黑的含量制备几种成型树脂组合物。接着，使用这些成型树脂组合物中的每一种制造半导体器件，并测量产品半导体器件的光透射率。在这种情况下，半导体器件的总高度设定为 0.450mm 并且光的波长限制在 1000-2000nm 的范围内。

结果，使用含有重量百分比大于等于 0.50% 碳黑的成型树脂组合物封装的半导体器件的光透射率发现为小于等于 0.20%。顺便说明，其证实了只要半导体器件的光透射率限制在小于等于 0.20%，就可能相当大地防止半导体芯片故障的发生。而且，还可能将成型树脂组合物的体积电阻率保持在室温下大于等于  $10^8 \Omega \cdot \text{cm}$ 。

另一方面，如果碳黑的含量超过重量百分比 1.5%，成型树脂组合物的体积电阻率变差，从而导致制造的半导体器件故障的发生。因此，碳黑含量的上限应该限制在重量百分比 1.5%。

即使在树脂封装相对薄的情况下，为了抑制光透射和防止半导体芯片故障的发生，碳黑的含量限制在重量百分比 0.50-1.5%的范围内。

由于成型树脂组合物以上述的方式包括无机填料和碳黑，根据本发明实施例的半导体器件可靠性优异，同时防止了光透射导致的故障。

也就是说，根据本发明实施例的半导体器件中的成型树脂层是通过固化成型树脂组合物形成的，该组合物包含重量百分比 75-92%的无机填料和重量百分比 0.5-1.5%的碳黑。尤其是，重量百分比 99%的无机填料具有小于等于  $35\mu\text{m}$  的最长直径，无机填料的平均最长直径小于等于  $15\mu\text{m}$ ，并且具有最长直径小于等于  $10\mu\text{m}$  的细填料的含量，被限制在基于该无机填料总重量的重量百分比 30-50%的范围内。

如图 2 所示的半导体器件可以作不同地修改。

例如，如图 3 所示，粘合层 7 可以插入衬底 1 和半导体芯片 4 之间。该粘合层 7 插入衬底 1 和半导体芯片 4 之间产生缓解内部应力的效果。因此，在半导体器件的尺寸相对大（例如大于等于 7 平方毫米）或者半导体芯片 4 的尺寸相对大（例如大于等于 6 平方毫米）的情况下，提供粘合层是特别有效的。

此外，如图 4 所示，第二半导体芯片 4b 可以层压在第一半导体芯片 4a 上。该第二半导体芯片 4b 通过穿透第一半导体芯片 4a 和导电连接部件 2 形成的贯穿连接部分 9 连接到衬底 1。

该第二半导体芯片 4b 可以通过导线连接至如图 5 所示的衬底 1。在如图 5 所示的半导体器件中，该第二半导体芯片 4b 置于第一半导体芯片 4a 上并具有插入其间的粘合层 7b，并通过第二导线 8b

连接至衬底 1。该第二导线 8b 可由具有大约 28 $\mu\text{m}$  直径的金导线形成。

图 6 示出了根据本发明另一个实施例的半导体器件的横截面图。

在如图 6 所示的半导体器件中，半导体芯片 4 通过粘合层 7 安装在衬底 1 上。该半导体芯片 4 通过使用具有小于等于 28 $\mu\text{m}$  直径的金导线电连接至衬底的布线电路端子（未示出）。至于衬底 1 的材料，可以使用上面说明的相同材料。

成型树脂层 5 置于半导体芯片 4 的上表面和侧面，以及衬底 1 的上表面。该成型树脂层 5 可以通过固化配制的成型树脂组合物而形成，该组合物满足上面已经讨论过的关于无机填料和碳黑的条件。

在如图 6 所示的半导体器件中，为了减小半导体器件的总厚度，成型树脂层 5 相对于衬底 1 的部分的厚度限制在小于等于 0.2mm。在这种情况下，成型树脂层 5 置于半导体芯片 4 上的部分的厚度限制在小于等于 0.2mm。

在传统半导体器件，其中半导体芯片通过导线连接至衬底的情况下，导线可能在封装的过程中由于成型树脂组合物导致的剪力而变形。在那种情况下，导线可能相互接触，从而引起半导体器件电故障的发生。

但是，在如图 6 所示的半导体器件的情况下，使用流动性和成型性优异的成型树脂组合物封装半导体器件，可以防止导线变形。

如图 6 所示的半导体器件可以如图 4 和图 5 所示的双层层状结构构造。图 7 和图 8 示出了该改型例。



如图 7 所示的半导体器件，除了第一半导体芯片 **4a** 经由导线 **8a** 连接至衬底 **1** 以外，其他与如图 4 所示半导体器件相同的方式构造。如图 8 所示的半导体器件，也是除了第一半导体芯片 **4a** 经由导线 **8a** 连接至衬底 **1** 以外，其他与如图 5 所示半导体器件相同的方式构造。如图 5 和图 8 所示，为了使第二半导体芯片 **4b** 连接到衬底 **1** 而安置的第二导线 **8b** 比第一导线 **8a** 长。由于本发明实施例使用流动性优异的成型树脂组合物，即使长导线也可以免于变形。

顺便说明，也可以在第二半导体芯片 **4b** 上用第三半导体芯片叠成三层层状结构。

本发明在其精神内可以作出不同地修改。

对于本领域的技术人员来说，其他的优点和修改例将是显而易见的。因此，本发明在其更广的方面上将不受这里示出的和描述的具体细节和代表性的实施例限制。从而，在不背离如所附权利要求和其等同物定义的总的发明原理的精神和范围下，可以作出各种修改。

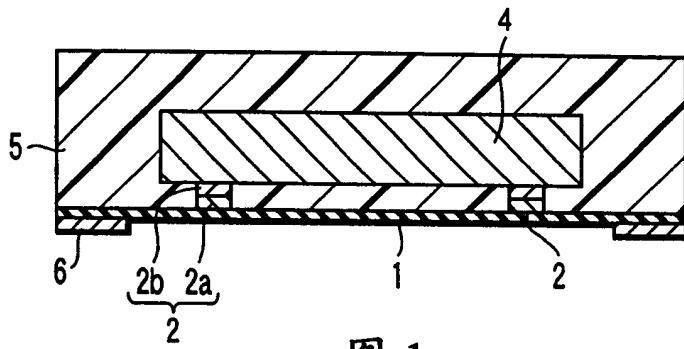


图 1

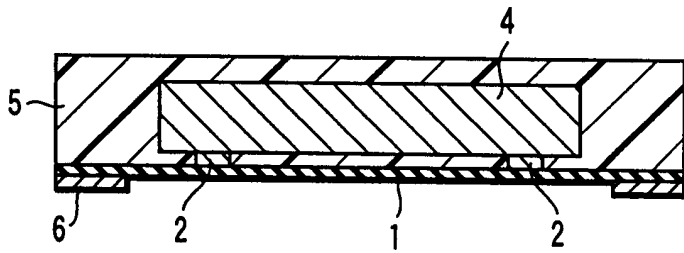


图 2

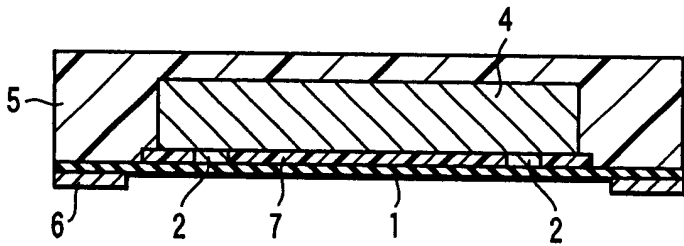


图 3

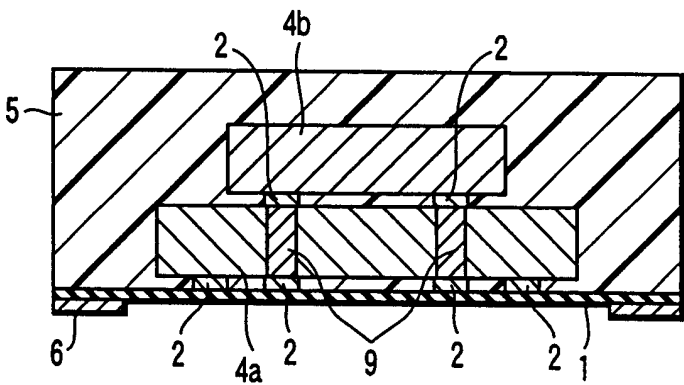


图 4

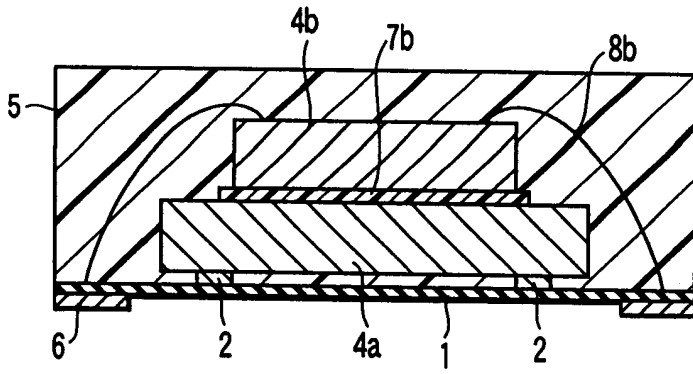


图 5

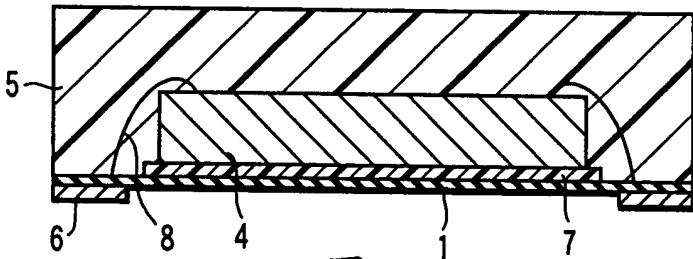


图 6

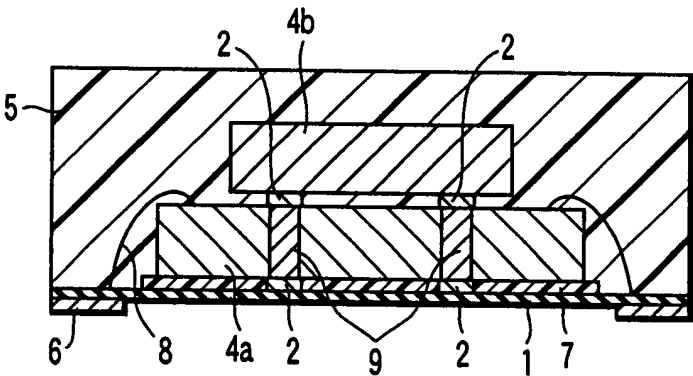


图 7

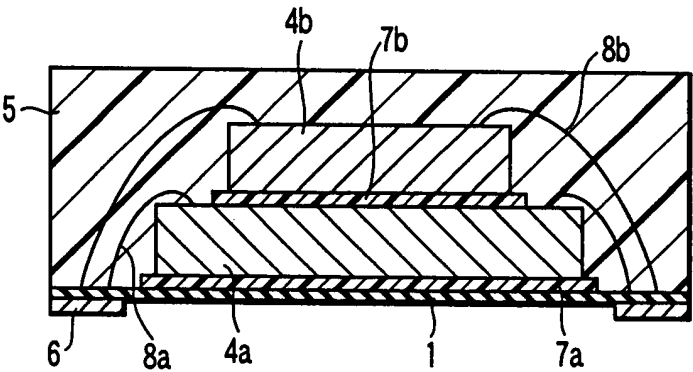


图 8