



(12) 发明专利

(10) 授权公告号 CN 101604678 B

(45) 授权公告日 2012. 02. 22

(21) 申请号 200910149877. 6

H01L 23/13 (2006. 01)

(22) 申请日 2007. 11. 16

H01L 25/00 (2006. 01)

(30) 优先权数据

审查员 王欣

2006-311850 2006. 11. 17 JP

(62) 分案原申请数据

200710192720. 2 2007. 11. 16

(73) 专利权人 日立电线株式会社

地址 日本东京都

(72) 发明人 细野真行 柴田明司 稻叶公男

(74) 专利代理机构 北京银龙知识产权代理有限公司 11243

代理人 雒纯丹

(51) Int. Cl.

H01L 23/488 (2006. 01)

H01L 23/498 (2006. 01)

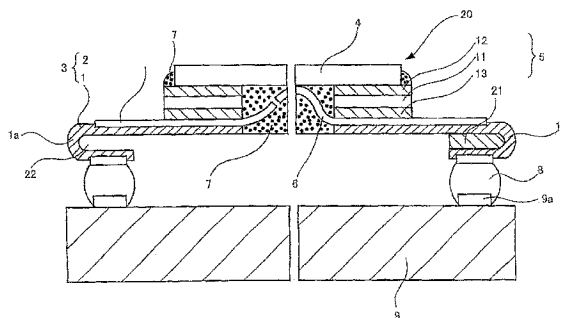
权利要求书 1 页 说明书 10 页 附图 18 页

(54) 发明名称

半导体装置、层叠型半导体装置以及内插器基板

(57) 摘要

本发明涉及半导体装置、层叠型半导体装置以及内插器基板。具体地,本发明提供应力缓和能力优良的半导体装置、层叠型半导体装置以及用于该半导体装置的内插器基板,所述的应力产生于内插器基板和印刷配线板(母板)之间,或者层叠型半导体装置的半导体装置之间。为了缓和所述应力,本发明的半导体装置具备含有绝缘基板和配线图案的内插器基板、半导体元件、接合半导体元件和内插器基板之间的连接层以及在内插器基板上配置的焊球等外部端子,其特征在于,所述绝缘基板,在比半导体元件的搭载部更靠外侧的位置上形成狭缝。



1. 一种半导体装置,其具备半导体元件、内插器基板、连接层以及外部端子,其中,所述内插器基板具有导电连接所述半导体元件的配线图案和形成有该配线图案的绝缘基板,所述连接层将所述半导体元件和所述内插器基板之间接合,所述外部端子是所述内插器基板上配置的外部端子,

其特征在于,所述绝缘基板,在比所述半导体元件的搭载部更靠外侧的位置上形成狭缝;

所述连接层是产生破坏、偏移或剥离的材质构成的代替弹性物的连接层。

2. 根据权利要求1所述的半导体装置,其特征在于,所述狭缝形成于所述半导体元件的搭载部和在所述半导体元件的外侧配置的所述外部端子的搭载部之间。

3. 根据权利要求1或2所述的半导体装置,其特征在于,所述狭缝相对于所述半导体元件的搭载部的长边或短边平行地形成,完全或部分地分离所述半导体元件的搭载部和在所述半导体元件的外侧配置的所述外部端子的搭载部。

4. 根据权利要求1或2所述的半导体装置,其特征在于,所述狭缝相对于所述半导体元件的搭载部的长边或短边垂直地形成,完全或部分地分离所述半导体元件的搭载部和在所述半导体元件的外侧配置的所述外部端子的搭载部。

5. 根据权利要求3所述的半导体装置,其特征在于,所述狭缝相对于所述半导体元件的搭载部的长边或短边垂直地形成,完全或部分地分离所述半导体元件的搭载部和在所述半导体元件的外侧配置的所述外部端子的搭载部。

6. 根据权利要求1或2所述的半导体装置,其特征在于,所述半导体装置是BGA型、CSP型、SIP型的半导体装置,或是BGA型、CSP型、SIP型的复合体MCP,即多芯片封装的半导体装置。

7. 根据权利要求3所述的半导体装置,其特征在于,所述半导体装置是BGA型、CSP型、SIP型的半导体装置,或是BGA型、CSP型、SIP型的复合体MCP,即多芯片封装的半导体装置。

8. 根据权利要求4所述的半导体装置,其特征在于,所述半导体装置是BGA型、CSP型、SIP型的半导体装置,或是BGA型、CSP型、SIP型的复合体MCP,即多芯片封装的半导体装置。

9. 根据权利要求5所述的半导体装置,其特征在于,所述半导体装置是BGA型、CSP型、SIP型的半导体装置,或是BGA型、CSP型、SIP型的复合体MCP,即多芯片封装的半导体装置。

10. 根据权利要求1所述的半导体装置,其特征在于,所述外部端子是所述内插器基板上配置的焊球。

11. 一种层叠型半导体装置,其特征在于,利用所述外部端子,将多个权利要求1至10的任一项所述的半导体装置层叠而成。

12. 一种内插器基板,其具有导电连接半导体元件的配线图案和形成有该配线图案的在该配线图案上设置有具有粘接性的连接层的绝缘基板,

其特征在于,所述绝缘基板在比半导体元件的搭载部更靠外侧的位置上形成狭缝;所述连接层是产生破坏、偏移或剥离的材质构成的代替弹性物的连接层。

半导体装置、层叠型半导体装置以及内插器基板

[0001] 本发明是申请号为 200710192720.2, 申请日为 2007 年 11 月 16 日、发明名称为“半导体装置、层叠型半导体装置以及内插器基板”的发明申请的分案申请。

技术领域

[0002] 本发明涉及半导体装置、层叠型半导体装置以及内插器基板, 特别涉及在半导体元件和内插器基板之间或内插器基板和印刷配线板(母板)之间有应力作用的 BGA 型、CSP 型、SIP 型、它们的复合体等半导体装置、层叠型半导体装置以及用于该半导体装置的内插器基板。

背景技术

[0003] 以往, 为了缓和在半导体装置的内插器基板和半导体元件之间产生的应力, 产生在半导体元件和内插器基板之间配置了应力缓和弹性物的结构的 BGA 型等半导体装置。

[0004] 该半导体装置的特征是具有应力缓和弹性物。作为该应力缓和弹性物, 已知有由在回流焊温度下的弹性模量为 1Mpa 以上的高分子材料构成的粘接带(参照专利文献 1), 或者由连续气泡结构物或三维网状结构物所构成的多孔树脂带(参照专利文献 2)。

[0005] 但是, 这样的应力缓和弹性物的材料价格高, 特别是在专利文献 2 中例示的由连续气泡结构物或三维网状结构物构成的多孔树脂带的种类中尤为显著。

[0006] 因此, 开发应力缓和弹性物的替代品, 作为本申请的申请人先前所提出的专利申请(未公开在先申请), 本申请的申请人提出以下发明。

[0007] 图 1 是例示具有所定连接层的半导体装置的结构说明图, 图 2 是例示其层叠半导体装置结构的说明图。

[0008] BGA 型的半导体装置 10 是在内插器基板 3 和由 Si 芯片构成的半导体元件 4 之间配置连接层 5, 将它们接合成一体化来构成的, 其中的内插器基板 3 是在聚酰亚胺等绝缘基板(绝缘带)1 之上形成铜的配线图案 2 而成的。

[0009] 半导体装置 10 是使用特定的焊头(未图示), 将配线图案 2 的内部引线 6 引线接合到半导体元件 4 的电极垫上。引线接合的接合部以及连接层 5 的上面和半导体元件 4 的侧面之间所形成的直角转角部分, 全部用模型树脂或环氧填充树脂等密封树脂 7 来密封。焊球 8 搭载于内插器基板 3 上形成的通孔, 该焊球 8 与配线图案 2 的规定部分导电性地连接。

[0010] 作为应力缓和弹性物替代品的连接层 5(以下, 有时称为“代替弹性物的连接层”), 具有用生成破坏、偏移(滑动)或剥离的材质构成的层, 或者具有生成破坏、偏移(滑动)或剥离的结构, 破坏、偏移(滑动)或剥离是由于有应力作用于半导体元件 4 和内插器基板 3 之间(“应力”是指由于半导体元件与搭载基板的热膨胀率差所产生的热应力或由于对 BGA 封装的焊球 9 施加的外部冲击所产生的应力等。而且, 作为破坏, 有脆性破坏或延性破坏, 例如, 有龟裂、破裂等)。

[0011] 破坏、偏移(滑动)或剥离产生在半导体元件 4 与连接层 5 的部分接合界面上、内

插器基板 3 与连接层 5 的部分接合界面上或连接层 5 内的部分层间界面上,或者半导体元件 4 与内插器基板 3 在未分离的范围内该连接层内部的一部分上。为了半导体元件 4 与内插器基板 3 不分离而用密封树脂 7 保持时,产生破坏、偏移(滑动)或剥离的部位不只是上述的各部分,例如还可产生在整个接合界面。

[0012] 具体地,例如如图 1 所示,介于半导体元件 4 和内插器基板 3 之间的连接层 5 的结构是含有用作支持体的芯层 11 和接合层 12、13 来构成的,该接合层 12、13 是用于将芯层 11 接合在半导体元件 4 和内插器基板 3 上。

[0013] 芯层 11 是由例如光照时固化的光固化性物质(感光材料)薄膜化的干燥膜材料,内部含有液态层的具有机械结构的膜材料等来构成的。通过将芯层 11 沁入接合剂等让其带有接合力,可以只用芯层 11 来构成连接层 5。使用 Ag 糊剂材料作为连接层 5 时,为了 Ag 糊剂材料自身作为接合层发挥功能,可以以 Ag 糊剂材料单层来使用。即,连接层 5 具有由带(薄膜)或糊剂构成的层,可以将该层作为单层、2 层、3 层或 4 层以上的结构来使用。

[0014] 接合层 12、13 可以由因应力作用而在与芯层 11 的接合界面,与半导体元件 4 的接合界面或与内插器基板 3 的接合界面产生破坏、偏移(滑动)或剥离的材质来构成,也可以具有其中任意的接合界面会生成破坏、偏移(滑动)或剥离的结构。

[0015] 专利文献 1:日本特开平 9-321084 号公报

[0016] 专利文献 2:日本特开平 10-340968 号公报

发明内容

[0017] 利用上述发明,可以缓和内插器基板和半导体元件之间所生成的应力,除此之外,结构设计的要点是缓和由于半导体封装与组入其中的印刷配线板(母板)的热膨胀率系数差异所产生的应力(压力),或者缓和层叠型半导体装置的半导体装置间所产生的应力,要求具有更加优良的应力缓和能力的半导体装置、层叠型半导体装置以及用于该半导体装置的内插器基板。

[0018] 因此,本发明的目的是提供应力的缓和和能力优良的半导体装置、层叠型半导体装置以及用于该半导体装置中的内插器基板,其中的应力产生于内插器基板与印刷配线板(母板)之间,或者产生于层叠型半导体装置的半导体装置之间。

[0019] 为了实现上述目的,本发明提供一种半导体装置,其具备半导体元件、含有与该半导体元件导电连接的配线图案和形成有该配线图案的绝缘基板的内插器基板、接合所述半导体元件和所述内插器基板之间的连接层以及在所述内插器基板上配置的焊球等外部端子,其特征在于,所述绝缘基板,在所述半导体元件的外侧配置的所述外部端子的搭载部弯曲,该绝缘基板的未弯曲部分和弯曲部分相对,以形成空隙。

[0020] 而且,为了实现上述目的,本发明提供一种半导体装置,其具备半导体元件、含有与该半导体元件导电连接的配线图案和形成有该配线图案的绝缘基板的内插器基板、接合所述半导体元件和所述内插器基板之间的连接层以及在所述内插器基板上配置的焊球等外部端子,其特征在于,所述绝缘基板,形成具有高低差(段差)的段差部,以使在所述半导体元件的外侧配置的所述外部端子的搭载部和所述半导体元件的搭载部不在同一平面。

[0021] 而且,为了实现上述目的,本发明提供一种半导体装置,其具备半导体元件、含有与该半导体元件导电连接的配线图案和形成有该配线图案的绝缘基板的内插器基板、接合

所述半导体元件和所述内插器基板之间的连接层以及在所述内插器基板上配置的焊球等外部端子,其特征在于,所述绝缘基板,在比所述半导体元件的搭载部更靠外的一侧形成了狭缝。

[0022] 而且,为了实现上述目的,本发明提供一种层叠型半导体装置,其特征在于,利用所述外部端子,将上述本发明所涉及的半导体装置多个层叠而成。

[0023] 而且,为了实现上述目的,本发明提供一种内插器基板,其具有与半导体元件导电连接的配线图案和形成有该配线图案的绝缘基板,其特征在于,所述绝缘基板,在搭载的半导体元件的外侧配置的焊球等外部端子的搭载部弯曲,该绝缘基板的未弯曲部分和弯曲部分相对,以形成空隙。

[0024] 而且,为了实现上述目的,本发明提供一种内插器基板,其具有与半导体元件导电连接的配线图案和形成有该配线图案的绝缘基板,其特征在于,所述绝缘基板形成具有高低差的段差部,以使半导体元件的搭载部和在搭载的半导体元件的外侧上配置的焊球等外部端子的搭载部不在同一平面。

[0025] 而且,为了实现上述目的,本发明提供一种内插器基板,其具有与半导体元件导电连接的配线图案和形成有该配线图案的绝缘基板,其特征在于,所述绝缘基板,在比半导体元件的搭载部的更靠外一侧上形成狭缝。

[0026] 根据本发明,可以得到具有优良的应力缓和能力的半导体装置、层叠型半导体装置及该半导体装置中使用的内插器基板,该应力产生于内插器基板和印刷配线板(母板)之间或者层叠型半导体装置的半导体装置之间。

附图说明

[0027] 图 1 是表示具有代替弹性物的连接层的半导体装置的结构说明图。

[0028] 图 2 是表示具有代替弹性物的连接层的层叠型半导体装置的结构说明图。

[0029] 图 3 是表示本发明的第 1 实施方式所涉及的半导体装置的结构说明图。

[0030] 图 4 是表示本发明的第 1 实施方式所涉及的层叠型半导体装置的结构说明图。

[0031] 图 5 是表示本发明的第 2 实施方式所涉及的半导体装置的结构说明图。

[0032] 图 6 是表示本发明的第 2 实施方式所涉及的层叠型半导体装置的结构说明图。

[0033] 图 7 是表示本发明的第 3 实施方式所涉及的半导体装置的结构说明图。

[0034] 图 8 是表示本发明的第 3 实施方式所涉及的层叠型半导体装置的结构说明图。

[0035] 图 9 是表示本发明的第 4 实施方式所涉及的半导体装置的结构说明图。

[0036] 图 10 是表示本发明的第 4 实施方式所涉及的层叠型半导体装置的结构说明图。

[0037] 图 11 是表示本发明的第 5 实施方式所涉及的半导体装置的结构说明图。

[0038] 图 12 是表示本发明的第 5 实施方式所涉及的层叠型半导体装置的结构说明图。

[0039] 图 13 是表示本发明的第 6 实施方式所涉及的半导体装置的结构说明图。

[0040] 图 14 是表示本发明的第 6 实施方式所涉及的层叠型半导体装置的结构说明图。

[0041] 图 15 是表示本发明的第 5、第 6 实施方式所涉及的半导体装置和层叠型半导体装置的绝缘基板上形成的狭缝的形状的例示。

[0042] 图 16 是表示本发明的第 5、第 6 实施方式所涉及的半导体装置和层叠型半导体装置的绝缘基板上形成的狭缝的形状的例示。

[0043] 图 17 是表示本发明的第 5、第 6 实施方式所涉及的半导体装置和层叠型半导体装置的绝缘基板上形成的狭缝的形状的例示。

[0044] 图 18 是表示本发明的第 5、第 6 实施方式所涉及的半导体装置和层叠型半导体装置的绝缘基板上形成的狭缝的形状的例示。

[0045] 符号说明

[0046] 1:绝缘基板

[0047] 1a:可折叠部

[0048] 2:配线图案

[0049] 3:内插器基板

[0050] 4:半导体元件

[0051] 5:连接层

[0052] 6:内部引线

[0053] 7:密封树脂

[0054] 8:焊球

[0055] 9:印刷配线板

[0056] 9a:焊接区

[0057] 10, 20, 30, 40, 50, 60, 70:半导体装置

[0058] 11:芯层

[0059] 12, 13:接合层

[0060] 21:阻焊剂

[0061] 22:空隙

[0062] 41a, 41b:段差部

[0063] 61, 61a ~ 61g:狭缝

[0064] 100, 200, 300, 400, 500, 600, 700:层叠型半导体装置

具体实施方式

[0065] 本发明的第 1 实施方式

[0066] 半导体装置的结构

[0067] 图 3 是表示本发明的第 1 实施方式所涉及的半导体装置的结构说明图，图 4 是表示其层叠型半导体装置的结构说明图。除以下说明的事项以外，与图 1、2 所示的半导体装置和层叠型半导体装置相同。连接层 5 不限于代替弹性物的连接层，可以是使用以往的应力缓和弹性物的结构。而且，可以不设置缓和层而只设接合层。

[0068] BGA 型的半导体装置 20，构成内插器基板 3 的绝缘基板 1 的焊球 8（半导体元件 4 的外侧的焊球 8）搭载部向着印刷配线板 9 一侧（半导体元件 4 的非接合面）进行约 180° 的弯曲，形成可折叠部 1a。

[0069] 绝缘基板 1 的未弯曲部分和弯曲部分相对，以含有空隙 22。由此，在可以缓和应力的同时，还有提高空间效率的效果和焊球 8 的缩小化的效果。

[0070] 空隙 22 中，如图 3 的右半部分所示，可以填满阻焊剂。也可以使用应力缓和弹性物或代替弹性物的连接层等作为添加物，来代替阻焊剂。由此，在可折叠部的固定化、尺寸

精度、平衡度等方面可以得到有利的效果。

[0071] 在本实施方式中,除了像图 3 所示那样,作为外部端子的焊球 8 在半导体 4 的外侧 (Fan-Out 型) 以外,还可以适用于焊球 8 同时在半导体元件 4 的下面和外侧这种情况 (Fan-In/Out 型)。

[0072] 在图 3 和图 4 中,虽然图示省略,但配线图案 2 是导电性地与焊球 8 连接 (在以下说明的作为第 2 ~ 6 的实施方式的说明图中的图 5 ~ 14 中,情况相同)。

[0073] 本实施方式的效果

[0074] (1) 由于在绝缘基板 1 的焊球搭载部上设有可折叠部 1a,所以能够缓和半导体装置 20 与印刷配线板 9 (母板) 之间产生的应力以及层叠型半导体装置 20 的半导体装置 20 之间产生的应力。

[0075] (2) 半导体装置 20 层叠时,可以弹性地调整上下半导体装置 20 的间隔。而且,还可实现焊球等的多样化。

[0076] 本发明的第 2 实施方式

[0077] 半导体装置的结构

[0078] 图 5 是表示本发明的第 2 实施方式所涉及的半导体装置的结构说明图,图 6 是表示其层叠型半导体装置结构的说明图。除以下说明的事项以外,与第 1 实施方式所涉及的半导体装置和层叠型半导体装置相同。

[0079] 即,第 1 实施方式所涉及的半导体装置 20 的半导体元件 4 接合在与相对印刷配线板 9 的面为相反的面上,而本实施方式所涉及的半导体装置 30 的半导体元件 4,接合于相对印刷配线板 9 的面上,这一点是不同的。

[0080] 可折叠部 1a,是构成内插器基板 3 的绝缘基板 1 的焊球 8 (半导体元件 4 的外侧的焊球 8) 搭载部向着印刷配线板 9 一侧 (半导体元件 4 的接合面一侧) 弯曲约 180° 来形成的。

[0081] 在本实施方式中,适用于图 5 所示的,作为外部端子的焊球 8 在半导体元件 4 的外侧 (Fan-Out 型) 的情况。

[0082] 本发明的第 3 实施方式

[0083] 半导体装置的结构

[0084] 图 7 是表示本发明的第 3 实施方式所涉及的半导体装置的结构说明图,图 8 是表示其层叠型半导体装置的结构说明图。除以下说明的事项以外,与图 1、2 所示的半导体装置和层叠型半导体装置相同。连接层 5 不限于代替弹性物的连接层,也可以使用以往的应力缓和弹性物的结构。而且,可以不设置缓和层而只用接合层。

[0085] BGA 型的半导体装置 40 中,构成内插器基板 3 的绝缘基板 1 的焊球 8 (半导体元件 4 的外侧的焊球 8) 搭载部在半导体元件 4 的接合部 (搭载部) 的下方向 (图 7 左半部分的结构) 或上方向 (图 7 的右半部分的结构) 形成了成为阶梯状的段差部 41a、41b。

[0086] 焊球搭载部和半导体元件 4 搭载部可以不在同一平面上,希望其高低差 (段差) 在内插器基板的厚度以上,在该封装的高度以下。

[0087] 在本实施方式中,除了像图 7 所示的,作为外部端子的焊球 8 在半导体元件 4 的外侧情况 (Fan-Out 型) 外,焊球 8 还适用于同时在半导体元件 4 的下面和外侧 (Fan-In/Out 型)。

[0088] 本实施方式的效果

[0089] (1) 由于焊球 8 搭载部和半导体元件 4 搭载部具有阶梯状的段差部 41a、41b, 所以能够缓和半导体装置 40 与印刷配线板 9 (母板) 之间产生的应力, 以及层叠型半导体 400 的半导体装置 40 间产生的应力。

[0090] 本发明的第 4 实施方式

[0091] 半导体装置的结构

[0092] 图 9 是表示本发明的第 4 实施方式所涉及的半导体装置的结构说明图, 图 10 是表示其层叠型半导体装置的结构说明图。除以下说明的事项以外, 与第 3 实施方式所涉及的半导体装置和层叠型半导体装置相同。

[0093] 即, 第 3 实施方式所涉及的半导体装置 40 的半导体元件 4 接合在与印刷配线板 9 相对的面为相反的面, 本实施方式所涉及的半导体装置 50 的半导体元件 4, 接合于相对印刷配线板 9 的面上, 这一点是不同的。

[0094] 在本实施方式中, 适用于如图 9 所示的, 作为外部端子的焊球 8 在半导体元件 4 的外侧的情况 (Fan-Out 型)。

[0095] 本发明的第 5 实施方式

[0096] 半导体装置的结构

[0097] 图 11 是表示本发明的第 5 实施方式所涉及的半导体装置结构的说明图, 图 12 是表示其层叠型半导体装置的结构说明图。除以下说明的事项以外, 与图 1、2 所示的半导体装置和层叠型半导体装置相同。连接层 5 不限于代替弹性物的连接层, 可以使用以往的应力缓和弹性物的结构。而且, 还可以是不设置缓和层只设有接合层。

[0098] BGA 型的半导体装置 60 是在比半导体元件 4 的接合部 (搭载部) 的更靠外一侧, 例如半导体元件 4 搭载部和焊球 8 (半导体元件 4 的外侧的焊球 8) 搭载部之间, 用冲床或激光等在绝缘基板 1 上形成狭缝 61。在狭缝 61 上, 设计成部分地配置配线图案 2。

[0099] 在狭缝 61 上, 可以填充缓冲材料、其他的塑料等。

[0100] 狭缝 61 希望是宽 $1\mu\text{m} \sim 1\text{mm}$, 长 $100\mu\text{m} \sim$ 封装全长。对形状的细节在后面有叙述。

[0101] 在本实施方式中, 除了像图 11 所示的, 作为外部端子的焊球 8 在半导体元件 4 外侧 (Fan-Out 型) 的情况, 也适用于焊球 8 同时在半导体元件 4 的下面和外侧 (Fan-In/Out 型)。

[0102] 本实施方式的效果

[0103] (1) 因为在比半导体元件 4 搭载部的更靠外一侧 (这里, 是焊球 8 搭载部和半导体 4 搭载部之间), 形成狭缝 61, 所以可以缓和半导体装置 60 与印刷配线板 9 (母板) 之间产生的应力, 以及层叠型半导体装置 600 的半导体装置 60 之间产生的应力。

[0104] 本发明的第 6 实施方式

[0105] 半导体装置的结构

[0106] 图 13 是表示本发明第 6 实施方式所涉及的半导体装置的结构说明图, 图 14 是表示其层叠型半导体装置的结构说明图。除以下说明的事项以外, 与第 5 实施方式所涉及的半导体装置和层叠型半导体装置相同。

[0107] 即, 第 5 实施方式所涉及的半导体装置 60 的半导体元件 4 接合在与印刷配线板 9

相对的面为相反的面,而本实施方式所涉及的半导体装置 70 的半导体元件 4,接合于相对印刷配线板 9 的面上,这一点是不同的。

[0108] 在本实施方式中,适用于图 13 所示的,作为外部端子的焊球 8 在半导体元件 4 的外侧的情况 (Fan-Out 型)。

[0109] 狭缝形状

[0110] 上述第 5、第 6 实施方式所涉及的半导体装置和层叠型半导体装置中,狭缝 61 按以下说明,可取得各种形状。

[0111] 图 15～图 18 例示出本发明第 5、第 6 实施方式所涉及的半导体装置和层叠型半导体装置的绝缘基板 1 上所形成的狭缝 61 的形状。

[0112] 图 15 的狭缝 61a,与位于图中央的半导体元件 4 搭载部的长边平行,完全分离半导体元件 4 搭载侧和焊球 8 的焊接 / 接触侧。另一方面,狭缝 61b,61c 与半导体元件 4 搭载部的长边平行,不完全分离半导体元件 4 搭载侧和焊球 8 的焊接 / 接触侧 (狭缝 61b 是长方形的窗口形状,狭缝 61c 是一端分离的梳齿状)。

[0113] 即,狭缝 61a～61c 与位于图中央的半导体元件 4 搭载部的长边平行,将半导体元件 4 搭载部和半导体 4 的外侧所配置的焊球 8 的搭载部完全或部分地分离。

[0114] 图 16 的狭缝 61d 与位于图中央的半导体元件 4 搭载部的长边 (或者短边) 成直角,在半导体元件 4 搭载部的外侧,梳齿状地分离焊球 8 的焊接 / 接触区域。而且,狭缝 61e 是长方形的窗口形状,与半导体元件 4 搭载部的长边 (或者短边) 成直角,在半导体元件 4 搭载部的外侧,分离焊球 8 的焊接 / 接触区域。

[0115] 即,狭缝 61d、61e 与位于图中央的半导体元件 4 搭载部的长边或者短边相垂直,完全或部分地分离半导体元件 4 搭载部和在半导体元件 4 的外侧上配置的焊球 8 的搭载部。

[0116] 图 17 表示复合方式,其具有图 15 和图 16 中表示的狭缝 61a～61e 的全部方式。

[0117] 图 18 的狭缝 61f 与位于图中央的半导体元件 4 搭载部的短边平行,完全分离半导体元件 4 搭载侧和焊球 8 的焊接 / 接触侧。另一方面,狭缝 61g 与半导体元件 4 搭载部的短边平行,不完全分离半导体元件 4 搭载侧和焊球 8 的焊接 / 接触侧 (狭缝 61g 是长方形的窗口状)。

[0118] 即,狭缝 61f、61g 与位于图中央的半导体元件 4 搭载部的短边平行,完全或部分地分离半导体元件 4 搭载部和在半导体元件 4 的外侧上配置的焊球 8 的搭载部。

[0119] 代替弹性物的连接层 5 的方式

[0120] 与所述的说明有一部分重复,但代替弹性物的连接层 5 的获取方式是如下所述。

[0121] (1) 连接层 5 具有由生成破坏、偏移 (滑动) 或剥离的材质构成的层,或者具有产生破坏、偏移 (滑动) 或剥离的结构,此破坏、偏移 (滑动) 或剥离产生于半导体元件 4 和连接层 5 的接合界面的一部分、内插器基板 3 和连接层 5 的接合界面的一部分或者连接层 5 内的层间界面的一部分,是由于半导体元件 4 和内插器基板 3 之间的应力作用而产生。

[0122] (2) 连接层 5 具有由在半导体元件 4 和内插器基板 3 不分离的范围内该连接层 5 内部的一部分产生破坏或偏移 (滑动) 的材质来构成的层,或者,具有产生破坏或偏移 (滑动) 的结构,此破坏或偏移 (滑动) 是由于半导体元件 4 和内插器基板 3 之间的应力作用而产生。

[0123] (3) 半导体元件 4 和内插器基板 3 通过树脂保持部分或整体以使其不分离,并且,

连接层 5 具有由生成破坏、偏移（滑动）或剥离的材质构成的层，或者具有产生破坏、偏移（滑动）或剥离的结构，此破坏、偏移（滑动）或剥离产生于半导体元件 4 和连接层 5 的接合界面、内插器基板 3 和连接层 5 的接合界面或者连接层 5 内的层间界面，是由于半导体元件 4 和内插器基板 3 之间的应力作用而产生。

[0124] (4) 半导体元件 4 和内插器基板 3 通过树脂保持部分或整体，以使其不分离，并且，连接层 5 具有由在该连接层 5 内部产生破坏或偏移（滑动）的材质构成的层，或者，具有产生破坏或偏移（滑动）的结构，是由于半导体元件 4 和内插器基板 3 之间的应力作用而产生。

[0125] (5) 连接层 5 具有由带（薄膜）或糊剂构成的层。

[0126] (6) 连接层 5 是含有芯层 11 和接合层 12、13 来构成的，该接合层用于将芯层 11 接合于半导体元件 4 和内插器基板 3。

[0127] (7) 连接层 5 由单层或 2 层的接合层构成。

[0128] (8) 连接层 5 由具有 2 层以上的接合力的芯层构成。

[0129] (9) 连接层 5 具有将光固化性物质（感光材料）薄膜化的干燥薄膜材料、内部具有液态层的带有机械结构的薄膜材料或者用 Ag 糊剂材料构成的层。

[0130] 下面，更具体地说明代替弹性物的连接层 5 的获取方式。

[0131] 单层连接层

[0132] 连接层 5 由单层的薄膜基材和沁入此基材的接合剂构成。将该接合剂的对于半导体元件 4 或内插器基板 3 的接合力设成 $1 \sim 500\text{gf}$ ($0.01 \sim 5\text{N}$)/ mm^2 之间的比较弱的状态，使得在接合对象之间产生偏移（滑动）或剥离，来吸收应力。

[0133] 单层连接层

[0134] 连接层 5 是由包含树脂材料和装填物等填充材料的糊剂构成的。在 $0.01 \sim 5\text{N}/\text{mm}^2$ 以上的应力作用下，在树脂与填充材料的界面上的部分或全面地产生剥离等，或者在树脂材料内部（基体）部分或全面地产生裂纹、破裂等，来吸收应力。

[0135] 2 层连接层

[0136] 连接层 5 是将沁入上述接合剂的单层的薄膜基材以 2 张重合来制成 2 层结构。将该接合剂对于半导体元件 4 或内插器基板 3 的接合力调整成 $0.01 \sim 5\text{N}/\text{mm}^2$ 之间的比较弱的状态，使得在接合对象之间，或者 2 层的薄膜基材之间产生偏移（滑动）或剥离等，来吸收应力。

[0137] 2 层连接层

[0138] 连接层 5 是将沁入上述接合剂的单层的薄膜基材和与该薄膜基材接合力不同的薄膜基材进行 2 张重合来制成 2 层结构。将该接合剂的对于半导体元件 4 或内插器基板 3 的接合力调整成 $0.01 \sim 5\text{N}/\text{mm}^2$ 之间的比较弱的状态，使得在接合对象之间，或者 2 层的薄膜基材之间产生偏移（滑动）或剥离等，来吸收应力。

[0139] 3 层连接层

[0140] 连接层 5 是将 3 张沁入上述接合剂的单层薄膜基材，或者 2 张该薄膜基材和 1 张与该薄膜基材的接合力不同的薄膜基材进行重合（不考虑重合顺序）制成 3 层结构。将该接合剂对于半导体元件 4 或内插器基板 3 的接合力调整成 $0.01 \sim 5\text{N}/\text{mm}^2$ 之间的比较弱的状态，使得在接合对象之间，或者同种或异种的薄膜基材之间产生偏移（滑动）或剥离等，

来吸收应力。

[0141] 2 层连接层（连接层的方向性的例子）

[0142] 连接层 5 是将 2 张沁入上述接合剂的单层的薄膜基材（芯层 11A, 11B），或者 1 张该薄膜基材和 1 张与该薄膜基材的接合力不同的薄膜基材进行重合，制成 2 层结构（将对半导体元件 4 或内插器基板 3 的接合力调整成 $0.01 \sim 5\text{N/mm}^2$ 之间的比较弱的状态），各层在剥离或分裂强度上具有方向性（例如，X 方向上强，Y 方向上弱）。例如，90 度转向重合同种的 2 张薄膜基材，使得有意地产生各层的剥离、分裂等，吸收施加于半导体元件 4 上的来自于 360 度任一 XY 面的应力。而且，上下 2 层的接合层的方向的改变可以在 $45 \sim 135$ 度的范围。

[0143] 3 层以上连接层（用芯层吸收的例子）

[0144] 连接层 5 是将 3 张以上沁入上述接合剂的单层的薄膜基材（芯层 11A、11B），或者 2 张该薄膜基材和 1 张以上与该薄膜基材的接合力不同的薄膜基材进行重合，制成 3 层以上的结构（将对半导体元件 4 或内插器基板 3 的接合力调整成 $0.01 \sim 5\text{N/mm}^2$ 之间的比较弱的状态），各层在剥离或分裂强度上具有方向性（例如，X 方向上强，Y 方向上弱）。例如，以 90 度转向来重合同种的 2 张薄膜基材（芯层 11A），将与芯层 11A 不同的同种的 2 张的薄膜基材（芯层 11B）进行 90 度转向来夹住芯层 11A 从而进行重合，通过产生各层的剥离，分裂等，来吸收施加于半导体元件 4 上的来自于 360 度任一 XY 面的应力。而且，同种的上下 2 层的接合层的方向的改变，可以在 $45 \sim 135$ 度的范围。

[0145] 在上述具体例子中，例举了将芯层沁入接合剂的方式，但在这些具体例子中，也可以采用将具有接合力的接合层以其他的方法设置于单侧或两侧的方式。

[0146] 接合强度的调整

[0147] 在下面，例示出调整连接层 5 的接合力的方法。

[0148] (1) 减少糊剂基材的量，增多与装填物等的直接接合性无关的部分的比例，使得连接层内部的以及与接合对象的接合面积减少，来抑制接合强度使其变低。

[0149] (2) 通过将接合剂不均匀（不均一）地沁入，可以实现接合强度的变更（ $0 \sim 100\%$ ）。

[0150] (3) 部分地沁入接合剂，使得连接层内部的以及与接合对象的接合面积减少，来抑制接合强度使其变低。

[0151] (4) 具有 2 层以上的芯层时，变更各层沁入的接合剂，将接合层之间的接合强度调整得比接合层与接合对象的接合强度低，使得接合层间可以先产生偏移（滑动）或剥离等。

[0152] 代替弹性物的连接层 5 的效果

[0153] 利用使用代替弹性物的连接层 5 的实施方式，获得以下效果。

[0154] (1) 通过采用在半导体元件和内插器基板之间的应力起作用时，产生破坏、偏移（滑动）或剥离的材质构成的连接层，或者通过使用具有产生破坏、偏移（滑动）或剥离的结构连接层，能得到缓和该应力的半导体装置。这里，缓和是指吸收、分散等。

[0155] (2) 因为不需要使用以往的应力缓和弹性物，所以在构成半导体装置及内插器基板的方面，能够降低材料价格，而且，与以往的应力缓和弹性物相比，其获取也容易。

[0156] 本发明的其他的实施方式

[0157] 本发明不限于上述各实施方式，可以在不脱离或变更本发明的技术思想的范围内

进行种种变形。

[0158] 例如,在上述实施方式中,以 BGA 型为例,进行说明,但也适用于产生同样问题的半导体装置,例如 CSP 型或 SIP 型的半导体装置。而且,也可适用于 MCP(多芯片封装)。

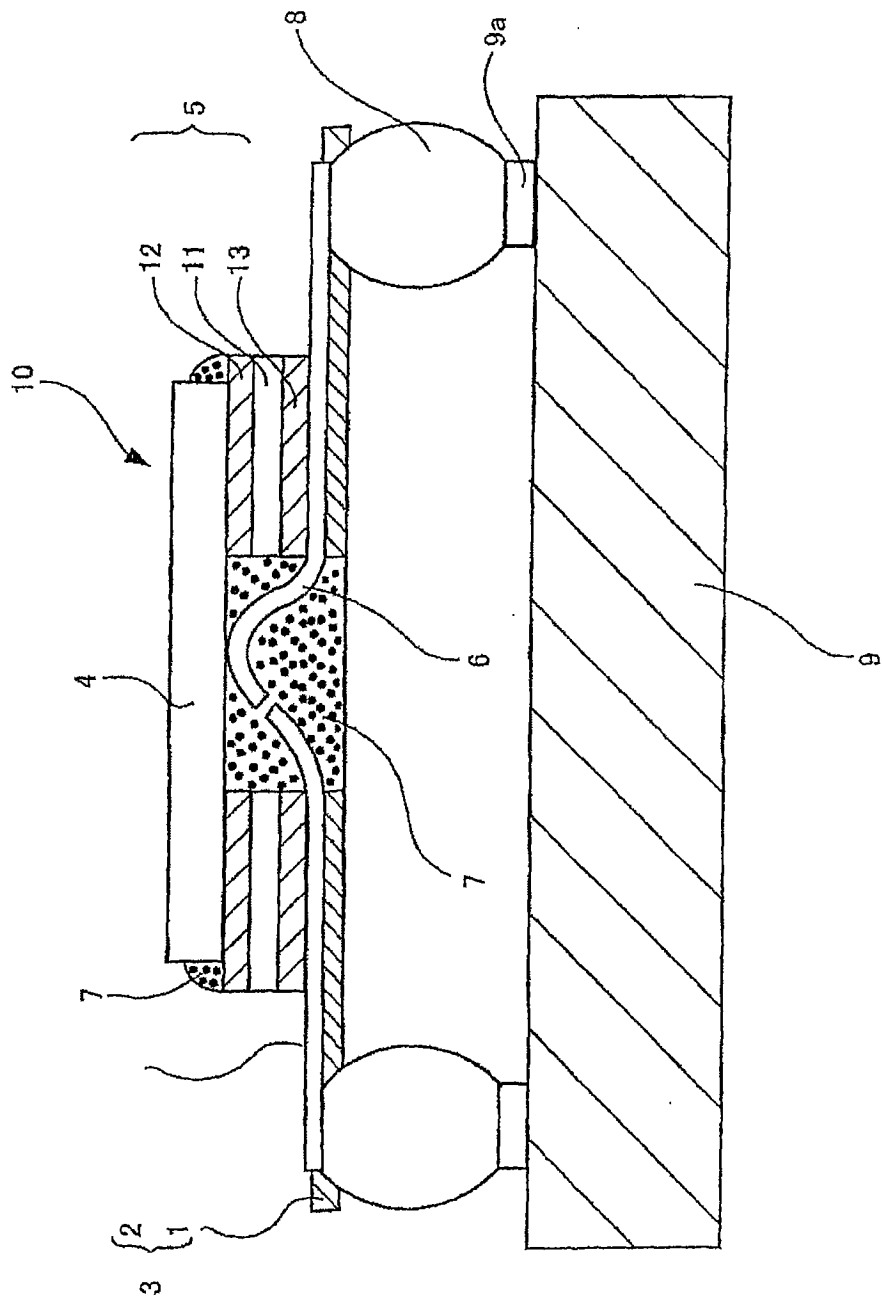


图 1

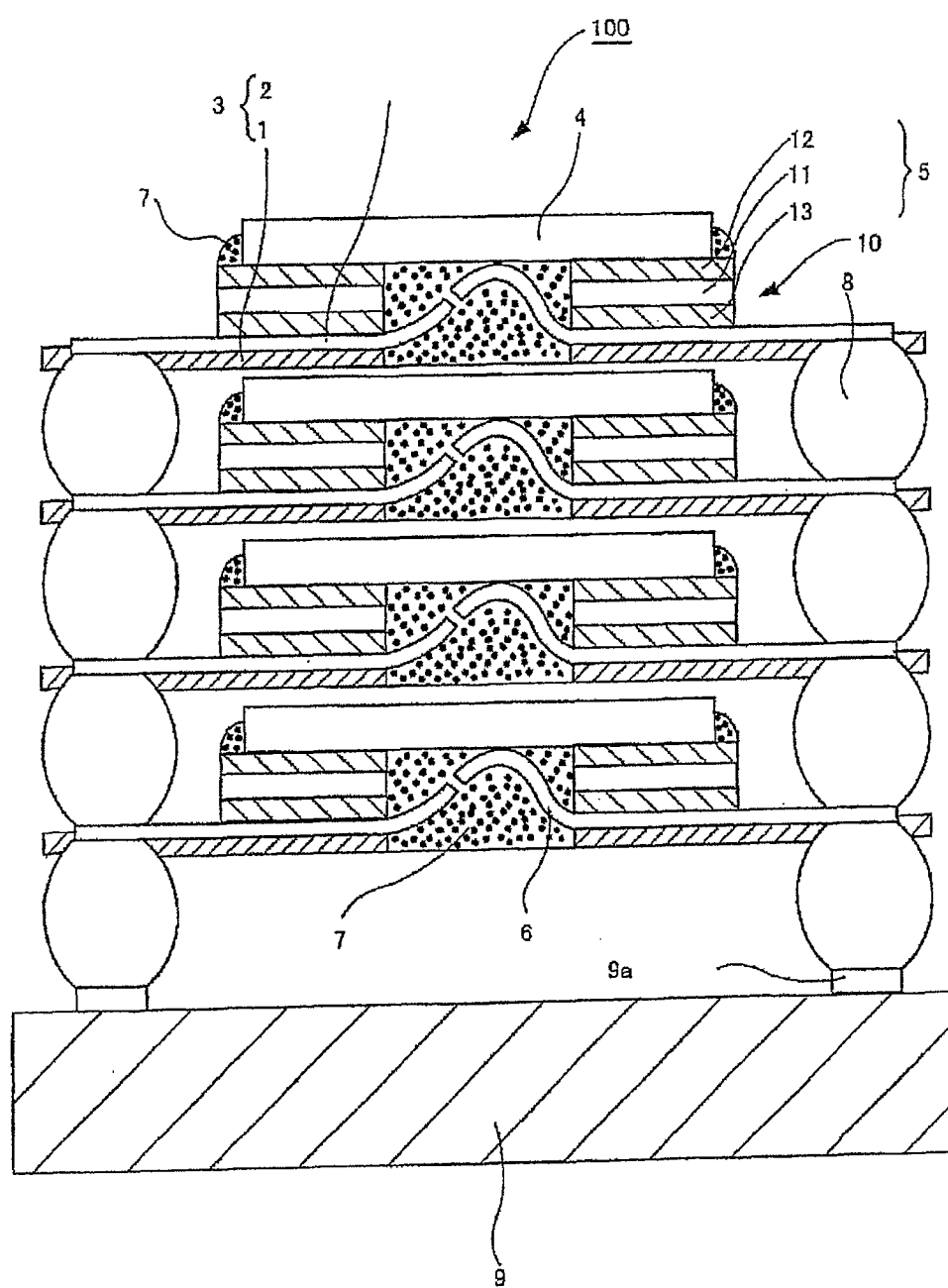


图 2

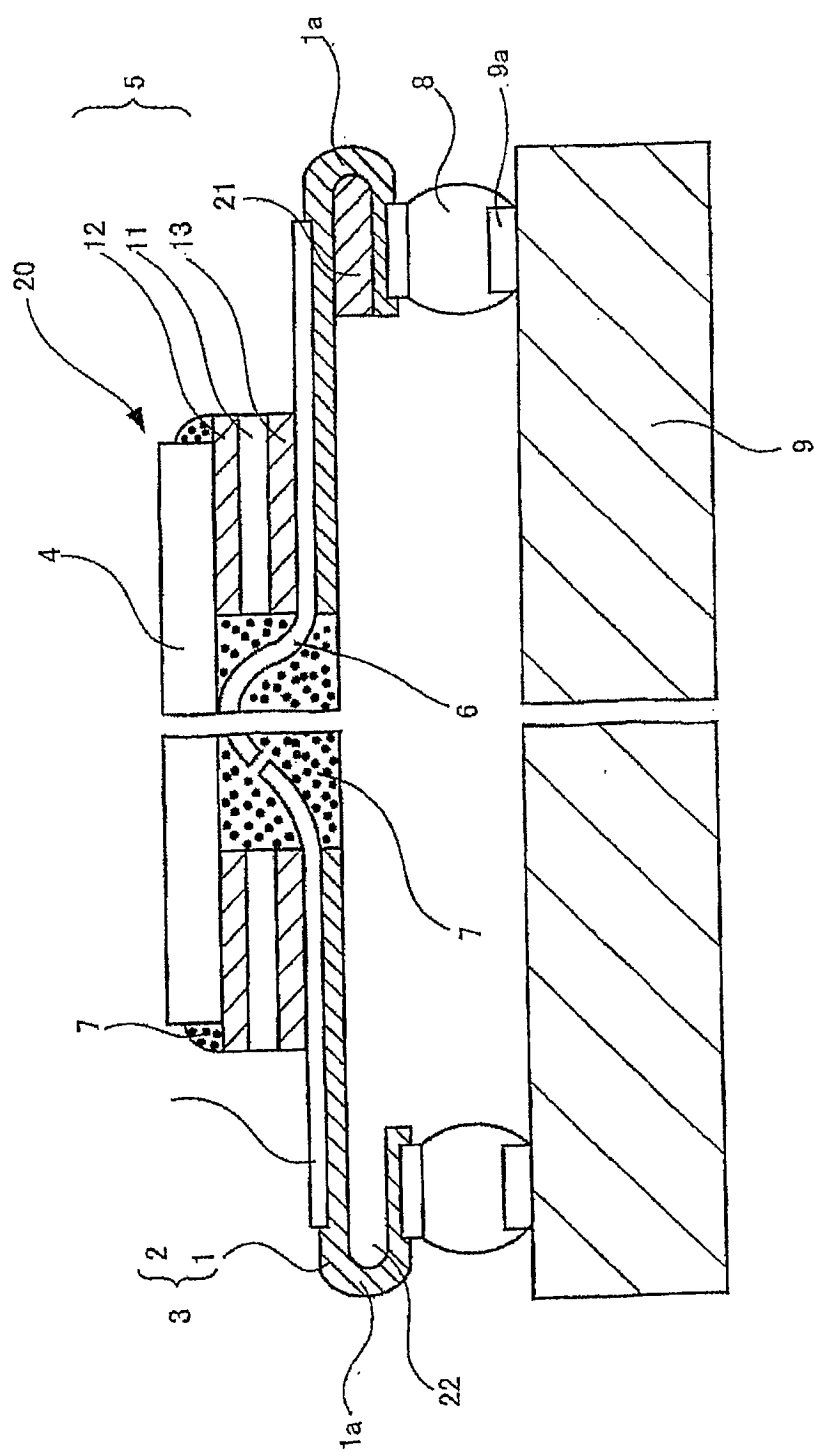


图 3

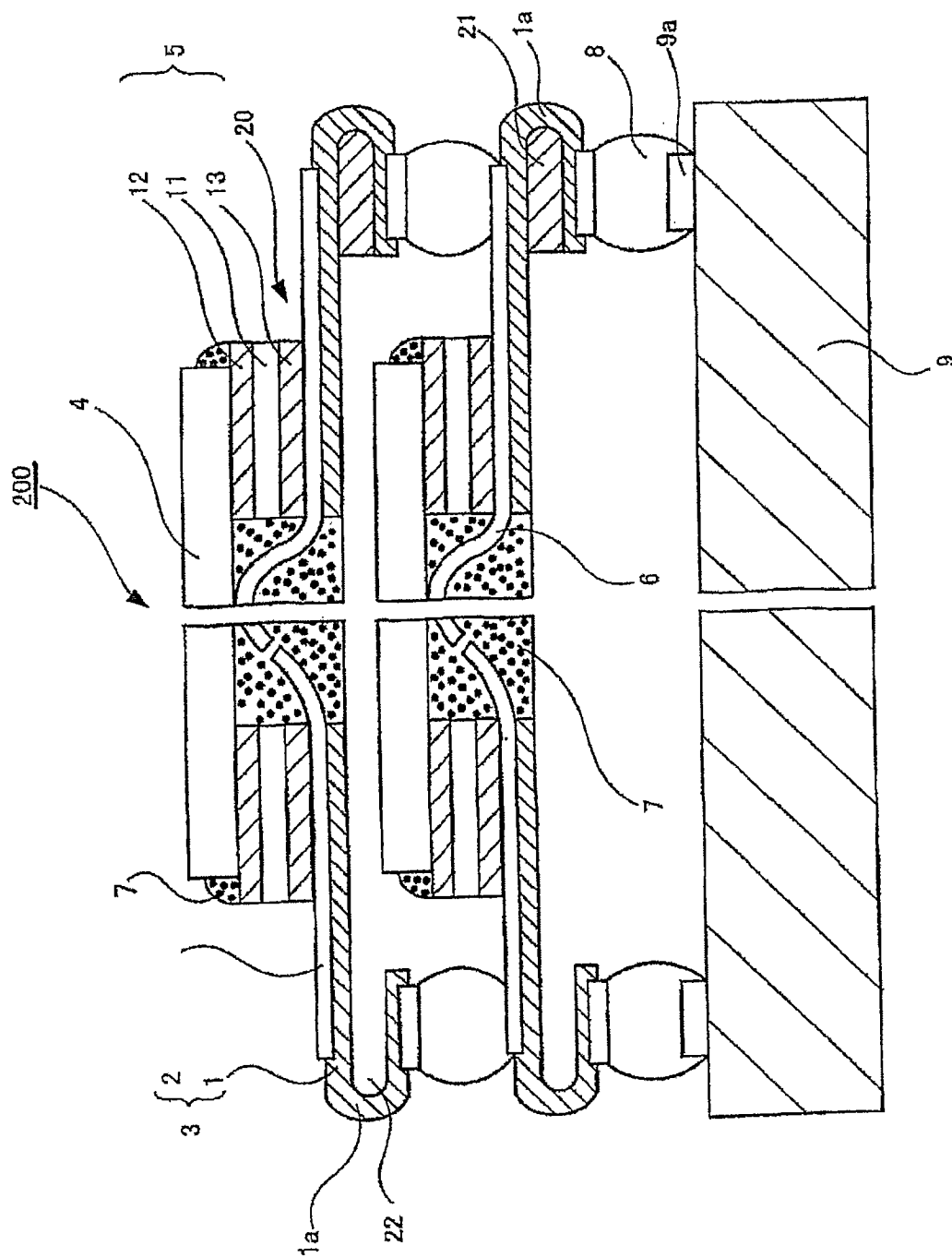


图 4

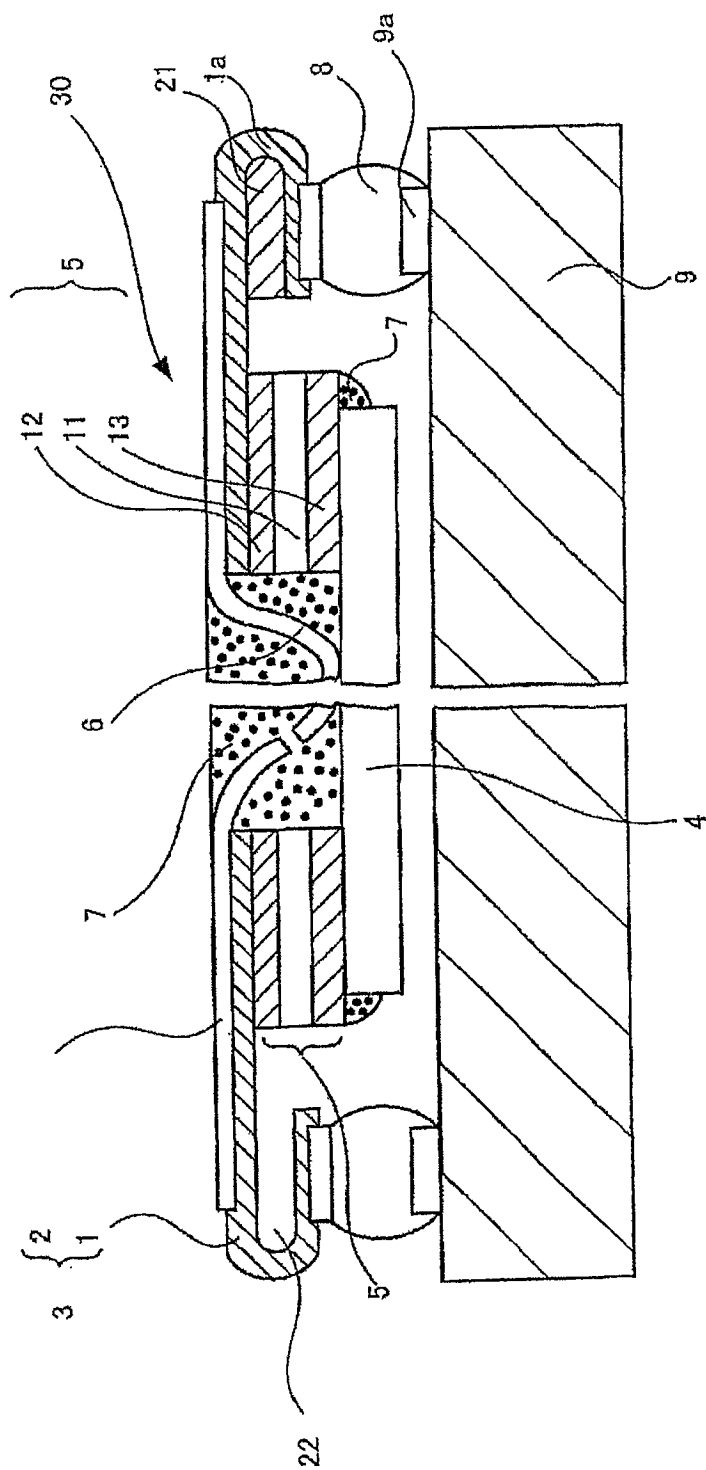


图 5

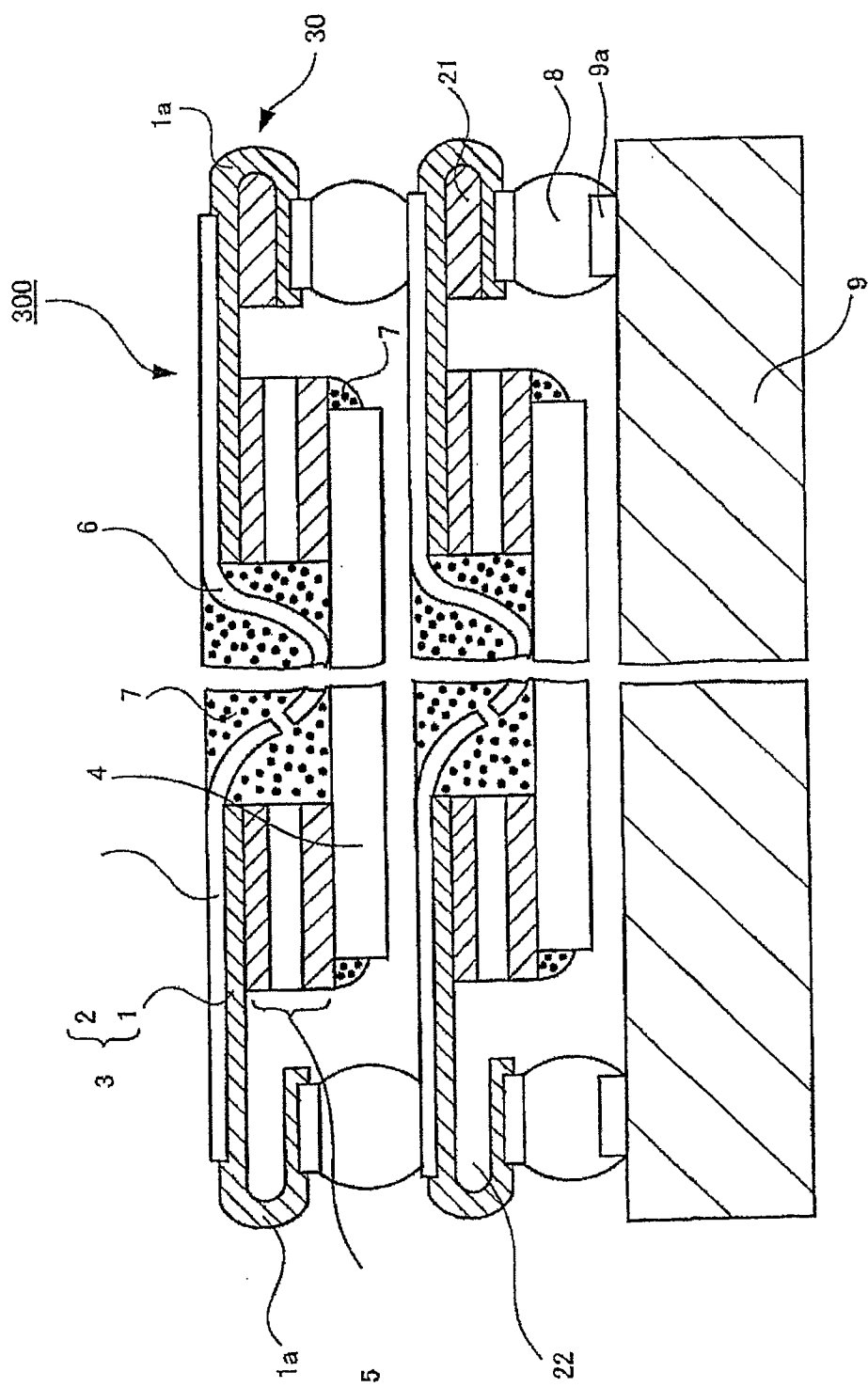


图 6

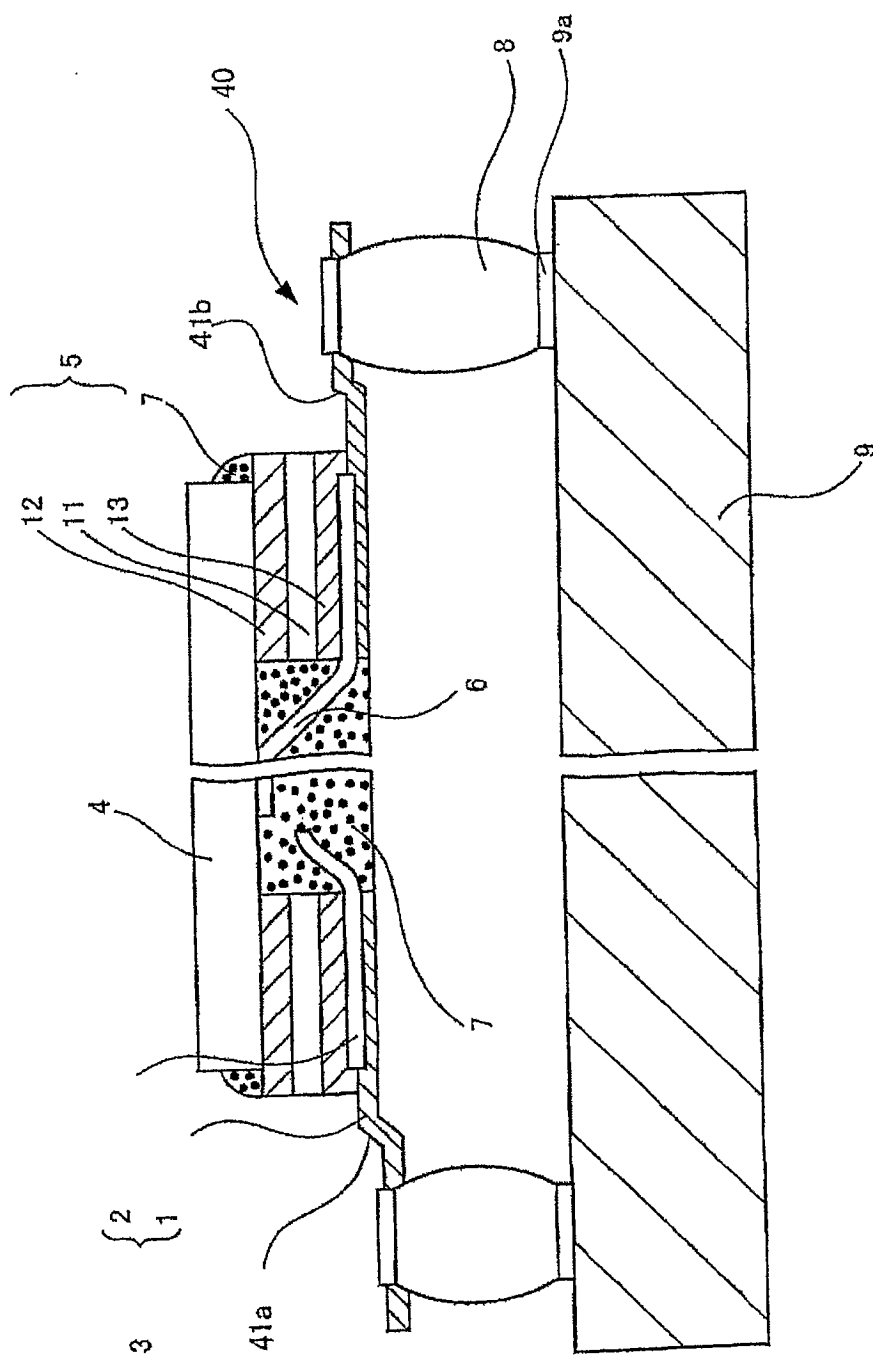


图 7

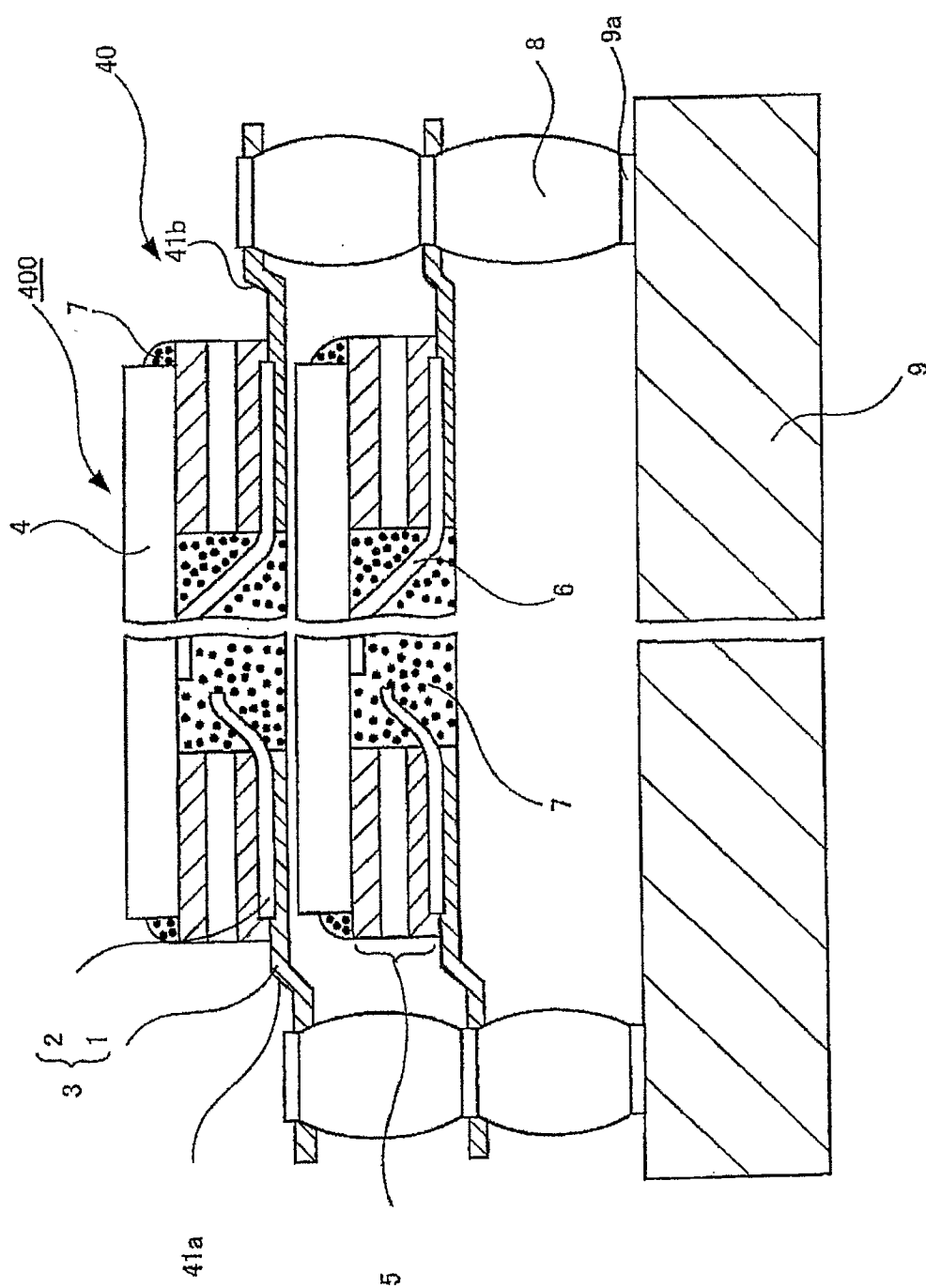


图 8

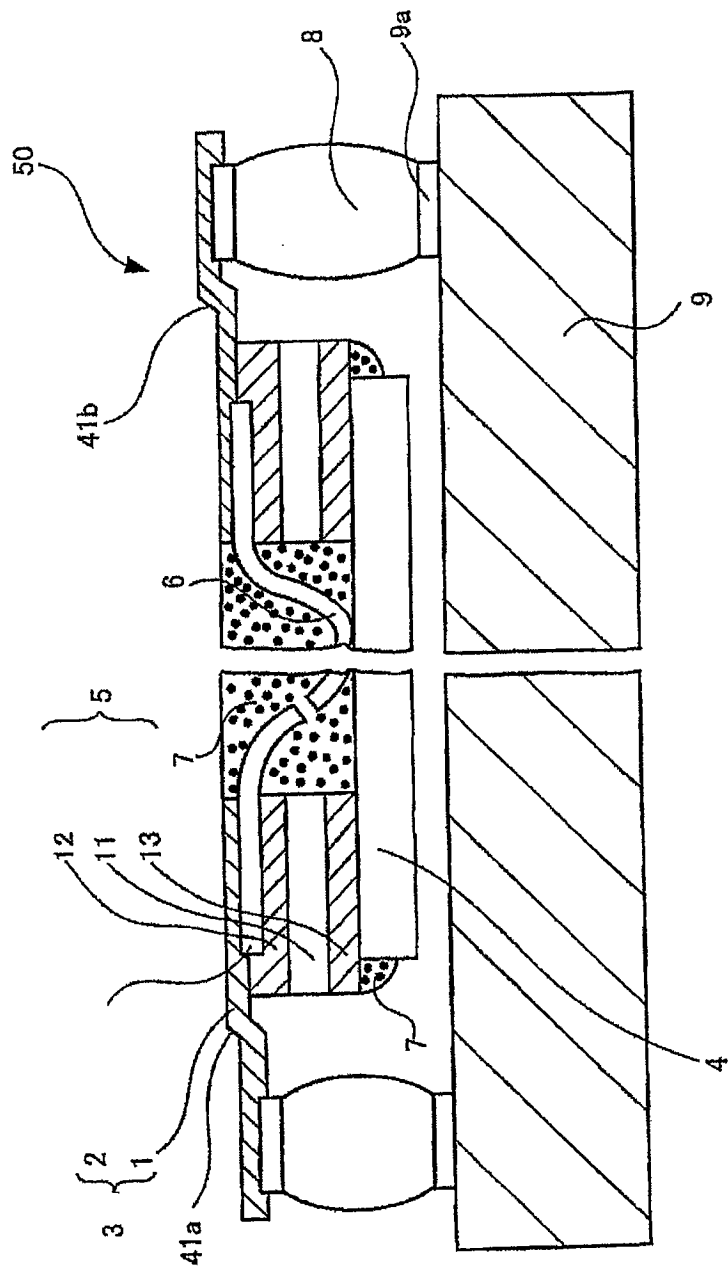


图 9

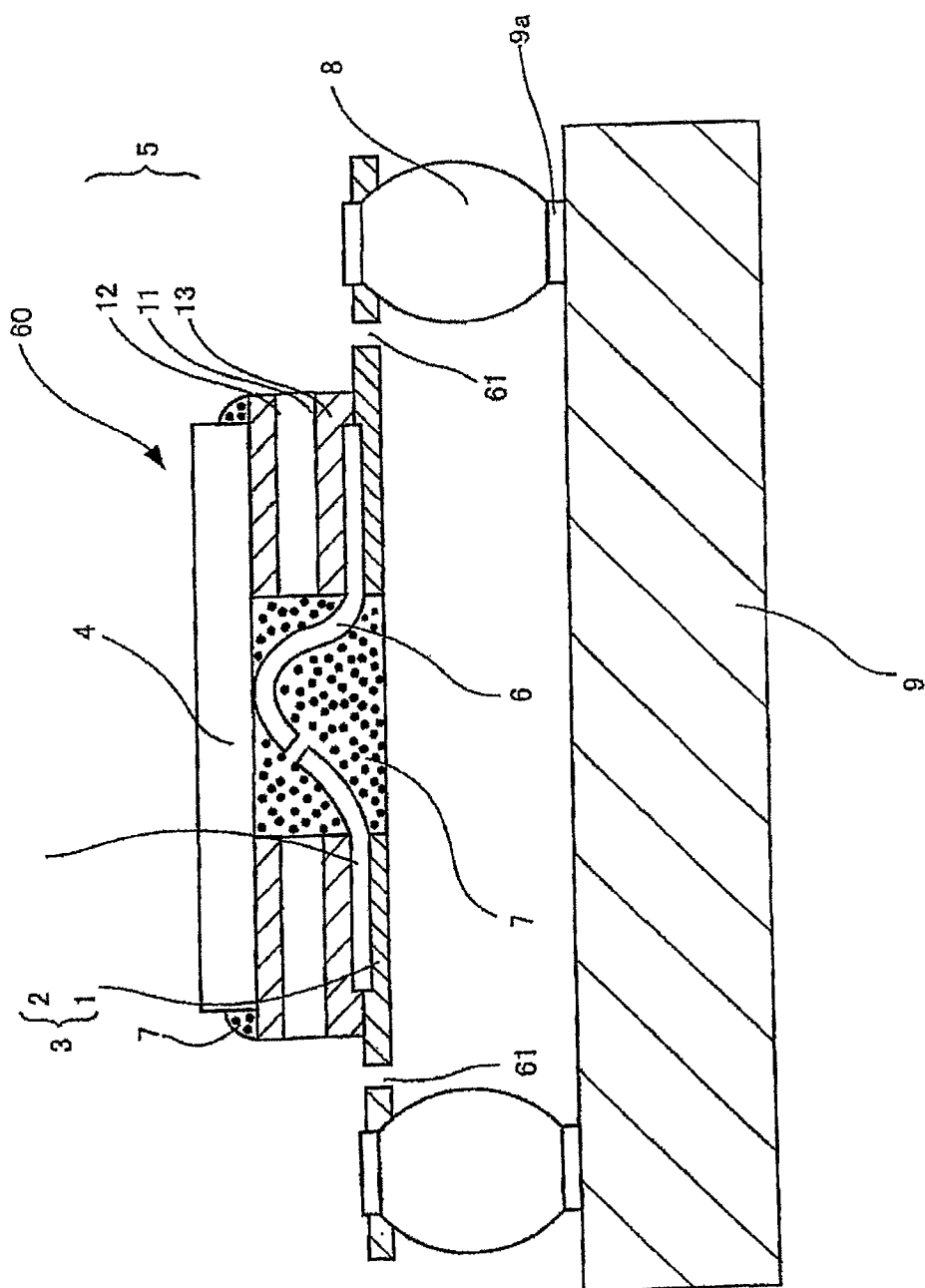


图 11

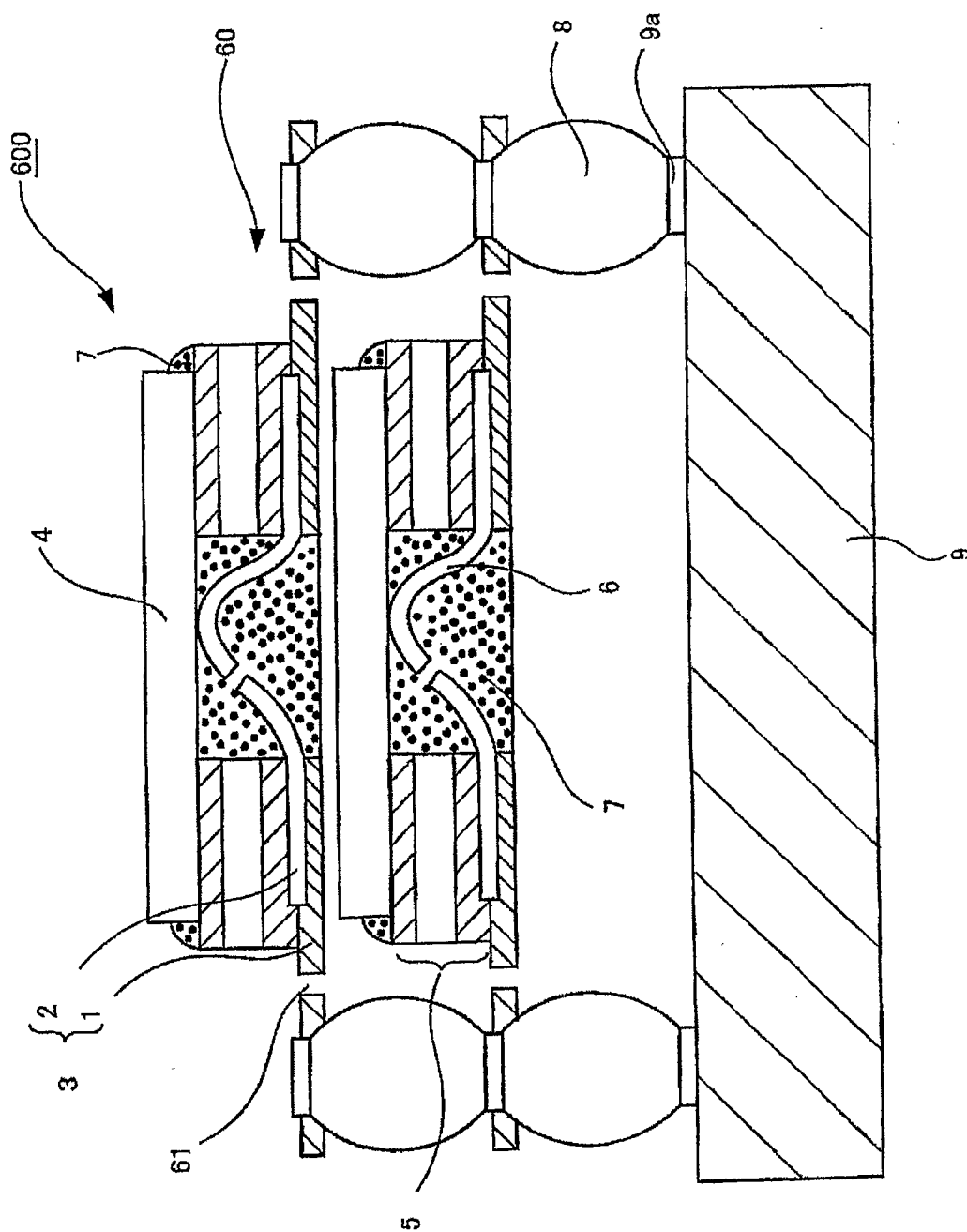


图 12

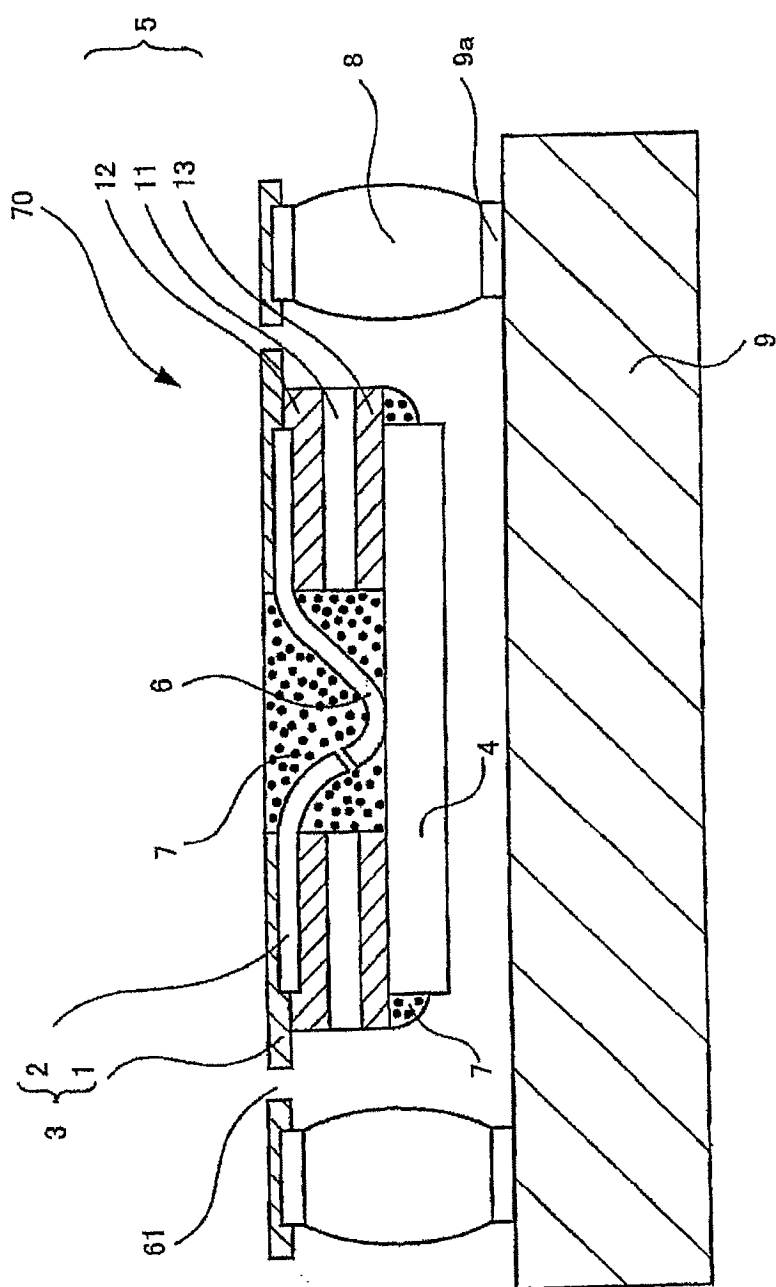


图 13

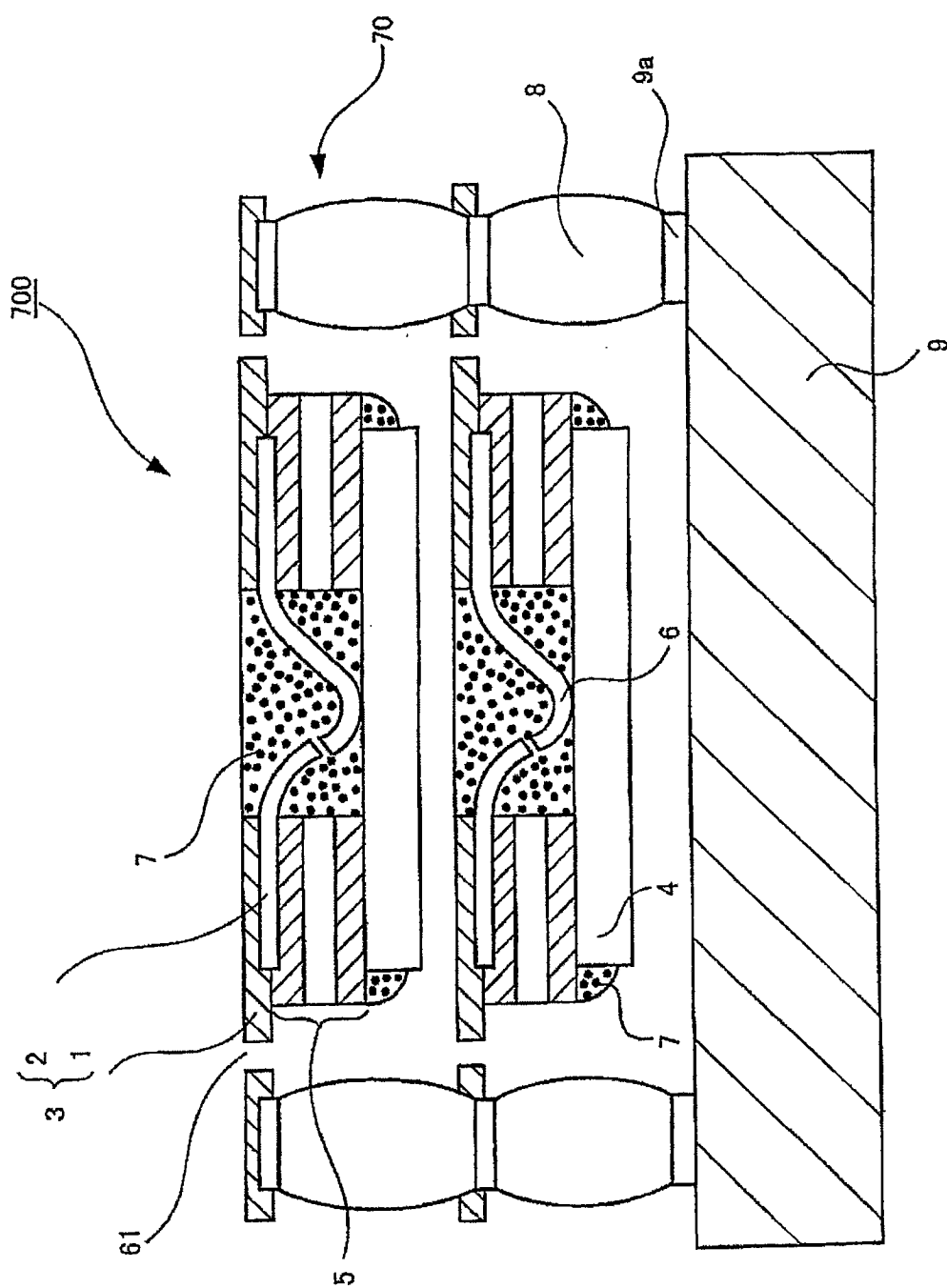


图 14

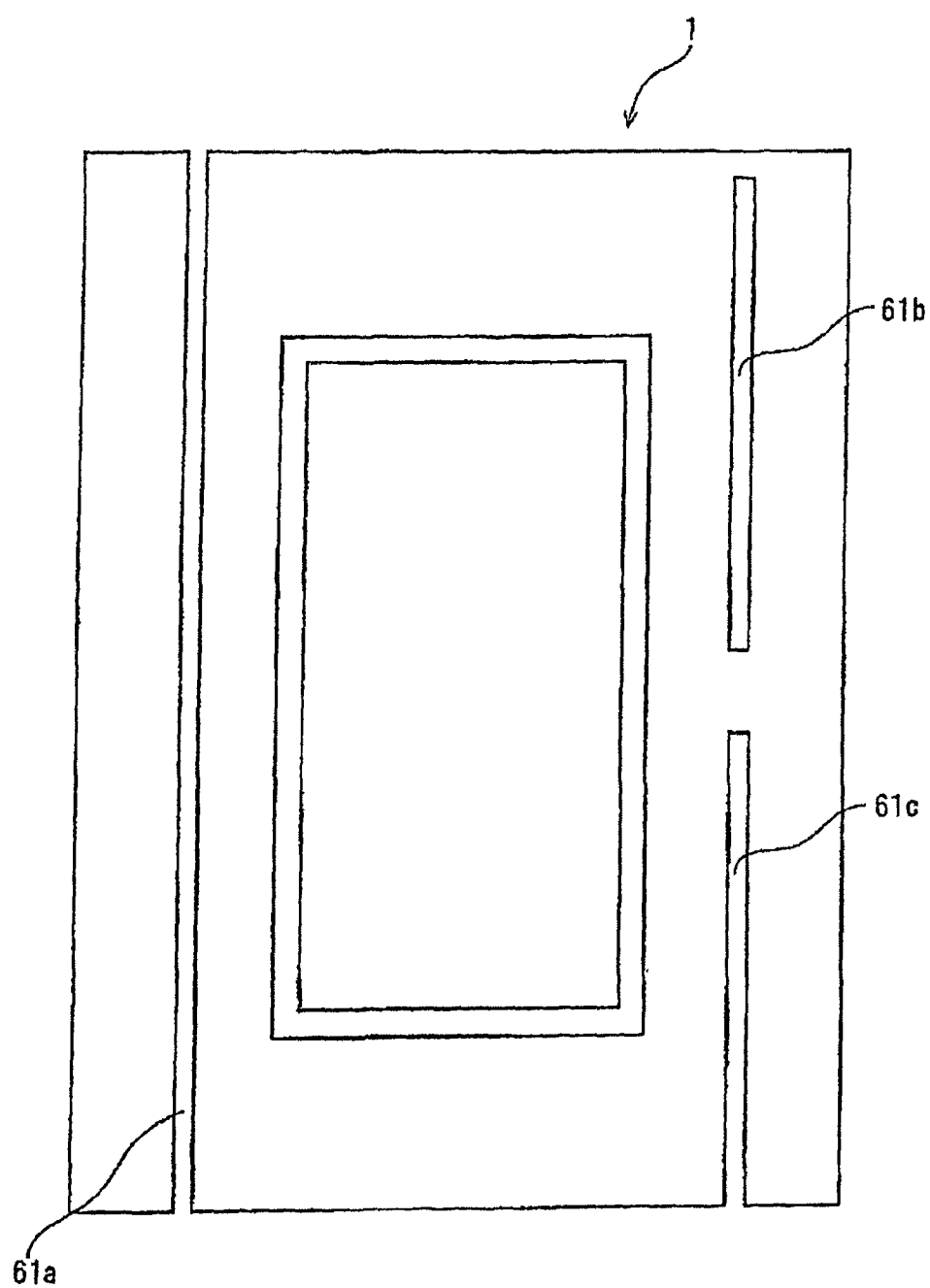


图 15

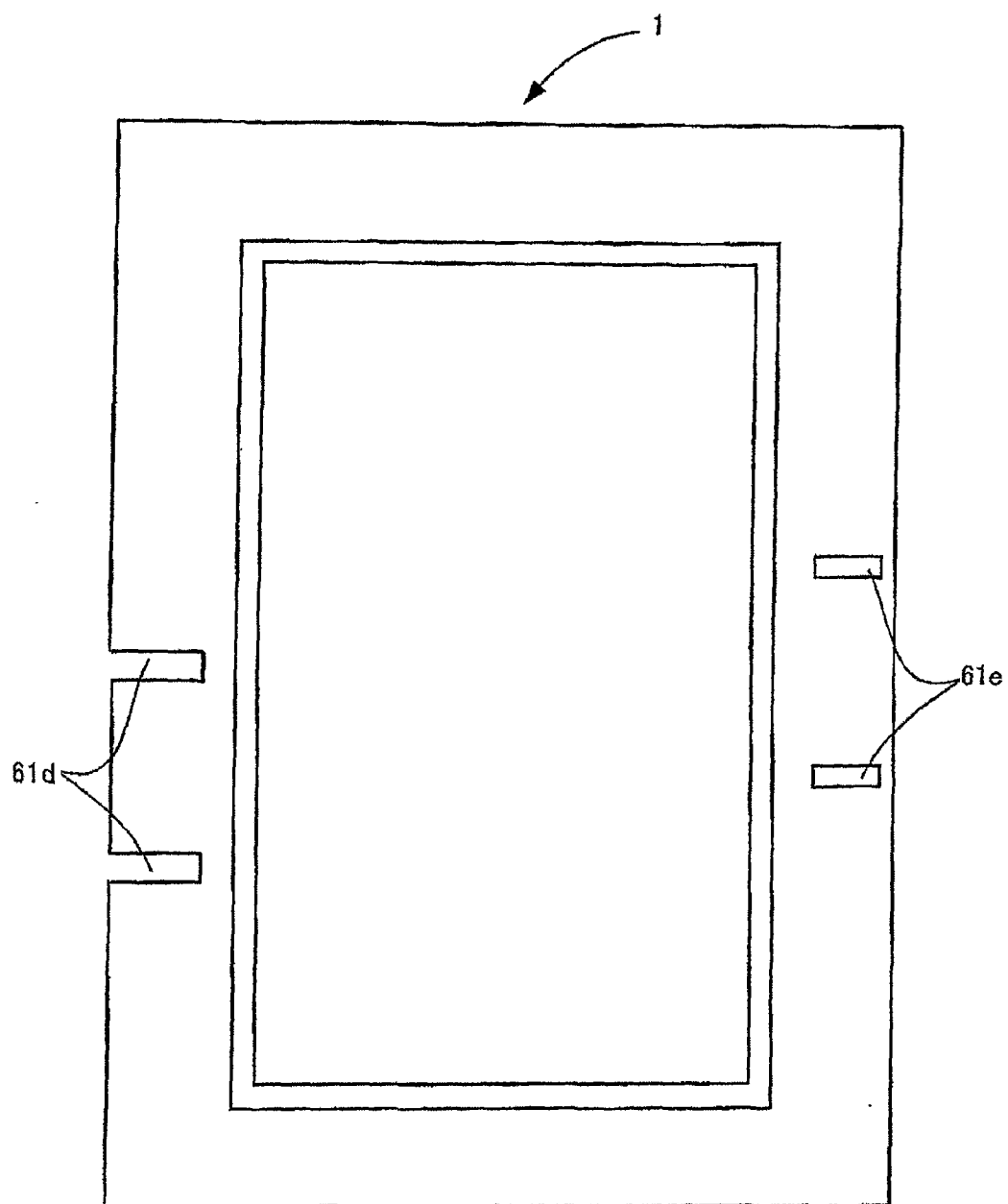


图 16

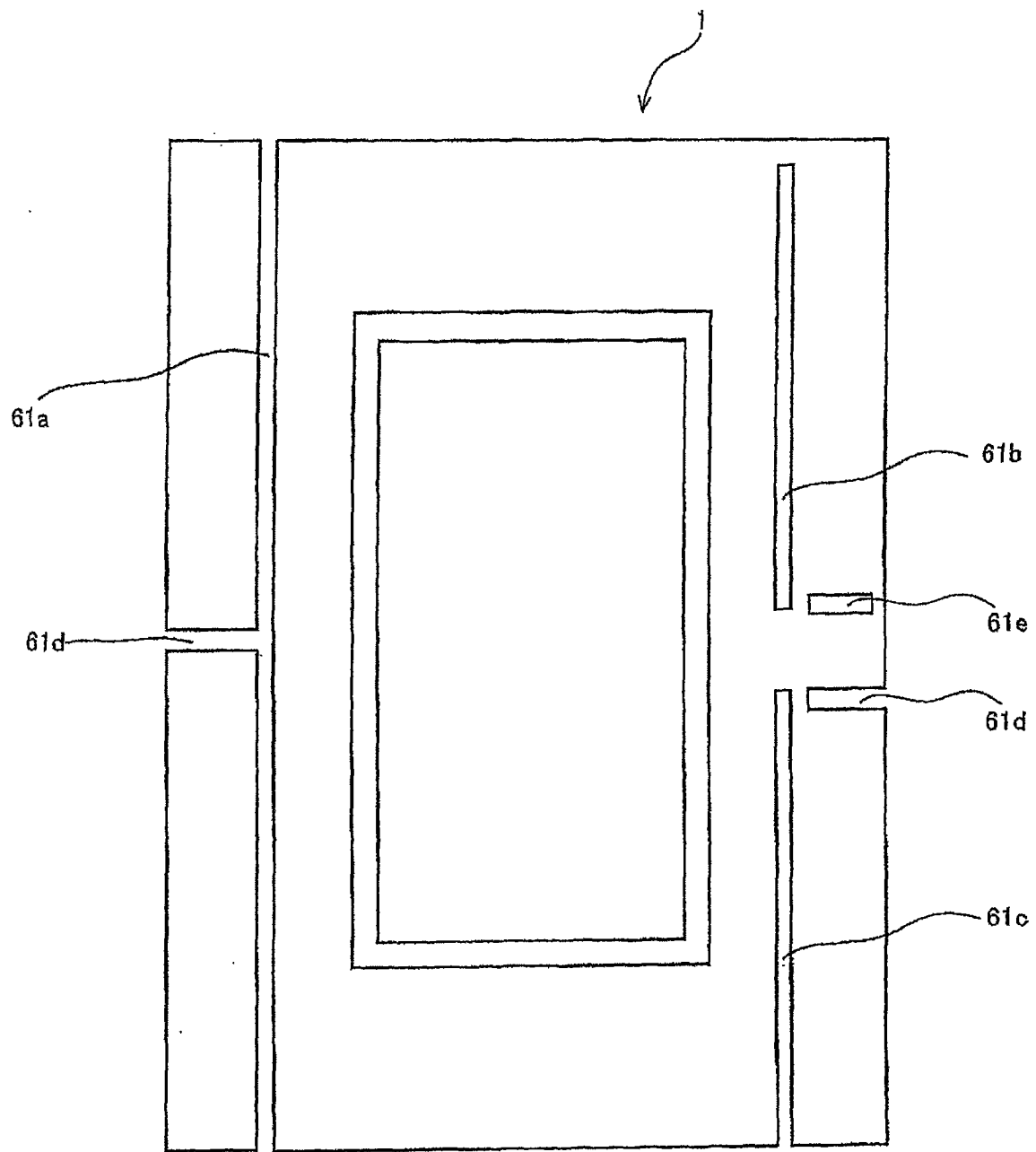


图 17

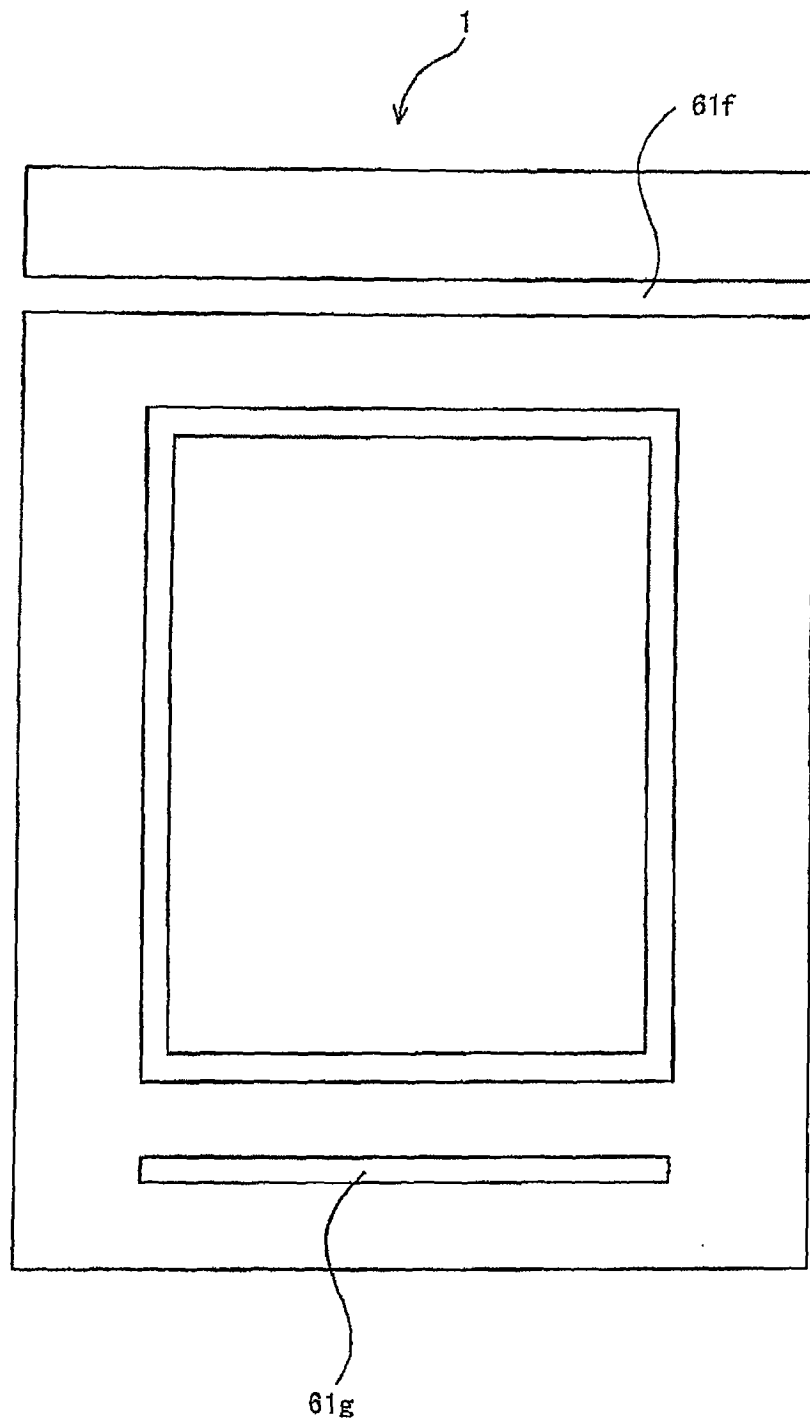


图 18