



(12)发明专利

(10)授权公告号 CN 107123745 B

(45)授权公告日 2018.12.14

(21)申请号 201710288452.8

(22)申请日 2017.04.27

(65)同一申请的已公布的文献号

申请公布号 CN 107123745 A

(43)申请公布日 2017.09.01

(73)专利权人 上海天马有机发光显示技术有限公司

地址 201201 上海市浦东新区龙东大道
6111号1幢509室

(72)发明人 张鹏 苏聪艺

(74)专利代理机构 北京晟睿智杰知识产权代理
事务所(特殊普通合伙)
11603

代理人 于淼

(51)Int.Cl.

H01L 51/52(2006.01)

H01L 51/56(2006.01)

H01L 27/32(2006.01)

(56)对比文件

CN 101222022 A,2008.07.16,

CN 104919540 A,2015.09.16,

CN 202995201 U,2013.06.12,

CN 104393192 A,2015.03.04,

US 6351066 B1,2002.02.26,

JP H10106751 A,1998.04.24,

JP H10133210 A,1998.05.22,

审查员 杨斌

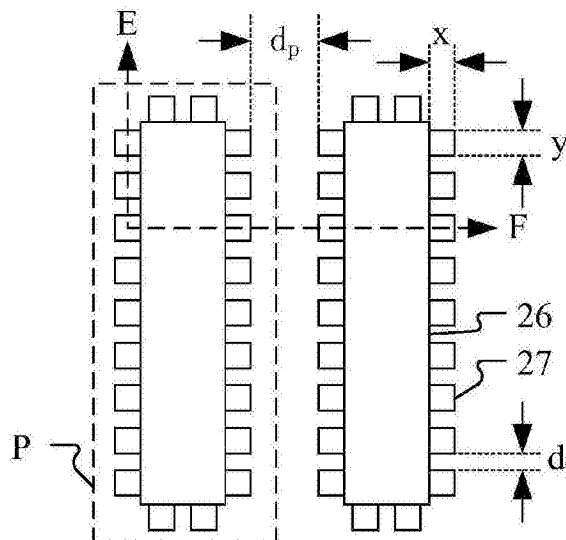
权利要求书2页 说明书7页 附图7页

(54)发明名称

像素阵列及其制作方法、显示面板和显示装置

(57)摘要

本申请公开了一种像素阵列及其制作方法、显示面板和显示装置。像素阵列中的每个子像素包括设置在衬底基板上的反射电极,反射电极包括叠置的第一透明电极和金属电极,其中,金属电极形成于第一透明电极和衬底基板之间;第一透明电极包括主体和形成在主体周围且与主体相拼接的多个电极块;电极块在平行于衬底基板的方向上的最大长度小于像素间距的最小值。按照本申请的方案,通过在第一透明电极的主体周围拼接多个电极块,并使电极块的最大长度小于像素间距的最小值,避免了由于残留的第一透明电极而造成的像素短路,从而提高了生产良率。



1. 一种像素阵列,其特征在于,所述像素阵列中的每个子像素包括设置在衬底基板上的反射电极,所述反射电极包括叠置的第一透明电极和金属电极,其中,所述金属电极形成于所述第一透明电极和所述衬底基板之间;

所述第一透明电极包括主体和形成在所述主体周围且与所述主体相拼接的多个电极块;

所述电极块在平行于所述衬底基板的方向上的最大长度小于像素间距的最小值,所述像素间距为相邻的两个子像素中的所述反射电极在平行于所述衬底基板的方向上的距离。

2. 根据权利要求1所述的像素阵列,其特征在于,同一所述第一透明电极中相邻的两个所述电极块之间的距离的最大值小于所述像素间距的最小值。

3. 根据权利要求1所述的像素阵列,其特征在于,所述反射电极在一道图形化工艺中制作形成。

4. 根据权利要求1所述的像素阵列,其特征在于,所述电极块为矩形、三角形、弓形或其中至少二者组合。

5. 根据权利要求1所述的像素阵列,其特征在于,任一子像素中的所述反射电极与相邻子像素中的所述反射电极非镜像对称。

6. 根据权利要求1所述的像素阵列,其特征在于,任一子像素中的所述反射电极非镜像对称。

7. 根据权利要求1所述的像素阵列,其特征在于,所述金属电极的刻蚀速率大于所述第一透明电极的刻蚀速率。

8. 根据权利要求1所述的像素阵列,其特征在于,所述反射电极还包括第二透明电极,所述第二透明电极形成于所述金属电极和所述衬底基板之间。

9. 根据权利要求1-8任一项所述的像素阵列,其特征在于,所述金属电极与所述电极块至少部分重叠。

10. 一种显示面板,其特征在于,包括如权利要求1-9任一项所述的像素阵列。

11. 根据权利要求10所述的显示面板,其特征在于,所述显示面板为有机发光二极管显示面板。

12. 根据权利要求11所述的显示面板,其特征在于,有机发光二极管包括阳极、阴极以及位于所述阳极和所述阴极之间的有机发光层;

所述阳极为所述反射电极。

13. 一种显示装置,其特征在于,包括如权利要求10-12任一项所述的显示面板。

14. 一种像素阵列的制作方法,其特征在于,所述像素阵列中的每个子像素包括反射电极,所述方法包括:

在衬底基板上依次沉积金属导电膜、第一透明导电膜和光刻胶膜;

使所述光刻胶膜形成光刻胶图案,所述光刻胶图案覆盖待形成所述反射电极的区域;

刻蚀未被覆盖的所述金属导电膜和所述第一透明导电膜;

去除所述光刻胶图案;

其中,所述光刻胶图案包括主体图案和形成在所述主体图案周围且与所述主体图案相拼接的多个电极块图案,所述电极块图案在平行于所述衬底基板的方向上的最大长度小于像素间距的最小值,所述像素间距为相邻的两个所述子像素中的所述反射电极在平行于所

述衬底基板的方向上的距离。

15. 根据权利要求14所述的方法, 其特征在于, 所述方法还包括:

在沉积所述金属导电膜之前, 在所述衬底基板上沉积第二透明导电膜;

刻蚀所述金属导电膜和所述第一透明导电膜的同时, 还刻蚀未被覆盖的所述第二透明导电膜。

像素阵列及其制作方法、显示面板和显示装置

技术领域

[0001] 本申请一般涉及显示技术领域,尤其涉及一种像素阵列及其制作方法、显示面板和显示装置。

背景技术

[0002] OLED (Organic Light Emitting Diode, 有机发光二极管) 作为一种主动发光的显示器件,具有亮度高、响应快、可弯曲、超轻薄且无需背光等优点,在显示技术领域有着重要应用,尤其成为最具潜力取代液晶显示器的显示器件。

[0003] 按照出光方向,OLED可分为底发射型和顶发射型,在底发射结构中光从衬底基板方向出射,而在顶发射结构中光从器件顶部方向出射。其中,顶发射型OLED将驱动OLED的TFT (Thin Film Transistor, 薄膜晶体管) 制作于OLED下方,使出光面与TFT分开,并且不受衬底基板是否透明的影响,可有效提高开口率。

[0004] 对于OLED而言,其本身材料的特性对器件的光电特性有较大影响。例如,为了降低阳极与空穴传输层之间的势垒以改善空穴注入势垒进而改善器件性能,阳极通常包括具有高功函数的材料(例如,具有4eV或以上高功函数的透明导电膜)。因此,顶发射OLED的阳极作为反射电极,通常可包括由透明电极(例如,ITO (Indium Tin Oxide, 氧化铟锡)) 和金属(例如,银) 电极组成的两层(例如,ITO/Ag) 或多层(例如,ITO/Ag/ITO) 结构。

[0005] 在图1A和图1B所示的示例中,反射电极RE可包括第一透明电极12、第二透明电极14以及位于第一透明电极12和第二透明电极14之间的金属电极13。

[0006] 在现有技术中,反射电极RE通常采用一次刻蚀形成,由于第二透明电极14与金属电极13的刻蚀速率相差很大(例如,ITO的刻蚀速率为 $2\text{\AA}/\text{s}$,而Ag的刻蚀速率为 $1000\text{\AA}/\text{s}$),容易发生第二透明电极14刻蚀不完全或者金属电极13过刻,即,在反射电极RE边缘一定范围s(例如,s约为 $2\mu\text{m}$) 内,第二透明电极14下面没有金属电极13支撑。这样,在进行光刻胶剥离时,如图2A和图2B所示,第二透明电极14未被支撑的部分容易部分脱落,当脱落的透明电极15残留在相邻的两个子像素的反射电极上(残留的透明电极15的长度L大于像素间距 d_p) 时,导致该两个子像素短路。

发明内容

[0007] 鉴于现有技术中的上述缺陷或不足,期望提供一种像素阵列及其制作方法、显示面板和显示装置,以期解决现有技术中存在的技术问题。

[0008] 根据本申请的一个方面,提供了一种像素阵列,像素阵列中的每个子像素包括设置在衬底基板上的反射电极,反射电极包括叠置的第一透明电极和金属电极,其中,金属电极形成于第一透明电极和衬底基板之间;第一透明电极包括主体和形成在主体周围且与主体相拼接的多个电极块;电极块在平行于衬底基板的方向上的最大长度小于像素间距的最小值,像素间距为相邻的两个子像素中的反射电极在平行于衬底基板的方向上的距离。

[0009] 在一些实施例中,同一所述第一透明电极中相邻的两个电极块之间的距离小于像

素间距的最小值。

[0010] 在一些实施例中,反射电极在一道图形化工艺中制作形成。

[0011] 在一些实施例中,电极块为矩形、三角形、弓形或其中至少二者组合。

[0012] 在一些实施例中,任一子像素中的反射电极与相邻子像素中的反射电极非镜像对称。

[0013] 在一些实施例中,任一子像素中的反射电极非镜像对称。

[0014] 在一些实施例中,金属电极的刻蚀速率大于第一透明电极的刻蚀速率。

[0015] 在一些实施例中,反射电极还包括第二透明电极,第二透明电极形成于金属电极和衬底基板之间。

[0016] 在一些实施例中,金属电极与电极块至少部分重叠。

[0017] 根据本申请的另一方面还提供了一种显示面板,包括如上的像素阵列。

[0018] 在一些实施例中,显示面板为有机发光二极管显示面板。

[0019] 在一些实施例中,有机发光二极管包括阳极、阴极以及位于阳极和阴极之间的有机发光层;阳极为反射电极。

[0020] 根据本申请的又一方面还提供了一种显示装置,包括如上的显示面板。

[0021] 根据本申请的再一方面还提供了一种像素阵列的制作方法,像素阵列中的每个子像素包括反射电极,方法包括:在衬底基板上依次沉积金属导电膜、第一透明导电膜和光刻胶膜;使光刻胶膜形成光刻胶图案,光刻胶图案覆盖待形成反射电极的区域;刻蚀未被覆盖的金属导电膜和第一透明导电膜;去除光刻胶图案;其中,光刻胶图案包括主体图案和形成在主体图案周围且与主体图案相拼接的多个电极块图案,电极块图案在平行于衬底基板的方向上的最大长度小于像素间距的最小值,像素间距为相邻的两个子像素中的反射电极在平行于衬底基板的方向上的距离。

[0022] 在一些实施例中,方法还包括:在沉积金属导电膜之前,在衬底基板上沉积第二透明导电膜;刻蚀金属导电膜和第一透明导电膜的同时,还刻蚀未被覆盖的第二透明导电膜。

[0023] 本申请提供的像素阵列及其制作方法、显示面板和显示装置,通过在第一透明电极的主体周围拼接多个电极块,并使电极块在平行衬底基板方向上的最大长度小于像素间距的最小值,避免由于残留的第一透明电极而造成的像素短路,从而提高了生产良率。

附图说明

[0024] 通过阅读参照以下附图所作的对非限制性实施例所作的详细描述,本申请的其它特征、目的和优点将会变得更明显:

[0025] 图1A示出了现有技术的像素阵列的部分子像素的俯视图;

[0026] 图1B为图1A沿线AB的截面图;

[0027] 图2A示出了在现有技术的像素阵列中残留的第一透明电极造成像素短路的俯视图;

[0028] 图2B为图2A沿线CD的截面图;

[0029] 图3A示出了本申请一个实施例的像素阵列的部分子像素的俯视图;

[0030] 图3B为图3A沿线EF的截面图;

[0031] 图4A示出了图3A所示实施例的残留电极块的俯视图;

- [0032] 图4B为图4A沿线GH的截面图；
- [0033] 图5A和图5B示出了图3A所示实施例的其他实现方式的示意图；
- [0034] 图6示出了本申请另一实施例的像素阵列的部分子像素的示意图；
- [0035] 图7示出了本申请又一实施例的像素阵列的子像素的示意图；
- [0036] 图8示出了本申请再一实施例的像素阵列的部分子像素的示意图；
- [0037] 图9示出了本申请像素阵列的制作方法的一个实施例的示意性流程图；
- [0038] 图10示出了本申请一个实施例的有机发光二极管显示面板的示意性结构图；
- [0039] 图11示出了本申请显示装置的一个实施例的示意性结构图。

具体实施方式

[0040] 下面结合附图和实施例对本申请作进一步的详细说明。可以理解的是，此处所描述的具体实施例仅仅用于解释相关发明，而非对该发明的限定。另外还需要说明的是，为了便于描述，附图中仅示出了与发明相关的部分。

[0041] 需要说明的是，在不冲突的情况下，本申请中的实施例及实施例中的特征可以相互组合。下面将参考附图并结合实施例来详细说明本申请。

[0042] 参考图3A和图3B，图3A示出了本申请一个实施例的像素阵列的部分子像素的俯视图，图3B为图3A沿线EF的截面图。

[0043] 如图3A和图3B所示，子像素P包括设置在衬底基板21上的反射电极RE，反射电极RE包括叠置的第一透明电极24和金属电极23，第一透明电极24包括主体26和形成在主体26周围且与主体26相拼接的多个电极块27。

[0044] 其中，金属电极23形成于第一透明电极24和衬底基板21之间，电极块27在平行于衬底基板21的方向上的最大长度小于像素间距的最小值 d_p 。这里，像素间距为相邻的两个子像素P中的反射电极RE在平行于衬底基板21的方向上的距离。

[0045] 下面以电极块27为矩形为例，结合图4A和图4B来描述本实施例的有益之处。

[0046] 对于电极块27，在其长宽分别为 x 、 y 的情况下，在平行衬底基板21的方向上，电极块27的最大长度为对角线的长度(即， $\sqrt{x^2 + y^2}$)。

[0047] 如图4A和图4B所示，电极块27下面的金属电极23在反射电极RE形成的过程中至少部分被刻蚀，使得电极块27的至少一部分由于未与金属电极27接触而缺乏支撑。这样，在光刻胶剥离的过程中，电极块27会部分(或全部)脱落而残留在两个子像素P之间，例如，残留电极块25从反射电极RE上(例如，虚线框所示的位置处)脱落并残留在两个子像素P之间。

[0048] 由于残留电极块25的最大长度小于像素间距的最小值 d_p ，当残留电极块25在两个子像素P之间时，尽管残留电极块25可与其中一个子像素P上的反射电极RE连接(也可不与反射电极RE接触)，但是残留电极块25却无法同时与该两个子像素P上的反射电极RE电连接，从而避免了残留电极块25在两个子像素P之间造成短路。

[0049] 因此，本实施例中，通过在第一透明电极的主体周围拼接多个电极块，并使电极块的最大长度小于像素间距的最小值，避免了由于残留电极块而造成的像素短路，提高了生产良率。

[0050] 尽管图4A示出了电极块27从子像素P的主体26上整体脱落而残留在该子像素P的一侧形成残留电极块25，但这仅仅是示意性的。可以理解的是，残留电极块25可以是电极块

27的一部分,残留电极块25可从任意子像素P上脱落,并且残留电极块25的残留位置和方向也是随意的,这依具体的生产工艺而定。

[0051] 另外,像素间距和电极块27的尺寸通常为微米级别(即, 10^{-6} 米数量级),而第一透明电极的厚度通常为 10^2 埃级别(即, 10^{-8} 米数量级,例如,75Å~100Å),也就是说,第一透明电极的厚度对电极块27的最大长度的影响很小,因此,电极块27的最大长度可近似认为电极块27在平行衬底基板方向上的最大长度。

[0052] 可选地,电极块27与金属电极23至少部分重叠。

[0053] 这样,当电极块27脱落时,仅部分电极块27(即,未被支撑的部分)脱落,而不会整个电极块27甚至连同部分主体26一起脱落,使得残留在子像素P之间的残留电极块25尺寸不大于电极块27的尺寸,进而小于像素间距的最小值 d_p ,从而进一步提高了生产良率。

[0054] 可选地,同一所述第一透明电极中相邻的两个电极块27之间的距离 d_t 小于像素间距的最小值 d_p 。

[0055] 如图3A所示,由于主体26在相邻两个电极块27之间的边缘部分下面的金属电极23也被部分刻蚀,因此,主体26的该边缘部分也可能会脱落。在相邻的两个电极块27之间的距离 d_t 小于像素间距的最小值 d_p 的情况下,从主体26上脱落的边缘部分的最大长度也会小于像素间距的最小值 d_p ,从而避免了残留的主体26边缘部分在子像素P之间造成短路,进一步提高了生产良率。

[0056] 在反射电极RE的形成过程中,第一透明电极24和金属电极23可在同一道图形化工艺中形成,也可在不同的图形化工艺中形成。

[0057] 在反射电极RE中,第一透明电极24和金属电极23彼此接触且刻蚀条件基本相同,例如,干刻金属电极23反应气体可以是 BCl_3 和 Cl_2 ,而干刻第一透明电极24的反应气体同样可包含 Cl_2 ;湿刻金属电极23的溶液可以是磷酸、硝酸、醋酸和水的混合液,而蚀刻第一透明电极24的溶液同样可包含硝酸。也就是说,不论是在同一道图形化工艺中形成还是在不同的图形化工艺中形成反射电极RE,在刻蚀第一透明电极24的同时,也刻蚀了部分金属电极23,从而使得第一透明电极24的边缘缺乏金属电极23的支撑。

[0058] 可选地,反射电极RE在一次图形化工艺中制作形成。

[0059] 即,同时刻蚀第一透明电极24和金属电极23,这样不仅可简化制作工艺,还降低了生产成本。

[0060] 可选地,第一透明电极可包括ITO、IZO(Indium Zinc Oxide,氧化铟锌)等透明导电膜,金属电极可包括Ag、Mg等金属膜或Mg-Ag等复合金属膜。

[0061] 可选地,金属电极的刻蚀速率可大于第一透明电极的刻蚀速率。

[0062] 例如,ITO的刻蚀速率为2Å/s,Ag的刻蚀速率为1000Å/s。

[0063] 尽管图1示出了电极块27为矩形,但这仅仅是示意性的。可以理解的是,电极块27可以是其他合适的形状,例如,三角形、弓形等,如图5A和5B所示。

[0064] 当电极块27为三角形时,电极块27的最大长度可以是三角形较长边的边长;当电极块27为弓形时,电极块27的最大长度可以是弓形顶点与弓形底边端点之间的距离或底边两端的距离。

[0065] 另外,电极块也可以是从矩形、三角形和弓形中选择的至少两个的组合,本领域的技术人员可根据实际应用场景的需要进行设置。

[0066] 继续参考图6,示出了本申请另一实施例的像素阵列的部分子像素的示意图。

[0067] 与图3A所示的实施例类似,本实施例中,子像素同样可包括反射电极,反射电极同样可包括第一透明电极和金属电极,第一透明电极同样可包括主体36和多个电极块37。

[0068] 与图3A所示的实施例不同的是,本实施例中对任意相邻的两个子像素之间的电极块37的位置进行了进一步的限定。如图6所示,本实施例中,任一子像素中的反射电极与相邻子像素中的反射电极呈非镜像对称。

[0069] 例如,以电极块37为三角形为例,当反射电极RE1和RE2分别包含在任意相邻的两个子像素中时,反射电极RE1上靠近反射电极RE2一侧的电极块371与反射电极RE2上靠近反射电极RE1一侧的电极块372彼此交错地设置,即,在彼此靠近的两侧上,反射电极RE1上的电极块371与反射电极RE2上的间隔区域38(间隔区域38是指主体36在相邻两个电极块37之间的区域)相对应。

[0070] 这样,尽管这两个子像素的像素间距并没有变化,但是由于这两个子像素相对侧的电极块(电极块371和电极块372)交错设置,要将这两个子像素短路,则至少需要将电极块371与电极块372彼此邻近的两顶点连接,即,脱落的电极块的最大长度至少为 d_p' ($d_p' > d_p$),相当于间接将像素间距的最小值从 d_p 增大到 d_p' 。因此,相邻的两个子像素之间更不容易短路,从而进一步提高了生产良率。

[0071] 本实施例中,通过将任一子像素中的反射电极设置为与相邻子像素中的反射电极非镜像对称,在不改变像素大小和分辨率的前提下,间接增大了像素间距的最小值,提高了生产良率。

[0072] 尽管图6示出了反射电极RE1和RE2图案相同且同一行中的子像素在行方向上不对齐,但这仅仅是示意性的。可以理解的是,反射电极RE1和RE2的图案可以不同,同一行中的子像素在行方向上可对齐,只要相邻的两个反射电极非镜像对称即可,本领域的技术人员可根据实际应用场景的需要进行设置。

[0073] 继续参考图7,示出了本申请又一实施例的像素阵列的子像素的示意图。

[0074] 与图3A所示的实施例类似,本实施例中,子像素同样可包括反射电极,反射电极同样可包括第一透明电极和金属电极,第一透明电极同样可包括主体46和多个电极块47。

[0075] 与图3A所示的实施例不同的是,本实施例中对同一子像素中的电极块47的位置进行了进一步的限定。如图7所示,本实施例中,任一子像素中的反射电极非镜像对称。

[0076] 仍以电极块47为三角形为例,在同一个反射电极中,一侧的电极块47与对侧的电极块47彼此交错地设置,即,一侧的电极块47与对侧的间隔区域相对应。

[0077] 这样,不需要偏移子像素的位置或者将相邻子像素的反射电极图案设置为不同,也可实现间接地增大像素间距的最小值。

[0078] 本实施例中,通过将同一个子像素中的反射电极设置为非镜像对称以实现间接增大像素间距的最小值,既不需要偏移子像素位置,也不需要设计不同的反射电极图案,从而简化了生产工艺,降低了工艺难度。

[0079] 继续参考图8,示出了本申请再一实施例的像素阵列的部分子像素的示意图。

[0080] 与图3A所示的实施例类似,本实施例中,子像素同样可包括反射电极RE,反射电极RE同样可包括第一透明电极54和金属电极53,第一透明电极54同样可包括主体56和多个电极块57。

[0081] 与图3A所示的实施例不同的是,本实施例中反射电极RE的结构进行了进一步的限定。如图8所示,本实施例中,反射电极RE还包括第二透明电极52,第二透明电极52形成在金属电极53和衬底基板51之间。

[0082] 本实施例中,通过将反射电极设置为多层结构,使得本申请的像素阵列的适用性更广。

[0083] 尽管图8示出了反射电极RE为三层结构,但这仅仅是示意性的。可以理解的是,反射电极RE包含的层数可以是任意合适的数量,例如,反射电极RE还可包括第二金属电极等,本领域的技术人员可根据实际应用场景的需要进行设置。

[0084] 此外,本申请还公开了一种像素阵列的制作方法,用于制作包括上述各实施例的像素阵列。

[0085] 图9示出了本申请像素阵列的制作方法的一个实施例的示意性流程图。

[0086] 本实施例中,像素阵列中的每个子像素包括反射电极,像素阵列的制作方法可包括如下步骤:

[0087] 步骤610,在衬底基板上依次沉积金属导电膜、第一透明导电膜和光刻胶膜。

[0088] 步骤620,使光刻胶膜形成光刻胶图案,光刻胶图案覆盖待形成反射电极的区域;其中,光刻胶图案包括主体图案和形成在主体图案周围且与主体图案相拼接的多个电极块图案,电极块图案在平行于衬底基板的方向上的最大长度小于像素间距的最小值,像素间距为相邻的两个子像素中的反射电极在平行于衬底基板的方向上的距离。

[0089] 步骤630,刻蚀未被覆盖的金属导电膜和第一透明导电膜。

[0090] 可选的,在上述步骤中,可先在衬底基板上沉积金属导电膜并进行刻蚀,再沉积第一透明导电膜,并进行刻蚀。

[0091] 步骤640,去除光刻胶图案。

[0092] 可选地,该方法还包括:在沉积金属导电膜之前,在衬底基板上沉积第二透明导电膜;刻蚀金属导电膜和第一透明导电膜的同时,还刻蚀未被覆盖的第二透明导电膜。可选的,上述工艺中,也可分步依次刻蚀第二透明导电膜、金属导电膜和第一透明导电膜。

[0093] 本领域的技术人员可以明白,在像素阵列的制作工艺中,除了本实施例公开的各工艺步骤之外,还可包括一些公知的工艺步骤(例如,薄膜晶体管的制作,钝化层的制作等),为了不模糊本实施例的核心工艺步骤,在描述本实施例的像素阵列的制作方法时,略去了对这些公知的工艺步骤的描述。

[0094] 本申请还公开了一种显示面板,可包括如上的像素阵列。

[0095] 可选地,显示面板为有机发光二极管显示面板。

[0096] 可以理解的是,显示面板也可以是柔性显示面板。

[0097] 继续参考图10,示出了本申请的有机发光二极管显示面板的一个实施例的示意性结构图。

[0098] 如图10所示,有机发光二极管显示面板可包括衬底基板71和设置在衬底基板71上的有机发光二极管,有机发光二极管可包括阳极72、阴极73以及位于阴极72和阳极73之间的有机发光层74。其中,阳极72为反射电极。

[0099] 本申请还公开了一种显示装置,如图11中所示。其中,显示装置800可包括如上的显示面板。本领域技术人员应当理解,显示装置除了包括如上的显示面板之外,还可以包括

一些其它的公知的结构。为了不模糊本申请的重点,将不再对这些公知的结构进行进一步描述。

[0100] 本申请的显示装置可以是任何包含如上的显示面板的装置,包括但不限于如图11所示的蜂窝式移动电话800、平板电脑、计算机的显示器、应用于智能穿戴设备上的显示器、应用于汽车等交通工具上的显示装置等等。只要显示装置包含了本申请公开的显示面板的结构,便视为落入了本申请的保护范围之内。

[0101] 本申请提供的像素阵列及其制作方法、显示面板和显示装置,通过在第一透明电极的主体周围拼接多个电极块,并使电极块在平行衬底基板方向上的最大长度小于像素间距的最小值,避免由于残留的第一透明电极而造成的像素短路,从而提高了生产良率。

[0102] 以上描述仅为本申请的较佳实施例以及对所运用技术原理的说明。本领域技术人员应当理解,本申请中所涉及的发明范围,并不限于上述技术特征的特定组合而成的技术方案,同时也应涵盖在不脱离所述发明构思的情况下,由上述技术特征或其等同特征进行任意组合而形成的其它技术方案。例如上述特征与本申请中公开的(但不限于)具有类似功能的技术特征进行互相替换而形成的技术方案。

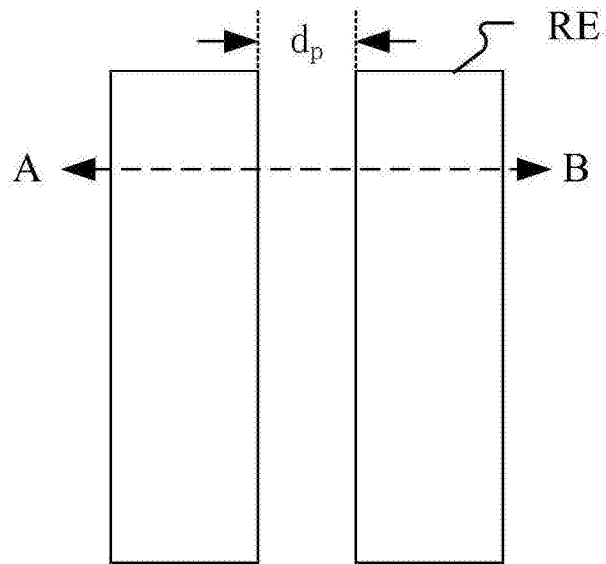


图1A

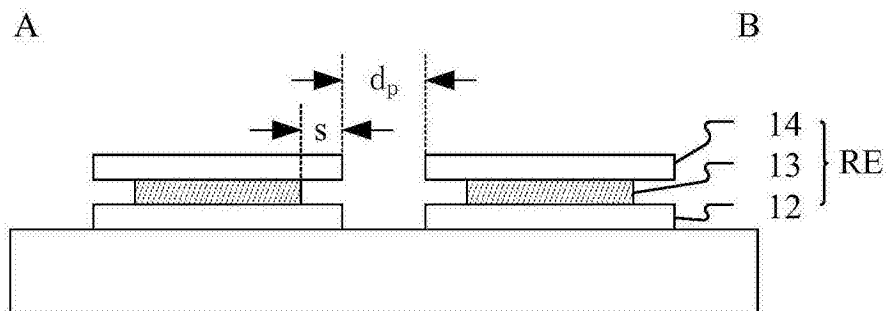


图1B

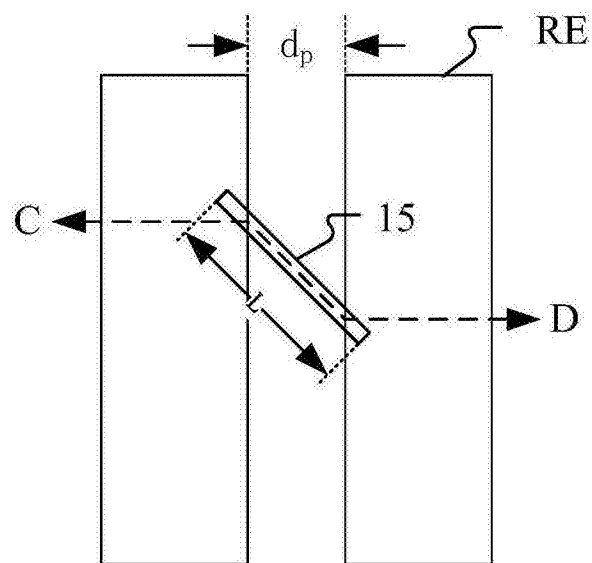


图2A

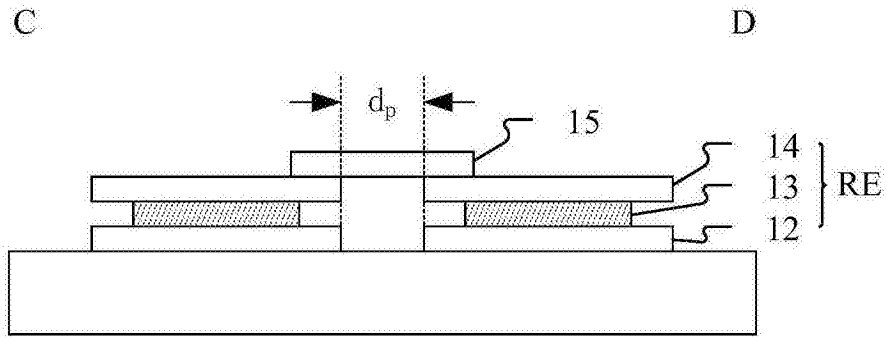


图2B

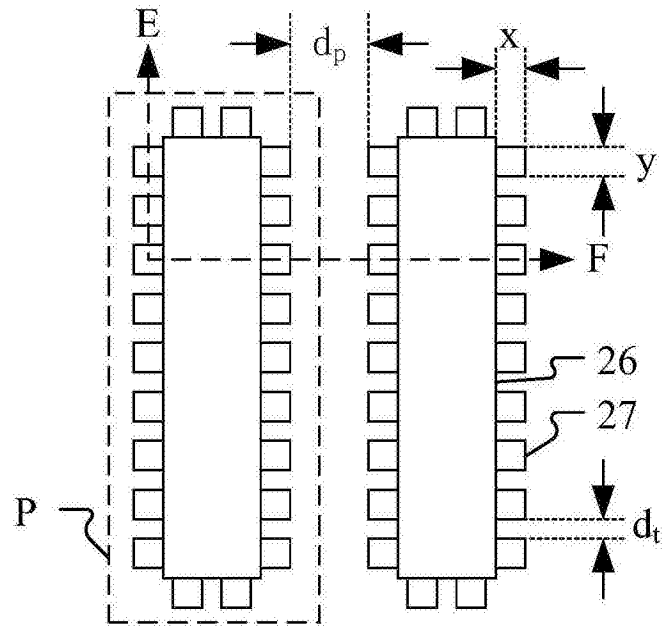


图3A

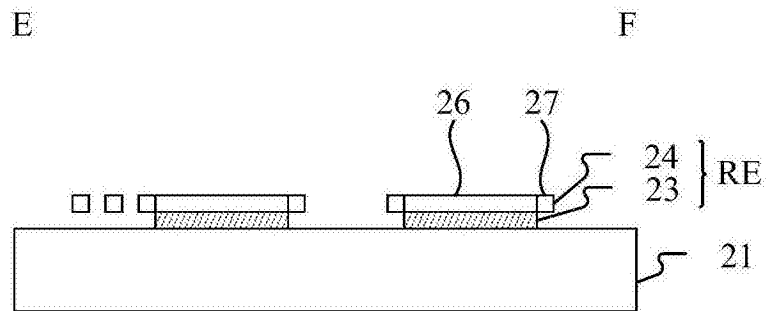


图3B

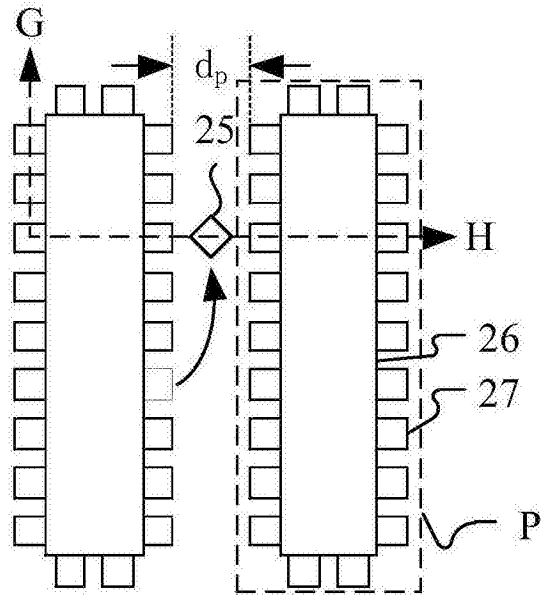


图4A

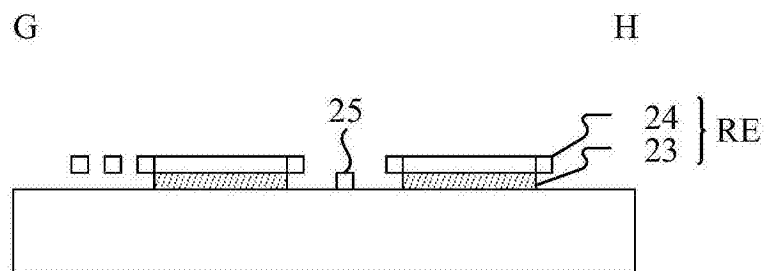


图4B

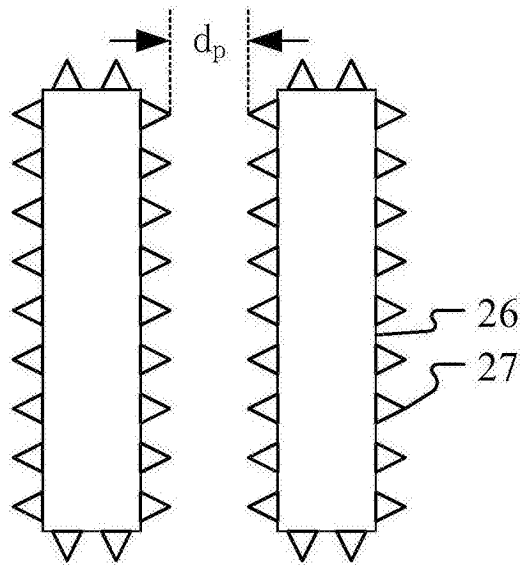


图5A

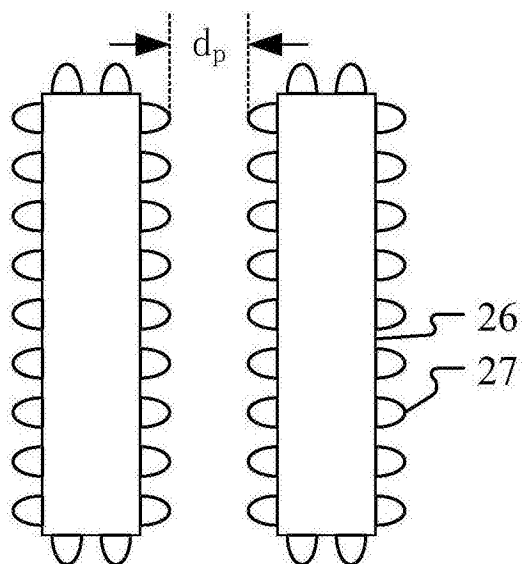


图5B

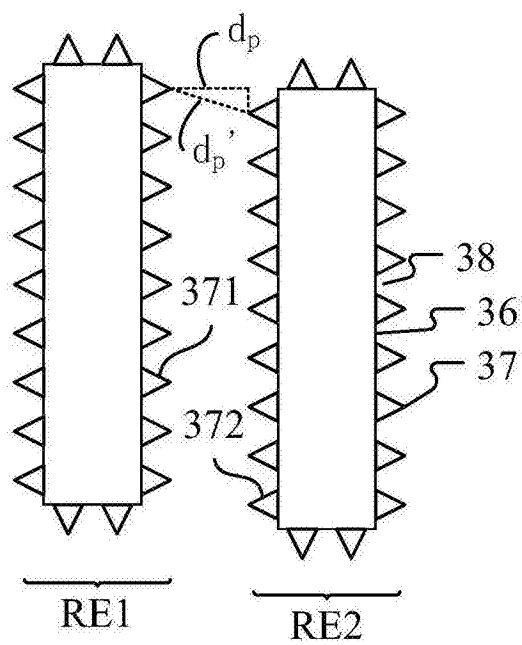


图6

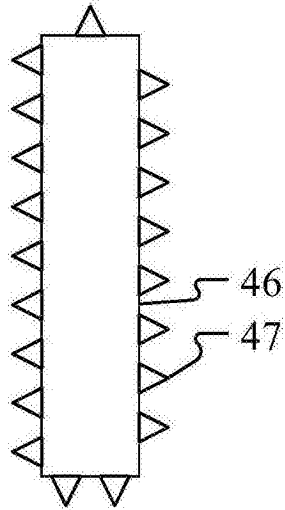


图7

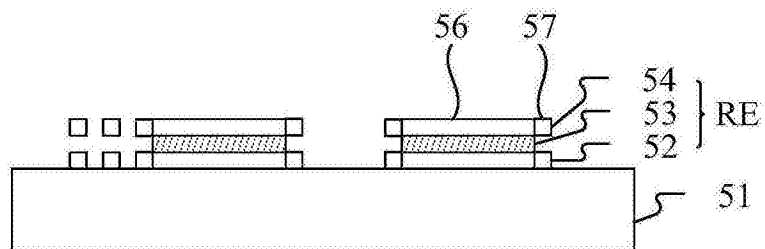


图8

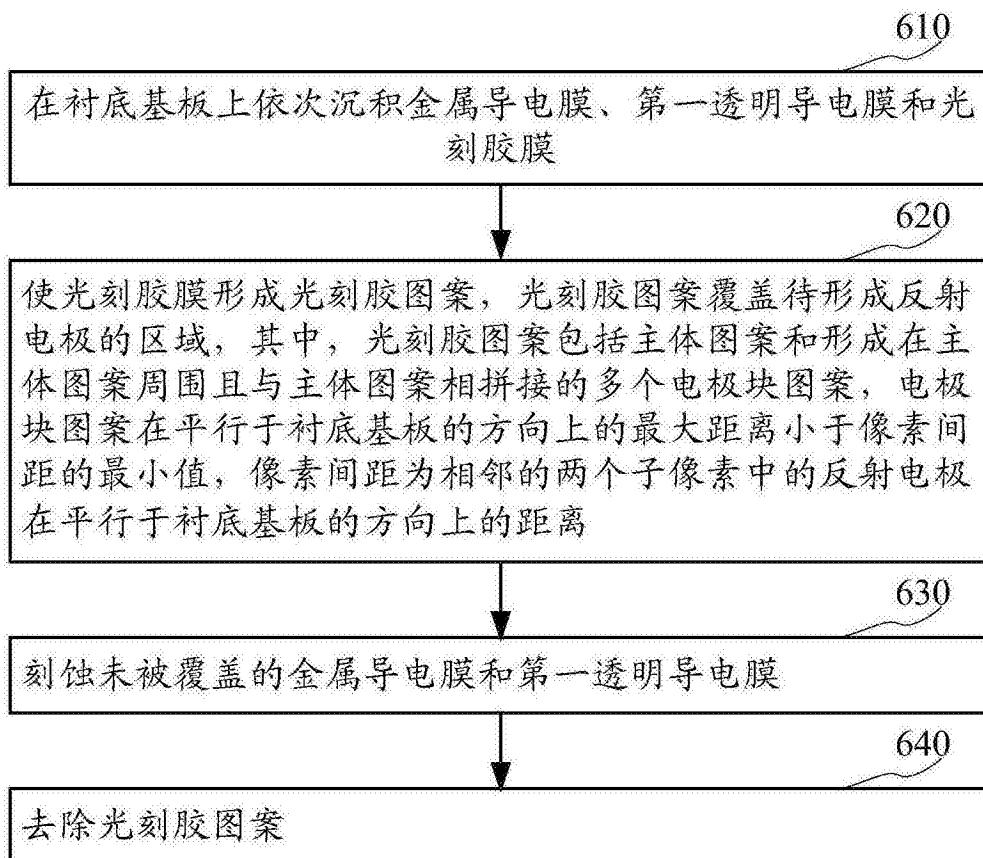


图9

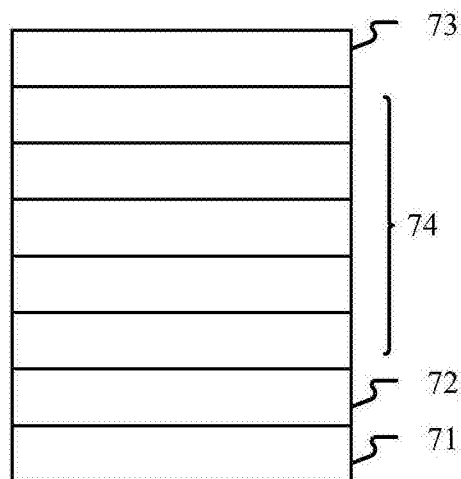


图10

800

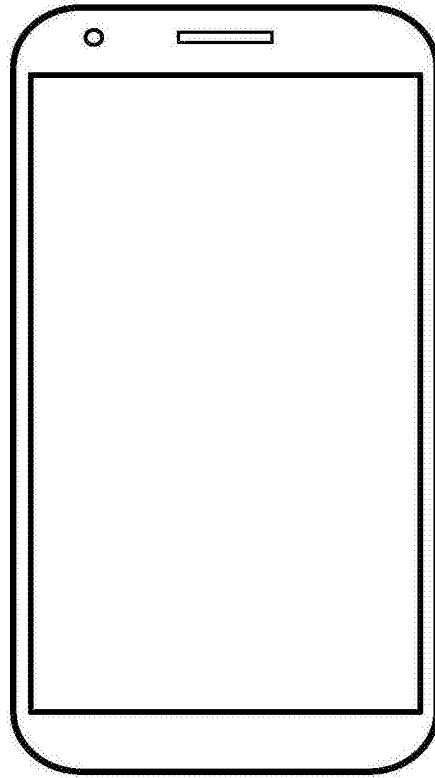


图11