

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年8月20日(20.08.2020)



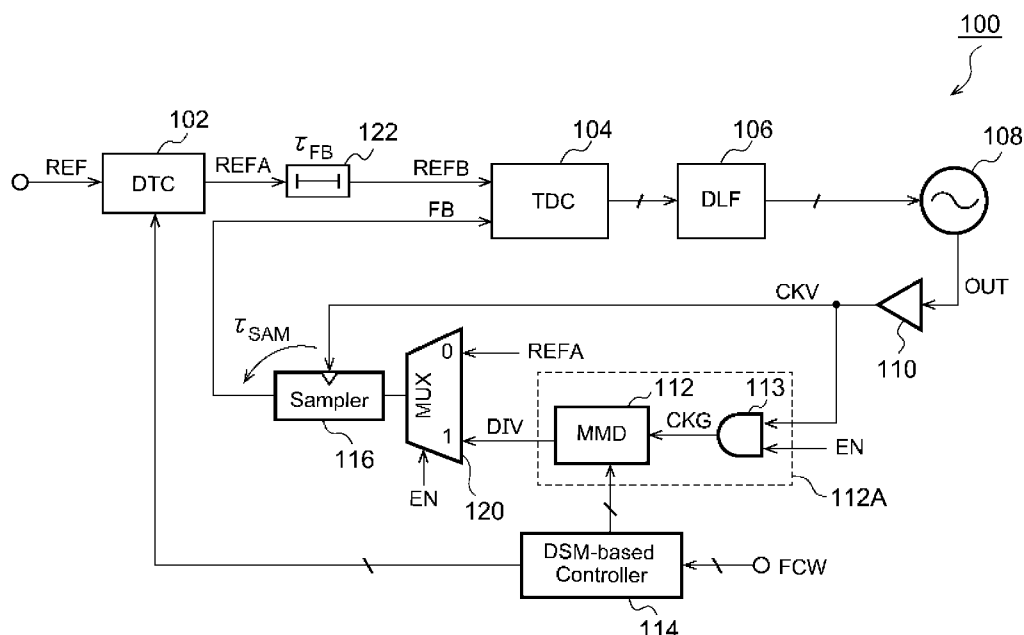
(10) 国際公開番号

WO 2020/166645 A1

- (51) 国際特許分類:
H03B 5/02 (2006.01) *H03L 7/197* (2006.01)
H03L 7/08 (2006.01) *H03K 5/13* (2014.01)
H03L 7/099 (2006.01)
- (21) 国際出願番号: PCT/JP2020/005456
- (22) 国際出願日: 2020年2月13日(13.02.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-025792 2019年2月15日(15.02.2019) JP
- (71) 出願人: 株式会社ソシオネクスト(SOCIONEXT INC.) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 Kanagawa (JP).
- (72) 発明者: 岡田 健一(OKADA Kenichi); 〒1528550 東京都目黒区大岡山2-12-1 国立大学法人東京工業大学内 Tokyo (JP). リュウ ハンリ(LIU Hanli); 〒1528550 東京都目黒区大岡山2-12-1 国立大学法人東京工業大学内 Tokyo (JP). サン ゼン(SUN Zheng); 〒1528550 東京都目黒区大岡山2-12-1 国立大学法人東京工業大学内 Tokyo (JP).
- (74) 代理人: 伊東 忠重, 外(ITO H Tadashige et al.); 〒1000005 東京都千代田区丸の内二丁目1

(54) **Title:** DIGITAL PHASE SYNCHRONIZING CIRCUIT, DIGITALLY-CONTROLLED OSCILLATOR, AND DIGITAL-TO-TIME CONVERTER

(54) 発明の名称: デジタル位相同期回路、デジタル制御発振器、デジタル時間変換器



(57) **Abstract:** A DTC 102, in response to an input reference clock REF, generates a first reference clock REFA. A delay circuit 122 delays the first reference clock REFA and generates a second reference clock REFB. A TDC 104 converts a phase difference between the second reference clock REFB and a feedback clock FB into a digital signal. A DCO 108 oscillates at a frequency corresponding to the output from the TDC 104 and generates an output clock OUT. A frequency divider 112A is ON/OFF switchable and, in an ON state, divides an output clock CKV by a divider ratio corresponding to

番 1 号 丸の内 M Y P L A Z A (明治安田生命ビル) 1 6 階 Tokyo (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

a frequency control word FCW. In a first mode, the feedback clock FB is a signal obtained by re-timing the output from the frequency divider 112A by the output clock CKV. In a second mode, the feedback clock FB is a signal obtained by re-timing the first reference clock REFA by the output clock CKV.

(57) 要約: DTC102は、入力基準クロックREFを受け、第1基準クロックREF Aを生成する。遅延回路122は、第1基準クロックREF Aを遅延させ、第2基準クロックREF Bを生成する。TDC104は、第2基準クロックREF Bと、フィードバッククロックFBの位相差をデジタル信号に変換する。DCO108は、TDC104の出力に応じた周波数で発振し、出力クロックOUTを生成する。分周器112Aは、オン、オフが切り替え可能であり、オン状態において、出力クロックCKVを周波数制御ワードFCWに応じた分周比で分周する。第1モードにおいて、フィードバッククロックFBは、分周器112Aの出力を出力クロックCKVでリタイミングした信号であり、第2モードにおいて、フィードバッククロックFBは、第1基準クロックREF Aを出力クロックCKVでリタイミングした信号である。

明 細 書

発明の名称：

デジタル位相同期回路、デジタル制御発振器、デジタルー時間変換器

技術分野

[0001] 本発明は、デジタル位相同期回路、デジタル制御発振器、デジタルー時間変換器に関する。

背景技術

[0002] 基準クロックを逡倍して任意の周波数のクロックを生成するために、位相同期回路（PLL（Phase Locked Loop））が用いられる。PLL回路の一形態として、デジタルPLL回路（D-PLL：Digital PLL）が知られている。

[0003] 図1は、分数分周型（Fractional-N）のD-PLL回路100Rの基本アーキテクチャを示す回路図である。D-PLL回路100Rは、基準クロックREFと、逡倍数を指定する周波数制御ワード（FCW：Frequency Control Word）を受け、基準クロックREFをFCWに応じて逡倍した出力クロックOUTを生成する。

[0004] デジタルー時間変換器（DTC：Digital-To-Time Converter）102、時間ーデジタル変換器（TDC：Time-To-Digital Converter）104、デジタルループフィルタ（DLF：Digital Loop Filter）106、デジタル制御発振器（DCO：Digitally-Controlled Oscillator）108、バッファ110、マルチモデュラス分周器（MMD：Multi-Modulous Divider）112、コントローラ114、リタイミング回路116を備える。

[0005] DCO108は、デジタルの制御データ D_{CNT} に応じた周波数で発振する。DCO108の出力クロックOUTは、バッファ110を経由して、MMD112に入力される。MMD112は、コントローラ114によって設定された分周比で、出力クロックOUTを分周する。コントローラ114は、 $\Delta\Sigma$ 変調器のアーキテクチャにもとづいて設計される。フラクショナルN型の

P L L回路において、コントローラ114は、分数の通倍比を得るために、MMD112の分周比を、複数の整数値で時分割で切り替える。MMD112に設定される分周比の平均値の逆数が、D-P L L回路100の通倍比 N_F となる。

[0006] 分周後のクロックD I Vは、リタイミング回路116に入力される。リタイミング回路116は、分周クロックD I Vを、バッファ110を経由した出力クロックC K Vによってリタイミングし、フィードバッククロックF Bを生成する。

[0007] D T C 102は、基準クロックR E Fに、コントローラ114によって設定された遅延を与え、基準クロックR E F Aを出力する。この遅延量は、MMD112に与える分周比に応じて選択される。

[0008] T D C 104は、基準クロックR E F AとフィードバッククロックF Bの時間差をデジタル値に変換する。D L F 106は、T D C 104の出力の高周波成分を除去し、制御データD_{CNT}を生成する。

[0009] 以上がD-P L L回路100Rの基本アーキテクチャである。図2は、図1のD-P L L回路100Rのタイムチャートである。分周クロックD I Vは、クロックC K Vによってリタイミングされる。リタイミング回路116におけるサンプリング遅延 τ_{SAM} によって、フィードバッククロックF BのエッジE₁は、クロックC K VのエッジE₂に対して、 τ_{SAM} だけ遅延している。T D C 104およびD L F 106からなるフィードバックループによって、基準クロックR E F AのエッジE₃とフィードバッククロックF BのエッジE₁の時間差がゼロとなるようにフィードバックがかかり、位相がロックされる。このとき、D C O 108の出力クロックO U T（およびC K V）の周波数は、基準クロックR E F A（およびR E F）の周波数の、 N_F 倍となる。

発明の概要

発明が解決しようとする課題

[0010] 図1のD-P L L回路100Rは、周波数精度が高く、周波数妨害に対して堅牢であるという利点を有する。しかしながら、MMD112およびリタ

イミング回路 116 が、高周波数のクロック CKV と同期して動作し続けるため、消費電力が大きいという問題がある。

[0011] 本発明は係る課題に鑑みてなされたものであり、そのある態様の例示的な目的のひとつは、消費電力が削減された $DPLL$ 回路の提供にある。

課題を解決するための手段

[0012] 本発明のある態様は、第1基準クロックを受け、出力クロックを生成する位相同期回路に関する。位相同期回路は、第1基準クロックを遅延させ、第2基準クロックを生成する遅延回路と、第2基準クロックと、フィードバッククロックの位相差に応じた制御信号を生成するフィードバック回路と、制御信号に応じた周波数で発振し、出力クロックを生成する発振器と、オン、オフが切り替え可能であり、オン状態において、出力クロックを分周する分周器と、を備える。この位相同期回路は、第1モードと第2モードが切り替え可能であり、第1モードにおいて、フィードバッククロックは、分周器の出力を出力クロックでリタイミングした信号である。第2モードにおいて、フィードバッククロックは、第1基準クロックを出力クロックでリタイミングした信号である。

[0013] 本発明のある態様は、入力基準クロックと周波数制御ワードを受け、出力クロックを生成するデジタル位相同期回路に関する。デジタル位相同期回路は、入力基準クロックを受け、第1基準クロックを生成するデジタルー時間変換器と、第1基準クロックを遅延させ、第2基準クロックを生成する遅延回路と、第2基準クロックと、フィードバッククロックの位相差をデジタル信号に変換する時間ーデジタル変換器と、時間ーデジタル変換器の出力に応じた周波数で発振し、出力クロックを生成するデジタル制御発振器と、オン、オフが切り替え可能であり、オン状態において、出力クロックを周波数制御ワードに応じた分周比で分周する分周器と、を備える。第1モードと第2モードが切り替え可能であり、第1モードにおいて、フィードバッククロックは、分周器の出力を出力クロックでリタイミングした信号であり、第2モードにおいて、フィードバッククロックは、第1基準クロックを出力クロック

クでリタイミングした信号である。

[0014] 本発明の別の態様は、デジタル制御発振器である。このデジタル制御発振器は、電源ラインと接地ラインの間に縦積みされた上側ユニットと下側ユニットと、上側ユニットと下側ユニットの少なくとも一方と接続される可変キャパシタと、を備える。上側ユニットおよび下側ユニットはそれぞれ、クロスカップルされた回路要素のペアと、回路要素のペアと接続されるインダクタと、を含む。上側ユニットと下側ユニットのインダクタが結合されてトランスが形成される。

[0015] 本発明のさらに別の態様は、デジタル時間変換器である。このデジタル時間変換器は、入力信号を受け、制御コードに応じた遅延を与え、出力信号を生成するデジタル時間変換器であって、キャパシタと電流源を含み、スロープ電圧を生成するスロープ発生回路と、キャパシタに、制御コードに応じたアナログ電圧を印加するプリチャージ回路と、スロープ電圧をしきい値と比較し、比較結果に応じた出力信号を生成する比較手段と、入力信号と出力信号に応じて、スロープ発生回路およびプリチャージ回路を制御する制御回路と、を備える。制御回路は、(i) プリチャージ期間においてプリチャージ回路をオンとし、(ii) 入力信号に応答してスロープ期間に遷移し、スロープ期間においてプリチャージ回路をオフ、スロープ発生回路をオンとし、(iii) 出力信号の遷移に応答してスロープ発生回路をオフする動作を繰り返す。

[0016] なお、以上の構成要素の任意の組み合わせや本発明の構成要素や表現を、方法、装置、システムなどの間で相互に置換したものもまた、本発明の態様として有効である。

発明の効果

[0017] 本発明のある態様によれば、消費電力を低減できる。

図面の簡単な説明

[0018] [図1]分数分周型 (Fractional-N) のD-P L L回路の基本アーキテクチャを示す回路図である。

[図2]図1のDPLL回路のタイムチャートである。

[図3]実施の形態に係るDPLL回路の基本アーキテクチャを示す回路図である。

[図4]サブサンプリングモード($EN=0$)におけるDPLL回路の等価回路図である。

[図5]サブサンプリングモードにおけるDPLL回路のタイムチャートである。

[図6]図6(a)、(b)は、サンプリングモードとサブサンプリングモードにおけるDPLL回路の動作を対比して示すタイムチャートである。

[図7]サブサンプリングモードにおけるDPLL回路の出力周波数 f_{OUT} の波形図である。

[図8]実施例1に係るDPLL回路の回路図である。

[図9]図9(a)、(b)は、図8のDPLL回路におけるモードセクタの動作を説明する図である。

[図10]実施例2に係るDPLL回路の回路図である。

[図11]DPLL回路におけるモードセクタの動作を説明する図である。

[図12]図8のDPLL回路の出力周波数 f_{OUT} の波形図である。

[図13]実施例3に係るDPLL回路の回路図である。

[図14]図14(a)、(b)は、従来のDCOの回路図である。

[図15]実施の形態に係るDCOの基本アーキテクチャを示す回路図である。

[図16]図15のDCOの等価回路図である。

[図17]バイアス電流 I_{BIAS} と出力信号の振幅 V_{AMP} の関係を示す図である。

[図18]変形例1に係るDCOの回路図である。

[図19]変形例2に係るDCOの回路図である。

[図20]図20(a)～(f)は、DCOのさらなる変形例を示す回路図である。

[図21]従来のDTCの回路図である。

[図22]図21のDTCの動作波形図である。

[図23]実施の形態に係るDTCの回路図である。

[図24]制御回路の構成例を示す回路図である。

[図25]図23のDTCの動作を説明するタイムチャートである。

[図26]本実施の形態に係るDTCの動作波形(i)と、従来のDTCの動作波形(ii)を示す図である。

発明を実施するための形態

[0019] (実施の形態の概要)

1. 本明細書に開示される一実施の形態は、第1基準クロックを受け、出力クロックを生成する位相同期回路に関する。位相同期回路は、第1基準クロックを遅延させ、第2基準クロックを生成する遅延回路と、第2基準クロックと、フィードバッククロックの位相差に応じた制御信号を生成するフィードバック回路と、制御信号に応じた周波数で発振し、出力クロックを生成する発振器と、オン、オフが切り替え可能であり、オン状態において、出力クロックを分周する分周器と、を備える。この位相同期回路は、第1モードと第2モードが切り替え可能であり、第1モードにおいて、フィードバッククロックは、分周器の出力を出力クロックでリタイミングした信号である。第2モードにおいて、フィードバッククロックは、第1基準クロックを出力クロックでリタイミングした信号である。

[0020] この態様によると、第2モードを選択することにより、分周器の動作を停止させ、第2基準クロックをフィードバッククロックとして位相同期をかけることにより、消費電力を低減できる。また必要に応じて第1モードを選択することにより、位相同期が外れた場合に、位相同期状態に復帰させることができる。

[0021] 一実施例において、位相同期回路は、第1モードと第2モードを指示するイネーブル信号を生成するモードコントローラと、分周器の出力と第1基準クロックを受け、イネーブル信号に応じた一方を選択するマルチプレクサと、マルチプレクサの出力を出力クロックによってリタイミングするリタイミング回路と、を備えてもよい。分周器のオン、オフはイネーブル信号に応じ

て制御され、リタイミング回路の出力がフィードバッククロックであってもよい。

[0022] 一実施例において、位相同期回路は、第2基準クロックとフィードバッククロックの位相誤差が、デッドゾーンの範囲に含まれるか否かを判定するデッドゾーンディテクタをさらに備え、第1モードと第2モードは、デッドゾーンディテクタの出力に応じていてもよい。これにより、位相同期がかからないモードに陥るのを防止できる。

[0023] 一実施例において、デッドゾーンディテクタは、第2基準クロックとフィードバッククロックの位相差あるいは周波数差を比較し、比較結果にもとづくパルスを出力する位相周波数検出器と、位相周波数検出器の出力にもとづいて位相誤差を生成し、位相誤差がデッドゾーンに含まれるか否かを判定する判定部と、を含んでもよい。

[0024] 一実施例において、デジタル位相同期回路は、出力クロックの周波数と、入力基準クロックの周波数の関係を監視し、出力クロックの周波数が、分周器の分周比にもとづいて決まる目標周波数から逸脱する周波数エラーを検出する周波数ロックループをさらに備えてもよい。第1モードと第2モードは、周波数ロックループの出力に応じていてもよい。これにより、誤った周波数で位相ロックがかかるのを防止できる。

[0025] 周波数ロックループは、入力基準クロックの周期の K 倍（ K は整数）の期間、出力クロックをカウントするカウンタを含んでもよい。カウンタのカウント値と、分周比の逆数である通倍比を K 倍した値と、にもとづいて、周波数エラーを検出してよい。

[0026] 一実施例において、位相同期回路は、所定のデューティ比を有する制御パルス生成するデューティサイクルコントローラをさらに備えてもよい。周波数ロックループは、制御パルスに応じて間欠動作してもよい。周波数ロックループを間欠動作させることにより、消費電力の増加を抑制できる。

[0027] 一実施例において、デジタル位相同期回路は、第2基準クロックとフィードバッククロックの位相差あるいは周波数差を比較し、比較結果にもとづく

パルスを出力する位相周波数検出器と、第1モードにおいて動作状態となり、位相周波数検出器の出力にもとづいて、デジタル制御発振器の周波数をフィードバック制御するPLL (Phase Locked Loop) 回路と、をさらに備えてもよい。位相周波数検出器とPLL回路を含むフィードバックループの精度は、フィードバック回路の精度より粗くてもよい。これにより、位相ロックが外れた状態からロック状態に素早く引き込むことが可能となる。

[0028] 位相同期回路は、デジタル位相同期回路であってもよい。フィードバック回路は、第2基準クロックと、フィードバッククロックの位相差をデジタル信号に変換する時間-デジタル変換器を含んでもよい。発振器は、時間-デジタル変換器の出力に応じた周波数で発振するデジタル制御発振器であってもよい。

[0029] 位相同期回路は分数分周型であってもよい。分周器はマルチモデュラス分周器であってもよい。位相同期回路は、入力基準クロックを受け、第1基準クロックを生成するデジタル-時間変換器と、出力クロックの周波数を指定する周波数制御ワードに応じて、デジタル-時間変換器とマルチモデュラス分周器を制御するコントローラと、をさらに備えてもよい。

[0030] 2. 本発明の別の態様は、デジタル制御発振器である。このデジタル制御発振器は、電源ラインと接地ラインの間に縦積みされた上側ユニットと下側ユニットと、上側ユニットと下側ユニットの少なくとも一方と接続される可変キャパシタと、を備える。上側ユニットおよび下側ユニットはそれぞれ、クロスカップルされた回路要素のペアと、回路要素のペアと接続されるインダクタと、を含む。上側ユニットと下側ユニットのインダクタが結合されてトランスが形成される。

[0031] この構成によれば、トランスによるゲイン増幅の効果によって、同じ振幅を得るためのバイアス電流を減らすことができ、あるいはバイアス電流を維持した場合に振幅を増大できる。

[0032] 上側ユニットと下側ユニットの少なくとも一方は、回路要素のペアがNMOS (N-channel Metal Oxide Semiconductor) トランジスタであるN型であ

ってもよい。上側ユニットと下側ユニットの両方がN型であってもよい。

[0033] 上側ユニットと下側ユニットの少なくとも一方は、回路要素のペアがPMOS (P-channel Metal Oxide Semiconductor) トランジスタであるP型であってもよい。

[0034] 上側ユニットと下側ユニットの少なくとも一方は、回路要素のペアが、CMOS (Complementary Metal Oxide Semiconductor) インバータであるCMOS型であってもよい。

[0035] デジタル制御発振器は、電源ラインと接地ラインの間に挿入されたバイアス電流源をさらに備えてもよい。

[0036] デジタル制御発振器は、上側ユニットと下側ユニットの接続ノードに接続されるキャパシタをさらに備えてもよい。

[0037] 3. 本発明のさらに別の態様は、デジタル時間変換器である。このデジタル時間変換器は、入力信号を受け、制御コードに応じた遅延を与え、出力信号を生成する。デジタル時間変換器は、キャパシタと電流源を含み、スロープ電圧を生成するスロープ発生回路と、キャパシタに、制御コードに応じたアナログ電圧を印加するプリチャージ回路と、スロープ電圧をしきい値と比較し、比較結果に応じた出力信号を生成する比較手段と、入力信号と出力信号に応じて、スロープ発生回路およびプリチャージ回路を制御する制御回路と、を備える。制御回路は、(i) プリチャージ期間においてプリチャージ回路をオンとし、(ii) 入力信号に応答してスロープ期間に遷移し、スロープ期間においてプリチャージ回路をオフ、スロープ発生回路をオンとし、(iii) 出力信号の遷移に応答してスロープ発生回路をオフする動作を繰り返す。

[0038] この態様によると、キャパシタへの無駄な充放電を抑制することで、消費電力を低減できる。

[0039] 比較手段は、オン、オフが切り替え可能に構成され、制御回路は、プリチャージ期間において比較手段をオフしてもよい。

[0040] (実施の形態)

以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

[0041] 本明細書において、「部材Aが、部材Bと接続された状態」とは、部材Aと部材Bが物理的に直接的に接続される場合のほか、部材Aと部材Bが、それらの電氣的な接続状態に実質的な影響を及ぼさない、あるいはそれらの結合により奏される機能や効果を損なわせない、その他の部材を介して間接的に接続される場合も含む。

[0042] 同様に、「部材Cが、部材Aと部材Bの間に設けられた状態」とは、部材Aと部材C、あるいは部材Bと部材Cが直接的に接続される場合のほか、それらの電氣的な接続状態に実質的な影響を及ぼさない、あるいはそれらの結合により奏される機能や効果を損なわせない、その他の部材を介して間接的に接続される場合も含む。

[0043] (D-PLL回路)

図3は、実施の形態に係るD-PLL回路100の基本アーキテクチャを示す回路図である。D-PLL回路100は、分数分周型のPLL回路であり、入力基準クロックREFおよび周波数制御ワードFCWを受け、入力基準クロック $_{REF}$ の周波数Fの分数倍の周波数を有する出力クロックOUTを発生する。

[0044] D-PLL回路100は、図1のD-PLL回路100Rに加えて、マルチプレクサ120、遅延回路122、モードセクタ130をさらに備える。またMMD112Aは、イネーブル／ディセーブル（オン／オフ）が切り替え可能に構成される。

[0045] D-PLL回路100は、2つのモード（サンプリングモードとサブサンプリングモードと称する）が切り替え可能であり、2つのモードは、イネー

ブル信号ENに応じて選択される。イネーブル信号ENが1（ハイ）のとき、DPLL回路100はサンプリングモードにセットされ、イネーブル信号ENが0（ロー）のとき、サブサンプリングモードにセットされる。

[0046] マルチプレクサ120は、MMD112の出力である分周クロックDIVと、DTC102が出力する第1基準クロックREFAを受け、イネーブル信号ENに応じた一方を選択する。マルチプレクサ120の出力が、リタイミング回路116によって、リタイミングされ、フィードバッククロックFBBとなる。リタイミングには、バッファ110を経由した出力クロックCKVを用いることができる。なお、DCO108の出力インピーダンスが十分に低い場合、バッファ110は省略してもよい。

[0047] ここではイネーブル信号ENが1（ハイ）のとき、フィードバッククロックFBBは分周クロックDIVにもとづいて生成され、0（ロー）のとき第1基準クロックREFAにもとづいてフィードバッククロックFBBが生成される。

[0048] MMD112Aの機能は、図1のそれと同じであるが、イネーブル信号ENに応じて、オン、オフが切り替え可能に構成される。たとえばMMD112Aは、図1のMMD112に加えてゲート回路113を含む。ゲート回路113は、MMD112の前段に挿入され、イネーブル信号ENに応じて、クロック信号CKVをゲーティングする。すなわち、イネーブル信号ENが1のとき、ゲート回路113を通過したクロックCKGが、MMD112に入力され、MMD112がイネーブルとなる。EN信号が0のとき、クロックCKGはローに固定され、したがってMMD112はディセーブルとなる。

[0049] 遅延回路122は、DTC102の後段に挿入され、第1基準クロックREFAに、遅延 τ_{FB} を与え、第2基準クロックREFBを出力する。TDC104は、第2基準クロックREFBのエッジと、フィードバッククロックFBBのエッジが一致するように、フィードバックがかかる。

[0050] モードセクタ130は、DPLL回路100の動作状態にもとづいて

、イネーブル信号ENを生成し、D-PLL回路100のモードを制御する。

[0051] 以上がD-PLL回路100の基本構成である。続いてその動作を説明する。図4は、サブサンプリングモード（ $EN=0$ ）におけるD-PLL回路100の等価回路図である。サブサンプリングモードでは、MMD112の動作が停止する。第1基準クロックREF Aの周波数と、分周クロックDIVの周波数は等しいから、分周クロックDIVに代えて、第1基準クロックREF Aがリタイミング回路116に入力される。そして、リタイミング回路116は、クロック信号CKVのエッジで、第1基準クロックREF Aをリタイミングし、フィードバッククロックFBを生成する。

[0052] 図5は、サブサンプリングモードにおけるD-PLL回路100のタイムチャートである。サブサンプリングモードでは、分周クロックDIVに代えて、第1基準クロックREF Aが、クロックCKVによってリタイミングされる。リタイミング回路116におけるサンプリング遅延 τ_{SAM} によって、フィードバッククロックFBのエッジ E_1 は、クロックCKVのエッジ E_2 に対して、 τ_{SAM} だけ遅延している。TDC104およびDLF106を含むフィードバックループによって、第2基準クロックREF Bのエッジ E_4 とフィードバッククロックFBのエッジ E_1 の時間差がゼロとなるようにフィードバックがかかり、位相がロックされる。

[0053] サブサンプリングモードでは、フィードバッククロックFBを、第1基準クロックREF Aのリタイミングにより生成する関係上、フィードバッククロックFBのエッジは、第1基準クロックREF Aのエッジよりも遅れることになる。したがってフィードバックをかけても、フィードバッククロックFBのエッジ（位相）を、第1基準クロックREF Aのエッジに揃えることはできない。そこで、リタイミングによりフィードバッククロックFBを生成する際の位相の遅れを考慮して、それを相殺できるように遅延回路122の遅延量 τ_{FB} を定めることにより、第2基準クロックREF Bの位相（ $= REF A + \tau_{FB}$ ）と、リタイミングにより遅れたフィードバッククロックFB

の位相 ($= \text{REF A} + \Delta t + \tau_{\text{SAM}}$) が、クロック信号 CK V の 1 周期以内に含まれることとなり、位相同期をかけることが可能となる。

[0054] 図 6 (a)、(b) は、サンプリングモードとサブサンプリングモードにおける D-P L L 回路 100 の動作を対比して示すタイムチャートである。図 6 (a) のサンプリングモードの動作は、図 2 のそれと同様である。相違点は、フィードバッククロック FB の位相が、第 1 基準クロック REF A ではなく、第 2 基準クロック REF B の位相を基準としてロックされる点である。図 6 (b) のサブサンプリングモードの動作は図 5 と同様である。

[0055] 以上が D-P L L 回路 100 の動作である。続いてその利点を説明する。D-P L L 回路 100 をサブサンプリングモードで動作させると、MMD 112 の動作が停止するため、サンプリングモードに比べて消費電力を格段に低減することができる。

[0056] なお、サブサンプリングモードは、出力クロック OUT の周波数 f_{OUT} が、その目標値 ($= f_{\text{REF}} \times N$) にロックされた後は、低消費電力で位相同期を維持することができるが、 $f_{\text{OUT}} \neq f_{\text{REF}} \times N$ の状態から、 $f_{\text{OUT}} = f_{\text{REF}} \times N$ の状態に遷移させることができない。これは MMD 112 を使用しないため、逡倍比 N が回路動作に関与しないためである。

[0057] そこで、モードセクタ 130 によって、D-P L L 回路 100 の動作状態を監視し、起動時や、位相同期が外れた状況では、一時的にイネーブル信号 EN をハイ (1) にして、サンプリングモードに設定することにより、 $f_{\text{OUT}} = f_{\text{REF}} \times N$ の状態に遷移させることができる。

[0058] 以上が実施の形態に係る D-P L L 回路 100 の基本アーキテクチャである。続いて、D-P L L 回路 100 の具体的な実装を、いくつかの実施例を参照して説明する。

[0059] はじめに、サブサンプリングモードで生じうる問題を説明する。図 7 は、サブサンプリングモードにおける D-P L L 回路 100 の出力周波数 f_{OUT} の波形図 (シミュレーション) である。 $f_{\text{REF}} = 10 \text{ MHz}$ 、 $N = 240 + 0.5$ である。位相同期状態では、出力周波数 f_{OUT} は、 2405 MHz ($= 2.$

405GHz)に安定化される。

[0060] 図7には、 -1MHz 、 $+6\text{MHz}$ 、 $+11\text{MHz}$ の周波数妨害を注入したときの波形(i)～(iii)が示される。(i)に示すように、 -1MHz の周波数妨害が導入された場合は、位相同期状態を維持することができる。

[0061] サブサンプリングモードでは、幅が広い第1基準クロックREF Aを、クロックCKVでリタイミングすることに起因して、リタイミングに使用されるクロックCKVのエッジが、前後する。そのため、図7の(ii)で示すように、 $N' = 241 + 0.5$ の状態で誤ってロックする可能性がある。あるいは、図7の(iii)で示すように、位相同期がかからず、周波数が振動するような状況に陥る可能性がある。

[0062] つまり、モードセクタ130は、DPLL回路100の状態を監視して、図7の(ii)や(iii)の状況に陥らないように、DPLL回路100のモードを制御できるように実装する必要がある。

[0063] (実施例1)

図8は、実施例1に係るDPLL回路100Aの回路図である。この実施例においてモードセクタ130Aは、図7の波形(iii)で示すような、位相同期しない状態を検出可能に構成される。

[0064] モードセクタ130Aは、デッドゾーンディテクタ140およびステートマシン132を含む。デッドゾーンディテクタ140は、REF BとFBの位相誤差 t_{ERR} が、デッドゾーン t_{DZ} の範囲に含まれるか否かを判定し、範囲外であるとき第1レベル(たとえばハイ、1)、範囲内であるとき第2レベル(たとえばロー、0)となる検出信号ODZ(Out of Dead Zone)を生成する。

[0065] デッドゾーンディテクタ140の構成は特に限定されないが、たとえば位相周波数検出器(PFD: Phase Frequency Detector)142および判定部144を含む。PFD142は、第2基準クロックREF BとフィードバッククロックFBの位相差あるいは周波数差を比較し、比較結果にもとづく2個のパルス(UPパルス、DNパルス)を出力する。

[0066] 判定部144は、PFD142の出力UP/DNを受け、それらにもとづいて位相誤差 t_{ERR} を生成する。そして位相誤差 t_{ERR} が、デッドゾーンに含まれるか否かを判定し、ODZ信号を出力する。

[0067] ステートマシン132は、ODZ信号を、基準クロックREFと同期させて、イネーブル信号ENを生成する。ステートマシン132は、フリップフロップで構成することができる。

[0068] 以上がD-PLL回路100Aの構成である。続いてその動作を説明する。図9(a)、(b)は、図8のD-PLL回路100Aにおけるモードセクタ130Aの動作を説明する図である。図9(a)は、デッドゾーンディテクタ140の入出力特性を示す。

[0069] 図9(b)は、D-PLL回路100A全体の動作を示す。時刻 t_0 より前は、サブサンプリングモードで動作している。何らかの要因で、フィードバッククロックFBと基準クロックREFBの位相誤差 t_{ERR} がデッドゾーン t_{DZ} の範囲から外れると、ODZ信号が周期的にハイとなり、イネーブル信号ENがハイ(1)となる。その結果、サンプリングモードに切り替わる。サンプリングモードで動作すると、位相誤差 t_{ERR} が小さくなり、時刻 t_2 に、デッドゾーン t_{DZ} の範囲内に戻ると、ODZ信号はローに戻る。これによりイネーブル信号ENがローとなって、サブサンプリングモードに移行する。

[0070] 以上がD-PLL回路100Aの動作である。デッドゾーンディテクタ140を実装してバックグラウンドで動作させることにより、図7の(iii)のように位相同期できない状況に陥るのを防止できる。

[0071] (実施例2)

図10は、実施例2に係るD-PLL回路100Bの回路図である。この実施例において、モードセクタ130Bは、図7の波形(ii)で示すような、整数倍の周波数ジャンプを検出可能に構成される。

[0072] モードセクタ130Bは、デッドゾーンディテクタ140、ステートマシン132に加えて、間欠動作周波数ロックループ(FLL: Frequency Locked Loop)150を備える。間欠動作FLLを、DC-FLL(Duty Cycled

FLL)とも表記する。

[0073] 間欠動作FLL150は、FLL152およびデューティサイクルコントローラ154を含む。

[0074] FLL152は、イネーブルとディセーブルが切り替え可能に構成される。FLL152は、イネーブル状態において、クロック信号CKV(OUT)の周波数と、基準クロックREFの周波数の関係を監視し、クロック信号CKVの周波数が、FCWにもとづいて決まる目標周波数から逸脱すると、周波数ロックエラー信号FLEをアサート(たとえばハイ)する。裏を返すと、FLL152は、基準クロックREFの周期が、クロック信号CKVの周期の何倍であるかを監視し、FCWにもとづく通倍比と一致するか否かを判定する。ステートマシン132は、周波数ロックエラー信号FLEのアサートに応答して、イネーブル信号ENをハイに切り替える。

[0075] FLL152の構成は限定されないが、たとえば周波数検出器160、減算器170、比較器172を含む。周波数検出器160は、基準クロックREFの周期の整数倍(この例では $K=4$ 倍)の間、クロック信号CKVをカウントする。周波数ロックした状態では、このカウント値は、FCW(通倍数)の K 倍となる。

[0076] 周波数検出器160は、分周器162、Dフリップフロップ164、168、カウンタ166を含む。分周器162は、基準クロックREFを $1/K$ 分周($K=1/4$)する。分周されたクロックは、フリップフロップ164においてクロックCKVと同期される。カウンタ166は、クロックCKVのパルス数をカウントする。フリップフロップ168は、分周器162の出力のタイミングで、カウンタ166のカウント値を取り込む。フリップフロップ168の出力は、基準クロックREFの周期の K 倍の期間に、クロックCKVが何個含まれるかを示す。

[0077] 減算器170は、フリップフロップ168の出力と、その目標値($K \times FCW$)の差分(周波数誤差)を算出する。比較器172は、減算器170の出力をしきい値と比較し、周波数誤差が許容値を超える場合に、周波数ロ

クエラー信号FLEをアサートする。

[0078] FLL152は高周波信号($f_{OUT}=2.4\text{GHz}$)で動作するカウンタ166を含むため、常時動作させておくと、消費電力が大きくなる。そこで、デューティサイクルコントローラ154によって、所定のデューティ比を有する制御パルスDCを生成し、この制御パルスDCにもとづいてFLL152を間欠動作させる。たとえばデューティ比は1%以下、たとえば0.5%程度とすることができる。これにより、FLL152の消費電力を削減できる。

[0079] 以上がD-PLL回路100Bの構成である。続いてその動作を説明する。図11は、D-PLL回路100Bにおけるモードセクタ130Bの動作を説明する図である。

[0080] 間欠動作FLL150は、所定の周期でオン、オフを繰り返す。そして、オンの期間において、周波数エラーが検出されると、サンプリングモードに遷移し、周波数ロックするように動作する。

[0081] 図11には、D-PLL回路100Bの消費電力が示される。間欠動作FLL150の停止期間中の消費電力はたとえば $262\mu\text{W}$ である。間欠動作FLL150の動作期間中は、D-PLL回路100Bの消費電力が跳ね上がる(たとえば $762\mu\text{W}$)が、デューティ比が0.5%であるとき、平均の消費電力 P_{AVE} は $265\mu\text{W}$ であり、わずかに $3\mu\text{W}$ の増加に抑えることができる。

[0082] 以上がD-PLL回路100Bの動作である。モードセクタ130Bによれば、整数倍の周波数ジャンプを検出でき、その場合にサンプリングモードで動作させることにより、図7の(ii)のように誤った状態で位相同期し続けるのを防止できる。なお、図10のモードセクタ130Bは、間欠動作FLL150に加えてデッドゾーンディテクタ140を備えるため、実施例1と同様に、図7(iii)の状態に陥るのも防止することができる。

[0083] 図12は、図8のD-PLL回路100Bの出力周波数 f_{OUT} の波形図(シミュレーション)である。図7と同様に、 -1MHz 、 $+6\text{MHz}$ 、 $+11$

MHzの周波数妨害が注入したときの波形 (i) ~ (iii) が示される。(i) に示すように、-1MHzの周波数妨害が導入された場合は、位相同期状態を維持することができる。

[0084] (ii) に示すように、+11MHzの周波数妨害が導入された場合は、間欠動作FLL150デッドゾーンディテクタ140によって異常状態を検出し、サンプリングモードに切り替えることにより、正しい位相同期状態に戻すことができる。なお、波形(ii)において、周波数が高い状態がしばらく持続しているが、これは間欠動作FLL150の間欠動作させることに起因する検出遅延である。

[0085] (iii) に示すように、+6MHzの周波数妨害が導入された場合は、デッドゾーンディテクタ140によって異常状態を検出し、サンプリングモードに切り替えることにより、正しい位相同期状態に戻すことができる。

[0086] (実施例3)

図13は、実施例3に係るD-PLL回路100Cの回路図である。D-PLL回路100Cには、精度の荒い(Coarse)第2PLL回路180が追加されている。第2PLL回路180には、イネーブル信号ENがハイのときにクロックCKGが供給される。第2PLL回路180は、イネーブル信号ENがハイの期間、つまりサブサンプリングモードにおいて動作状態となり、PFD182の出力(UP/DN)にもとづいて、DCO108の周波数をフィードバック制御する。つまり図13のD-PLL回路100Cは、TDC104およびDLF106を含む精度の高い(Fine)フィードバックループと、PFD182および第2PLL180を含む精度の粗い(Coarse)フィードバックループが並列動作する。PFD182は、モードセクタ130に内蔵されるPFD142を流用することができる。なお実施例3においてモードセクタ130の構成は限定されず、実施例1、2あるいはその他の構成を採用することができる。

[0087] 実施例3によれば、粗い第2PLL180を追加することにより、サブサンプリングモードにおいて、位相の引き込み速度を高速化することができる

。

[0088] 続いてD-PLL回路100の変形例を説明する。

[0089] (変形例1)

図10のモードセクタ130Bからデッドゾーンディテクタ140を省略した回路も、一実施例として有効である。この場合、位相同期がかからないエラーを、別の手法によって対処すればよい。

[0090] (変形例2)

実施の形態では、分数分周型 (Fractional-N) のPLLについて説明したがその限りでなく、整数分周型 (Integer-N) にも本発明は適用可能である。この場合、DTC102とコントローラ114を削除し、MMD112を単なる分周器 (Divider) に置き換えればよい。

[0091] (変形例3)

また本発明は、D-PLL回路のみでなく、アナログPLL回路にも適用可能である。この場合、TDC104、DLF106、DCO108のセットを、位相周波数比較器 (PFD)、チャージポンプ回路、アナログループフィルタ、電圧制御発振器 (VCO) に置き換えればよい。

[0092] (DCO)

D-PLL回路100において、あるいはその他のアプリケーションにおいて、DCOは重要な要素技術である。図14(a)、(b)は、従来のDCO200Rの回路図である。DCO200Rは、CMOSオシレータであり、入出力がクロスカップルされたインバータのペア202、204と、インバータのペア202、204の出力間に設けられたタンク回路206、インバータのペア202、204にバイアス電流を供給する電流源208を備える。タンク回路206は、インダクタLと可変キャパシタCを含む並列共振回路である。抵抗Rsは、インダクタLの直列抵抗成分である。可変キャパシタCsの容量値は、デジタル制御可能となっており、DCO200Rは、タンク回路206のインピーダンスに応じた発振周波数で発振する。

[0093] 図14(b)には、タンク回路206の等価回路が示される。この等価回

路における等価並列抵抗 R_{TANK} は、 $R_{TANK} = \omega L \cdot Q$ で与えられる。Q は、図 12 の LC 共振回路の Q 値であり、 $Q = \omega L / R_s$ で表される。

[0094] 図 14 (a) の DCO200R の出力の振幅 V_{AMP} は、式 (1) で表され、等価並列抵抗 R_{TANK} およびバイアス電流 I_{BIAS} に比例する。

$$V_{AMP} \div 4 / \pi \times R_{TANK} \times I_{BIAS} \quad \dots (1)$$

[0095] DCO200R の消費電力を削減するためにはバイアス電流 I_{BIAS} を減らす必要がある。ところが DCO200R を安定的に発振させるためには、出力の振幅 V_{AMP} をある程度大きくする必要があるため、バイアス電流 I_{BIAS} の減少と引き換えに、抵抗 R_{TANK} を増加させる必要がある。しかしながら、タンク回路 206 を MMIC (Monolithic Microwave Integrated Circuit) 化して CMOS 回路と同じチップに集積化する場合、抵抗 R_{TANK} のはせいぜい 200 ~ 1000 Ω 程度である。

[0096] したがって、図 14 (a) の DCO200R の消費電力は、タンク回路のインピーダンスによって制約を受けてしまう。以下では、消費電力をさらに低減することが可能な新規な DCO について説明する。

[0097] 図 15 は、実施の形態に係る DCO200 の基本アーキテクチャを示す回路図である。DCO200 は、上側ユニット 210 と、下側ユニット 220 を備える。上側ユニット 210 は、クロスカップルされた回路要素のペア 212, 214 と、タップ T1 が設けられたインダクタ (一次巻線) L1 と、を含む。インダクタ L1 は、回路要素のペア 212, 214 の出力の間 (入力の間) に接続される。インダクタ L1 のタップ T1 は電源 V_{DD} と直接接続され、あるいは後述のようにバイアス電流源が接続される。

[0098] 図 15 において、回路要素 212, 214 は、NMOS トランジスタであり、NMOS トランジスタのソース同士は、基準ノード 216 と接続される。

[0099] 同様に下側ユニット 220 は、クロスカップルされた回路要素のペア 222, 224 と、タップ T2 が設けられたインダクタ L2 (二次巻線) と、を含む。インダクタ L2 は、回路要素のペア 212, 214 の出力の間 (入力

の間)に接続される。

[0100] 下側ユニット220のタップT2は、上側ユニット210の基準ノード216と接続される。この基準ノード216はキャパシタ242と接続され、仮想接地となる。このノードをCENと表記する。

[0101] 回路要素222, 224もまた、NMOSトランジスタであり、NMOSトランジスタのソース同士は共通に接続される。NMOSトランジスタ222, 224のソースは、基準ノード226と接続される。基準ノード216にはバイアス電流源240と接続される。

[0102] 図15の上側ユニット210、下側ユニット220のように、クロスカップルされた回路要素がNMOSトランジスタであるものを、N型ユニットと称する。

[0103] 上側ユニット210のインダクタL1と、下側ユニット220のインダクタL2は結合されており、トランス230を形成している。インダクタL1の巻線Lsと、インダクタL2の巻線Lpの結合係数をkとする。

[0104] 上側ユニット210には、可変キャパシタCvが接続される。可変キャパシタCvは、トランス230とともにLCタンク回路を形成しており、DCO200は、可変キャパシタCvの容量値に応じた周波数で発振する。出力の取り出し箇所は特に限定されないが、たとえば、下側ユニット220のNMOSトランジスタ222, 224のドレインから取り出してもよい。

[0105] 以上がDCO200の基本構成である。続いてその動作を説明する。図16は、図15のDCO200の等価回路図である。Nは、受動ゲインであり、結合係数kを用いて、 $N = k\sqrt{L_s/L_p}$ で表される。

[0106] 図16において、出力信号OUTPUTの振幅 V_{AMP} は、式(2)で表される。

$$V_{AMP} \div 4 / \pi \times I_{BIAS} \times R_{TANKP} \times G_{TF} \quad \dots (2)$$

G_{TF} は、トランス230によるゲインであり、式(3)で表される。

$$G_{TF} = k^2 \cdot L_s / L_p + k\sqrt{L_s / L_p} + R_{TANKS} / R_{TANKP} \quad \dots (3)$$

G_{TF} は、たとえば2以上の値をとることができ、本発明者らが設計した回

路では $G_{TF} = 4.35$ であった。

[0107] 図17は、バイアス電流 I_{BIAS} と出力信号の振幅 V_{AMP} の関係を示す図（シミュレーション）である。（i）は、図15のDCO200の特性を、（ii）は、従来のDCO200Rの特性を示す。同じバイアス電流で比較すると、図15のDCO200によれば、従来比で46%も振幅を大きくできる。言い換えれば、同じ振幅を得るために必要なバイアス電流を大幅に削減できる。

[0108] 続いてDCO200の変形例を説明する。

[0109] 図18は、変形例1に係るDCO200Aの回路図である。この変形例1では、下側ユニット220は、図15の下側ユニット220と同様にN型であるが、上側ユニット210がP型ユニットに置換されている。

[0110] P型ユニットは、N型ユニットにおける回路要素212, 214のペアをPMOSトランジスタに置換して、天地を反転した構成である。具体的にはインダクタL1は、PMOSトランジスタ212, 214のドレインの間に接続され、インダクタL1のタップが仮想接地ラインCENと接続される。またPMOSトランジスタ212, 214のソースが基準ノード216となり、電源電圧 V_{DD} が供給される。

[0111] 図19は、変形例2に係るDCO200Bの回路図である。この変形例2では、上側ユニット210および下側ユニット220が、CMOS型（プッシュプル型）ユニットで構成される。

[0112] CMOS型ユニットは、クロスカップルされる回路要素のペアが、CMOSインバータである。またインダクタLのタップは省略することができる。

[0113] 図20（a）～（f）は、DCO200のさらなる変形例を示す回路図である。図20（a）～（f）において、NはN型ユニットを、PはP型ユニットを、CはCMOS型ユニットを表す。

[0114] 上側ユニット210と下側ユニット220の組み合わせは、上述のそれらに限定されない。図20（a）は、上側ユニット210がCMOS型、下側ユニット220がNMOS型である。図20（b）は、上側ユニット210

、下側ユニット220がともにPMOS型である。図20(c)は、上側ユニット210がNMOS型、下側ユニット220がCMOS型である。図20(d)は、上側ユニット210がPMOS型、下側ユニット220がCMOS型である。

[0115] 図20(e)に示すように、バイアス電流源240を省略してもよいし、図20(f)に示すように電源側に設けてもよい。

[0116] またDCO200の出力信号は、上側ユニット210側から取り出してもよいし、下側ユニット220側から取り出してもよい。また可変キャパシタCvを、下側ユニット220側に接続してもよい。

[0117] (TDC)

D-PLL回路100において、あるいはその他のアプリケーションにおいて、デジタル時間変換器(DTC)もまた重要な要素技術である。

[0118] 図21は、従来のDTC300Rの回路図である。このDTC300Rは、シングルスロープ(Single Slope)DTCと称される。DTC300Rは、充電回路302、キャパシタ304、スイッチS1~S3、インバータ306、308、DAC(D/Aコンバータ)309を備える。DTC300Rは、入力信号INに、デジタルの制御コードCODEに応じた遅延を与え、出力する。DAC309は、制御コードCODEに応じたアナログ電圧 V_{DAC} を出力する。充電回路302は、第1スイッチS1がオンの状態においてキャパシタ304を充電する。インバータ306は、キャパシタ304の電圧 V_P を、しきい値 $V_{TH}(=V_{DD}/2)$ と比較する比較手段として機能する。第3スイッチS3は、オン状態において、キャパシタ304を放電し、電圧 V_P を初期化する。

[0119] 図22は、図21のDTC300Rの動作波形図である。時刻 t_0 に、第3スイッチS3がオンとなりキャパシタ304が放電され、電圧 V_P が初期化される。

[0120] 時刻 t_1 に第2スイッチS2がオンとなり、キャパシタ304がDAC309の出力電圧 V_{DAC} によって充電される。これにより $V_P=V_{DAC}$ となる。

[0121] 時刻 t_2 に、入力信号 I_N に応答して、第1スイッチ S_1 がオンとなる。その結果、充電回路302の電流 I_C によってキャパシタ304が充電され、電圧 V_P がリニアに増大する。

[0122] 時刻 t_3 に、電圧 V_P がしきい値 V_{TH} に達すると、出力 OUT が変化する。入力 I_N に対する出力 OUT の遅延量 τ は、

$$\tau = (V_{TH} - V_{DAC}) \times C / I_C$$

となる。 C はキャパシタ304の容量である。

[0123] 本発明者は、図21のDTC300Rについて検討した結果、以下の課題を認識するに至った。

[0124] すなわち、図22のタイムチャートから分かるように、充電回路302が生成する電流のうち、遅延 $Delay$ に寄与するのは一部分だけであり、残りは無駄となっている。本発明者らが検討したところ、期間 T_1 と T_2 において、電流源により58%もの電力が消費されている。

[0125] 言い換えれば、DTC300Rには、消費電力削減の余地があるといえる。以下では、消費電力を削減したDTCについて説明する。

[0126] 図23は、実施の形態に係るDTC300の回路図である。DTC300は、スロープ発生回路310、プリチャージ回路320、比較手段330、制御回路340を備える。

[0127] スロープ発生回路310は、キャパシタ312、電流源314および第1スイッチ S_1 を含む。電流源314は、キャパシタ312に定電流 I_C を供給し、キャパシタ312に、一定の傾きで変化するスロープ電圧 V_P を発生させる。第1スイッチ S_1 は、定電流 I_C をカットオフするために設けられる。第1スイッチ S_1 は、電流源314の内部に組み込んでもよい。

[0128] プリチャージ回路320は、キャパシタ312に、制御コード $CODE$ に応じたアナログ電圧 V_{DAC} を印加する。プリチャージ回路320は、D/Aコンバータ322と第2スイッチ S_2 を含む。第2スイッチ S_2 がオンのとき、D/Aコンバータ322の出力電圧 V_{DAC} がキャパシタ312に印加され、第2スイッチ S_2 がオフのとき、キャパシタ312はキャパシタ312から

切り離される。なおD/Aコンバータ322が、出力がハイインピーダンスの状態を取り得る場合、第2スイッチS2は省略し、D/Aコンバータ322を制御することで、第2スイッチS2がオフの状態を実現してもよい。

[0129] 比較手段330は、キャパシタ312に生ずるスロープ電圧 V_P をしきい値 V_{TH} と比較し、比較結果に応じた出力信号OUTを生成する。比較手段330は、カスケードに接続された二段のインバータ332, 334を含んでもよい。初段のインバータ332によって、スロープ電圧 V_P がインバータ332のしきい値と比較され、比較結果に応じた2値の信号に変換される。後段のインバータ332は、信号の論理値を変換し、および／または負荷を駆動するのに十分な低インピーダンスを提供するために設けられている。

[0130] 好ましくは比較手段330は、オン、オフが切り替え可能に構成され、そのために第3スイッチS3が設けられる。第3スイッチS3は、インバータ332と接地の間に設けられる。第3スイッチS3は、電源ライン側に挿入してもよい。

[0131] 制御回路340は、入力信号INと出力信号OUTに応じて、スロープ発生回路310およびプリチャージ回路320を制御する。

[0132] 制御回路340は、プリチャージ期間においてプリチャージ回路320をオンとする。具体的には第2スイッチS2をオンとする。これにより、キャパシタ312が、電圧 V_{DAC} により充電される。プリチャージ期間の長さは、D/Aコンバータ322の出力インピーダンスとキャパシタ312の容量Cに応じて決まる時定数、言い換えれば充電に要する時間を考慮して決めればよい。

[0133] また制御回路340は、プリチャージ期間において比較手段330をオフする。具体的には第3スイッチS3をオフとする。

[0134] また制御回路340は、入力信号INに応答してスロープ期間に遷移する。制御回路340は、スロープ期間においてプリチャージ回路320をオフ、スロープ発生回路310をオンとする。具体的には、第2スイッチS2をオフ、第1スイッチS1をオン、第3スイッチS3をオフとする。

- [0135] スロープ期間において、スロープ発生回路310がオンとなると、スロープ電圧 V_P が一定の傾きで変化する。そしてスロープ電圧 V_P がしきい値 V_{TH} とクロスすると、出力信号OUTが遷移する。
- [0136] 制御回路340は、出力信号OUTの遷移に応答してスロープ発生回路310をオフし、定電流 I_O を遮断する。制御回路340はこの一連の動作を繰り返す。
- [0137] 図24は、制御回路340の構成例を示す回路図である。制御回路340はロジック回路で構成される。制御回路340は、第1エッジ検出回路342、第2エッジ検出回路344、第1遅延回路346、第2遅延回路348、第1フリップフロップFF1、第2フリップフロップFF2、第1インバータINV1、第2インバータINV2を含む。
- [0138] 第1エッジ検出回路342は、入力信号INのポジエッジ（立ち上がりエッジ、リーディングエッジともいう）に応答し、所定のパルス幅を有する第1パルス信号Sp1を生成する。第2エッジ検出回路344は、出力信号OUTのポジエッジに応答し、所定のパルス幅を有する第2パルス信号Sp2を生成する。
- [0139] 第1遅延回路346は、第1パルス信号Sp1を遅延量 τ_1 だけ遅延し、遅延後の信号を第1フリップフロップFF1のセット端子（S）に供給する。この遅延量 τ_1 によって、第3スイッチS3が確実にオンとなり、電圧比較が可能な状態になってから、第1スイッチS1がオンとなることが保証される。また第1フリップフロップFF1のリセット端子（R）には、第2パルス信号Sp2が入力される。第1スイッチS1のオン、オフは、第1フリップフロップFF1の出力Sig1によって制御される。
- [0140] 第2遅延回路348は、第2パルス信号Sp2を遅延量 τ_2 だけ遅延し、第2フリップフロップFF2のセット端子に供給する。キャパシタ電圧 V_P がしきい値 V_{TH} に達した後、出力OUTが完全にハイ（VDD）に立ち上がるまでには、インバータ332およびインバータ334の二段分の遅延がある。そこで、遅延量 τ_2 を導入することにより、出力OUTが完全にハイ（VDD

）に立ち上がってから、第3スイッチS3をオフすることができる。

[0141] また第2フリップフロップFF2のリセット端子には、第1パルス信号S_{p1}が入力される。第2スイッチS2および第3スイッチS3は、第2フリップフロップFF2の状態にもとづいて制御される。具体的には、第2フリップフロップFF2の出力Qの反転信号S_{ig3}が、第3スイッチS3に供給され、第2フリップフロップFF2の反転出力QBの反転信号S_{ig2}が、第2スイッチS2に供給される。

[0142] 第2フリップフロップFF2は、第1パルス信号S_{p1}のネガエッジのタイミングでリセットされる。したがって、第2スイッチS2がオン、第3スイッチS3がオフするタイミングは、第1パルス信号S_{p1}のパルス幅で規定される。

[0143] 以上がDTC300の構成である。続いてその動作を説明する。図25は、図23のDTC300の動作を説明するタイムチャートである。

[0144] 時刻 t_0 に、第2スイッチS2がオンとなり、キャパシタ312が、DAC309によって充電される。これによりキャパシタの電圧 V_p は、制御コードに応じた電圧値 V_{DAC} となる。

[0145] 時刻 t_1 に、入力信号INがハイに遷移すると、第1スイッチS1がオンとなり、キャパシタ312が電流源314が生成する電流 I_c によって充電され、キャパシタ312の電圧 V_p が一定の傾きで増大する。このとき、第3スイッチS3もオンとなり、インバータ306が電圧比較可能な状態となる。

[0146] 時刻 t_2 に、電圧 V_p がしきい値 V_{TH} に達すると、出力OUTがハイに遷移する。これに応答して、制御回路340は、第1スイッチS1をオフする。その結果、キャパシタ312への充電が停止する。その結果、電圧 V_p は、しきい値電圧 V_{TH} の近傍に維持される。その後、第2遅延回路348の遅延量に相当する時間の経過後の時刻 t_3 に、第2スイッチS2および第3スイッチS3がオンとなる。以上が1サイクルの動作である。続いてその利点を説明する。

[0147] 図26は、本実施の形態に係るDTCの動作波形(i)と、従来のDTCの

動作波形 (ii) を示す図である。本実施の形態では、従来に比べて、キャパシタ 312 の電圧 V_P の変動が最小限に抑制されている。つまり、キャパシタ 312 に対する電荷の無駄な供給、キャパシタ 312 からの電荷の無駄な放出が削減され、消費電力を削減できる。特に、本実施の形態において、第 1 スイッチ S1 は、スロープ発生期間のみオンとなる。言い換えれば電流源 314 が生成する電流 I_C は 100%、スロープの生成に使用されることとなり、消費電力を削減できる。

[0148] また、第 3 スイッチ S3 をインバータ 306 の経路上に配置し、電圧比較の期間のみオンすることとした。これにより、DAC 309 の出力電圧 V_{DAC} がインバータ (コンパレータ) 306 のしきい値 V_{TH} に近いときに、インバータ 306 に貫通電流が流れるのを防止でき、さらに消費電力を削減できる。

[0149] 図 23 において、比較手段 330 を電圧コンパレータで構成してもよい。この場合、スイッチ S3 を電圧コンパレータに組み込んで、電圧コンパレータのバイアス電流を遮断するようにしてもよい。

[0150] 実施の形態にもとづき、具体的な用語を用いて本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎず、実施の形態には、請求の範囲に規定された本発明の思想を逸脱しない範囲において、多くの変形例や配置の変更が認められる。

産業上の利用可能性

[0151] 本発明は、電子回路に利用できる。

符号の説明

[0152] 100 D-PLL 回路
102 DTC
104 TDC
106 DLF
108 DCO
110 バッファ

- 1 1 2 M M D
- 1 1 3 ゲート回路
- 1 1 4 コントローラ
- 1 1 6 リタイミング回路
- 1 2 0 マルチプレクサ
- 1 2 2 遅延回路
- 1 3 0 モードセクタ
- 1 3 2 ステートマシン
- 1 4 0 デッドゾーンディテクタ
- 1 4 2 P F D
- 1 4 4 判定部
- 1 5 0 間欠動作 F L L
- 1 5 2 F L L
- 1 5 4 デューティサイクルコントローラ
- 1 6 0 周波数検出器
- 1 6 2 分周器
- 1 6 4 フリップフロップ
- 1 6 6 カウンタ
- 1 6 8 フリップフロップ
- 1 7 0 減算器
- 1 7 2 比較器
- 1 8 0 第 2 P L L
- 2 0 0 D C O
- 2 1 0 上側ユニット
- 2 2 0 下側ユニット
- 2 3 0 トランス
- 3 0 0 D T C
- 3 1 0 スロープ発生回路

3 1 2 キャパシタ
3 1 4 電流源
S 1 第1スイッチ
3 2 0 プリチャージ回路
3 2 2 D／Aコンバータ
S 2 第2スイッチ
3 3 0 比較手段
3 3 2, 3 3 4 インバータ
3 4 0 制御回路
3 4 2 第1エッジ検出回路
3 4 4 第2エッジ検出回路
3 4 6 第1遅延回路
3 4 8 第2遅延回路
F F 1 第1フリップフロップ
F F 2 第2フリップフロップ
I N V 1 第1インバータ
I N V 2 第2インバータ

請求の範囲

- [請求項1] 第1基準クロックを受け、出力クロックを生成する位相同期回路であって、
- 前記第1基準クロックを遅延させ、第2基準クロックを生成する遅延回路と、
- 前記第2基準クロックと、フィードバッククロックの位相差に応じた制御信号を生成するフィードバック回路と、
- 前記制御信号に応じた周波数で発振し、前記出力クロックを生成する発振器と、
- オン、オフが切り替え可能であり、オン状態において、前記出力クロックを分周する分周器と、
- を備え、
- 第1モードと第2モードが切り替え可能であり、前記第1モードにおいて、前記フィードバッククロックは、前記分周器の出力を前記出力クロックでリタイミングした信号であり、前記第2モードにおいて、前記フィードバッククロックは、前記第1基準クロックを前記出力クロックでリタイミングした信号であることを特徴とする位相同期回路。
- [請求項2] 前記第1モードと前記第2モードを指示するイネーブル信号を生成するモードコントローラと、
- 前記分周器の出力と前記第1基準クロックを受け、前記イネーブル信号に応じた一方を選択するマルチプレクサと、
- 前記マルチプレクサの出力を前記出力クロックによってリタイミングするリタイミング回路と、
- を備え、前記分周器のオン、オフは前記イネーブル信号に応じて制御され、前記リタイミング回路の出力が前記フィードバッククロックであることを特徴とする請求項1に記載の位相同期回路。
- [請求項3] 前記第2基準クロックと前記フィードバッククロックの位相誤差が

、デッドゾーンの範囲に含まれるか否かを判定するデッドゾーンディテクタをさらに備え、前記第1モードと前記第2モードは、前記デッドゾーンディテクタの出力に応じていることを特徴とする請求項1または2に記載の位相同期回路。

[請求項4]

前記デッドゾーンディテクタは、

前記第2基準クロックと前記フィードバッククロックの位相差あるいは周波数差を比較し、比較結果にもとづくパルスを出力する位相周波数検出器と、

前記位相周波数検出器の出力にもとづいて前記位相誤差を生成し、前記位相誤差が前記デッドゾーンに含まれるか否かを判定する判定部と、

を含むことを特徴とする請求項3に記載の位相同期回路。

[請求項5]

前記出力クロックの周波数と、前記入力基準クロックの周波数の関係を監視し、前記出力クロックの周波数が前記分周比にもとづいて決まる目標周波数から逸脱する周波数エラーを検出する周波数ロックループをさらに備え、

前記第1モードと前記第2モードは、前記周波数ロックループの出力に応じていることを特徴とする請求項1から4のいずれかに記載の位相同期回路。

[請求項6]

前記周波数ロックループは、

前記入力基準クロックの周期のK倍（Kは整数）の期間、前記出力クロックをカウントするカウンタを含み、

前記カウンタのカウント値と、前記分周比の逆数である逡倍比をK倍した値と、にもとづいて、前記周波数エラーを検出することを特徴とする請求項5に記載の位相同期回路。

[請求項7]

所定のデューティ比を有する制御パルスを生成するデューティサイクルコントローラをさらに備え、

前記周波数ロックループは、前記制御パルスに応じて間欠動作する

ことを特徴とする請求項6に記載の位相同期回路。

[請求項8]

前記第2基準クロックと前記フィードバッククロックの位相差あるいは周波数差を比較し、比較結果にもとづくパルスを出力する位相周波数検出器と、

前記第1モードにおいて動作状態となり、前記位相周波数検出器の出力にもとづいて、前記発振器の周波数をフィードバック制御するPLL (Phase Locked Loop) 回路と、

をさらに備え、

前記位相周波数検出器と前記PLL回路を含むフィードバックループの精度は、前記フィードバック回路の精度より粗いことを特徴とする請求項1から7のいずれかに記載の位相同期回路。

[請求項9]

前記位相同期回路は、デジタル位相同期回路であり、

前記フィードバック回路は、前記第2基準クロックと、フィードバッククロックの位相差をデジタル信号に変換する時間-デジタル変換器を含み、

前記発振器は、前記時間-デジタル変換器の出力に応じた周波数で発振するデジタル制御発振器であることを特徴とする請求項1から8のいずれかに記載の位相同期回路。

[請求項10]

前記デジタル制御発振器は、

電源ラインと接地ラインの間に縦積みされた上側ユニットと下側ユニットと、

前記上側ユニットと前記下側ユニットの少なくとも一方と接続される可変キャパシタと、

を備え、

前記上側ユニットおよび前記下側ユニットはそれぞれ、

クロスカップルされた回路要素のペアと、

前記回路要素のペアと接続されるインダクタと、

を含み、

前記上側ユニットと前記下側ユニットのインダクタが結合されてトランスが形成されることを特徴とする請求項 9 に記載の位相同期回路。

[請求項11] 前記位相同期回路は分数分周型であり、
前記分周器はマルチモデュラス分周器であり、
前記位相同期回路は、
入力基準クロックを受け、前記第 1 基準クロックを生成するデジタルー時間変換器と、
前記出力クロックの周波数を指定する周波数制御ワードに応じて、
前記デジタルー時間変換器と前記マルチモデュラス分周器を制御するコントローラと、
をさらに備えることを特徴とする請求項 9 または 10 に記載の位相同期回路。

[請求項12] 前記デジタルー時間変換器は、
キャパシタと電流源を含み、スロープ電圧を生成するスロープ発生回路と、
前記キャパシタに、制御コードに応じたアナログ電圧を印加するプリチャージ回路と、
前記スロープ電圧をしきい値と比較し、比較結果に応じた前記第 1 基準クロックを生成する比較手段と、
前記入力基準クロックと前記第 1 基準クロックに応じて、前記スロープ発生回路および前記プリチャージ回路を制御する制御回路と、
を備え、
前記制御回路は、(i) プリチャージ期間において前記プリチャージ回路をオンとし、(ii) 前記入力基準クロックに応答してスロープ期間に遷移し、前記スロープ期間において前記プリチャージ回路をオフ、前記スロープ発生回路をオンとし、(iii) 前記第 1 基準クロックの遷移に応答して前記スロープ発生回路をオフする動作を繰り返す

ことを特徴とする請求項 1 1 に記載の位相同期回路。

[請求項13] 電源ラインと接地ラインの間に縦積みされた上側ユニットと下側ユニットと、

前記上側ユニットと前記下側ユニットの少なくとも一方と接続される可変キャパシタと、

を備え、

前記上側ユニットおよび前記下側ユニットはそれぞれ、

クロスカップルされた回路要素のペアと、

前記回路要素のペアと接続されるインダクタと、

を含み、

前記上側ユニットと前記下側ユニットのインダクタが結合されてトランスが形成されることを特徴とするデジタル制御発振器。

[請求項14] 前記上側ユニットと前記下側ユニットの少なくとも一方は、前記回路要素のペアがN M O S (N-channel Metal Oxide Semiconductor) トランジスタであるN型であることを特徴とする請求項 1 3 に記載のデジタル制御発振器。

[請求項15] 前記上側ユニットと前記下側ユニットの両方がN型であることを特徴とする請求項 1 4 に記載のデジタル制御発振器。

[請求項16] 前記上側ユニットと前記下側ユニットの少なくとも一方は、前記回路要素のペアがP M O S (P-channel Metal Oxide Semiconductor) トランジスタであるP型であることを特徴とする請求項 1 3 に記載のデジタル制御発振器。

[請求項17] 前記上側ユニットと前記下側ユニットの少なくとも一方は、前記回路要素のペアが、C M O S (Complementary Metal Oxide Semiconductor) インバータであるC M O S型であることを特徴とする請求項 1 3 に記載のデジタル制御発振器。

[請求項18] 前記電源ラインと前記接地ラインの間に挿入されたバイアス電流源をさらに備えることを特徴とする請求項 1 3 から 1 7 のいずれかに記

載のデジタル制御発振器。

[請求項19] 前記上側ユニットと前記下側ユニットの接続ノードに接続されるキャパシタをさらに備えることを特徴とする請求項13から18のいずれかに記載のデジタル制御発振器。

[請求項20] 入力信号を受け、制御コードに応じた遅延を与え、出力信号を生成するデジタルー時間変換器であって、

キャパシタと電流源を含み、スロープ電圧を生成するスロープ発生回路と、

前記キャパシタに、制御コードに応じたアナログ電圧を印加するプリチャージ回路と、

前記スロープ電圧をしきい値と比較し、比較結果に応じた前記出力信号を生成する比較手段と、

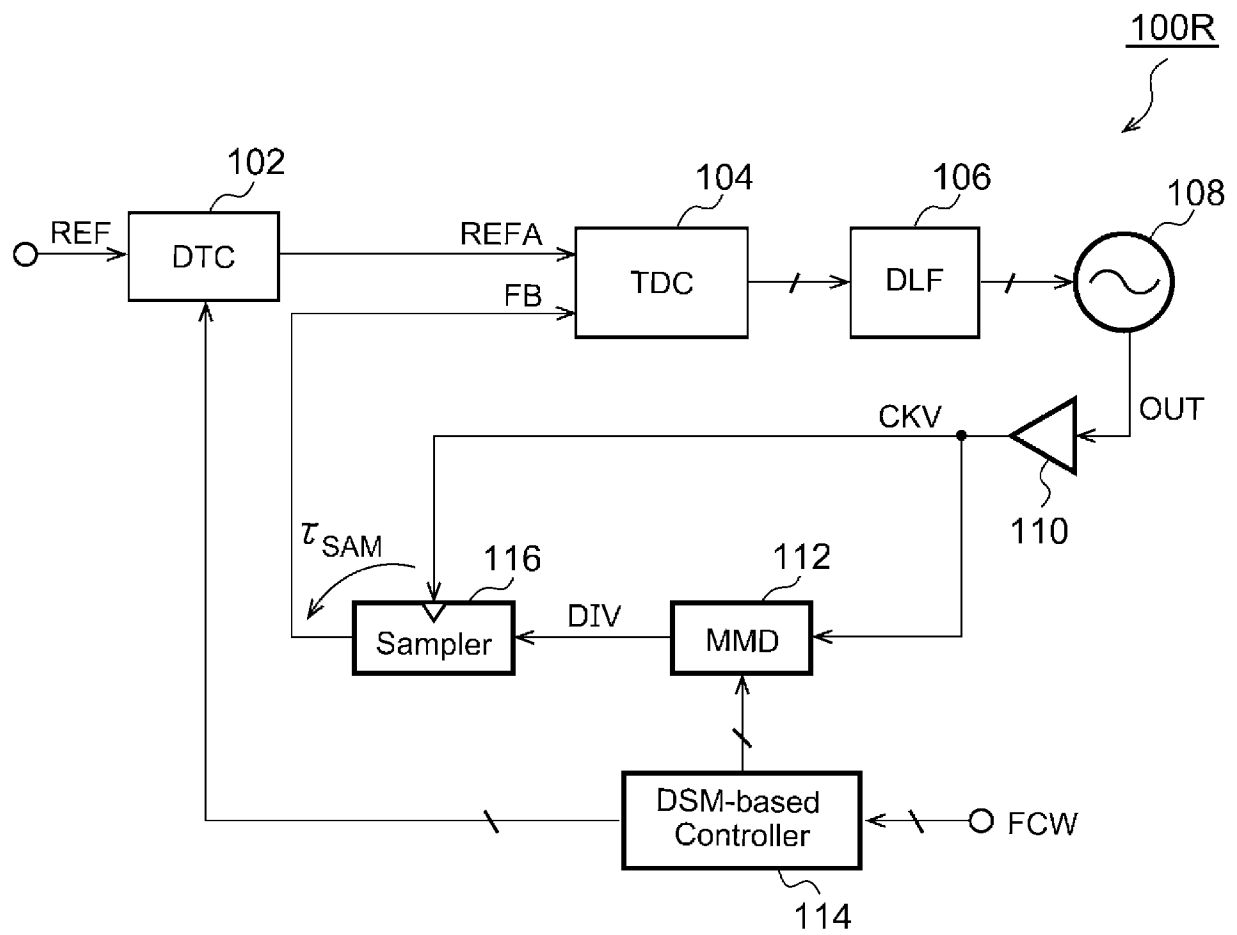
前記入力信号と前記出力信号に応じて、前記スロープ発生回路および前記プリチャージ回路を制御する制御回路と、

を備え、

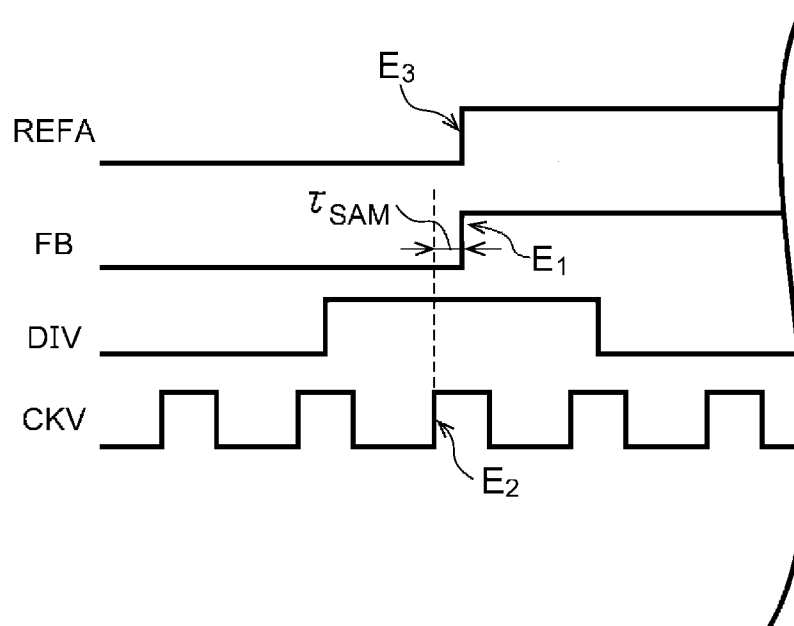
前記制御回路は、(i) プリチャージ期間において前記プリチャージ回路をオンとし、(ii) 前記入力信号に応答してスロープ期間に遷移し、前記スロープ期間において前記プリチャージ回路をオフ、前記スロープ発生回路をオンとし、(iii) 前記出力信号の遷移に応答して前記スロープ発生回路をオフする動作を繰り返すことを特徴とするデジタルー時間変換器。

[請求項21] 前記比較手段は、オン、オフが切り替え可能に構成され、前記制御回路は、前記プリチャージ期間において前記比較手段をオフすることを特徴とする請求項20に記載のデジタルー時間変換器。

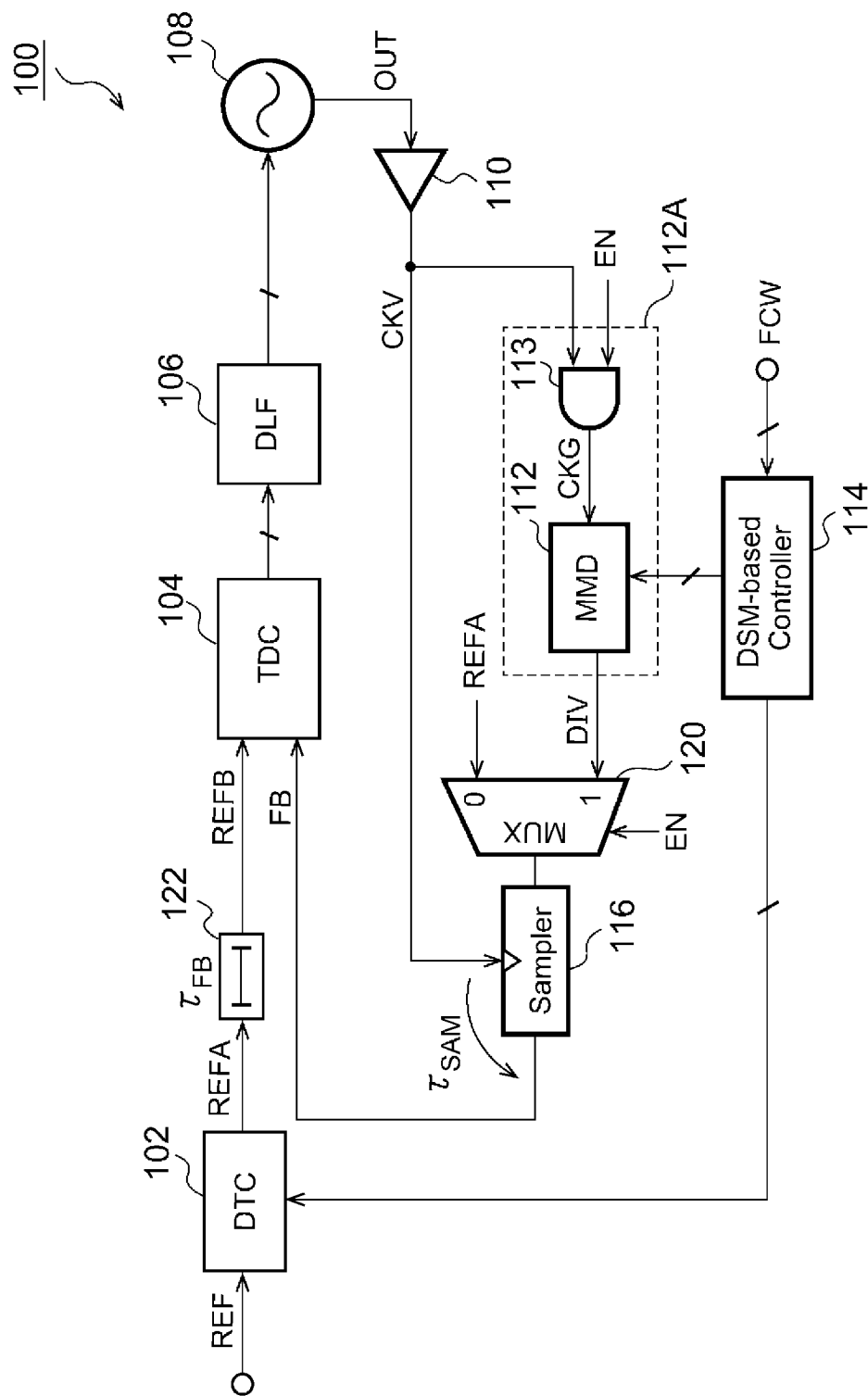
[図1]



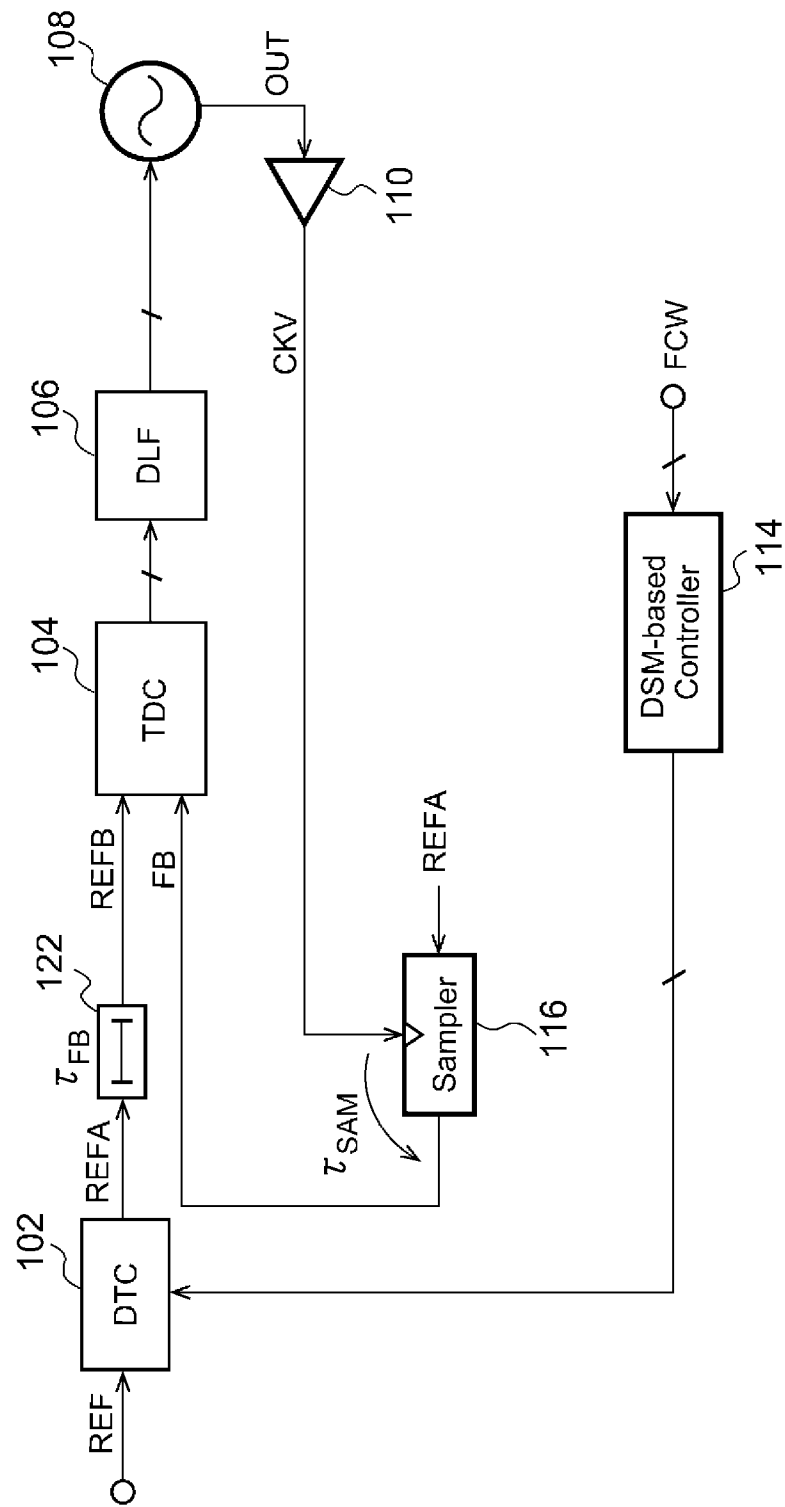
[図2]



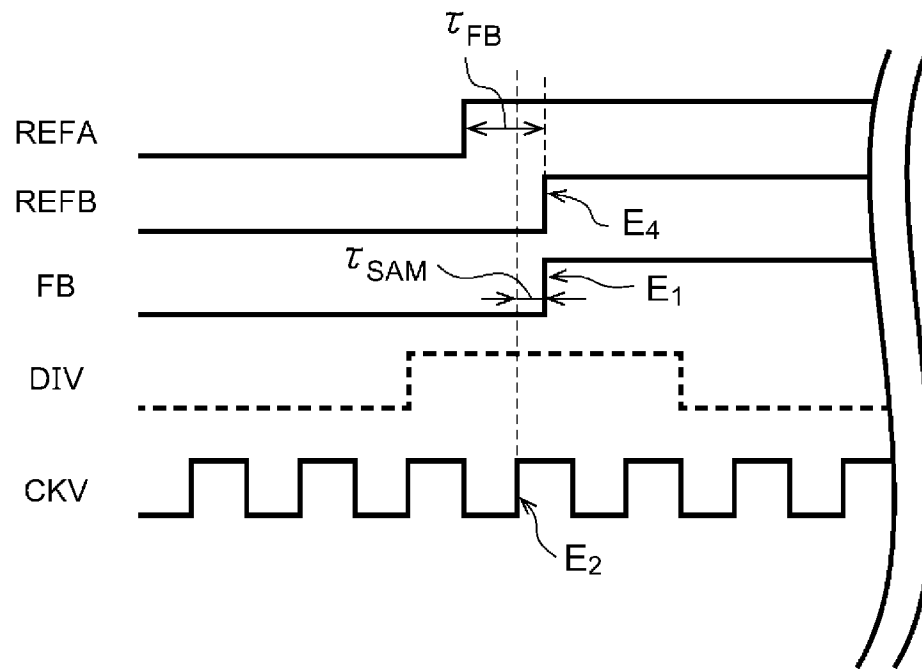
[図3]



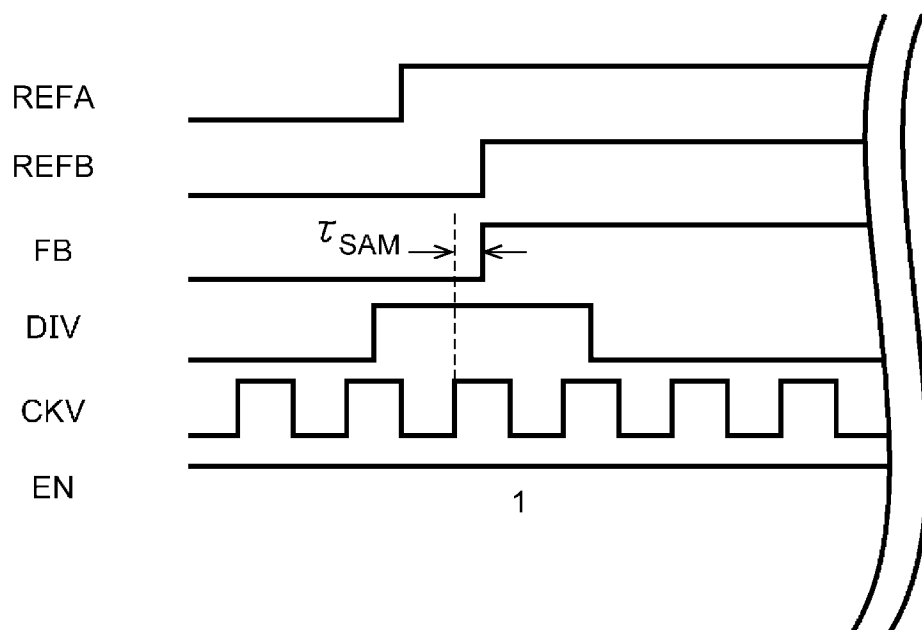
[図4]



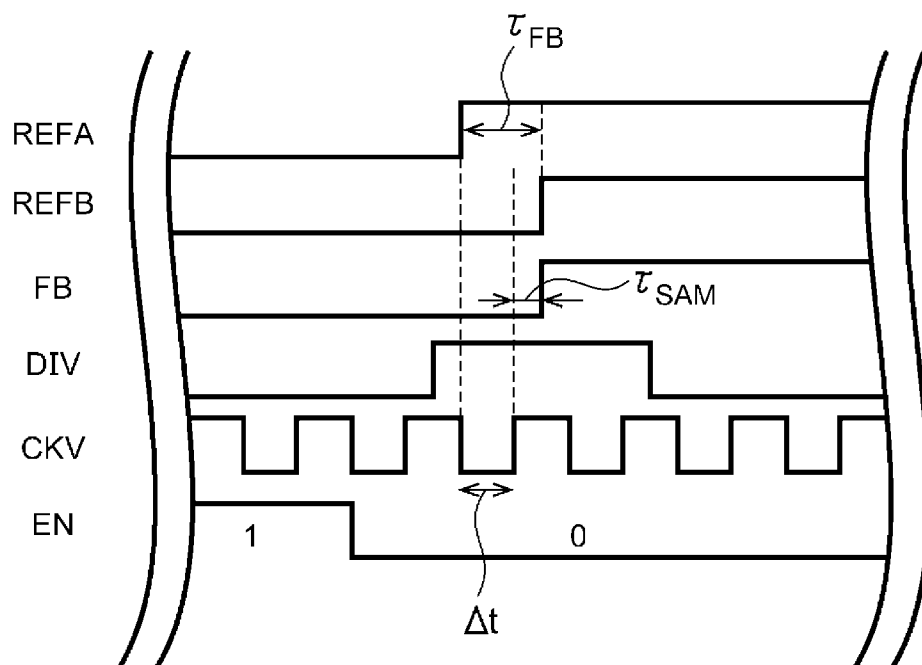
[図5]



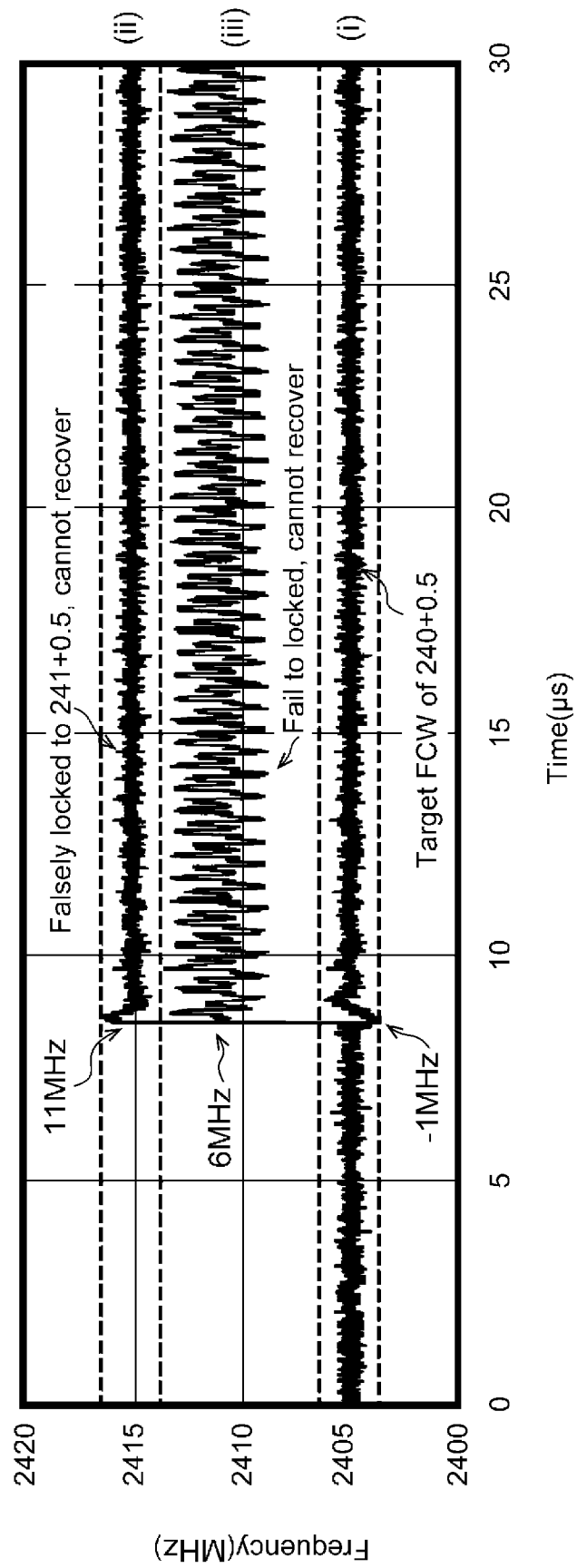
(a)



(b)

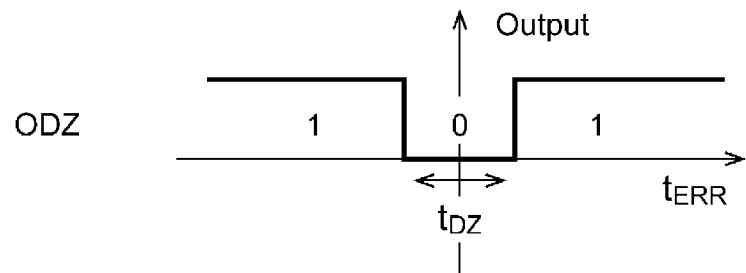


[図7]

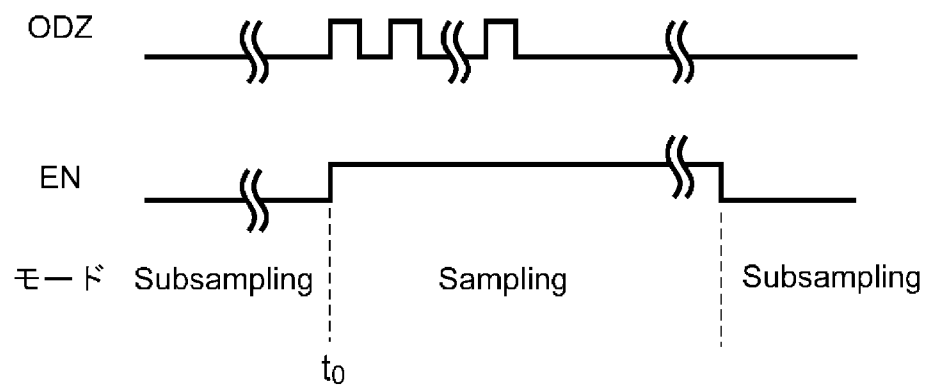


[図9]

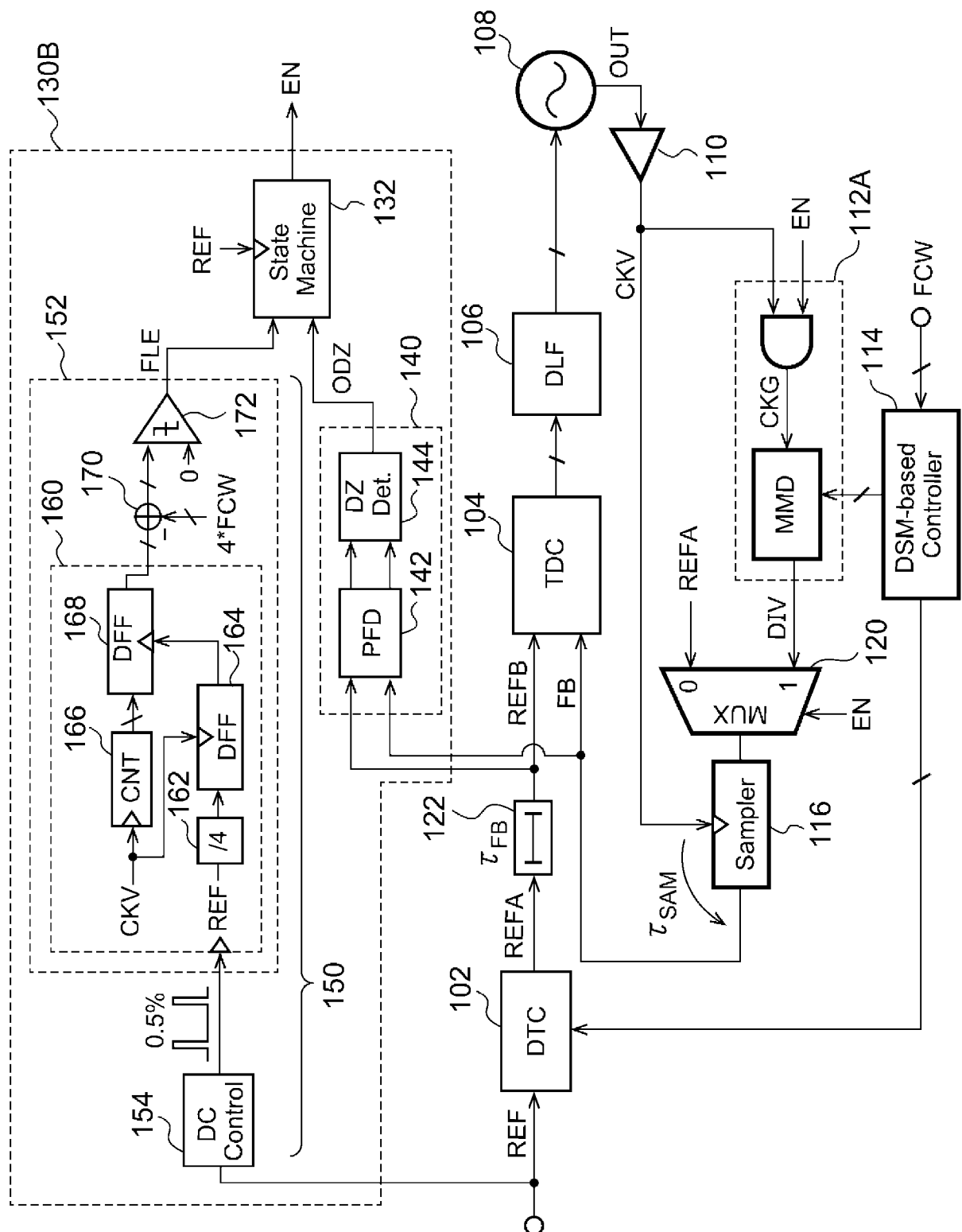
(a)



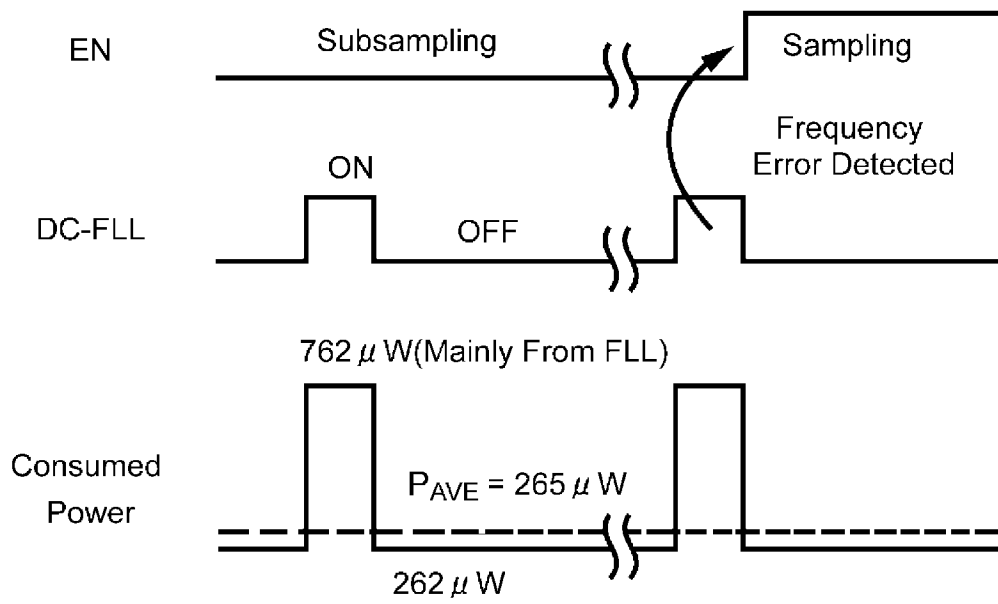
(b)



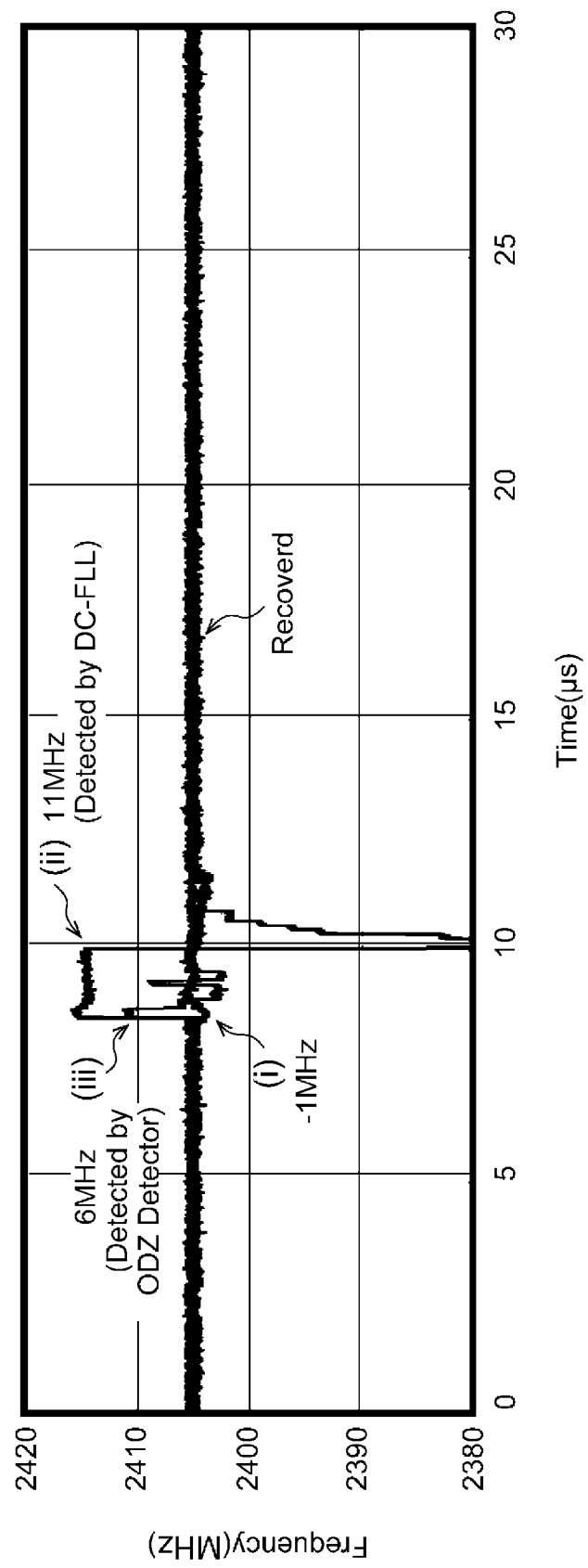
100B ↘



[図11]

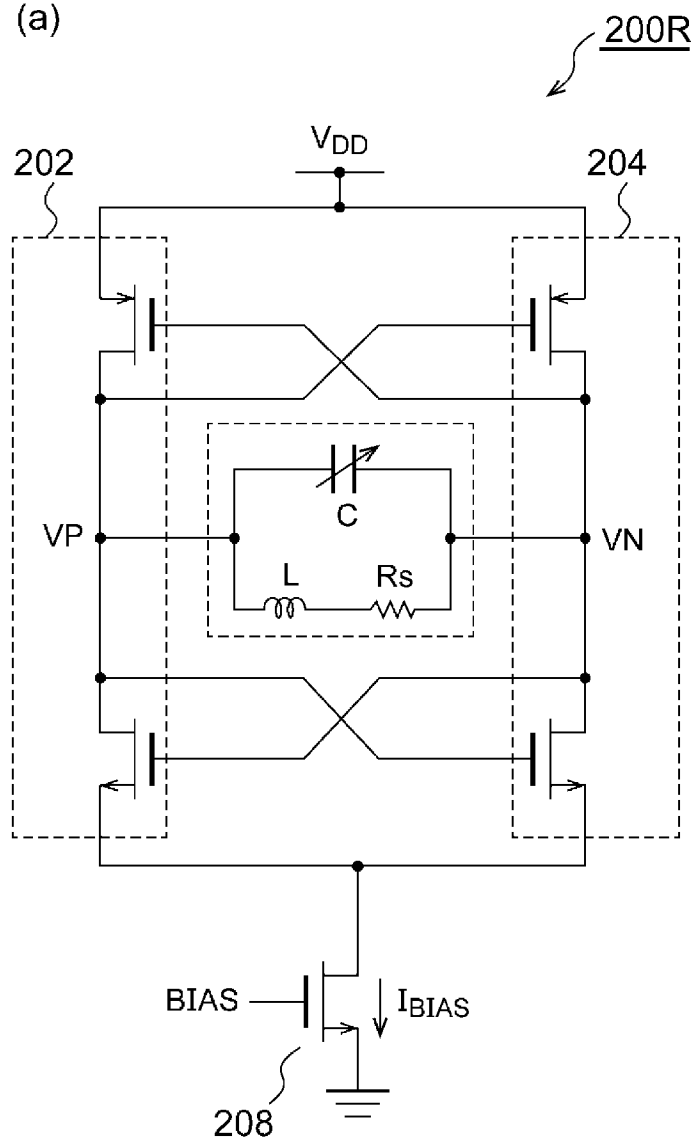


[図12]

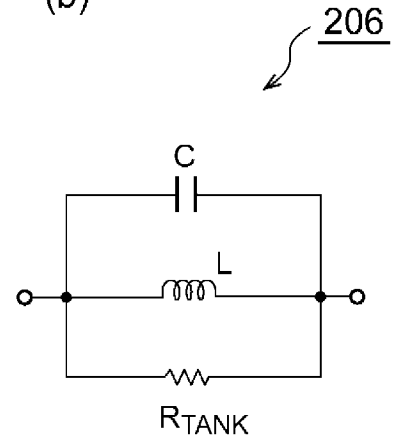


[図14]

(a)

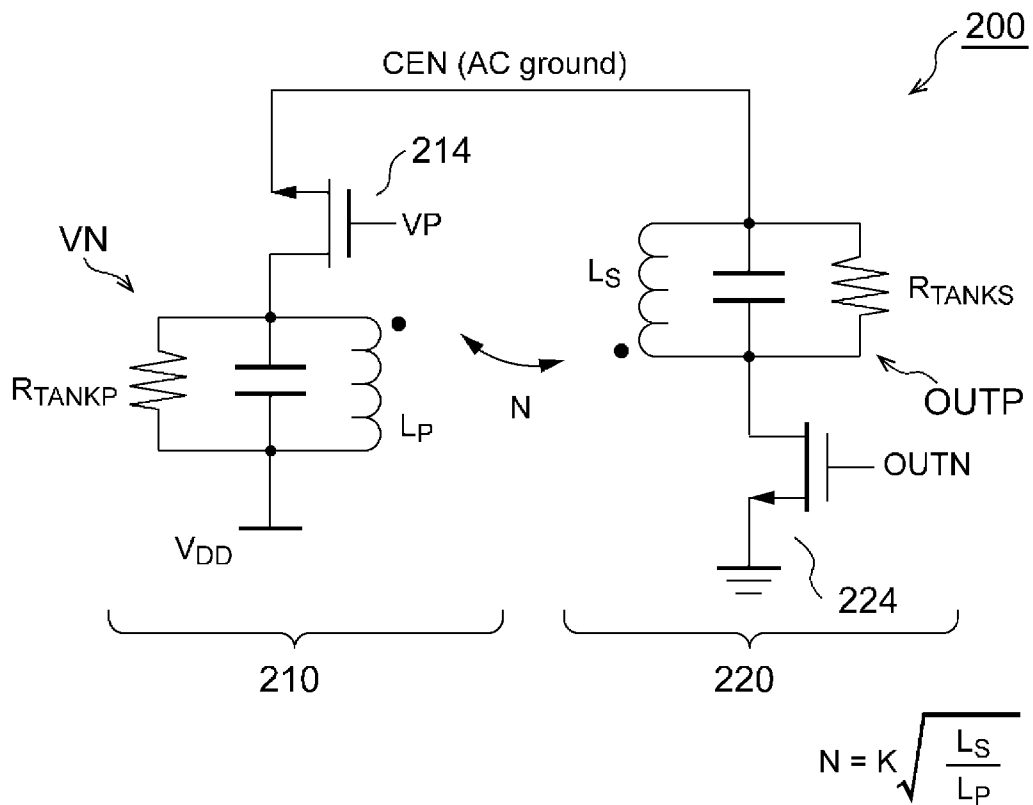


(b)

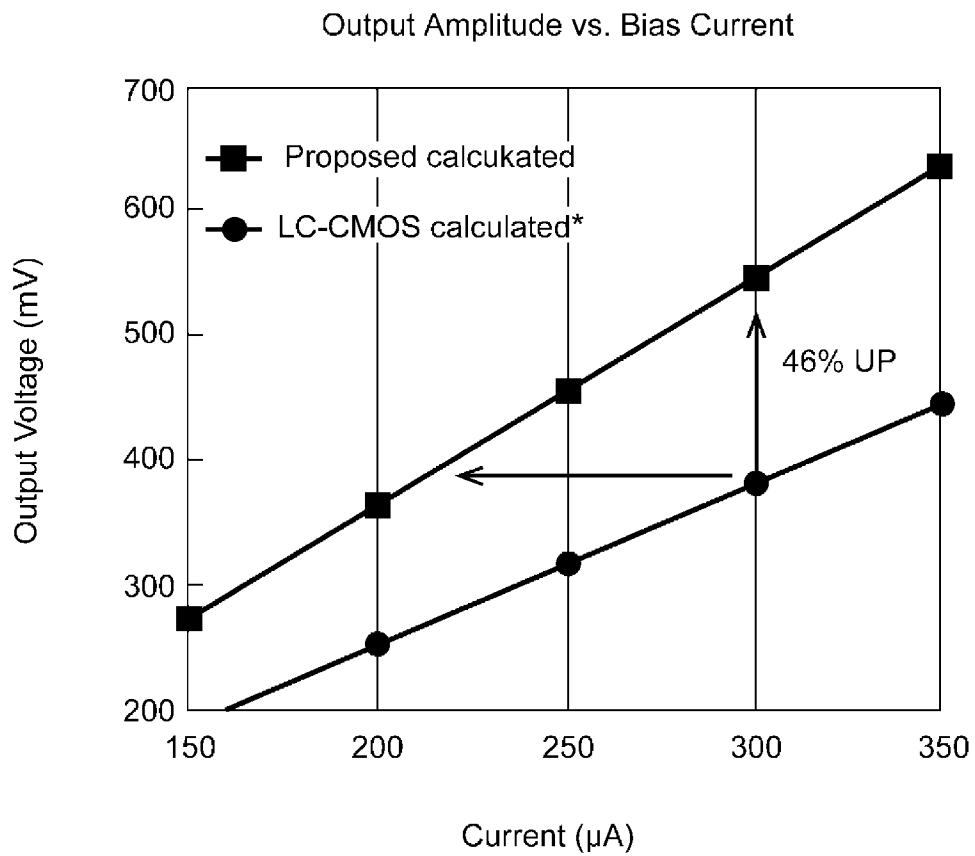


[illegible]

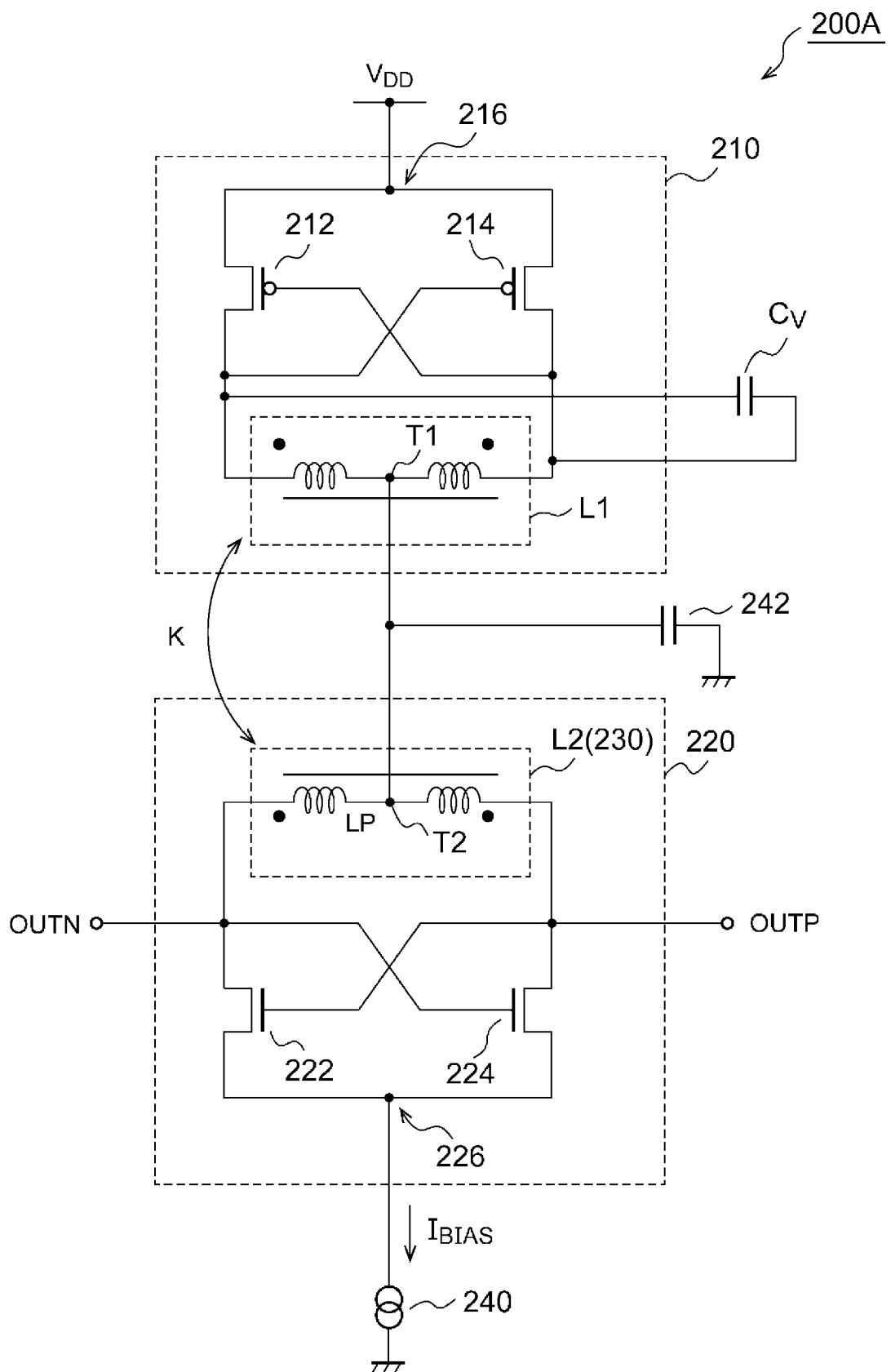
[図16]



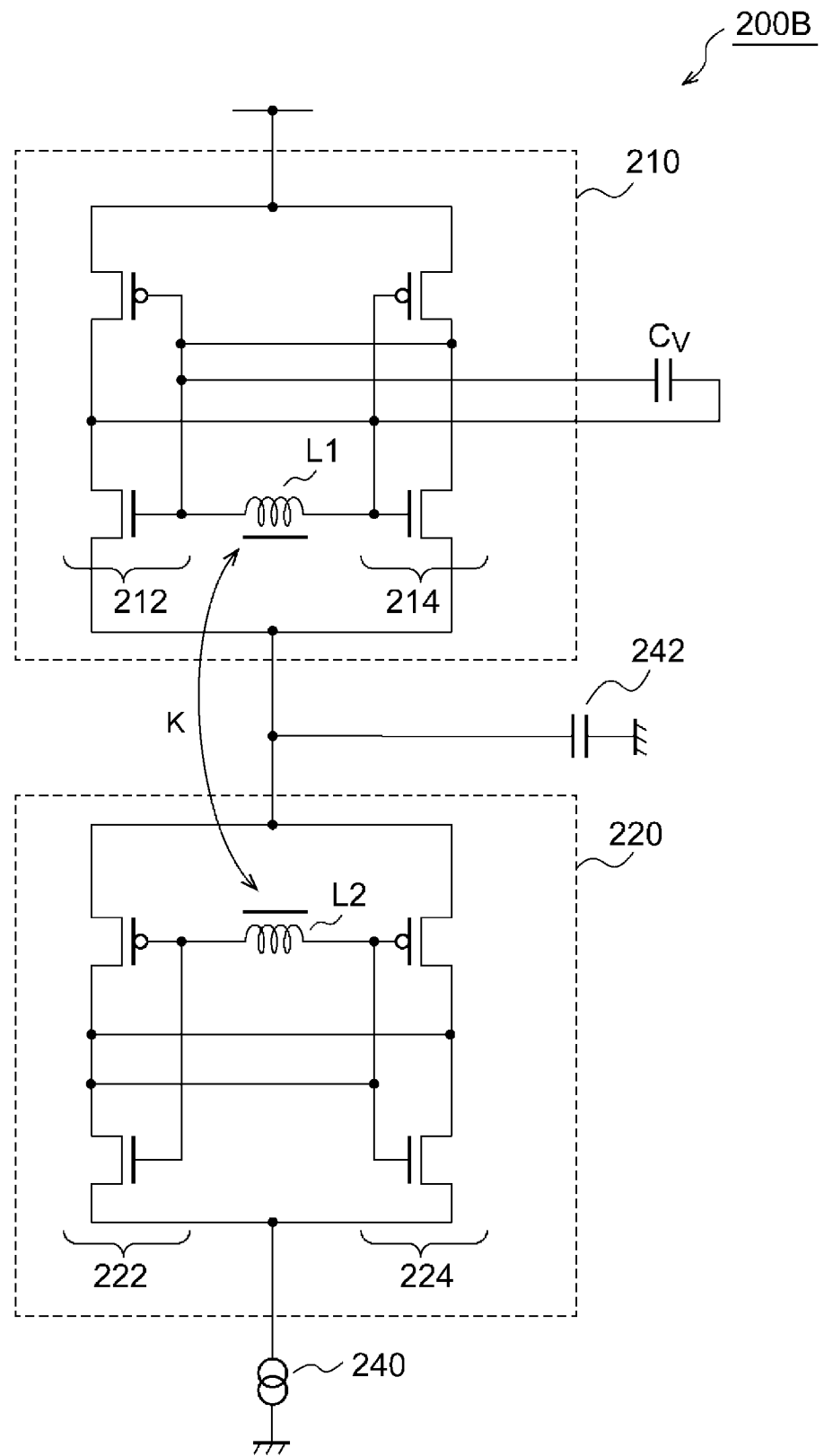
[図17]



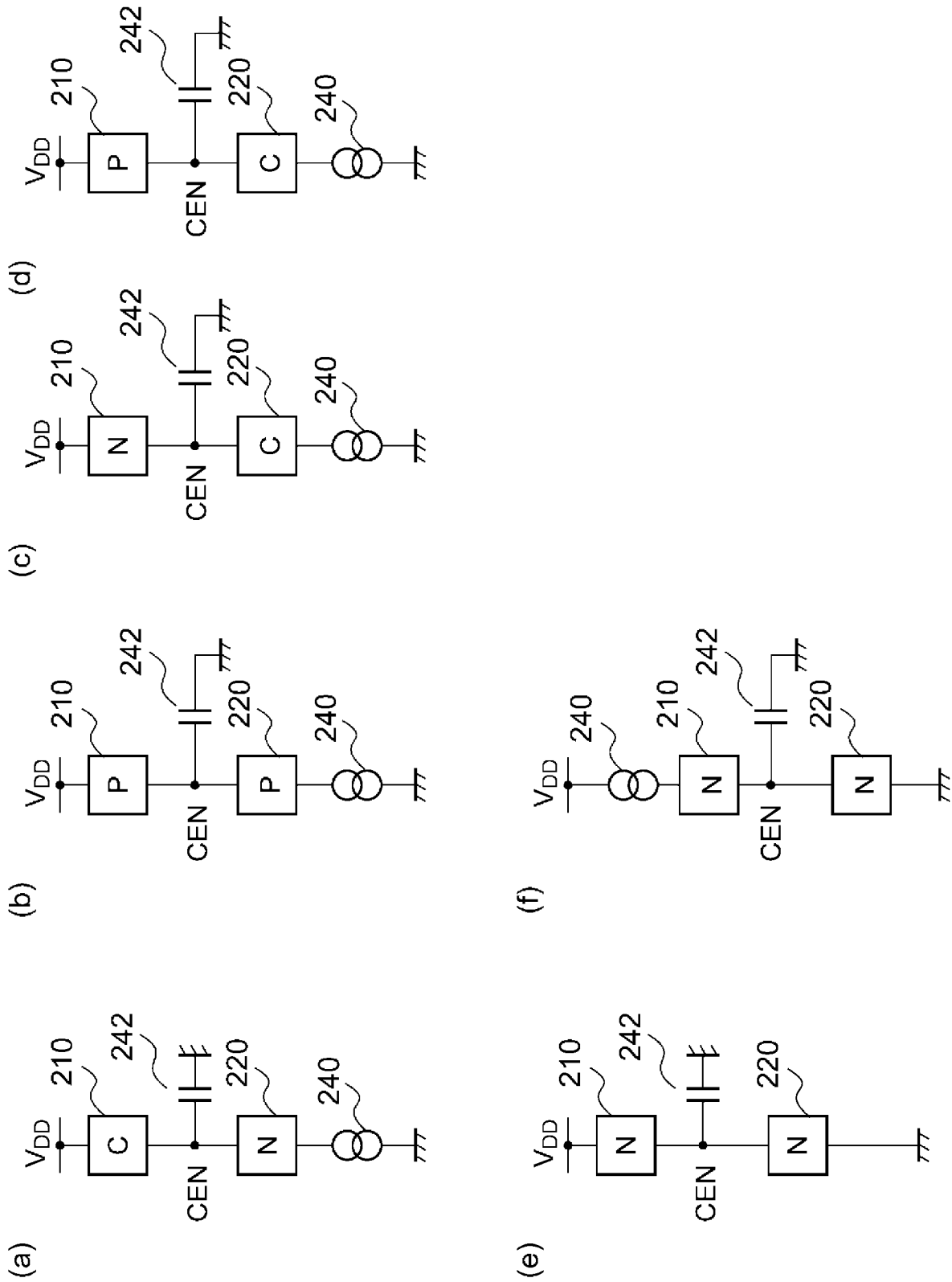
[図18]



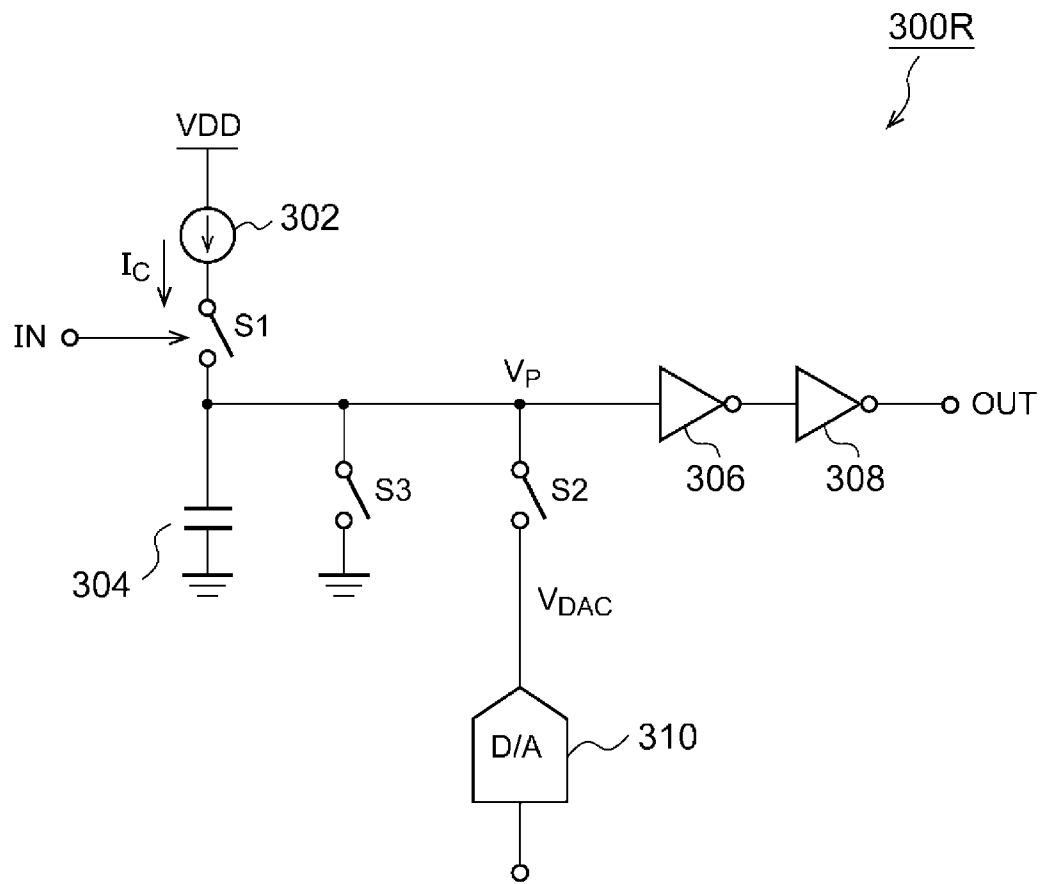
[図19]



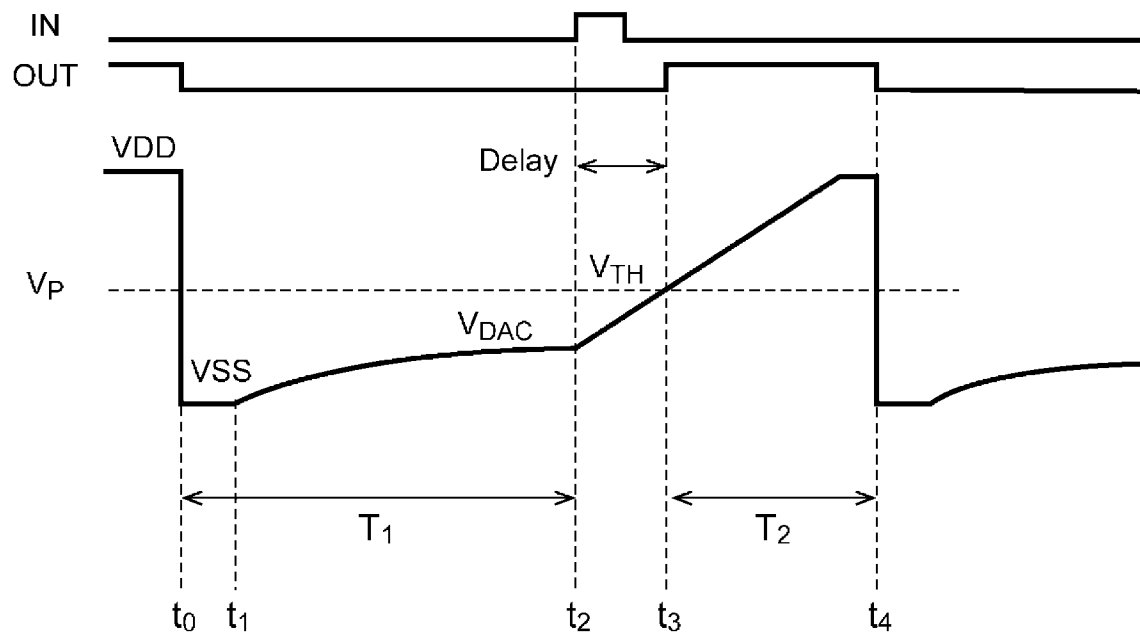
[図20]



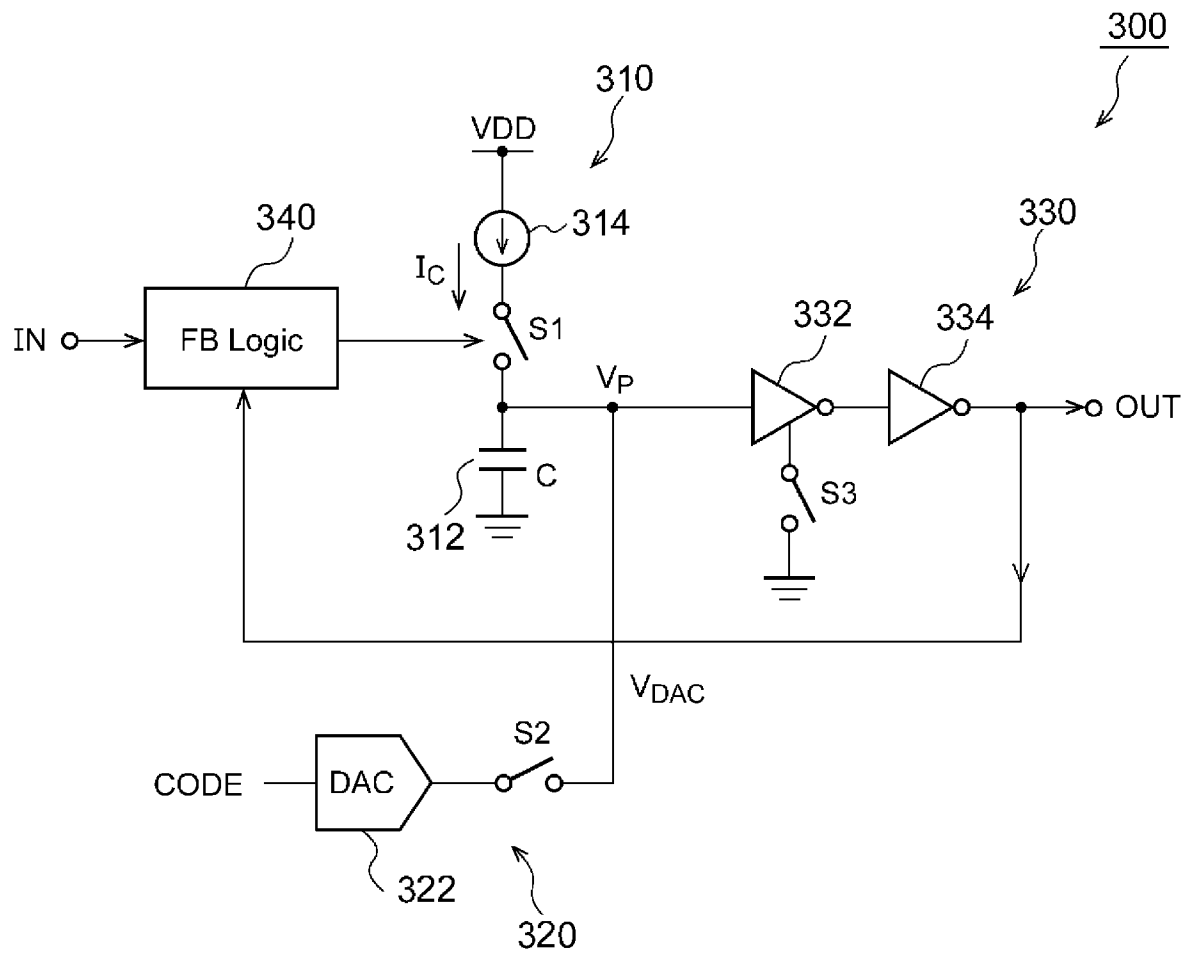
[図21]



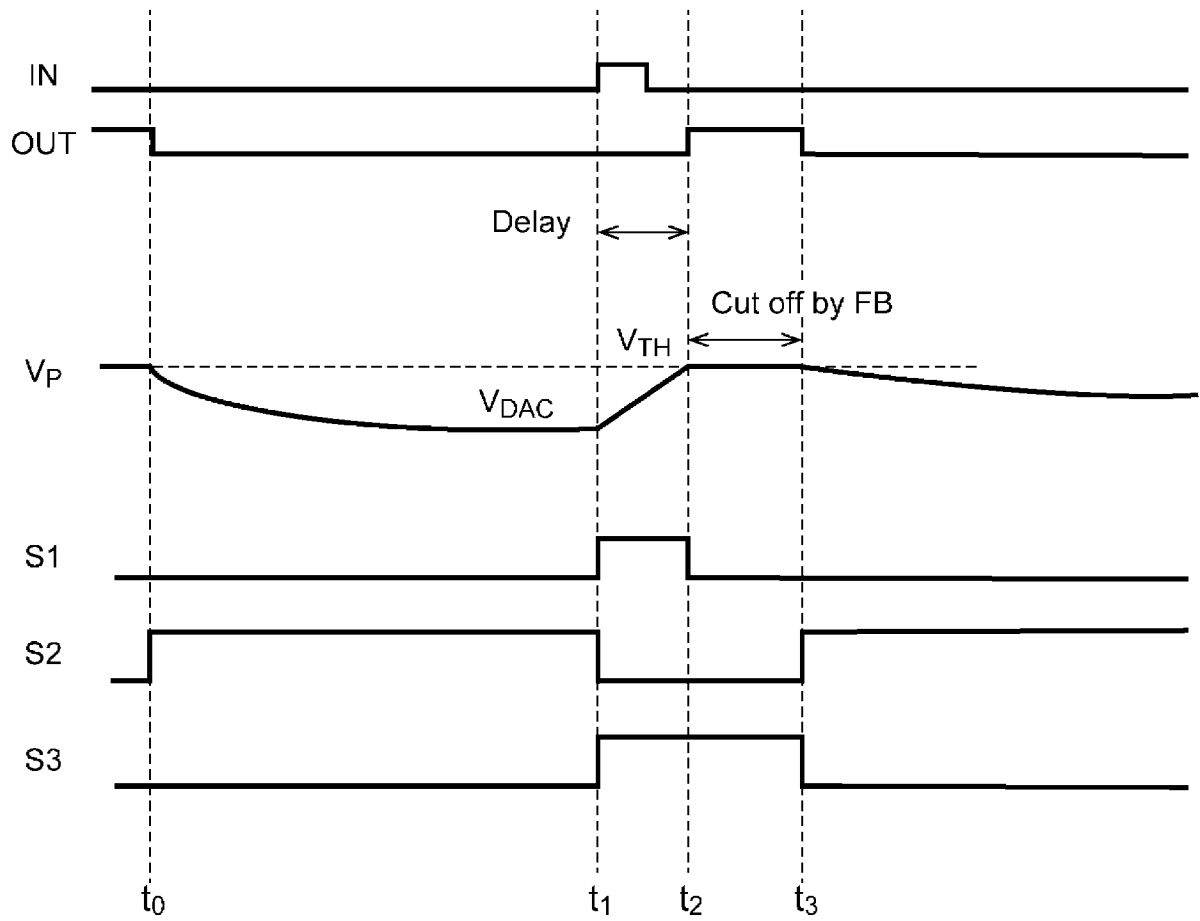
[図22]



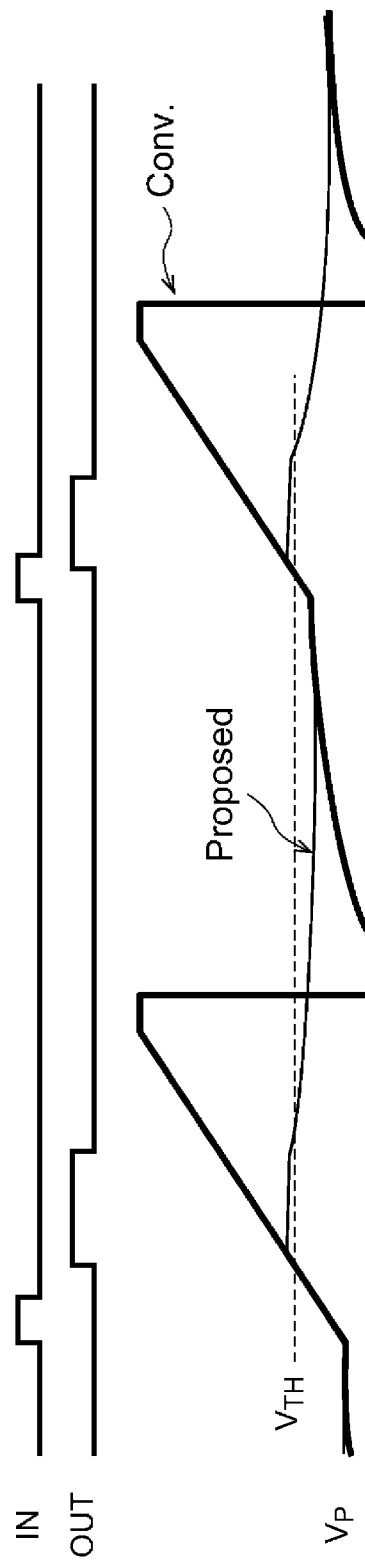
[図23]



[図25]



[図26]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/005456

A. CLASSIFICATION OF SUBJECT MATTER

H03B 5/02(2006.01)i; H03L 7/08(2006.01)i; H03L 7/099(2006.01)i; H03L 7/197(2006.01)i; H03K 5/13(2014.01)i

FI: H03L7/099 120; H03K5/13; H03B5/02 C; H03L7/197 140; H03L7/08 102

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03B5/02; H03L7/08; H03L7/099; H03L7/197; H03K5/13

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2011/0273210 A1 (NAGARAJ, Krishnasawamy) 10.11.2011 (2011-11-10) paragraphs [0047]-[0062], fig. 4	1-12
A	JP 2008-054323 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 06.03.2008 (2008-03-06) paragraphs [0036]-[0042], fig. 5-9	1-12
A	JP 2013-042358 A (KAWASAKI MICROELECTRONICS, INC.) 28.02.2013 (2013-02-28) paragraphs [0011]-[0029], fig. 1-5	1-12
A	JP 2013-058881 A (JAPAN RADIO CO., LTD.) 28.03.2013 (2013-03-28) paragraphs [0017]-[0042], fig. 1-5	1-12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

28 April 2020 (28.04.2020)

Date of mailing of the international search report

19 May 2020 (19.05.2020)

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/005456

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See extra sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1-12

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/005456

<Continuation of Box No. III>

(Invention 1) Claims 1-12

Claims 1-12 have the special technical feature of

a "phase synchronization circuit receiving a first reference clock and generating an output clock, the phase synchronization circuit characterized by comprising:

a delay circuit for delaying the first reference clock and generating a second reference clock;

a feedback circuit for generating a control signal according to a phase difference between the second reference clock and the feedback clock;

an oscillator which oscillates at a frequency according to the control signal and generates the output clock; and

a divider which can be switched between ON and OFF and divides the output clock in the ON state,

wherein switching between a first mode and a second mode is possible, the feedback clock in the first mode is a signal in which an output of the divider is retimed to the output clock, and the feedback clock in the second mode is a signal in which the first reference clock is retimed to the output clock,"

and are thus classified as invention 1.

(Invention 2) Claims 13-19

Claims 13-19 share, with claim 1 classified as invention 1, the technical feature of an "oscillator." However, since this technical feature does not make a contribution over the prior art in light of the disclosure of document 1, the technical feature cannot be considered a special technical feature. Also, there are no other identical or corresponding special technical features between these inventions.

In addition, claims 13-19 are not dependent on claim 1. Also, claims 13-19 are not substantially identical or equivalent to any of the claims classified as invention 1.

Thus, claims 13-19 cannot be classified as invention 1.

Also, claims 13-19 have the special technical feature of a "digital control oscillator characterized by comprising:

an upper unit and a lower unit which are vertically stacked between a power line and a ground line; and

a variable capacitor connected to at least one of the upper unit and the lower unit,

wherein each of the upper unit and the lower unit comprises

a pair of circuit elements which are cross-coupled and

an inductor connected to the pair of circuit elements,

wherein the inductor of the upper unit and the inductor of the lower unit are coupled to each other to form a transformer,"

and are thus classified as invention 2.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/005456

(Invention 3) Claims 20-21

Claim 20-21 do not share the technical feature with claim 1 classified as invention 1 or claim 3 classified as invention 2. Also, there are no other identical or corresponding special technical features between these inventions.

In addition, claims 20-21 are not dependent on claim 1 or 13. Furthermore, claims 20-21 are not substantially identical or equivalent to any of the claims classified as invention 1 or 2.

Thus, claims 20-21 cannot be classified as either invention 1 or 2.

Also, claims 20-21 have the special technical feature of a "digital-time converter for receiving an input signal, applying a delay according to a control code, and generating an output signal, the digital-time converter being characterized by comprising:

- a slope generating circuit which includes a capacitor and a current source and generates a slope voltage;

- a precharge circuit which applies, to the capacitor, an analog voltage according to the control code;

- a comparison means for comparing the slope voltage with a threshold value and generates the output signal according to the comparison result; and

- a control circuit which controls the slope generating circuit and the precharge circuit according to the input signal and the output signal,

wherein the control circuit: (i) turns on the precharge circuit during a precharge period; (ii) is transitioned into a slope period in response to the input signal, turns off the precharge circuit during the slope period, and turns on the slope generating circuit; and (iii) turns off the slope generating circuit in response to transition of the output signal, wherein (i), (ii), and (iii) are repeated,"

and are thus classified as invention 3.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2020/005456

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 2011/0273210 A1	10 Nov. 2011	(Family: none)	
JP 2008-054323 A	06 Mar. 2008	JP 2004-64742 A	
		US 2003/0222720 A1	
		paragraphs [0071]-	
		[0082], fig. 5-9	
		CN 1469550 A	
JP 2013-042358 A	28 Feb. 2013	(Family: none)	
JP 2013-058881 A	28 Mar. 2013	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H03B 5/02(2006.01)i; H03L 7/08(2006.01)i; H03L 7/099(2006.01)i; H03L 7/197(2006.01)i; H03K 5/13(2014.01)i FI: H03L7/099 120; H03K5/13; H03B5/02 C; H03L7/197 140; H03L7/08 102		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H03B5/02; H03L7/08; H03L7/099; H03L7/197; H03K5/13 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2011/0273210 A1 (NAGARAJ, Krishnasawamy) 10.11.2011 (2011-11-10) 段落[0047]-[0062], [図4]	1-12
A	JP 2008-054323 A (松下電器産業株式会社) 06.03.2008 (2008-03-06) 段落[0036]-[0042], [図5]-[図9]	1-12
A	JP 2013-042358 A (川崎マイクロエレクトロニクス株式会社) 28.02.2013 (2013-02-28) 段落[0011]-[0029], [図1]-[図5]	1-12
A	JP 2013-058881 A (日本無線株式会社) 28.03.2013 (2013-03-28) 段落[0017]-[0042], [図1]-[図5]	1-12
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 28.04.2020		国際調査報告の発送日 19.05.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 石田 昌敏 5W 4181 電話番号 03-3581-1101 内線 3576

第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

（発明1）請求項1-12

請求項1-12は、

「第1基準クロックを受け、出力クロックを生成する位相同期回路であって、前記第1基準クロックを遅延させ、第2基準クロックを生成する遅延回路と、前記第2基準クロックと、フィードバッククロックの位相差に応じた制御信号を生成するフィードバック回路と、前記制御信号に応じた周波数で発振し、前記出力クロックを生成する発振器と、オン、オフが切り替え可能であり、オン状態において、前記出力クロックを分周する分周器と、を備え、第1モードと第2モードが切り替え可能であり、前記第1モードにおいて、前記フィードバッククロックは、前記分周器の出力を前記出力クロックでリタイミングした信号であり、前記第2モードにおいて、前記フィードバッククロックは、前記第1基準クロックを前記出力クロックでリタイミングした信号であることを特徴とする位相同期回路。」という特別な技術的特徴を有しているので、発明1に区分する。

（発明2）請求項13-19

請求項13-19は、発明1に区分された請求項1と、「発振器」という共通の技術的特徴を有している。しかしながら、当該技術的特徴は、文献1の開示内容に照らして、先行技術に対する貢献をもたらすものではないから、当該技術的特徴は、特別な技術的特徴であるとはいえない。また、これらの発明の間には、他に同一の又は対応する特別な技術的特徴は存在しない。

さらに、請求項13-19は、請求項1の従属請求項ではない。また、請求項13-19は、発明1に区分されたいずれの請求項に対しても実質同一又はそれに準ずる関係にはない。

したがって、請求項13-19は発明1に区分できない。

そして、請求項13-19は、

「電源ラインと接地ラインの間に縦積みされた上側ユニットと下側ユニットと、前記上側ユニットと前記下側ユニットの少なくとも一方と接続される可変キャパシタと、を備え、前記上側ユニットおよび前記下側ユニットはそれぞれ、クロスカップルされた回路要素のペアと、前記回路要素のペアと接続されるインダクタと、を含み、前記上側ユニットと前記下側ユニットのインダクタが結合されてトランスが形成されることを特徴とするデジタル制御発振器。」という特別な技術的特徴を有しているので、発明2に区分する。

（発明3）請求項20-21

請求項20-21は、発明1に区分された請求項1及び発明2に区分された請求項3と共通の技術的特徴を有していない。また、これらの発明の間には、他に同一の又は対応する特別な技術的特徴は存在しない。

さらに、請求項20-21は、請求項1及び13の従属請求項ではない。また、請求項20-21は、発明1又は2に区分されたいずれの請求項に対しても実質同一又はそれに準ずる関係にはない。

したがって、請求項20-21は発明1又は2のいずれにも区分できない。

そして、請求項20-21は、

「入力信号を受け、制御コードに応じた遅延を与え、出力信号を生成するデジタル-時間変換器であって、キャパシタと電流源を含み、スロープ電圧を生成するスロープ発生回路と、前記キャパシタに、制御コードに応じたアナログ電圧を印加するプリチャージ回路と、前記スロープ電圧をしきい値と比較し、比較結果に応じた前記出力信号を生成する比較手段と、前記入力信号と前記出力信号に応じて、前記スロープ発生回路および前記プリチャージ回路を制御する制御回路と、を備え、前記制御回路は、(i)プリチャージ期間において前記プリチャージ回路をオンとし、(ii)前記入力信号に応答してスロープ期間に遷移し、前記スロープ期間において前記プリチャージ回路をオフ、前記スロープ発生回路をオンとし、(iii)前記出力信号の遷移に応答して前記スロープ発生回路をオフする動作を繰り返すことを特徴とするデジタル-時間変換器。」

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

という特別な技術的特徴を有しているので、発明3に区分する。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。 請求項1－12

追加調査手数料の異議の
申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/005456

引用文献			公表日	パテントファミリー文献	公表日
US	2011/0273210	A1	10.11.2011	(ファミリーなし)	
JP	2008-054323	A	06.03.2008	JP	2004-64742 A
				US	2003/0222720 A1
				段落[0071]-[0082], [図5]-[図9]	
				CN	1469550 A
JP	2013-042358	A	28.02.2013	(ファミリーなし)	
JP	2013-058881	A	28.03.2013	(ファミリーなし)	