

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5818679号
(P5818679)

(45) 発行日 平成27年11月18日 (2015.11.18)

(24) 登録日 平成27年10月9日 (2015.10.9)

(51) Int.Cl.	F I		
H O 1 L 21/3205 (2006.01)	H O 1 L 21/88	B	
H O 1 L 21/768 (2006.01)	H O 1 L 21/88	T	
H O 1 L 23/522 (2006.01)	H O 1 L 27/10	4 3 4	
H O 1 L 21/8247 (2006.01)	H O 1 L 27/10	4 8 1	
H O 1 L 27/115 (2006.01)	H O 1 L 29/78	3 7 1	
請求項の数 7 (全 69 頁) 最終頁に続く			

(21) 出願番号	特願2011-286861 (P2011-286861)	(73) 特許権者	000003078
(22) 出願日	平成23年12月27日 (2011.12.27)		株式会社東芝
(65) 公開番号	特開2013-135202 (P2013-135202A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成25年7月8日 (2013.7.8)	(74) 代理人	100108855
審査請求日	平成26年2月7日 (2014.2.7)		弁理士 蔵田 昌俊
		(74) 代理人	100159651
			弁理士 高倉 成男
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100103034
			弁理士 野河 信久
最終頁に続く			

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

半導体基板の第1の領域内及び第2の領域内に、被加工層を形成する工程と、

前記第1の領域から第2の領域に第1の方向に沿って延在し、前記第1の方向と垂直な第2の方向に第1の線幅を有するライン部と前記第2の領域内において前記ライン部に接続される前記第2の方向に前記第1の線幅より大きい第1の寸法を有するフリンジとを含む第1の芯材を、前記被加工層の上方に形成する工程と、

前記第1の芯材の側面を取り囲むように、第1の線幅を有する第1の側壁膜を、前記第1の芯材の側面上に形成する工程と、

前記フリンジ上及び第1の側壁膜上に、第1のマスクを形成する工程と、

前記第1の芯材及び第1の側壁膜の少なくとも一方を含み、前記第1の線幅より大きい第2の寸法を有する残存部が前記第1のマスクの下方に形成されるように、前記第1の芯材を除去する工程と、

前記第1の側壁膜のパターン及び前記残存部のパターンに対応した第1のパターンを取り囲むように、前記第1の線幅より小さい第2の線幅を有し、前記第1の領域内で前記第1の線幅以下の第1の間隔で対向し、前記第2の領域内において前記第1の間隔より大きい第2の間隔で対向する第2の側壁膜を、前記第1のパターンの側面上に形成する工程と、

前記第1のパターンを除去した後、前記第2の側壁膜をマスクとして前記被加工層を加工して、前記第2の線幅を有し、前記第1の領域内で前記第1の間隔で隣接し、前記第2

10

20

の領域内において前記第 2 の間隔で隣接する複数の配線を形成する工程と、
を具備することを特徴とする半導体装置の製造方法。

【請求項 2】

前記フリンジ部は、凹型の平面形状を有し、
前記第 1 のマスクは、前記フリンジ部の凹型の窪んだ部分を覆うように、前記凹型の窪んだ部分上の前記第 1 の側壁膜上に形成され、
前記第 1 のマスクに覆われた第 1 の側壁膜が残存部として形成される、
ことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記第 1 の側壁膜は、前記第 1 の側壁膜の第 1 の線幅がフォトリソグラフィの解像度の
限界寸法より小さい寸法を有するように、形成され、

前記第 1 のパターンは前記第 1 の側壁膜に対応する第 1 のスペーサーパターンは、前記
第 1 の線幅より小さい前記第 2 の線幅にスリミングされ、

前記第 2 の側壁膜は、前記第 2 の側壁膜の前記第 2 の線幅が前記第 1 の線幅より小さい
寸法を有するように、スリミングされた前記第 1 のスペーサーパターン及び前記第 1 のパ
ターンの前記第 1 の残存部に対応する第 2 のスペーサーパターンの側面上に、形成される、

ことを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 4】

前記第 1 の側壁膜は、前記第 1 の側壁膜の前記第 1 の線幅が、フォトリソグラフィの解
像度の限界寸法の 2 分の 1 より小さい寸法を有するように、形成され、

第 2 の側壁膜は、前記第 2 の側壁膜の前記第 2 の線幅が前記第 1 の線幅と同じ寸法を有
するように、前記第 1 のパターンの側面上に、形成される

ことを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 5】

半導体基板の第 1 の領域内及び第 2 の領域内に、被加工層を形成する工程と、

前記第 1 の領域から第 2 の領域に第 1 の方向に沿って延在し、前記第 1 の方向と垂直な
第 2 の方向に第 1 の線幅を有するライン部と前記第 2 の領域内において前記ライン部に接
続される前記第 1 の線幅より大きい第 1 の寸法を有するフリンジとを含む第 1 の芯材を、
前記被加工層の上方に形成する工程と、

前記第 1 の芯材の側面を取り囲むように、第 1 の線幅を有する第 1 の側壁膜を、前記第
1 の芯材の側面上に形成する工程と、

前記第 1 の側壁膜に対応した第 1 のパターンは前記第 2 の領域内の部分を覆うように、
第 1 のマスクを形成する工程と、

前記第 1 のパターンは前記第 1 のマスクに覆われない前記第 1 の領域内の部分を、前記
第 1 の線幅より小さい第 2 の線幅にする工程と、

前記第 1 の領域内で前記第 2 の線幅を有し、前記第 2 の領域内で前記第 1 の線幅を有す
る前記第 1 のパターンの側面を取り囲むように、前記第 1 の線幅より小さい第 3 の線幅を
有し、前記第 1 の領域内で前記第 1 の線幅に対応する第 1 の間隔で対向し、前記第 2 の領
域内において前記第 1 の間隔より大きい第 2 の間隔で対向する第 2 の側壁膜を、前記第 1
のパターンの側面上に形成する工程と、

前記第 1 のパターンを除去した後、前記第 2 の側壁膜をマスクに用いて前記被加工層を
加工して、前記第 2 の線幅を有し、前記第 1 の領域内で前記第 1 の間隔で隣接し、前記第
2 の領域内において前記第 2 の間隔で隣接する複数の配線を形成する工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項 6】

前記被加工層を加工する前に、前記第 2 の領域内において前記第 2 の間隔で対向する側
壁膜の部分を覆う第 2 のマスクを、形成する工程と、

前記被加工層を加工した後、前記第 2 のマスクに対応した前記被加工層の第 2 のパター
ンを加工して、前記配線を互いに独立にするのと同時に、前記配線のそれぞれに接続され

10

20

30

40

50

るコンタクトパッド部を形成する工程と、

をさらに具備することを特徴とする請求項1乃至5のいずれか1項に記載の半導体装置の製造方法。

【請求項7】

前記複数の配線を形成する工程は、前記残存部のパターンに対応した部分を残して前記第1のパターンを除去した後、前記第1のパターンの前記残存部のパターンに対応した部分及び前記第2の側壁膜をマスクとして前記被加工層を加工して、前記第1のパターンの前記残存部の下方で前記複数の配線が相互に接続された前記第2のパターンを形成することを具備する、

請求項6に記載の半導体装置の製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体装置の製造方法に関する。

【背景技術】

【0002】

半導体装置のチップサイズの縮小及び素子の高密度化のため、リソグラフィの解像度の限界寸法より小さい配線パターンの形成が、求められている。微細な配線パターンを形成する技術の一つとして、側壁転写技術が知られている。側壁転写技術は、リソグラフィの解像度の限界寸法より小さい寸法（線幅又はピッチ）を有するパターンを形成できる。

20

【0003】

側壁転写プロセスを複数回繰り返すことによって、リソグラフィの解像限界の1/4以下の寸法を有するパターンを形成する方法も提案されている。

【0004】

例えば、フラッシュメモリのメモリセルアレイのパターンのようなラインアンドスペースパターンは、側壁転写技術によって、形成される。周辺回路とメモリセルアレイとを接続するための領域内において、メモリセルアレイから引き出された直線状のラインパターン（配線）に接続されるように、コンタクトパターン（パッド又はフリンジ）が形成される。コンタクトパターンの寸法は、ラインパターンの寸法（線幅）より大きいことが好ましい。

30

【0005】

ラインアンドスペースパターンを形成するための側壁転写技術を適用した製造プロセスにおいて、ラインアンドスペースパターンの形成と共通の工程で、ラインパターンとは寸法の異なるコンタクトパターンを形成することは、困難な場合がある。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2008-27991号公報

【発明の概要】

【発明が解決しようとする課題】

40

【0007】

微細なパターンを含む半導体装置の信頼性を向上する技術を提案する。

【課題を解決するための手段】

【0008】

本実施形態の半導体装置の製造方法は、半導体基板の第1の領域内及び第2の領域内に、被加工層を形成する工程と、前記第1の領域から第2の領域に第1の方向に沿って延在し、前記第1の方向と垂直な第2の方向に第1の線幅を有するライン部と前記第2の領域内において前記ライン部に接続される前記第2の方向に前記第1の線幅より大きい第1の寸法を有するフリンジとを含む第1の芯材を、前記被加工層の上方に形成する工程と、前記第1の芯材の側面を取り囲むように、第1の線幅を有する第1の側壁膜を、前記第1の

50

芯材の側面上に形成する工程と、前記フリンジ上及び第1の側壁膜上に、第1のマスクを形成する工程と、前記第1の芯材及び第1の側壁膜の少なくとも一方を含み、前記第1の線幅より大きい第2の寸法を有する残存部が前記第1のマスクの下方に形成されるように、前記第1の芯材を除去する工程と、前記第1の側壁膜のパターン及び前記残存部のパターンに対応した第1のパターンを取り囲むように、前記第1の線幅より小さい第2の線幅を有し、前記第1の領域内で前記第1の線幅以下の第1の間隔で対向し、前記第2の領域内において前記第1の間隔より大きい第2の間隔で対向する第2の側壁膜を、前記第1のパターンの側面上に形成する工程と、前記第1のパターンを除去した後、前記第2の側壁膜をマスクとして前記被加工層を加工して、前記第2の線幅を有し、前記第1の領域内で前記第1の間隔で隣接し、前記第2の領域内において前記第2の間隔で隣接する複数の配線形成する工程と、を備える。

10

【図面の簡単な説明】

【0009】

【図1】半導体装置の全体構成の一例を示す模式図。

【図2】半導体装置の内部構成の一例を示す模式図。

【図3】半導体装置の平面レイアウトの一例を示す模式図。

【図4】第1の実施形態の半導体装置の構造を示す平面図。

【図5】第1の実施形態の半導体装置の構造を示す断面図。

【図6】第1の実施形態の半導体装置の製造方法の一工程を示す平面図。

【図7】第1の実施形態の半導体装置の製造方法の一工程を示す断面工程図。

20

【図8】第1の実施形態の半導体装置の製造方法の一工程を示す断面工程図。

【図9】第1の実施形態の半導体装置の製造方法の一工程を示す平面図。

【図10】第1の実施形態の半導体装置の製造方法を説明するための断面工程図。

【図11】第1の実施形態の半導体装置の製造方法の一工程を示す平面図。

【図12】第1の実施形態の半導体装置の製造方法を説明するための断面工程図。

【図13】第1の実施形態の半導体装置の製造方法を説明するための断面工程図。

【図14】第1の実施形態の半導体装置の製造方法の一工程を示す平面図。

【図15】第1の実施形態の半導体装置の製造方法を説明するための断面工程図。

【図16】第1の実施形態の半導体装置の製造方法の一工程を示す平面図。

【図17】第1の実施形態の半導体装置の製造方法を説明するための断面工程図。

30

【図18】第1の実施形態の半導体装置の製造方法を説明するための断面工程図。

【図19】第1の実施形態の半導体装置の製造方法を説明するための断面工程図。

【図20】第1の実施形態の半導体装置の製造方法の一工程を示す平面図。

【図21】第1の実施形態の半導体装置の製造方法を説明するための断面工程図。

【図22】第1の実施形態の半導体装置の製造方法を説明するための断面工程図。

【図23】第1の実施形態の半導体装置の製造方法の一工程を示す平面図。

【図24】第1の実施形態の半導体装置の製造方法を説明するための断面工程図。

【図25】第2の実施形態の半導体装置の構造を説明するための平面図。

【図26】第2の実施形態の半導体装置の製造方法の一工程を示す平面図。

【図27】第2の実施形態の半導体装置の製造方法の一工程を示す断面図。

40

【図28】第2の実施形態の半導体装置の製造方法の一工程を示す平面図。

【図29】第2の実施形態の半導体装置の製造方法の一工程を示す断面図。

【図30】第2の実施形態の半導体装置の製造方法の一工程を示す平面図。

【図31】第2の実施形態の半導体装置の製造方法の一工程を示す断面図。

【図32】第3の実施形態の半導体装置の構造を説明するための平面図。

【図33】第3の実施形態の半導体装置の製造方法の一工程を示す断面図。

【図34】第3の実施形態の半導体装置の製造方法の一工程を示す平面図。

【図35】第3の実施形態の半導体装置の製造方法の一工程を示す断面図。

【図36】第3の実施形態の半導体装置の製造方法の一工程を示す平面図。

【図37】第3の実施形態の半導体装置の製造方法の一工程を示す断面図。

50

【図 3 8】第 3 の実施形態の半導体装置の製造方法の一工程を示す平面図。
【図 3 9】第 3 の実施形態の半導体装置の製造方法の一工程を示す断面図。
【図 4 0】第 3 の実施形態の半導体装置の製造方法の一工程を示す平面図。
【図 4 1】第 3 の実施形態の半導体装置の製造方法の一工程を示す断面図。
【図 4 2】第 4 の実施形態の半導体装置の構造を示す平面図。
【図 4 3】第 4 の実施形態の半導体装置の製造方法の一工程を示す平面図。
【図 4 4】第 4 の実施形態の半導体装置の製造方法の一工程を示す断面図。
【図 4 5】第 4 の実施形態の半導体装置の製造方法の一工程を示す平面図。
【図 4 6】第 4 の実施形態の半導体装置の製造方法の一工程を示す断面図。
【図 4 7】第 4 の実施形態の半導体装置の製造方法の一工程を示す平面図。
【図 4 8】第 4 の実施形態の半導体装置の製造方法の一工程を示す断面図。
【図 4 9】第 5 の実施形態の半導体装置の構造を示す平面図。
【図 5 0】第 5 の実施形態の半導体装置の構造を示す断面図。
【図 5 1】第 5 の実施形態の半導体装置の製造方法の一工程を示す平面図。
【図 5 2】第 5 の実施形態の半導体装置の製造方法の一工程を示す断面図。
【図 5 3】第 5 の実施形態の半導体装置の製造方法の一工程を示す平面図。
【図 5 4】第 5 の実施形態の半導体装置の製造方法の一工程を示す断面図。
【図 5 5】第 5 の実施形態の半導体装置の製造方法の一工程を示す断面図。
【図 5 6】第 5 の実施形態の半導体装置の製造方法の一工程を示す平面図。
【図 5 7】第 5 の実施形態の半導体装置の製造方法の一工程を示す断面図。
【図 5 8】第 5 の実施形態の半導体装置の製造方法の一工程を示す平面図。
【図 5 9】第 5 の実施形態の半導体装置の製造方法の一工程を示す断面図。
【図 6 0】第 5 の実施形態の半導体装置の製造方法の一工程を示す平面図。
【図 6 1】第 5 の実施形態の半導体装置の製造方法の一工程を示す断面図。

10

20

【発明を実施するための形態】

【0 0 1 0】

[実施形態]

以下、図面を参照しながら、各実施形態について詳細に説明する。以下の説明において、同一の機能及び構成を有する要素については、同一符号を付し、重複する説明は必要に応じて行う。

30

【0 0 1 1】

(1) 第 1 の実施形態

(a) 全体構成

図 1 及び図 2 を用いて、第 1 の実施形態の半導体装置の全体構成例について説明する。

図 1 は、本実施形態の半導体装置の主要部を示すブロック図である。

【0 0 1 2】

本実施形態の半導体装置は、例えば、半導体メモリである。但し、本実施形態は、半導体メモリに限定されない。

【0 0 1 3】

メモリセルアレイ 1 0 0 は、複数のメモリセル（メモリ素子）MC を有する。メモリセルアレイ 1 0 0 は、外部からのデータを記憶する。

40

【0 0 1 4】

図 2 を用いて、メモリセルアレイ 1 0 0 の構成について、フラッシュメモリを例として、説明する。例えば、NAND 型フラッシュメモリは、制御単位としての複数のブロックが、メモリセルアレイ 1 0 0 内に設けられている。図 2 は、メモリセルアレイ 1 0 0 内の 1 つのブロック BLK の等価回路図を示している。

【0 0 1 5】

1 つのブロック BLK は、X 方向（ロウ方向）に並んだ複数のメモリセルユニット CU を含んでいる。1 つのブロック BLK 内に、例えば、q 個のメモリセルユニット CU が設

50

けられている。

【0016】

1つのメモリセルユニットCUは、複数（例えば、p個）のメモリセルMC1～MCpから形成されるメモリセルストリングと、メモリセルストリングの一端に接続された第1のセレクトトランジスタSTS（以下、ソース側セレクトトランジスタとよぶ）と、メモリセルストリングの他端に接続された第2のセレクトトランジスタSTD（以下、ドレイン側セレクトトランジスタとよぶ）とを含んでいる。メモリセルストリングにおいて、メモリセルMC1～MCpの電流経路が、Y方向（カラム方向）に沿って直列接続されている。

【0017】

メモリセルユニットCUの一端（ソース側）、すなわち、ソース側セレクトトランジスタSTSの電流経路の一端に、ソース線SLが接続される。また、メモリセルユニットCUの他端（ドレイン側）、すなわち、ドレイン側セレクトトランジスタSTDの電流経路の一端に、ビット線BLが接続されている。

【0018】

尚、1つのメモリセルユニットCUを構成するメモリセルの個数は、2個以上であればよく、例えば、16個、32個あるいは64個以上でもよい。以下では、メモリセルMC1～MCpを区別しない場合には、メモリセルMCと表記する。また、ソース側及びドレイン側のセレクトトランジスタSTD，STSを区別しない場合には、セレクトトランジスタSTと表記する。

【0019】

メモリセルMCは、電荷の保持が可能な電荷蓄積層を有するスタックゲート構造の電界効果トランジスタである。メモリセルMCは、電荷蓄積層内の電荷量に応じて、トランジスタのしきい値が変化する。メモリセルMCは、記憶すべきデータとトランジスタのしきい値電圧とが対応づけられている。

【0020】

Y方向に隣接する2つのメモリセルMCは、ソース／ドレインが接続されている。これによって、メモリセルMCの電流経路が直列接続され、メモリセルストリングが形成される。

【0021】

ソース側セレクトトランジスタSTSのドレインは、メモリセルMC1のソースに接続される。ソース側セレクトトランジスタSTSのソースは、ソース線SLに接続される。ドレイン側セレクトトランジスタSTDのソースは、メモリセルMCpのドレインに接続されている。ドレイン側セレクトトランジスタSTDのドレインは、1本のビット線BLqに接続されている。ブロックBLKに割り付けられるビット線BL1～BLqの本数は、ブロックBLK内のメモリセルユニットCUの個数と同じである。

【0022】

ワード線WL1～WLpはX方向に延在し、各ワード線WL1～WLpはX方向に沿って配列された複数のメモリセルMCのゲートに共通に接続される。1つのメモリセルユニットCUにおいて、ワード線WL1～WLpの本数は、1つのメモリセルストリング内のメモリセルの個数（p個）と、同じである。

【0023】

ドレイン側セレクトゲート線SGDLはX方向に延在し、X方向に沿って配列された複数のドレイン側セレクトトランジスタSTDのゲートに共通に接続される。ソース側セレクトゲート線SGSLはX方向に延び、X方向に沿って配列された複数のソース側セレクトトランジスタSTSのゲートに共通に接続される。

【0024】

以下では、各ワード線WL1～WLpを区別しない場合には、ワード線WLと表記し、各ビット線BL1～BLqを区別しない場合には、ビット線BLと表記する。また、ソース側及びドレイン側のセレクトゲート線SGSL，SGDLを区別しない場合には、セ

10

20

30

40

50

クトゲート線 S G L と表記する。

【0025】

ロウ制御回路（例えば、ワード線ドライバ）101は、メモリセルアレイ100のロウを制御する。ロウ制御回路101は、アドレスバッファ102からのアドレス信号に基づいて、選択されたメモリセルにアクセスするために、ワード線 W L を駆動する。

【0026】

カラムデコーダ103は、アドレスバッファ102からのアドレス信号に基づいて、メモリセルアレイ100のカラムを選択し、選択されたビット線 B L を駆動する。

【0027】

センスアンプ104は、ビット線 B L の電位変動を、検知及び増幅する。また、センスアンプ104は、メモリセルアレイ100から読み出されたデータ及びメモリセルアレイ100に書き込むデータを、一時的に保持する。

10

【0028】

ウェル・ソース線電位制御回路105は、メモリセルアレイ100内のウェル領域の電位及びソース線 S L の電位を制御する。

【0029】

電位生成回路106は、データの書き込み（プログラム）時、データの読み出し時及び消去時に、ワード線 W L に印加される電圧を生成する。また、電位生成回路106は、例えば、セレクトゲート線 S G L、ソース線 S L 及び半導体基板内のウェル領域に印加する電位も生成する。電位生成回路106によって生成された電位は、ロウ制御回路101に

20

【0030】

データ入出力バッファ107は、データの入出力のインターフェイスとなる。データ入出力バッファ107は、入力された外部からのデータを、一時的に保持する。データ入出力バッファ107は、メモリセルアレイ1から出力されたデータを一時的に保持し、所定のタイミングで、保持しているデータを外部へ出力する。

【0031】

コマンドインターフェイス108は、データ入出力バッファ7に入力されるデータがコマンドデータ（コマンド信号）であるか否かを判断する。データ入出力バッファ107に入力されるデータがコマンドデータを含む場合、コマンドインターフェイス108は、コマンドデータをステートマシーン109に転送する。

30

【0032】

ステートマシーン109は、外部からの要求に応じて、フラッシュメモリ内の各回路の動作を制御する。

【0033】

（b） 構造

図3乃至図5を参照して、本実施形態の半導体装置（例えば、フラッシュメモリ）の構造について、説明する。

【0034】

図3を用いて、本実施形態の半導体装置（例えば、フラッシュメモリ）の配線レイアウトの一例について説明する。

40

【0035】

図3は、メモリセルアレイ100、メモリセルアレイ100周辺に配置されるロウ制御回路101及び引き出し領域150の位置関係を模式的に示す図である。

メモリセルアレイ100は、Y方向（カラム方向）に並んで配置される複数のブロックから構成される。図3において、説明の簡単化のため、2つのブロック B L K i , B L K (i + 1) が、示されている。尚、メモリセルアレイ100内のブロックの個数は、2個に限定されない。

【0036】

50

ブロック $BLK\ i$, $BLK\ (i + 1)$ 内には、複数のワード線 WL が、設けられている。各ブロック $BLK\ i$, $BLK\ (i + 1)$ 内のワード線 WL を挟むように、2つのセレクトゲート線 SSL が、各ブロック $BLK\ i$, $BLK\ (i + 1)$ 内の Y 方向の一端及び他端に、それぞれ配置される。各ブロック $BLK\ i$, $BLK\ (i + 1)$ において、2つのセレクトゲート線 SSL のうち1つは、ソース側セレクトトランジスタのセレクトゲート線 SSL であり、他の1つは、ドレイン側セレクトトランジスタのセレクトゲート線 SSL である。

【0037】

図3に示される例では、引き出し領域150が、メモリセルアレイ100の一端及び他端にそれぞれ設けられている。この場合、互いに隣接する2つのブロック $BLK\ i$, $BLK\ (i + 1)$ 内のワード線 WL は、互いに反対側の引き出し領域150内に、それぞれ引き出される。

10

【0038】

メモリセルアレイ100内の配線のピッチ（配線の線幅及び配線間の間隔）は、ロウ制御回路101などの周辺回路の配線のピッチ（配線の線幅及び配線間の間隔）と異なる。そのため、図3に示されるように、メモリセルアレイ100とロウ制御回路101との間に、配線の線幅及びピッチ及び間隔を変換するための引き出し領域（フックアップ領域ともよばれる）150が、配置されている。

【0039】

図3に示す例では、ワード線 WL は、全体として、2つのブロック $BLK\ i$, $BLK\ (i + 1)$ の境界側に存在する2つのセレクトゲート線 SSL を多重に取り囲んでいる。メモリセルアレイ100内で、複数のワード線 WL は、 X 方向に延在する。複数のワード線 WL の端部は、引き出し領域150内において、ブロック $BLK\ i$, $BLK\ (i + 1)$ の境界側（ Y 方向、図中下向き又は上向き）に折り曲げられる。

20

【0040】

図3に示されるように、複数のワード線 WL は、メモリセルアレイ100の端部、或いは、引き出し領域150内で分断され、各ワード線 WL の独立性が確保されている。

【0041】

引き出し領域150内において、例えば、ワード線 WL が折り曲げられた箇所からその先端までの間に、コンタクトプラグ（コンタクトホール）がワード線に接続される。コンタクトプラグ（図示せず）は、引き出し領域150に設けられたコンタクト部（図示せず）上に、配置される。コンタクト部は、引き出し領域150内において、ワード線 WL に接続されている。コンタクト部は、ワード線 WL と同じ部材（材料）によって形成される。以下では、コンタクト部のことを、パッド又はフリンジともよぶ。また、以下において、引き出し領域150内のワード線の部分のことを、引き出し線とよぶ場合もある。

30

【0042】

メモリセルアレイ100と引き出し領域150との間に、メモリセルとして機能しないダミーセルを含む領域（以下、ダミーセル領域とよぶ）が設けられる場合がある。本実施形態では、ダミーセル領域の図示は、省略する。

【0043】

図4及び図5は、本実施形態のフラッシュメモリの構造を示す図である。

40

【0044】

図4は、本実施形態のフラッシュメモリの平面構造を示す平面図である。図5は、本実施形態のフラッシュメモリの断面構造を示す断面図である。図5の（a）は、図4の $Va - Va$ 線に沿う断面図である。図5の（b）は、図4の $Vb - Vb$ 線に沿う断面図である。図5の（c）は、図4の $Vc - Vc$ 線に沿う断面図である。

【0045】

図4及び図5には、メモリセルアレイ100及び引き出し領域150の一部分の構造が抽出されて、示されている。図4及び図5において、メモリセルユニットの片側のセレクトゲート線 SSL 、セレクトゲート線 SSL に接続されるセレクトトランジスタ ST 、ワ

50

ード線WL、及び、ワード線WLに接続されるメモリセルMCが、図示されている。

【0046】

図4及び図5に示すように、メモリセルMC及びセレクトトランジスタSTは、ウェル領域（図示せず）が形成された半導体基板30上に、設けられる。

【0047】

図5の（a）及び（c）に示されるように、メモリセルMCは、メモリセルアレイ100内に配置される。上述のように、メモリセルMCは、電荷蓄積層を有するスタックゲート構造の電界効果トランジスタである。メモリセルMCのゲートは、ゲート絶縁膜（トンネル絶縁膜）32上に形成された電荷蓄積層33と、電荷蓄積層33上に形成された絶縁体（ゲート間絶縁膜又はブロック絶縁膜とよばれる）34と、絶縁体34上に形成されたコントロールゲート電極35とを含んでいる。図5の（a）及び（c）に示される例において、電荷蓄積層33は、例えば、導電性のシリコンを用いて形成される。シリコンの電荷蓄積層33は、フローティングゲート電極33とよばれる。尚、電荷蓄積層33は、電子に対するトラップ準位を含む絶縁膜（例えば、窒化シリコン）を用いて形成されてもよい。絶縁体34は、シリコン酸化膜、シリコン窒化膜及び高誘電率膜（High-k膜）の1つを含む単層構造でもよいし、それらの膜の複数を含む多層構造でもよい。

10

【0048】

図5の（c）に示されるように、メモリセルアレイ100内において、STI構造の素子分離絶縁膜31Aが、半導体基板30内に埋め込まれている。素子分離絶縁膜31Aによって、半導体基板30内に、アクティブ領域AAが区画される。アクティブ領域AAは、Y方向に延在している。

20

【0049】

X方向に配列された複数のフローティングゲート電極33は、素子分離絶縁膜31によって、メモリセルMC毎に分離されている。

【0050】

コントロールゲート電極35はX方向に延在し、X方向に配列された複数のメモリセルMCに共有されている。コントロールゲート電極35は、ワード線WLとして用いられている。

【0051】

セレクトトランジスタSTのゲート電極は、メモリセルMCのスタックゲート構造に近似した構造を有する。セレクトトランジスタSTのゲート電極は、例えば、電荷蓄積層33と同時に形成される第1電極層33Sと、ゲート間絶縁膜34と同時に形成される絶縁体34Sと、コントロールゲート電極35と同時に形成される第2電極層35Sとを含んでいる。セレクトトランジスタSTにおいて、絶縁体34S内に形成された開口部を介して、第1電極層33Sと第2電極層35Sとが接続されている。

30

【0052】

X方向に配列された複数の第1電極層33Sは、フローティングゲート電極33と同様に、素子分離絶縁膜31Aによって、電氣的に分離されている。第2電極層35Sは、コントロールゲート電極35と同様に、X方向に延在し、X方向に配列された複数のセレクトトランジスタSTに共有されている。セレクトトランジスタSTのゲート電極33S、35Sは、セレクトゲート線SGLとして用いられている。

40

【0053】

メモリセルMC及びセレクトトランジスタSTの電流経路は、例えば、半導体基板30内に形成された拡散層39によって、Y方向に直列接続されている。X方向に隣接する2つのセレクトトランジスタSTは、半導体基板30内に形成された拡散層39Sを共有する。拡散層39、39Sは、各トランジスタMC、STのソース及びドレインとして用いられる。拡散層39、39Sを介して電流経路が直列接続された複数のメモリセルMC及びセレクトトランジスタSTが、メモリセルユニットを形成する。

【0054】

半導体基板30上には、第1の層間絶縁膜51が設けられる。層間絶縁膜51は、メモ

50

リセルMCのゲート電極及びセレクトトランジスタSTのゲート電極を、覆っている。層間絶縁膜51内に形成されたコンタクトホール内に、コンタクトプラグCP1が埋め込まれる。コンタクトプラグCP1は、セレクトトランジスタSTの拡散層39Sに接続される。拡散層39Sは、コンタクトプラグCP1を経由して、層間絶縁膜51上の第1の配線層（中間配線）59Aに接続される。第1の配線層59Aは、第1の配線レベルM0に設けられている。

【0055】

第2の層間絶縁膜52が、第1の層間絶縁膜51上に積層されている。第3の層間絶縁膜53が、第2の層間絶縁膜52上に積層されている。

【0056】

拡散層39Sがドレイン側セレクトトランジスタSTDに共有されている場合、第2の配線レベルM1に設けられた第2の配線層BLが、ビット線BLとして、層間絶縁膜52内のビアプラグVP、第1の配線層59A及びコンタクトプラグCP1を介して、拡散層39Sに接続される。ビット線BLとしての第2の配線層は、Y方向に延在する。各ビット線BLにそれぞれ接続されたコンタクトプラグCP1は、X方向に配列されたメモリセルユニット毎に、電氣的に分離されている。

【0057】

尚、拡散層39Sが、ソース側セレクトトランジスタSTSに共有されている場合、第1の配線レベルM0の配線層を用いて形成されるソース線SLが、拡散層39Sに接続される。

【0058】

図5の(b)及び(c)に示されるように、ワード線WLとしてのコントロールゲート電極35は、メモリセルアレイ100内から引き出し領域150内に延在する。そして、ワード線WLの独立性を確保するため、引き出し領域150内で、ワード線WL間が分断される。ワード線の分断箇所は、図4に示される箇所に限定されない。

【0059】

ワード線WLは、引き出し領域150内のパッド35Pに接続されている。パッド35Pとワード線WLとは、連続した導電層である。

【0060】

パッド35P上に、コンタクトプラグCP2が設けられ、パッド35PとコンタクトプラグCPFとが電氣的に接続される。これによって、メモリセルMCが接続されたワード線が、ロウ制御回路に接続される。

【0061】

ワード線WLとロウ制御回路とを接続するために、例えば、引き出し領域150内に設けられた第1の配線レベルM0の配線層59Bが、用いられる。ロウ制御回路から延在する配線層59Bが、パッド35P上のコンタクトプラグCP2に接続される。尚、ビット線BLと同じ配線レベルM1に位置する配線層をさらに用いて、ワード線WLが、ロウ制御回路に接続されてもよい。

【0062】

図5の(c)に示されるように、引き出し領域150において、素子分離絶縁膜31Bが、例えば、半導体基板30内に設けられている。素子分離絶縁膜31Bは、引き出し領域150の全体に形成されている。引き出し領域150内において、ワード線WL及びパッド35Pは、素子分離絶縁膜31B上に、設けられている。

【0063】

以下では、説明の明確化のために、パッド（フリンジ、コンタクト部）35P及びコンタクトプラグCP2が設けられた引き出し領域150内の領域200のことを、コンタクト形成領域200ともよぶ。

【0064】

セレクトゲート線SGLとしてのセレクトトランジスタSTのゲート電極（第2電極層）35Sは、例えば、メモリセルアレイ100内から引き出し領域150内に延在する。

10

20

30

40

50

【0065】

本実施形態において、4本（4ⁿ本）のワード線WLが、後述の製造方法に対応した1つのグループとして、引き出し領域150内の1つのコンタクト形成領域200内に引き出される。1つのグループの4本のワード線のうち、外側（外周側）の2つのワード線が、内側（内周側）の2つのワード線を取り囲む。

【0066】

ワード線WLのグループに対応するように、4つのパッド35Pが、1つのコンタクト形成領域200内に設けられている。

【0067】

パッド35Pは、例えば、矩形状（四角形状）の平面形状を有している。各ワード線WLは、対応するパッド35Pの頂点（角）から延在している。パッド35Pの平面形状は、四角形の角が欠けた形状、四角形の角が丸くなった形状、半円形状、楕円形状、又は、円形状を有する場合もある。

【0068】

コンタクト形成領域200内の1つのグループのワード線WLに対応するパッド35Pにおいて、複数のパッド35Pは、ある中心線（対称軸）においてY方向及びX方向に対称関係を有するように、レイアウトされている。

【0069】

引き出し領域150内に引き出されたワード線WLの折り曲げ位置を調整することによって、パッド35P及びコンタクトプラグCP2は、2次元（X-Y平面）において、その位置、サイズ、パッド35P間の間隔（ピッチ）及びコンタクトプラグCP2間の間隔を調整できる。例えば、複数のコンタクトプラグCP2及びパッド35Pのレイアウトを、ワード線WLが形成するグループごとに、X方向及びY方向にずらして設定できる。そのため、ワード線WLとロウ制御回路とを接続するための配線層のレイアウトを、簡単化できる。

【0070】

ワード線WLは、メモリセルアレイ100内において、ラインアンドスペースパターンを有している。

ラインアンドスペースパターンは、ラインパターン（例えば、直線状の配線のパターン、ここでは、ワード線）とラインパターン間のスペースパターン（例えば、絶縁体のパターン）とが、ラインパターンの延在方向と交差する方向において所定の周期で交互に配列されているレイアウトを示す。例えば、メモリセルアレイ100のアクティブ領域AAと素子分離領域STIとのレイアウトも、ワード線WLと同様に、ラインアンドスペースパターンを有している。

【0071】

メモリセルアレイ100内において、ラインパターンとしてのワード線WLは、ある線幅（配線幅）LW2を有している。メモリセルアレイ100内において、スペースパターンの線幅LI2、つまり、隣接するワード線WLの間隔（配線間隔）LI2は、ワード線WLの線幅LW2とほぼ同じ大きさであることが好ましい。このようなメモリセルアレイ内のラインアンドスペースパターンにおいて、ワード線WLのハーフピッチは、ワード線WLの線幅LW2又はワード線WL間の配線間隔LI2に実質的に等しい。但し、ワード線WL間の間隔LI2の大きさは、ワード線WLの線幅LW2の大きさと異なる場合がある。

【0072】

メモリセルMCのチャンネル長方向の寸法は、ワード線WLの線幅LW2に実質的に等しい。

【0073】

ワード線WLは、側壁膜のパターンに基づいて配線のパターニングが実行される側壁転写技術（側壁形成工程及び側壁転写工程）を用いて形成される。側壁膜の形成及びその側壁膜のパターンの転写が複数回繰り返されることによって、ワード線WLは、露光装置を用い

10

20

30

40

50

たパターンニングによって精度良く形成することが困難なフォトリソグラフィの解像度の限界寸法よりも小さい（微細な）パターンとなるように形成される。本実施形態において、“フォトリソグラフィの解像度の限界寸法”とは、例えば、ラインアンドスペースの周期構造を含むパターンを形成するために用いられる光学系の解像度の限界寸法を示す。

【0074】

例えば、2回の側壁転写工程によって、ワード線WLの線幅LW2は、フォトリソグラフィの解像度の限界寸法の4分の1程度の大きさを有するように、形成される。

但し、本実施形態のフラッシュメモリにおいて、複数回（2n回）の側壁形成工程及び側壁転写工程によって、ワード線WLが、フォトリソグラフィの解像度の限界寸法より小さいサイズで形成されるのであれば、ワード線WLの線幅LW2はフォトリソグラフィの解像度の限界の4分の1の大きさに限定されない。例えば、本実施形態において、ワード線（配線）WLの線幅LW2は、フォトリソグラフィの解像度の限界寸法の2分の1以下からフォトリソグラフィの解像度の限界寸法の4分の1以上の範囲で形成されてもよいし、フォトリソグラフィの解像度の限界寸法未満からフォトリソグラフィの解像度の限界寸法以上でもよい。また、フォトリソグラフィの解像度の限界寸法の4分の1より小さい寸法、例えば、4回の側壁転写工程でワード線が形成された場合のように、ワード線WLの線幅LW2又は配線間隔LI2は、フォトリソグラフィの解像度の限界寸法の16分の1でもよい。

【0075】

上述のように、ラインアンドスペースパターンの配線レイアウトを含むメモリセルアレイ100内において、隣接するワード線WL間の間隔LI2がワード線WLの線幅LW2と実質的に同じ寸法を有している場合、ワード線WL間の間隔LI2は、フォトリソグラフィの解像度の限界寸法の4分の1程度の大きさに設定されている。ワード線WL間の間隔LI2がワード線WLの線幅LW2と実質的に同じ寸法であれば、ワード線WL間の間隔LI2は、フォトリソグラフィの解像度の限界寸法未満からフォトリソグラフィの解像度の限界寸法の4分の1以上の範囲で形成されてもよいし、フォトリソグラフィの解像度の限界寸法の4分の1より小さい寸法でもよい。

【0076】

引き出し領域150のコンタクト形成領域200内において、パッド35PのX方向における寸法PD1及びY方向における寸法PD2は、ワード線WLの線幅LW2より大きい寸法に設定されている。パッド35Pの寸法PD1、PD2がワード線WLの線幅LW2より大きくされることによって、コンタクトプラグCP2とワード線WLとの間に生じる接触抵抗を低減できたり、アライメントのずれに起因したコンタクトプラグCP2とワード線WLとの接触不良を抑制できたりする。

【0077】

セレクトゲート線SGLの線幅LWSは、例えば、ワード線WLの線幅LW2より大きい。セレクトゲート線SGLには、パッドが接続されず、引き出し領域150内のセレクトゲート線SGL上に、コンタクトプラグ（図示せず）が設けられている。

【0078】

本実施形態のフラッシュメモリにおいて、引き出し領域150のコンタクト形成領域200内におけるワード線（引き出し線）WL間のX方向及びY方向における各間隔D2X、D2Yは、メモリセルアレイ100内のワード線WL間の間隔LI2より大きい。コンタクト形成領域200内におけるワード線WL間のX方向及びY方向における各間隔D2X、D2Yは、ワード線WLの線幅LW2より大きい。本実施形態において、コンタクト形成領域200内におけるワード線WL間のX方向及びY方向における各間隔D2X、D2Yは、フォトリソグラフィの解像度の限界寸法の4分の1より大きい。例えば、コンタクト形成領域200内におけるワード線WL間の間隔D2X、D2Yは、フォトリソグラフィの解像度の限界寸法の4分の1以上でもよい。コンタクト形成領域200内におけるワード線WL間の間隔D2X、D2Yは、フォトリソグラフィの解像度の限界寸法以上であることが、より好ましい。

【0079】

パッド35Pの形成位置近傍におけるワード線WL間の間隔が、メモリセルアレイ100内のワード線WL間の間隔L12より大きければ、引き出し領域150内（コンタクト形成領域200内）の全体におけるワード線WL間の間隔が、メモリセルアレイ100内におけるワード線WL間の間隔L12より大きくなくともよい。

【0080】

ラインアンドスペースパターンのビット線BLにおいて、メモリセルアレイ100内及びY方向の引き出し領域におけるビット線BLの線幅及び配線間隔の関係が、上述のメモリセルアレイ100内及びX方向の引き出し領域150内のワード線WLの線幅LW2及び配線間隔L12、D2X、D2Yと同じであってもよい。

10

【0081】

本実施形態の半導体装置（例えば、フラッシュメモリ）において、複数回の側壁形成／転写工程によって、リソグラフィの解像度の限界寸法より小さい寸法のラインアンドスペースパターンを有する配線（例えば、ワード線又はビット線）が形成される。

【0082】

例えば、ラインアンドスペースパターンを有するワード線WLは、下地の加工のための側壁膜の形成及び側壁膜のパターンの転写を含む工程を1つのサイクルとして、そのサイクルを2n回（nは1以上の整数）繰り返すことによって、形成される。（2n-1）回目に形成された側壁膜は、2n回目の側壁膜を形成するための犠牲膜（スペーサともよぶ）となる。2n回目に形成された側壁膜に対応するパターンが、ワード線WLを形成するためのパターンとして、用いられる。

20

【0083】

複数回（2n回）の側壁形成／転写工程によって形成された複数のワード線WLは、例えば、リソグラフィの解像度の限界寸法より小さい線幅LW2をそれぞれ有し、リソグラフィの解像度の限界寸法より小さい配線間隔L12を有して、メモリセルアレイ100内において隣接している。

【0084】

引き出し領域150のコンタクト形成領域200内におけるワード線WLのレイアウト及びワード線WL間の配線間隔が、メモリセルアレイ100内のワード線WLのレイアウト及びワード線WLの配線間隔L12と同じである場合、素子及び配線の微細化に伴って、ワード線WLに接続されるパッド35Pを形成及び配置するためのスペースを確保することが、困難になる可能性がある。

30

【0085】

引き出し領域150内におけるワード線のX方向-Y方向間の折り曲げ位置、及び、コンタクト形成領域200内における配線WL間のX方向の間隔D2Xの大きさは、（2n-1）回目の側壁形成工程による側壁膜を形成するための芯材（犠牲膜）のフリンジの大きさ及び形成位置によって調整される。これによって、引き出し領域150のコンタクト形成領域200内においてX方向に隣接する配線WL間のX方向の間隔D2Xが、配線の線幅LW2及びメモリセルアレイ100内の配線WL間の間隔L12の少なくとも一方より大きく確保される。

40

【0086】

2n回の側壁形成／転写工程によって形成される配線を含む本実施形態の半導体装置において、その製造工程中における引き出し領域150のコンタクト形成領域200内の（2n-1）回目の側壁形成／転写工程で形成された側壁膜（2n-1番目の側壁膜）を覆うように、マスクがフォトリソグラフィによって形成される。側壁膜を覆うマスクの寸法は、その側壁膜の寸法（線幅）より大きい。メモリセルアレイ100内において、（2n-1）回目の側壁形成／転写工程で形成された側壁膜に対応したパターンの側面上に、2n回目のプロセスによる側壁膜が形成されるのに対して、引き出し領域150のコンタクト形成領域200内において、側壁膜を覆うマスクに対応したパターンの側面上に、2n回目のプロセスによる側壁膜（2n番目の側壁膜）が形成される。2n回目の側壁膜の線

50

幅は、 $(2n-1)$ 回目の側壁膜の線幅以下である。これによって、コンタクト形成領域 200 内で Y 方向（ワード線が折れ曲がる方向、ブロックの境界側に対して平行方向）に隣接する配線 WL のパッド形成位置の近傍において、配線 WL 間の Y 方向の間隔 $D2Y$ が、配線の線幅 $LW2$ 及びメモリセルアレイ 100 内の配線 WL 間隔 $L12$ の少なくとも一方より大きく確保される。

【0087】

このように、メモリセルアレイ 100 内よりも大きい配線間隔 $D2X$ 、 $D2Y$ を引き出し領域 150 内に確保できる結果として、本実施形態の半導体装置は、引き出し領域 150 内において、パッド 35P 及びパッド 35P を形成するためのマスクを配置するスペース、及び、パッド 35P 及びマスクの加工マージンを大きくするためのスペースを、確保

10

【0088】

それゆえ、本実施形態の半導体装置は、配線の線幅及び配線間隔（ピッチ）を微細化できるとともに、引き出し領域 150 のコンタクト形成領域 200 内における、配線 WL、パッド 35P 及びコンタクトプラグ CP2 のショートに起因した不良を低減できる。

【0089】

また、引き出し領域 150 内の配線 WL 間隔 $D2X$ 、 $D2Y$ を大きくできることに伴って、配線 WL に接続されるパッド 35P の寸法 $PD1$ 、 $PD2$ を大きくできる。この結果として、パッド 35P とコンタクトプラグ CP2 との接触面積を大きくでき、パッド 35P とコンタクトプラグ CP2 との接触抵抗を小さくできる。

20

【0090】

したがって、第 1 の実施形態の半導体装置によれば、複雑な製造工程を用いずに、微細なパターンを含む半導体装置の信頼性を向上できる。

【0091】

（c） 製造方法

図 4 乃至図 24 を参照して、第 1 の実施形態の半導体装置（例えば、フラッシュメモリ）の製造方法について、説明する。

【0092】

図 6 及び図 7 を用いて、本実施形態のフラッシュメモリの製造方法の一工程について、説明する。図 6 は、本実施形態のフラッシュメモリの製造方法の一工程におけるメモリセルアレイ及び引き出し領域の一部分を抽出した平面図を示している。図 7 は、図 6 に対応する断面工程図を示している。図 7 の（a）は、図 6 の $V11a-V11a$ 線に沿う断面工程図を示している。図 7 の（b）は、図 6 の $V11b-V11b$ 線に沿う断面工程図を示している。図 8 は、図 6 の $V111-V111$ 線に沿う断面工程図を示している。

30

【0093】

図 6 乃至図 8 に示されるように、メモリセルアレイ 100 内において、ウェル領域（図示せず）が形成された半導体基板 30 上に、絶縁膜 32（例えば、シリコン酸化膜）が、形成される。絶縁膜 32 は、例えば、シリコン基板に対する熱酸化処理によって形成される。絶縁膜 32 は、メモリセルのゲート絶縁膜（トンネル絶縁膜）、及び、セレクトトランジスタのゲート絶縁膜として用いられる。第 1 の導電層（例えば、ポリシリコン）33A が、例えば、CVD（Chemical Vapor Deposition）法によって、絶縁膜 32 上に形成される。絶縁膜 32 上の導電層 33A は、メモリセルのフローティングゲート電極、及び、セレクトトランジスタのゲート電極（第 1 電極層）として用いられる。尚、ポリシリコンの代わりに、窒化シリコンのような、電荷（電子）に対するトラップ準位を含む絶縁膜が、絶縁膜 32 上に形成されてもよい。

40

【0094】

そして、導電層 33A 上に、マスク層（図示せず）が形成される。この後、フォトリソグラフィ又は側壁転写技術によって、導電層 33A 上のマスク層に対する所定のパターン

50

が、形成される。マスク層は、例えば、R I E (Reactive Ion Etching) によって加工される。これによって、Y方向に延在するラインアンドスペースパターンを有するマスク層（図示せず）が、メモリセルアレイ100内の導電層33A上に形成される。例えば、引き出し領域150内において、マスク層は、R I Eによって除去され、導電層33Aの上面が露出する。

【0095】

このラインアンドスペースパターンのマスク層に基づいて、導電層33A、絶縁膜32及び半導体基板30が、例えば、R I Eによって、加工される。これによって、メモリセルアレイ100内において、Y方向に延在する素子分離溝が、半導体基板30内に形成される。メモリセルアレイ100内の素子分離溝は、S T I (Shallow Trench Isolation) 構造を有する。加工された導電層33A及びその下方の半導体領域AAは、Y方向に延在する。また、引き出し領域150内において、R I E法によって、導電層及び絶縁膜が除去され、溝が形成される。

10

【0096】

そして、メモリセルアレイ100内及び引き出し領域150内において、溝が埋め込まれるように、絶縁膜31A、31Bが、半導体基板30上に形成される。これによって、メモリセルアレイ100内において、素子分離絶縁膜31Aが、素子分離溝に埋め込まれ、メモリセルが配置される素子形成領域（アクティブ領域）AAが、区画される。メモリセルアレイ100内の半導体基板30の表層に、素子分離領域（素子分離絶縁膜）S T I及び素子形成領域（半導体領域）AAのラインアンドスペースパターンが形成される。また、引き出し領域150の溝は、素子分離絶縁膜31Bによって埋め込まれる。

20

【0097】

引き出し領域150内においても、メモリセルアレイ100内と同様に、ラインアンドスペースパターンの素子分離絶縁膜及び半導体領域が、形成されてもよい。

【0098】

導電層33A上のマスク層が、選択的に除去される。マスク層、導電層33A及び絶縁膜32は、ウェットエッチングやアッシングなどを用いて、加工又は除去されてもよい。

【0099】

導電層33A上のマスク層が除去された後、単層構造又は多層構造の絶縁体34が、例えば、C V D法、A L D (Atomic Layer Deposition) 法、導電体に対する化学反応処理（酸化処理、窒化処理又はこれらのラジカル処理）によって、導電層33A上に形成される。絶縁体34は、例えば、メモリセルのゲート間絶縁膜又はブロック絶縁膜として用いられる。セレクトゲート線の形成領域において、導電層33Aの上面が露出するように、絶縁体34に、開口部（スリット）が形成される。

30

【0100】

第2の導電層35Aが、絶縁体34上に、形成される。導電層35Aは、シリコン（例えば、ポリシリコン）、シリサイド、ポリサイド（ポリシリコンとシリサイドの積層材）のうち、いずれか1つが用いられる。但し、導電層35Aは、金属（単元素金属又は合金）でもよい。導電層35Aは、メモリセルのコントロールゲート電極（ワード線W L）、セレクトトランジスタのゲート電極（セレクトゲート線）として、用いられる。

40

【0101】

以上のように、メモリセル及びセレクトトランジスタの形成部材が、半導体基板30上に、形成される。以下では、配線（ワード線、セレクトゲート線及びゲート電極など）又は素子（メモリセル、トランジスタなど）を形成するための部材のことを、被加工層ともよぶ。

【0102】

第1のマスク層60が、導電層35A上に形成される。マスク層60は、例えば、積層構造を有する。積層構造のマスク層60は、例えば、導電層35A上の絶縁膜601と絶縁膜601上の半導体膜602とを含んでいる。積層構造のマスク層60において、絶縁膜601は、例えば、シリコン酸化膜から形成され、半導体膜602は、例えば、シリコ

50

ン膜（より具体的には、アモルファスシリコン膜）から形成される。尚、導電層 35A 上のマスク層 60 は、単層構造でもよい。マスク層 60 の材料は、マスク層 60 上に積層される材料に応じて、窒化シリコン、炭化シリコン、炭酸化シリコン、酸窒化シリコン、ポリシリコン、有機物を含むシリコンなどが用いられてもよい。

【0103】

下層芯材 62 が、マスク層 60 上に積層される。下層芯材 62 は、例えば、絶縁体から形成される。下層芯材 62 としての絶縁体は、例えば、シリコン酸化膜である。

【0104】

中間層 63 が、下層芯材 62 上に積層される。中間層 63 は、例えば、シリコン窒化膜から形成される。

【0105】

例えば、反射防止膜 64 が、中間層 63 上に堆積される。本実施形態において、反射防止膜 64 として、BARC (Bottom Anti-Reflective Coating) 膜が、用いられる。BARC 膜 64 は、例えば、カーボン膜又はカーボンを含む膜を用いて、形成されている。

【0106】

BARC 膜 64 は、下地となる層（ここでは、中間層 63）及び BARC 膜 64 上に堆積される層（例えば、後述の上層芯材）に用いられる材料に応じて、中間層 63 上に堆積されない場合もある。

【0107】

複数の上層芯材 65 が、BARC 膜 64 上に、形成される。上層芯材 65 は、例えば、レジスト材（レジスト膜）が用いられる。但し、上層芯材 65 は、下地層の材料及び上層芯材に対して形成される側壁膜の材料に応じて、例えば、シリコン、酸化シリコン、窒化シリコン及び炭化シリコンなどの中から選択された材料から形成されてもよい。上層芯材 65 がレジスト材以外の材料を用いて形成される場合、反射防止膜 64 を形成せずともよく、選択された材料の単体によって上層芯材 65 を形成できる。以下では、上層／下層芯材 65、62 のことを、犠牲層とよぶ場合もある。

【0108】

被加工層上に積層される各層 60、62、63、64、65 の材料は、隣接する層間で一方の部材を優先的に加工（エッチング又は除去）できる加工選択比（以下では、エッチング選択比ともよぶ）が確保される組み合わせで積層されていれば、特に限定されず、上述の材料の組み合わせを適宜変更して積層してもよい。

【0109】

上層芯材 65 は、直線状のライン部（直線部ともよぶ）651 とそのライン部 651 に接続されたフリンジ 652 とを有する平面パターンが形成されるように、フォトリソグラフィ及びエッチングによって、加工される。例えば、フォトリソグラフィは、ArF レーザを用いた液浸露光技術を用いて、実行される。液浸露光技術によるフォトリソグラフィの解像度の限界寸法、例えば、形成される配線の最小ハーフピッチは、 $k1 \times (\lambda / NA)$ で示される。“ λ ” は、リソグラフィに用いる光源の波長（露光波長）、“NA” は、露光装置のレンズの開口数、“k1” はリソグラフィにおけるプロセスパラメータ（プロセスの難易度）をそれぞれ示している。

【0110】

上層芯材 65 のライン部 651 は、図 6 及び図 8 に示されるように、メモリセルアレイ 100 内から引き出し領域 150 内へ、X 向に沿って延在する。

【0111】

上層芯材 65 のフリンジ（以下では、突起部又は突起パターンともよぶ）652 は、半導体基板表面に対して水平方向においてライン部 651 の側面から Y 方向に突出するように、引き出し領域 150 のコンタクト形成領域 200 内に、形成されている。例えば、フリンジ 652 は、隣接するブロック間の境界側に向かって、突出している。フリンジ 652 は、矩形状（四角形状）の平面形状を有するように、パターンニングされている。ライン部 651 の線幅方向に対して平行方向（ここでは、Y 方向）におけるフリンジ 652 の最

10

20

30

40

50

大寸法D1Yは、ライン部651の線幅CW1より大きい。尚、X方向におけるフリンジ652の寸法D1Xは、ライン部651の線幅CW1より大きい。

【0112】

フリンジ652の平面形状は、四角形の角が欠けた形状、又は、四角形の角が丸くなった形状、又は、楕円形状、又は、円形状でもよい。

【0113】

本実施形態において、上層芯材65の平面パターンのように、ライン部651にライン部651の寸法（線幅）より大きい寸法のフリンジ652が接続された平面構造のことを、旗型構造とよぶ。上層芯材65は、メモリセルアレイ100内及び引き出し領域150内の配線（例えば、ワード線）のレイアウトを設定するためのベースパターンとなる。後述の工程によって共通の旗型構造の芯材から形成される配線が、コンタクト形成領域内で1つのグループを形成する。本実施形態では、1つの旗型構造の芯材に基づいた2回の側壁形成／転写工程によって、4本のワード線が1つのグループとして形成される。

【0114】

複数の旗型構造の上層芯材65が形成された後、上層芯材65に、スリミング処理（トリミング処理ともよばれる）が施される。上層芯材65に対するスリミング処理は、例えば、ドライエッチングによって実行される。このスリミング処理によって、上層芯材65のライン部651の線幅CW1は、スリミング処理前のライン部651の線幅CW1に比較して、小さくされる。例えば、スリミング処理後のライン部651の線幅CW1は、スリミング処理前のライン部651の線幅の2分の1程度にされる。

【0115】

ラインアンドスペースパターンの周期構造の形成におけるフォトリソグラフィの解像度の限界寸法によって、上層芯材65がパターンニングされた場合、上層芯材65のライン部651の線幅CW1は、スリミング処理によって、フォトリソグラフィの解像度の限界寸法の半分（2分の1）程度にされる。

例えば、スリミング処理前における上層芯材65のライン部651の線幅及びライン部651間の間隔（スペース）は、それぞれ80nm程度に設定されている。スリミング処理によって、ライン部651の線幅CW1は、40nm程度に設定され、X方向に隣接するライン部651間の間隔CI1は、120nm程度に設定される。尚、ここで例示した上層芯材65の線幅及び間隔の値は一例であって、上層芯材のライン部651によってラインアンドスペースパターンが形成されていれば、上記の値より大きくてもよいし、上記の値より小さくてもよい。また、芯材65に対するスリミング処理前において、芯材のライン部651の線幅及びライン部651間の間隔は、異なる大きさに設定されていてもよい。

【0116】

上層芯材65のフリンジ652は、ライン部651に対するスリミング処理と同じ条件下にさらされるため、ライン部651が細くなった分量に対応する大きさで、フリンジ652のサイズも小さくなる。但し、ライン部651の線幅とフリンジ652の寸法との大小関係はスリミング処理後であっても維持され、フリンジ652のY方向の寸法D1Yは、ライン部651の線幅CW2より大きい。スリミング処理後のフリンジ652の寸法は、フォトリソグラフィの解像度の限界寸法より大きいことが好ましいが、フォトリソグラフィの解像度の限界寸法以下になる場合もある。

【0117】

例えば、露出しているBARC膜（炭素膜）64は、上層芯材（レジスト膜）65に対するパターンニング又はスリミング処理のためのエッチング条件にさらされるため、露出しているBARC膜64は、上層芯材65に対するエッチング時に、加工（除去）される。

【0118】

上層芯材65がスリミングされた後、上層芯材65上（及びBARC膜64の側面上）に、側壁膜を形成するための材料（以下、側壁材とよぶ）が、堆積される。側壁材は、エッチング選択比（加工選択比）が確保されるように上層芯材と異なる材料が用いられ、例

えば、シリコン酸化膜から形成される。カバレッジの良い膜を形成するために、ALD (Atomic Layer Deposition) 法を用いて、膜が堆積されることが好ましい。尚、上層芯材 65 及び下層の部材とのエッチング選択比を確保することが可能であれば、シリコン窒化膜又は他の材料が、側壁材に用いられてもよい。

【0119】

上層芯材 65 の側面上に側壁材が残存するように、側壁材に対してエッチバックが施される。これによって、側壁膜 70 が、旗型構造の上層芯材 65 の側面上に、自己整合的に形成される。側壁膜 70 は、上層芯材 65 の周囲を取り囲む閉ループ形状を有するように、メモリセルアレイ 100 及び引き出し領域 150 にまたがって形成される。

【0120】

側壁材に対するエッチバックの時間及び強度は、上層芯材 65 の側面上に残存する側壁材の線幅 LW1 が、メモリセルアレイ 100 内における上層芯材 65 の線幅 CW1 とほぼ同じ寸法となるように、制御される。例えば、側壁膜 70 の線幅 LW1 は、フォトリソグラフィの解像度の限界寸法の半分 ($1/2$) 程度にされる。本実施形態においては、側壁膜 70 の線幅 LW1 は、40 nm 程度に設定される。以下において、側壁膜の線幅 (膜厚) は、半導体基板表面に対して水平方向における側壁膜の最大寸法又は側壁膜の底部の寸法とする。

【0121】

メモリセルアレイ 100 内において、芯材 65 を挟まないで Y 方向に隣接する側壁膜 70 間の間隔 LI1 は、側壁膜 70 の線幅 LW1 又は上層芯材 65 のライン部 651 の線幅 CW1 とほぼ同じ大きさ (ここでは、40 nm 程度) であることが好ましい。

【0122】

メモリセルアレイ 100 内において、側壁膜 70 は、X 方向に延在する直線状の平面パターン (ラインパターン) を有する。

引き出し領域 150 内において、側壁膜 70 の平面パターンは、旗型構造の上層芯材 65 の形状に応じて、変形する。本実施形態において、引き出し領域 150 内において、側壁膜 70 は、ライン部 651 に接続されたフリンジ 652 によって、X 方向から Y 方向 (ブロックの境界側) 又は Y 方向から X 方向に折れ曲がる。

【0123】

1 つの上層芯材 65 に対して形成される閉ループ状の側壁膜 70 において、フリンジ 652 を挟んで対向する側壁膜 70 の部分の間隔は、フリンジ 652 の大きさに対応し、側壁膜 70 の線幅 LW1 より大きい。Y 方向においてフリンジ 652 を挟んで対向する側壁膜 70 の部分は、メモリセルアレイ 100 内の側壁膜 70 間の間隔 LI1, CW1 より大きい間隔 DIY を有する。フリンジ 652 を挟んで対向する側壁膜 70 の部分の間隔 DIY は、例えば、フォトリソグラフィの解像度の限界寸法以上である。

【0124】

尚、引き出し領域 150 内において、隣接するフリンジ 652 上にそれぞれ形成される側壁膜 70 間の間隔は、メモリセルアレイ 100 内の側壁膜 70 間の間隔 LI1, CW1 以上であることが好ましい。

【0125】

以上のように、芯材 (犠牲層) 上への側壁材の堆積及び側壁材に対するエッチバックを含む側壁形成工程によって、配線の形成に用いられる側壁膜 70 が芯材 65 の側面上に形成される。

【0126】

1 回目の側壁形成工程によって形成された 1 番目の側壁膜は、後述の 2 回目の側壁形成工程によって形成される側壁膜に対する芯材のパターンを形成するための部材である。以下では、説明の明確化のために、1 回目の側壁形成工程によって形成された側壁膜 70 のことを、側壁スペーサー 70 とよぶ場合もある。

【0127】

図 9 及び図 10 を用いて、本実施形態のフラッシュメモリの製造方法の一工程について

10

20

30

40

50

、説明する。図9は、本実施形態のフラッシュメモリの製造方法の一工程におけるメモリセルアレイ及び引き出し領域の一部分を抽出した平面図を示している。図10は、図9に対応する断面工程図を示している。図10の(a)は、図9のXa-Xa線に沿う断面工程図を示している。図10の(b)は、図9のXb-Xb線に沿う断面工程図を示している。

【0128】

図9及び図10の(b)に示されるように、引き出し領域150のコンタクト形成領域200内のそれぞれにおいて、上層芯材65のフリンジ652及び側壁膜70が覆われるように、レジストマスク80Aが、フォトリソグラフィ及びエッチングによって、形成される。例えば、レジストマスク80Aは、フリンジ652の全体を覆わないように、パターニングされている。ライン部651とフリンジ652との接続箇所の近傍において、フリンジ652の上面は、レジストマスク80Aに覆われずに、露出する。

10

【0129】

図9及び図10の(a)に示されるように、メモリセルアレイ100内には、レジストマスクは形成されず、側壁膜70及び上層芯材65が露出している。

【0130】

レジストマスク80Aの寸法RA1、RB1及び形成位置は、フリンジ652のレジストマスク80Aによって覆われている部分のY方向の寸法DAが、形成されるべき配線(ワード線)の線幅又は配線間隔(ハーフピッチ)より大きくなるように、設定される。

【0131】

例えば、レジストマスク80AのX方向の寸法(例えば、長さ又は最大寸法)RB1は、フリンジ652のX方向の寸法以上に設定されている。レジストマスク80AのX方向の寸法RB1は、フリンジ652及び側壁膜70の両方が覆われるように、側壁膜70の線幅LW1の2倍の大きさとフリンジ652のX方向の寸法との合計(和)以上であることが好ましい。レジストマスク80AのY方向の寸法(例えば、幅又は最小寸法)RA1は、上述のようにフリンジ652のサイズ及びマスク80Aの形成位置に応じて調整され、例えば、側壁膜70の線幅LW1とフリンジ652のレジストマスク80Aで覆われている部分の寸法DXとの和より大きい。

20

【0132】

尚、レジストマスク80Aは、後述の実施形態(例えば、第5の実施形態)のように、側壁材(ここでは、シリコン酸化膜)にエッチバックを施す前に、上層芯材65を覆う側壁材上に、形成されてもよい。この場合、レジストマスク80Aが側壁材上に形成された後、その側壁材に対してエッチバックが施され、側壁膜70が芯材65の側面上に、自己整合的に形成される。

30

【0133】

図11乃至図13を用いて、本実施形態のフラッシュメモリの製造方法の一工程について、説明する。図11は、本実施形態のフラッシュメモリの製造方法の一工程におけるメモリセルアレイ及び引き出し領域の一部分を抽出した平面図を示している。図12は、図11に対応する断面工程図を示している。図12の(a)は、図11のXI Ia-XI Ia線に沿う断面工程図を示している。図12の(b)は、図11のXI Ib-XI Ib線に沿う断面工程図を示している。図13は、図12に示される製造工程に連続する工程の断面工程図を示している。図13の(a)は、図12の(a)の工程に続く断面工程図に対応している。図13の(b)は、図12の(b)の工程に続く断面工程図に対応している。

40

【0134】

図11、図12の(a)及び(b)に示されるように、上層芯材のフリンジの一部652'がレジストマスク80Aに覆われた状態で、上層芯材がエッチングによって選択的に除去される。上層芯材を除去するためのエッチングは、ドライエッチングでもよいし、ウェットエッチングでもよい。但し、本実施形態のフラッシュメモリの製造方法において、上層芯材を除去するための処理として、アッシングは含まない。レジスト材の上層芯材及

50

びBARC膜が形成される場合、上層芯材の除去を含まない。上層芯材が、シリコン、酸化シリコン、窒化シリコン及び炭化シリコンなどから選択された1つの材料であれば、上層芯材がレジストマスク80Aで覆われた状態で、上層芯材をエッチングによって選択的に除去した後に、レジストマスク80Aを除去する場合において、レジストマスク80Aの除去に、アッシングが用いられてもよい。

【0135】

メモリセルアレイ100内及び引き出し領域150内のレジストマスク80Aに覆われていない部分において、上層芯材のライン部が除去され、側壁膜70が選択的に残存する。上層芯材を除去するためのエッチングによって、上層芯材下のBARC膜がオーバーエッチングにより除去され、下層の中間層63の上面が露出する。

10

【0136】

引き出し領域150のコンタクト形成領域200内において、レジストマスク80Aに覆われたフリンジの部分（以下、残存部又は残存パターンともよぶ）652'は、BARC膜64上に、残存する。上述のように、フリンジの残存部652'のY方向の寸法DXは、形成される配線（ワード線）の線幅又は配線間隔より大きい。矩形の残存部652'において、残存部652'の3辺が側壁膜70に接している。コンタクト形成領域200内において、残存部652'と残存部652'に接しない側壁膜70とのY方向における間隔（スペース）DYは、形成される配線の線幅の2倍より大きいことが好ましい。

【0137】

図13に示されるように、コンタクト形成領域200内のレジストマスクが除去された後、側壁膜（側壁スペーサー）70及び残存部652'をマスクに用いて、中間層が加工される。これによって、側壁スペーサー70及び残存部652'のパターンが、下層の中間層63Aに転写される。以下では、側壁膜70及び残存部652'のパターンが転写された中間層63Aのことを、上層マスク63Aともよぶ。

20

【0138】

側壁膜70のパターンが転写された上層マスク63Aのライン部（直線状のパターン）631の線幅は、側壁膜70の線幅LW1と実質的に同じ大きさを有する。また、上層マスク63Aのライン部（直線部）631間の間隔は、上層芯材の線幅CW1又は側壁スペーサー70間の間隔LI1と実質的に同じ大きさを有している。

【0139】

コンタクト形成領域200内において、残存部652'と側壁膜70とのパターンが転写された上層マスク63Aの矩形状のパターン632のY方向における寸法DWは、マスク63Aのライン部631の線幅LW1又は間隔LI1、CW1より大きく、さらには、メモリセルアレイ100内に形成される配線の線幅又は配線間隔より大きい。コンタクト形成領域200内における上層マスク63Aの矩形パターン631の寸法DA'は、例えば、フォトリソグラフィの解像度の限界寸法以上であることが好ましい。

30

【0140】

図14及び図15を用いて、本実施形態のフラッシュメモリの製造方法の一工程について、説明する。図14は、本実施形態のフラッシュメモリの製造方法の一工程におけるメモリセルアレイ及び引き出し領域の一部分を抽出した平面図を示している。図15は、図14に対応する断面工程図を示している。図15の(a)は、図14のXVa-XVa線に沿う断面工程図を示している。図15の(b)は、図14のXVb-XVb線に沿う断面工程図を示している。

40

【0141】

上層マスク上の側壁マスク及び上層芯材の残存部が除去された後、上層マスクをマスクとして、下層芯材が、例えば、エッチングによって加工される。これによって、上層マスクのパターンが、下層芯材に転写される。下層芯材が加工された後、上層マスクは、例えば、エッチングによって、選択的に除去される。例えば、中間層にシリコン窒化膜が用いられている場合、Hotリン酸（熱リン酸）で選択的に剥離できる。

【0142】

50

これによって、図14及び図15に示されるように、側壁スペーサー及びフリンジの残存部のパターンが、上層マスクを介して、2番目(2n番目)の側壁膜を形成するための下層芯材62Aに、転写される。

【0143】

加工された下層芯材62Aのパターン(犠牲パターンともよぶ)は、1番目(2n-1番目)の側壁膜(側壁スペーサー)に対応したライン部(配線スペーサーパターンともよぶ)621とフリンジの残存部に対応した矩形状のパターン(矩形部又はコンタクトスペーサーパターンともよぶ)622を含む。加工された下層芯材62Aは、1つの矩形部(コンタクトスペーサーパターン)622に、2つのライン部(配線スペーサーパターン)621が接続された平面形状を有する。下層芯材62Aのライン部621は、メモリセルアレイ100から引き出し領域150内に延在する。ライン部621は、メモリセルアレイ100内において、X方向に延在する直線状の平面形状を有する。そして、ライン部621は、引き出し領域150内においてY方向に折れ曲がっている。下層芯材62Aの矩形部622は、コンタクト形成領域200内に形成される。2つのライン部621のそれぞれは、矩形部622の端部(角)に、1つずつ接続されている。

【0144】

パターンが転写された下層芯材62Aに対して、スリミング処理が施される。図15の(a)に示されるように、このスリミング処理によって、スリミング処理後の下層芯材62Aのライン部621の線幅CW2は、スリミング処理前のライン部621の線幅LW1(図15中において点線で表記)の半分程度にされる。スリミング処理後の下層芯材62Aのライン部621間の間隔CI2は、スリミング処理後のライン部621の線幅CW2の3倍程度の大きさを有している。

【0145】

例えば、スリミング処理後のライン部621の線幅CW1が20nm程度に設定されるように、下層芯材に対するスリミング処理が実行される。この場合、ライン部621間の間隔CI2は、60nm程度に設定されている。

【0146】

図15の(b)に示されるように、下層芯材62Aの矩形部622のY方向の寸法D2Yは、ライン部621の線幅CW2より大きい。矩形部622のX方向の寸法D2Xも、ライン部621の線幅CW2より大きい。下層芯材62Aの矩形部622もスリミングされるため、スリミング処理後の矩形部の寸法D2Y、D2Xは、スリミング処理前の矩形部622の寸法DW(図15中において点線で表記)より小さくなる。コンタクト形成領域200内において、1つの芯材62Aのライン部621と矩形部622とのY方向における間隔DBは、形成される配線の線幅の2倍より大きい。

【0147】

尚、上述の製造工程において、下層芯材62(62A)上に、中間層及び反射防止膜が積層され、側壁膜(側壁スペーサー)及び上層芯材のパターンが中間層及び反射防止膜に、転写される。しかし、中間層及びBARC膜を形成せずに、下層芯材62(62A)上に、側壁スペーサー及び上層芯材を直接形成し、側壁スペーサー及び上層芯材の残存部のパターン621、622を、下層芯材62Aに直接転写してもよい。

【0148】

図16乃至図19を用いて、本実施形態のフラッシュメモリの製造方法の一工程について、説明する。図16は、本実施形態のフラッシュメモリの製造方法の一工程におけるメモリセルアレイ及び引き出し領域の一部分を抽出した平面図を示している。図17及び図18は、図16に対応する断面工程図を示している。図17の(a)は、図16のXVI I a-XVI I I a線に沿う断面工程図を示している。図17の(b)は、図16のXVI I I b-XVI I I b線に沿う断面工程図を示している。図18は、図16のXVI I I I-XVI I I I線に沿う断面工程図を示している。図19は、図17及び図18に示される製造工程に連続する工程の断面工程図を示している。図19の(a)は、図17の(a)の工程に続く断面工程図に対応している。図19の(b)は、図17の(b)の工程に続く断

10

20

30

40

50

面工程図に対応している。

【0149】

図16乃至図18に示されるように、例えば、図6乃至図8に示された方法と同様の方法（側壁形成工程）を用いて、スリミングされた下層芯材62Aの側面上に、配線の形成に用いられる第2の（2番目の）側壁膜71が、形成される。例えば、側壁膜71は、ALD法を用いて形成されたシリコン窒化膜である。例えば、側壁膜71の線幅LW2が、形成されるべき配線の線幅に対応するように、堆積時の側壁膜（側壁材）71の膜厚及び側壁膜71に対するエッチバックの条件が設定される。本実施形態において、2回目の側壁形成工程によって形成された側壁膜71は、配線（ワード線）を形成するためのマスクパターンに対応する。以下では、2回目の側壁形成工程によって形成された側壁膜71の

10

【0150】

図18に示されるように、側壁マスク71は、下層芯材62Aのライン部621の形状に沿って、メモリセルアレイ100内から引き出し領域150内へ延在する。

【0151】

引き出し領域150内において、側壁マスク71は、下層芯材62Aの矩形部（スペーサーパターン）622の形状に応じて折れ曲がる。側壁マスク71は、下層芯材62を取り囲むように、閉ループ状の平面形状を有している。1つの下層芯材62Aの外側（外周）の側面及び内側（内周）の側面に対して、閉ループ状の側壁マスク71が形成される。パターンニングされた下層芯材62Aのライン部621のX方向の両端に矩形部622がそれぞれ設けられているか、又は、ライン部621のX方向の一端のみに矩形部622が設けられているかに応じて、分離された2つの閉ループ状の側壁マスク71が1つの下層芯材62Aに対して形成される場合もあるし、連続した1つの閉ループ状の側壁マスク71が1つの下層芯材62Aに対して、形成される。

20

【0152】

図17の（a）に示されるように、側壁マスク71の線幅LW2は、メモリセルアレイ100内における下層芯材62Aの配線スペーサーパターンとしてのライン部621の線幅CW2と実質的に同程度の大きさに、設定される。例えば、側壁マスク71の線幅LW2は、フォトリソグラフィの解像度の限界寸法の4分の1程度の大きさを有する。より具体的な一例としては、側壁マスク71の線幅LW2は、20nm程度に設定される。メモリセルアレイ100内において、ライン部621を挟まないで対向する側壁マスク71間の間隔LI2は、例えば、側壁マスク71の線幅LW2又はライン部621の線幅CW2と実質的に同じ大きさを有している。尚、側壁マスク71の線幅LW2及び間隔CW2、LI2は、フォトリソグラフィの解像度の限界寸法の2分の1から4分の1の範囲内であってもよい。

30

【0153】

図17の（b）に示されるように、引き出し領域150内において、下層芯材62Aの矩形部（コンタクトスペーサーパターン）622を挟んでY方向に対向する側壁マスク71の間隔は、矩形部622のY方向の寸法D2Yに対応する。下層芯材62Aの矩形部622を挟んでX方向に対向する側壁マスク71の間隔は、コンタクトスペーサーパターンとしての矩形部622のX方向の寸法D2Xに対応する。引き出し領域150内における芯材62Aの外側及び内側の閉ループ状の側壁マスク71間の間隔D2X、D2Yは、メモリセルアレイ100内における側壁マスク71間の間隔CW2、LI2より大きい。

40

【0154】

矩形部622を挟んで対向する側壁マスク71間の間隔D2X、D2Yは、フォトリソグラフィの解像度の限界寸法より大きいことが好ましい。コンタクト形成領域200内における下層芯材62Aの矩形部622のサイズD2X、D2Yを調整するために、上述の製造工程において、上層芯材のフリンジ及びフリンジを覆うレジストマスクの大きさが適宜調整される。

【0155】

50

引き出し領域150において、上層のパターンに基づく下層芯材62Aの矩形部622が、スペーサーとして、コンタクト形成領域200内の側壁マスク71間に設けられていることによって、メモリセルアレイ100の側壁マスク71間の間隔L12, CW2より大きい間隔D2X, D2Yが、コンタクト形成領域200内の側壁マスク71間に確保される。これによって、コンタクト形成領域200内の配線に接続されるパッドが形成される位置において、メモリセルアレイ100内に形成される配線間の間隔より大きい間隔を、確保できる。

【0156】

コンタクト形成領域200内において、下層芯材62Aのライン部621と矩形部622との間隔が、形成される側壁マスク（配線）の線幅LW2の2倍より大きく設定されていることによって、矩形部622の側面上の側壁マスク71が、ライン部621の側面上の側壁マスク71に接触しない。

【0157】

配線のパターンに対応した側壁マスク71が形成された後、レジストマスク81Aが、フォトリソグラフィ及びエッチングによって、コンタクト形成領域200内の矩形部622を覆うように、矩形部200上及び側壁マスク71上に、形成される。レジストマスク81Aは、配線（ここでは、ワード線）のパッドが形成される予定の領域内に形成される。

【0158】

例えば、レジストマスク81Aは矩形状の平面形状を有し、レジストマスク81Aの各辺の寸法RA2, RB2は、フォトリソグラフィの解像度の限界寸法以上に設定されている。レジストマスク81AのY方向の寸法RA2は、矩形部622及び矩形部622のY方向の側面上の側壁マスク71が覆われるように、側壁マスク71の線幅LW2の2倍と矩形部622のY方向の寸法D2Yとの合計の寸法より大きい。レジストマスク81AのX方向の寸法RB2は、矩形部622のX方向における側面上の側壁マスク71及び矩形部622の全体を覆わないように、矩形部622のX方向の寸法D2Xより小さい。

【0159】

下層芯材62Aの矩形部622の一部がレジストマスク81Aに覆われた状態で、下層芯材62Aを除去するためのエッチングが実行される。下層芯材62Aを除去するためのエッチングは、ウェットエッチングでもよいドライエッチングでもよい。但し、こ

こでは、下層芯材を除去するための方法として、アッシングは用いられない。

これによって、図19に示されるように、側壁マスク71間の下層芯材が、選択的に除去される。

【0160】

図19の(a)及び(b)に示されるように、メモリセルアレイ100内及び引き出し領域150内において、下層芯材のライン部は除去され、マスク層60の上面が露出する。一方、図19の(b)に示されるように、レジストマスク81Aに覆われている下層芯材62Aの矩形部の一部分622'は、ほとんどエッチングされずに、マスク層60上に残存する。レジストマスク81Aに覆われていない矩形部の部分は、下層芯材62Aのライン部と同様に、エッチングによって除去される。

【0161】

尚、上述の製造工程において、1番目の側壁膜（側壁スペーサー）と上層芯材の残存部のパターンが、下層芯材に転写され、パターンが転写された下層芯材の側面上に、第2の側壁膜（側壁マスク）が、形成されている。但し、下層芯材を用いずに、上層芯材の除去後、第2の側壁膜71が、第1の側壁膜及び残存した上層芯材（又は、レジストマスク）の側面上に直接形成されてもよい。この場合、マスク層又は被加工層上に下層芯材を形成せずともよい。

【0162】

図20乃至図22を用いて、本実施形態のフラッシュメモリの製造方法の一工程について、説明する。図20は、本実施形態のフラッシュメモリの製造方法の一工程におけるメ

10

20

30

40

50

メモリセルアレイ及び引き出し領域の一部分を抽出した平面図を示している。図 21 は、図 20 に対応する断面工程図を示している。図 21 の (a) は、図 20 の X X I a - X X I a 線に沿う断面工程図を示している。図 21 の (b) は、図 20 の X X I b - X X I b 線に沿う断面工程図を示している。図 22 は、図 21 に示される製造工程に連続する工程の断面工程図を示している。図 22 の (a) は、図 21 の (a) の工程に続く断面工程図に対応している。図 22 の (b) は、図 21 の (b) の工程に続く断面工程図に対応している。

【0163】

図 20 及び図 21 に示されるように、残存した芯材 622' 上のレジストマスクが除去された後、レジストマスク 82 が、フォトリソグラフィ及びエッチングを用いて、セレクトゲート線（セレクトトランジスタ）が形成される領域内に、形成される。セレクトゲート線を形成するためのレジストマスク 82 の線幅 L W S は、例えば、フォトリソグラフィの解像度の限界寸法より大きく、所定のチャンネル長のセレクトトランジスタが形成される大きさに設定されている。

10

【0164】

尚、セレクトゲート線を形成するためのレジストマスク 82 は、コンタクト形成領域 200 内の下層芯材 622' を残存させるためのレジストマスクと同時に形成されてもよい。この場合、レジストマスク 82 のパターンが、下層芯材に転写され、セレクトゲート線の形成領域内に、セレクトゲート線のパターンに対応する下層芯材が、残存する。これによって、セレクトゲート線を形成するためのマスクの形成工程とパッドを形成するためのマスクの形成工程とを同時に実行でき、フラッシュメモリの製造工程を簡略化できる。

20

【0165】

側壁マスク 71、残存した矩形部 622' 及びレジストマスク（又は、残存した芯材）82 のパターンをマスクにして、下層のマスク層（以下では、下層マスクともよぶ）60A が、例えば、エッチングを用いて、加工される。

【0166】

メモリセルアレイ 100 内において、側壁マスク 71 に対応するパターンが、積層構造の下層マスク 60A が含むアモルファスシリコン膜 602A 及びシリコン酸化膜 601A に、それぞれ転写される。これによって、配線を形成するためのパターンを有する下層マスク 60A が、形成される。本実施形態の製造方法によって形成される半導体装置が、NAND 型フラッシュメモリである場合、側壁マスク 71 に基づいて形成されたマスクパターンは、ワード線及びワード線に接続されるメモリセルを形成するためのパターンに対応する。

30

【0167】

引き出し領域 150 内において、側壁マスク 71 のパターンが、マスク層 60A に転写されるとともに、コンタクト形成領域 200 内において、残存した矩形部 622' に対応するパターンが、アモルファスシリコン膜 602C 及びシリコン酸化膜 601C に、それぞれ転写される。これによって、引き出し領域 150 のコンタクト形成領域 200 内に、側壁マスク 71 の線幅 L W 2 より大きい寸法 D 2 Y を有するマスク層 60C が、形成される。マスク層 60C のパターンは、配線に接続されるパッドを形成するためのパターンに、対応する。

40

【0168】

メモリセルアレイ 100 内において、レジストマスク 82 のパターンが、アモルファスシリコン膜 602B 及びシリコン酸化膜 601B に転写される。側壁マスク 71 及び矩形部 622' にそれぞれ対応したマスク層 60A、60C が形成されるのと同時に、セレクトゲート線及びセレクトトランジスタを形成するためのマスク層 60B が、形成される。

【0169】

このように、それぞれ異なる寸法を有するマスク層 60A、60B、60C が、実質的に共通の工程で形成される。

【0170】

50

側壁マスク、残存した芯材及びレジストマスクが、パターンが転写されたマスク層 60 A, 60 B, 60 C 上から除去された後、図 22 に示されるように、パターンが転写されたマスク層 60 A, 60 B, 60 C をマスクに用いて、被加工層としての導電層 35 B、絶縁体 34、電荷蓄積層 33 及びゲート絶縁膜 32 が、順次加工される。

【0171】

これによって、メモリセルアレイ 100 内に、ラインパターンの導電層 35 B とラインパターン間のスペースパターンとを含むラインアンドスペースパターンが形成される。この段階において、ラインパターンを形成する導電層 35 B は、閉ループ状の平面形状を有している。

【0172】

ライン状の導電層 35 B とアクティブ領域 AA との交差箇所に、メモリセルが形成される。メモリセルは、電荷蓄積層 33 とコントロールゲート電極とを有する電界効果トランジスタである。形成されたラインパターンとしての導電層 35 B が、ワード線であるとともにメモリセルのコントロールゲート電極として、用いられる。

【0173】

コンタクト形成領域 200 内において、矩形状の平面形状の導電層 35 C が形成される。矩形状の導電層 35 C の X 方向又は Y 方向の端部に、閉ループ状のラインパターン（導電層）35 B が接続されている。矩形状の導電層 35 C は、メモリセルアレイ 100 内のラインパターン（導電層）35 B の線幅 LW2 及び隣接するラインパターン 35 A 間の間隔 LI2 より大きい寸法 D2Y を有している。例えば、矩形状の導電層 35 C は、フォトリソグラフィの解像度の限界寸法以上の寸法を有していることが好ましい。

【0174】

メモリセルアレイ 100 内において、レジストマスク（又はそれに対応したパターン）に基づいて加工されたマスク層 60 B の下方に、セレクトゲート線 35 S, 33 S が形成される。セレクトゲート線 35 S とアクティブ領域 AA との交差箇所に、セレクトトランジスタが形成される。

【0175】

例えば、加工された導電層 35 B, 35 S をマスクに用いて、イオン注入が実行される。これによって、トランジスタのソース／ドレインとしての拡散層 39, 39 S が、トランジスタのゲート電極に対して自己整合的に、半導体基板 30 内に形成される。

【0176】

図 23 及び図 24 を用いて、本実施形態のフラッシュメモリの製造方法の一工程について、説明する。図 23 は、本実施形態のフラッシュメモリの製造方法の一工程におけるメモリセルアレイ及び引き出し領域の一部分を抽出した平面図を示している。図 24 は、図 23 に対応する断面工程図を示している。図 24 の (a) は、図 23 の XXIVa-XXIVa 線に沿う断面工程図を示している。図 24 の (b) は、図 23 の XXIVb-XXIVb 線に沿う断面工程図を示している。

【0177】

図 23 及び図 24 に示されるように、メモリセルアレイ 100 内にラインアンドスペースパターンの導電層 35 B 及びコンタクト形成領域内の矩形状の導電層 35 C が形成される。それらを形成するためのマスク層がエッチングによって除去された後、レジストマスク 85 が、メモリセルアレイ 100 内及び引き出し領域 150 内の導電層 35 B, 35 C を覆うように、半導体基板 30 上に形成される。例えば、十字状の開口部 OP1 が、コンタクト形成領域 200 内の矩形状の導電層 35 C 上方に、フォトリソグラフィ及びエッチングによって、レジストマスク 85 内に形成されている。コンタクト形成領域 200 内の導電層 35 C の一部分が、十字状の開口部 OP1 を介して露出する。

【0178】

開口部 OP1 を有するレジストマスク 85 をマスクに用いて、コンタクト形成領域 200 内の導電層 35 C が、エッチングされる。

【0179】

これによって、閉ループ状の導電層 3 5 B がループカットされ、図 4 乃至図 6 に示されるように、互いに独立な配線（ここでは、ワード線）が形成される。また、このループカット工程によって配線の独立性が確保されるのと同時に、ラインパターンに接続された矩形状の導電層 3 5 C が十字状の開口部の形状に対応して 4 つに分割され、各配線 W L に接続されたパッド 3 5 P が形成される。

【0180】

形成されたワード線 W L は、引き出し領域 1 5 0 内で X 方向から Y 方向（又は Y 方向から X 方向）に折れ曲がっている。ワード線 W L の折れ曲がる位置は、1 番目の側壁膜（側壁スペーサー）を形成するための旗型構造の芯材のフリンジの形成位置及びサイズに応じて、設定される。また、形成されたワード線 W L の X 方向における配線間隔 D 2 X は、旗型構造の芯材のフリンジのサイズ（X 方向の寸法）に応じて、設定されている。

10

【0181】

ワード線 W L は、パッド（フリンジ）3 5 P の頂点（角）から延在するように形成される。また、4 本のワード線 W L が 1 つのグループとして、4 本のワード線 W L ごとに、引き出し領域 1 5 0 の各コンタクト形成領域 2 0 0 内にまとまって形成される。コンタクト形成領域 2 0 0 内において、ワード線 W L 及びワード線 W L に接続されるパッドは、X 方向及び Y 方向に対して対称なレイアウトを有するように、形成される。

【0182】

尚、1 つのコンタクト形成領域 2 0 0 にまとまって形成されるワード線 W L 及びパッド 3 5 P の数は、ワード線を形成するために用いられる複数の側壁膜のパターンの転写回数（又は、側壁膜の形成回数）に応じて、変化する。例えば、ワード線を形成するための側壁膜の転写回数が、 $2n$ 回で示される場合、1 つのコンタクト形成領域 2 0 0 にまとまって形成されるワード線 W L の本数及びパッド 3 5 P の個数は、“ 4^n ” で示される。

20

【0183】

本実施形態の製造方法において、メモリセルアレイ 1 0 0 の X 方向の一端側に関して、閉ループ状の導電層 3 5 C がループカットされる工程が図示されているが、メモリセルアレイ 1 0 0 の X 方向の他端側に関しても、共通の工程によって導電層 3 5 C がループカットされる。尚、メモリセルアレイ 1 0 0 の X 方向の他端側において、配線の独立性が確保されるように閉ループ状のパターン（導電層）3 5 B が分割されるのであれば、図 2 3 及び図 2 4 に示される工程と同様に、ループカット工程によってパッド 3 5 P が形成されてもよいし、パッド 3 5 P が形成されなくともよい。

30

【0184】

また、ループカット工程は、被加工層としての導電層 3 5 を加工する前に、閉ループ状のマスク層 6 0 A、6 0 C に対して実行されてもよい。この場合、導電層 3 5 は、配線及び配線に接続されるパッドに対応するパターンを含む互いに独立なマスク層に基づいて、加工される。さらには、被加工層 3 5 上のシリコン酸化膜 6 0 1 とアモルファスシリコン膜 6 0 2 とを含む積層マスク 6 0 に対するパターンの転写工程において、アモルファスシリコン膜 6 0 2 を加工する工程とシリコン酸化膜 6 0 1 を加工する工程の間に、ループカット工程が実行されてもよい。この場合、側壁マスク 7 1 及びレジストマスク 9 0 のパターンが、アモルファスシリコン膜 6 0 2 に転写され、アモルファスシリコン膜 6 0 2 の下方のシリコン酸化膜 6 0 1 にパターンが転写される前に、閉ループ状にパターンニングされたアモルファスシリコン膜 6 0 2 に、ループカットが施される。そして、配線及び配線に接続されるパッドに対応する独立なパターンのアモルファスシリコン膜 6 0 2 をマスクにして、シリコン酸化膜 6 0 2 及び導電層 3 5 が、順次加工される。

40

【0185】

閉ループ状のパターン（導電層）に対するループカットにより、ワード線 W L 及びパッド 3 5 P が形成された後、図 4 及び図 5 に示されるように、半導体基板 3 0 上に、第 1 の層間絶縁膜 5 1 が形成される。

【0186】

ドレイン側セレクトトランジスタのドレイン拡散層 3 9 S、ソース側セレクトトランジ

50

スタのソース拡散層及びパッド35Pなどのような、コンタクトプラグの形成位置において、コンタクトホールが第1の層間絶縁膜51内に形成される。タングステン(W)又はモリブデン(Mo)などの導電体が、コンタクトホール内に自己整合的に埋め込まれ、コンタクトプラグCP1、CP2が形成される。

【0187】

第1の配線レベルM0において、銅(Cu)又はアルミニウム(Al)などの金属膜が、例えば、スパッタ法によって、第1の層間絶縁膜51上及びコンタクトプラグCP1、CP2上に、堆積される。堆積された金属膜は、フォトリソグラフィ及びエッチングによって、所定の形状に加工され、コンタクトプラグCP1、CP2に接続される配線層(中間配線)59A、59Bが、形成される。

10

【0188】

第2の層間絶縁膜52が、第1の層間絶縁膜51上及び配線層59A、59B上に、形成される。そして、第2の層間絶縁膜52内に形成されたビアホール内に、配線層59Aに接続されるビアプラグVPが、埋め込まれる。

【0189】

第2の配線レベルM1において、第2の層間絶縁膜52上に、ビット線BL及び第3の層間絶縁膜53が形成される。ビット線BLは、1回以上の側壁転写工程に用いたパターンニングによって形成されてもよいし、フォトリソグラフィ及びエッチングを用いて形成されてもよい。

【0190】

20

また、ビット線BLは、ダマシン法を用いて形成されてもよい。例えば、ビット線BLが埋め込まれるダマシン溝は、1回以上の側壁転写工程によって、第3の層間絶縁膜53内に形成できる。ビット線BLを形成するための側壁転写工程は、本実施形態で述べたワード線を形成するために用いられた側壁転写工程でもよい。

【0191】

以上の工程によって、本実施形態の半導体装置(フラッシュメモリ)が形成される。

【0192】

上述のように、フラッシュメモリの配線(ここでは、ワード線)は、複数回(2n回)の側壁形成工程及び側壁転写工程を用いて、形成される。上述の製造方法によって、ワード線WLの線幅LW2及びワード線WL間の間隔LI2がフォトリソグラフィの解像度の限界寸法より小さくなるように、ワード線WL及びワード線WLに接続されるメモリセルMCが形成される。例えば、2回の側壁転写工程(及び側壁形成工程)によってワード線WLのパターンが形成される場合、ワード線WLの線幅LW2は、フォトリソグラフィの解像度の限界寸法の2分の1以下であって、フォトリソグラフィの解像度の限界寸法の4分の1程度の寸法を有する。

30

【0193】

このように、本実施形態のフラッシュメモリの製造方法は、複数回の側壁形成／転写工程によって、フォトリソグラフィによって形成できる限界のハーフピッチより小さい寸法のラインアンドスペースパターン(配線パターン)を含む半導体装置を、提供できる。

【0194】

40

複数回の側壁形成／転写工程によって、配線が形成されるフラッシュメモリにおいて、引き出し領域150のコンタクト形成領域200内において2回目の側壁形成工程によって形成される側壁マスク71に対する犠牲層の寸法(線幅)が、メモリセルアレイ100内の犠牲層と同じ微細な線幅(リソグラフィの解像度の限界寸法より小さい寸法)である場合、コンタクト形成領域200内の側壁マスク71間の間隔がメモリセルアレイ100内の側壁膜71間の間隔LI2と同様に小さくなるため、素子及び配線の微細化の推進とともに、ワード線WLに接続されるパッド35Pを形成及び配置するためのスペースを確保することが困難になる可能性がある。

【0195】

本実施形態のフラッシュメモリの製造方法のように、複数回(2n回)の側壁形成／転

50

写工程によって形成される配線を含む半導体装置の製造方法において、1回目(2n-1回目)の側壁形成工程の側壁膜(側壁スペーサー)70に対する芯材(上層芯材)65が除去される前に、その芯材を覆うマスク80Aが、配線に接続されるパッドを形成する領域(コンタクト形成領域200)内に形成される。マスク80Aによって芯材の一部が覆われた状態で、芯材65を除去するための処理が実行される。メモリセルアレイ100内の芯材が除去されるのに対して、マスク80Aに覆われている芯材652'はコンタクト形成領域200内に残存する。

【0196】

この残存させた芯材652'に対応するパターンの側面上に、2回目(2n回目)の側壁形成工程の側壁膜(側壁マスク)71が形成される。

10

残存した芯材652'の大きさを制御することによって、メモリセルアレイ100内から引き出し領域150内に延在する配線WLにおいて、引き出し領域150のコンタクト形成領域200内における配線WLの間隔(Y方向における配線間隔)D2Yを、メモリセルアレイ100内における配線WLの間隔L12より大きくできる。

【0197】

それゆえ、本実施形態のフラッシュメモリの製造方法において、メモリセルアレイ100内の部材に対するパターニング及び加工と実質的に共通(同時)の工程(プロセス)を用いて、引き出し領域150内(コンタクト形成領域200内)において、配線のパッド及びパッドを形成するためのレジストマスク81Aを配置するスペース、或いは、パッド及びマスクの加工マージンのためのスペースを、確保できる。

20

【0198】

したがって、本実施形態のフラッシュメモリの製造方法は、コンタクト形成領域200内において、配線及び配線間隔(ピッチ)の微細化に起因したパッド、配線及びコンタクトとの間に生じるショート(短絡)を防止でき、そのショートに起因するデバイスの不良を低減できる。

【0199】

この結果として、本実施形態のフラッシュメモリの製造方法は、素子及び配線の微細化に起因する半導体装置の製造歩留まりの低下を、抑制できる。また、本実施形態のフラッシュメモリの製造方法は、複雑な製造工程の追加無しに、異なる寸法(配線幅又は配線間隔)を含む配線及びその配線に接続されるパッド及びコンタクトプラグを、形成できる。

30

【0200】

したがって、第1の実施形態の半導体装置の製造方法によれば、信頼性の高い微細なパターンを含む半導体装置を、提供できる。

【0201】

(2) 第2の実施形態

図25乃至図31を参照して、第2の実施形態の半導体装置(例えば、フラッシュメモリ)の構造及び製造方法について説明する。尚、本実施形態において、第1の実施形態の半導体装置が含む構成要素と実質的に同じ部材及び機能に関する説明は、必要に応じて行う。また、本実施形態において、第1の実施形態の半導体装置の製造方法が含む製造工程と実質的に同じ工程に関する説明は、必要に応じて行う。

40

【0202】

(a) 構造

図25を用いて、本実施形態のフラッシュメモリの構造について説明する。図25は、本実施形態の平面構造を示す平面図である。尚、図25のVa-Va線、Vb-Vb線及びVc-Vc線に沿う断面構造は、上述の図5の(a)、(b)及び(c)に示される構造とそれぞれ実質的に同じで構造あるため、ここでの説明は省略する。

【0203】

本実施形態の半導体装置は、第1の実施形態と同様に、フラッシュメモリである。本実施形態のフラッシュメモリのワード線は、第1の実施形態と同様に、2n回(本実施形態では、n=1)の側壁転写工程(側壁形成工程)によって、形成される。メモリセルMC

50

が接続されたワード線WLは、メモリセルアレイ100から引き出し領域150内に延在する。引き出し領域150のコンタクト形成領域200内において、ワード線WLに、パッド35Pが接続されている。

【0204】

本実施形態のフラッシュメモリは、第1の実施形態と同様に、4本(4ⁿ本)のワード線WL及びそれに対応するパッド35Pが、1つのグループとして、1つのコンタクト形成領域200内に配置されている。

【0205】

本実施形態のフラッシュメモリにおいて、第1の実施形態とは異なって、ワード線WLは、パッド35Pの頂点(角)ではない箇所(辺)から延在する。

10

【0206】

コンタクト形成領域200内において、パッド35Pのレイアウトは、Y方向に沿う線を中心線(対称軸)として対称になっている。コンタクト形成領域200内において、パッド35Pのレイアウトは、X方向に沿う中心線に関して、対称になる場合もあるし、非対称になる場合もある。

【0207】

第2の実施形態のフラッシュメモリにおいて、第1の実施形態と同様に、引き出し領域150のコンタクト形成領域200内における配線(ワード線)WL間のY方向の間隔D2Yは、配線の線幅LW2及びメモリセルアレイ100内における配線(ワード線)WL間の間隔LI2の少なくとも一方より大きくなっている。

20

【0208】

これによって、本実施形態のフラッシュメモリは、第1の実施形態と同様に、コンタクト形成領域200内において、パッドの配置及び加工マージンのための大きいスペースを確保でき、パッド、配線及びコンタクトとの間に生じるショート(短絡)を抑制できる。

【0209】

本実施形態において、後述の製造方法のように、パッドを形成するためのパターン及びそのマスクを形成する工程が、第1の実施形態と異なる。

【0210】

以上のように、第2の実施形態の半導体装置によれば、第1の実施形態と同様に、微細なパターンを含む半導体装置の信頼性を向上できる。

30

【0211】

(b) 製造方法

図25乃至図31を用いて、第2の実施形態の半導体装置の製造方法について、説明する。尚、本実施形態において、第1の実施形態の半導体装置の製造方法と実質的に同様の工程に関する説明は、必要に応じて行う。

【0212】

図26及び図27を用いて、本実施形態のフラッシュメモリの製造方法の一工程について、説明する。図26は、本実施形態のフラッシュメモリの製造方法の一工程におけるメモリセルアレイ及び引き出し領域の一部分を抽出した平面図を示している。図27は、図26に対応する断面工程図を示している。図27の(a)は、図26のXXVIIa-XVIIa線に沿う断面工程図を示している。図27の(b)は、図26のXXVIIb-XVIIb線に沿う断面工程図を示している。

40

【0213】

第1の実施形態のフラッシュメモリの製造方法の図6乃至図15に示される製造工程と実質的に同じ工程で、上層芯材の側面上に、1回目の側壁形成工程による側壁膜(側壁スペーサー)が形成される。引き出し領域150内のコンタクト形成領域200内において、上層芯材のフリンジの一部分がレジストマスクによって覆われた状態で、上層芯材が除去され、フリンジの一部分がコンタクト形成領域200内に残存する。そして、側壁スペーサー及びフリンジの残存した部分に対応したパターンが、下層芯材に転写された後、パターンが転写された下層芯材に対するスリミング処理が実行される。

50

【0214】

図26及び図27に示されるように、スリミングされた下層芯材の側面上に、2回目の側壁形成工程による第2の側壁膜（側壁マスク）71が形成される。

【0215】

本実施形態のフラッシュメモリの製造方法において、第1の実施形態と異なって、側壁マスク71が形成された後、下層芯材を覆うレジストマスクがコンタクト形成領域200内に形成されずに、下層芯材が、エッチングによって選択的に除去される。このように、側壁マスク71のみが、マスク層60上に残存する。尚、本実施形態において、下層芯材は、アッシングによって除去されてもよい。

【0216】

上述のように、側壁マスク71の線幅LW2は、側壁スペーサーの線幅以下であって、例えば、フォトリソグラフィの解像度の限界寸法の2分の1以下から4分の1程度の大きさに設定される。図26及び図27の(a)に示されるメモリセルアレイ100内において、側壁マスク71の間隔CW2、LI2は、側壁マスク71の線幅LW2程度の大きさに設定されている。

【0217】

上述の図9乃至図13に示される工程のように、コンタクト形成領域200内にフリンジの一部分を残存させることによって、コンタクト形成領域200内において、側壁マスク71が、メモリセルアレイ100内の側壁マスク71間の間隔LI2、CW2より大きい寸法D2Yを有するコンタクトスペーサーパターン（図示せず）の側面上に、形成される。そのため、図26及び図27の(b)に示されるように、コンタクト形成領域200内の互いに異なる閉ループ状の側壁マスク71間の間隔D2Yが、メモリセルアレイ100内の側壁マスク71の間隔CW2、LI2より大きくなるように、コンタクト形成領域200内に、スペースが確保される。

【0218】

図28及び図29を用いて、本実施形態のフラッシュメモリの製造方法の一工程について、説明する。図28は、本実施形態のフラッシュメモリの製造方法の一工程におけるメモリセルアレイ及び引き出し領域の一部分を抽出した平面図を示している。図29は、図28に対応する断面工程図を示している。図29の(a)は、図28のXXIXa-XXIXa線に沿う断面工程図を示している。図29の(b)は、図28のXXIXb-XXIXb線に沿う断面工程図を示している。

【0219】

図28及び図29に示されるように、側壁マスク71を形成するための下層芯材が除去された後、レジストマスク81Bが、フォトリソグラフィ及びエッチングによって、コンタクト形成領域200内の側壁マスク71上に形成される。レジストマスク81BのX方向及びY方向における寸法RA3、RB3は、フォトリソグラフィの解像度の限界寸法より大きい。レジストマスク81Bに対して、選択的にスリミング処理を施してもよい。

【0220】

図28及び図29の(b)に示されるように、コンタクト形成領域200内のレジストマスク81Bは、配線のパッド形成位置の側壁マスク71を覆うように、マスク層60及び側壁マスク71上に形成される。例えば、レジストマスク81Bは、閉ループ状の側壁マスク71の折れ曲がった部分の一端及び他端の中間の部分の部分を覆うように、配置されている。

【0221】

側壁マスク71を覆うレジストマスク81Bは、例えば、図28及び図29の(a)に示されるセレクトゲート線（セレクトトランジスタ）を形成するためのレジストマスク82と共通の工程で、形成される。パッドのパターニングのためのマスクの形成工程が、セレクトゲート線のパターニングのためのマスクの形成工程と共通化されることによって、フラッシュメモリの製造工程が過剰に増加するのを抑制できる。

【0222】

例えば、レジストマスク 8 1 B は、そのマスク 8 1 B が複数の閉ループ状の側壁マスク 7 1 をまたがって覆わないように、パターンニングされる。1つの閉ループ状の側壁マスク 7 1 に対応するように、独立なレジストマスク 8 1 B がそれぞれ平行なレイアウトで形成される。但し、レジストマスク 8 1 B は、後述のループカット工程時のレジストマスクの開口部のパターンを制御することによって、複数の閉ループ状の側壁マスク 7 1 をまたがって覆うように、形成されてもよい。また、レジストマスク 8 1 B、8 2 は、下層芯材を除去する直前に、形成されてもよい。

【0 2 2 3】

上述のように、コンタクト形成領域 2 0 0 内において、側壁マスク 7 1 間の Y 方向に沿う間隔 D 2 Y は、レジストマスク 8 1 B を形成するためのスペース及びマージンが確保されるように、残存させる上層芯材のサイズが調整されることによって、メモリセルアレイ 1 0 0 内における側壁マスク 7 1 間の間隔 L I 2、C W 2 より大きい寸法に設定されている。そのため、複数のレジストマスク 8 1 B が、1つのコンタクト形成領域 2 0 0 内において隣接するように形成されたとしても、レジストマスク 8 1 B 間の接触は、抑制される。

10

【0 2 2 4】

そして、図 2 0 乃至図 2 2 に示される製造工程と実質的に同様に、側壁マスク 7 1 及びレジストマスク 8 1 B のパターンが、下層の積層構造のマスク層 6 0 に転写され、そのマスク層 6 0 に基づいて、下層の被加工層 3 5 A、3 4 A、3 3 A が、順次加工される。

【0 2 2 5】

20

図 3 0 及び図 3 1 を用いて、本実施形態のフラッシュメモリの製造方法の一工程について、説明する。図 3 0 は、本実施形態のフラッシュメモリの製造方法の一工程におけるメモリセルアレイ及び引き出し領域の一部分を抽出した平面図を示している。図 3 1 は、図 3 0 に対応する断面工程図を示している。図 3 1 の (a) は、図 3 0 の X X X I a - X X X I a 線に沿う断面工程図を示している。図 3 1 の (b) は、図 2 6 の X X X I b - X X X I b 線に沿う断面工程図を示している。

【0 2 2 6】

図 3 0 及び図 3 1 に示されるように、閉ループ状の導電層 3 5 B 及びメモリセルが形成され、マスク層が除去された後、ループカットのためのレジストマスク 8 5 が、導電層 3 5 B 及びメモリセルを覆うように、半導体基板 3 0 上に形成される。

30

【0 2 2 7】

本実施形態において、図 3 0 及び図 3 1 の (b) に示されるように、パッドを形成するための矩形状の導電層 3 5 C は、閉ループ状の導電層 (パターン) 3 5 B 毎にそれぞれ対応するように、形成されている。コンタクト形成領域 2 0 0 内の 2 つの閉ループ状の導電層 3 5 B において、例えば、パッドを形成するための各導電層 3 5 C は、Y 方向に隣接するように形成される。それゆえ、レジストマスク 8 5 内に、Y 方向に延在した直線状の開口部 O P 2 が、2 つの閉ループ状のパターン (導電層) 3 5 B にそれぞれ付随する導電層 3 5 C にまたがるように、形成される。これによって、パッドを形成するための導電層 3 5 C の一部分 (例えば、中央部近傍) が、レジストマスク 8 5 の開口部 O P 2 を介して露出する。

40

【0 2 2 8】

開口部 O P 2 を有するレジストマスク 8 5 に基づいて、導電層 3 5 C がエッチングされ、導電層 3 5 C が分割される。これによって、図 2 5 及び図 5 に示されるように、コンタクト形成領域 2 0 0 内のパターンの分割とともに、閉ループ状の導電層から互いに独立なワード線 W L が形成され、ワード線 W L に接続されるパッド 3 5 P が形成される。

【0 2 2 9】

この後、第 1 の実施形態と同様に、層間絶縁膜、コンタクトプラグ／ビアプラグ、中間配線層／ビット線が、順次形成される。

【0 2 3 0】

以上の製造工程によって、本実施形態のフラッシュメモリが形成される。

50

【0231】

本実施形態のフラッシュメモリの製造方法において、第1の実施形態と同様に、ワード線WLの線幅LW2及びワード線間の配線間隔LI2が、フォトリソグラフィの解像度の限界寸法の4分の1程度の大きさを有するように、2回の側壁形成／転写工程を用いて、マスク層及び被加工層が、パターンニング及び加工される。

【0232】

本実施形態のフラッシュメモリの製造方法において、第1の実施形態と異なって、2番目の側壁膜（側壁マスク）71が形成された後、下層芯材の全体が除去され、パッドを形成するためのマスク81Bが、側壁膜71を覆うように形成される。

【0233】

10

この工程の順序で、パッドを形成するためのパターンが形成された場合においても、メモリセルアレイに対する製造工程と実質的に同時（共通）の工程を用いて、コンタクト形成領域200内における側壁膜71及び配線WL間の間隔D2Yが、メモリセルアレイ100内における側壁膜71及び配線WL間の間隔LI2より大きくなるように、各パターンが形成される。その結果として、コンタクト形成領域内に形成された配線WLの間隔D2Yは、配線WLの線幅LW2及びメモリセルアレイ100内の配線WLの配線間隔LI2の少なくとも一方より大きい。

【0234】

それゆえ、本実施形態のフラッシュメモリの製造方法は、第1の実施形態と同様に、引き出し領域150のコンタクト形成領域200内において、パッドの配置及び加工マージンのためのスペースを、確保できる。したがって、本実施形態のフラッシュメモリの製造方法において、第1の実施形態と同様に、コンタクト形成領域200内において、パッド、配線及びコンタクトとの間に生じるショート（短絡）を防止でき、そのショートに起因するデバイスの不良を低減できる。

20

【0235】

以上のように、第2の実施形態の半導体装置の製造方法によれば、第1の実施形態と同様に、信頼性が向上した微細なパターンを含む半導体装置を提供できる。

【0236】

(3) 第3の実施形態

図32乃至図41を参照して、第3の実施形態の半導体装置（例えば、フラッシュメモリ）の構造及び製造方法について説明する。尚、本実施形態において、第1及び第2の実施形態の半導体装置が含む構成要素と実質的に同じ部材及び機能に関する説明は、必要に応じて行う。また、本実施形態において、第1及び第2の実施形態の半導体装置の製造方法が含む製造工程と実質的に同じ工程に関する説明は、必要に応じて行う。

30

【0237】

(a) 構造

図32及び図33を用いて、第3の実施形態のフラッシュメモリの構造について説明する。図32は、本実施形態のフラッシュメモリの平面構造を示す平面図である。図33は、図32のXXXIII-XXXIII線に沿う断面構造を示している。尚、図32のVa-Va線及びVc-Vc線に沿う断面構造は、上述の図5のVa-Va線及びVc-Vc線に示される構造とそれぞれ実質的に同じ構造であるため、ここでの説明は省略する。

40

【0238】

本実施形態のフラッシュメモリは、第1及び第2の実施形態と同様に、2n回（本実施形態では、n=1）の側壁転写工程（側壁形成工程）を用いて、フォトリソグラフィの解像度の限界寸法より小さい線幅LW2の配線（例えば、ワード線）WLが形成される。

【0239】

本実施形態のフラッシュメモリにおいて、4ⁿ本（本実施形態では、n=1）のワード線WLが、1つのグループとして、メモリセルアレイ100内から1つのコンタクト形成領域200内に延在する。コンタクト形成領域200内において、各ワード線WLは、例えば、パッド35Pの頂点ではない箇所（辺）から引き出されている。但し、各ワード線

50

WLは、パッド35Pの頂点（角）から引き出される場合もある。

【0240】

コンタクト形成領域200内における複数のパッド35Pは、Y方向に沿う中心線（対称軸）に関して対称で、X方向に沿ってジグザグに配列されている。

【0241】

コンタクト形成領域200内の1つのグループのワード線WL及びパッド35Pにおいて、外側の2本のワード線にそれぞれ接続されているパッド35Pは、内側の2本のワード線にそれぞれ接続されているパッド35Pと、Y方向に関して互いに反対側に突出している。

【0242】

本実施形態のフラッシュメモリにおいて、第1及び第2の実施形態と同様に、コンタクト形成領域200内のワード線WL間の間隔（最小間隔）D2Wは、ワード線WLの線幅LW2及びメモリセルアレイ100内のワード線WL間の間隔L12の少なくとも一方より大きい。

【0243】

本実施形態において、後述の製造方法で示されるように、コンタクト形成領域200内のワード線WL間の間隔D2Wは、1回目の側壁形成工程によって形成される側壁膜（側壁スペーサー）の膜厚によって、制御される。

【0244】

本実施形態のフラッシュメモリにおいても、第1及び第2の実施形態と同様に、コンタクト形成領域200内において、パッドの配置及び加工マージンのためのスペースを確保でき、パッド、配線及びコンタクトとの間のショートに起因する不良を、抑制できる。

【0245】

したがって、本実施形態のフラッシュメモリによれば、第1及び第2の実施形態と同様に、微細なパターンを含む半導体装置の信頼性を向上できる。

【0246】

（b） 製造方法

図34乃至図41を参照して、第3の実施形態の半導体装置（例えば、フラッシュメモリ）の製造方法について、説明する。

【0247】

図34及び図35を用いて、本実施形態のフラッシュメモリの製造方法の一工程について、説明する。図34は、本実施形態のフラッシュメモリの製造方法の一工程におけるメモリセルアレイ及び引き出し領域の一部分を抽出した平面図を示している。図35は、図34に対応する断面工程図を示している。図35の（a）は、図34のXXXVa-XXXVa線に沿う断面工程図を示している。図35の（b）は、図34のXXXVb-XXXVb線に沿う断面工程図を示している。

【0248】

第1の実施形態のフラッシュメモリの製造方法の図6乃至図8に示される製造工程と実質的に同じ工程で、フリンジを有する上層芯材の側面上に、側壁膜（側壁スペーサー）が、1回目の側壁形成工程によって形成される。

【0249】

第3の実施形態のフラッシュメモリの製造方法において、第1の実施形態とは異なって、上層芯材のフリンジを覆うレジストマスクを形成せずに、上層芯材が選択的に除去され、閉ループ状の側壁スペーサーが中間層上に残存される。上層芯材は、ウェット又はドライエッチングによって除去される。本実施形態において、上層芯材の除去する方法に、アッシングを用いてもよい。

【0250】

側壁スペーサーをマスクとして、中間層が加工される。側壁スペーサーが除去された後、加工された中間層をマスクに用いて、下層芯材が加工される。下層芯材が加工された後、上層マスクとしての中間層は、選択的に除去される。

10

20

30

40

50

【0251】

このように、1回目の側壁転写工程によって、閉ループ状の側壁スペーサーのパターンが下層芯材に転写され、図34及び図35に示されるように、閉ループ状のパターンを有する下層芯材62Bが形成される。

【0252】

尚、本実施形態のフラッシュメモリの製造方法において、上層芯材と下層芯材との間に、BARC膜及び中間層を形成せずともよい。この場合、1回目の側壁形成工程による側壁スペーサーが、下層芯材上及び下層芯材上に直接積層された上層芯材の側面上に、形成される。そして、側壁スペーサーのパターンが、直下の下層芯材に転写される。但し、上層芯材の材料に応じて、BARC膜が、上層芯材と下層芯材との間に形成されてもよい。

10

【0253】

下層芯材62Bに上層（側壁スペーサー）のパターンが転写された後、下層芯材62Bの線幅を小さくするためのスリミング処理が、実行される。

本実施形態のフラッシュメモリの製造方法において、閉ループ状の下層芯材62Bに対してスリミング処理が施される前に、コンタクト形成領域200内において、レジストマスク86が、パッドが接続される予定の部分、例えば、上層芯材のフリンジの形状に対応した下層芯材62Bの折れ曲がった部分（屈折部又はループ部ともよぶ）625を覆うように、フォトリソグラフィ及びエッチングによって、形成される。コンタクト形成領域200内の下層芯材62Bの屈折部625がレジストマスク86に覆われた状態で、下層芯材62Bに対するスリミング処理が実行される。

20

【0254】

下層芯材62Bに対するスリミング処理の前において、下層芯材62Bの線幅CW3は、1回目の側壁形成工程の側壁スペーサーの線幅LW1に対応し、例えば、フォトリソグラフィの解像度の限界寸法の半分程度の寸法に設定されている。

【0255】

図34及び図35の（a）に示されるように、メモリセルアレイ100内の下層芯材62Bのライン部621のように、レジストマスク86によって覆われていない下層芯材62Bの部分621の線幅CW2は、スリミング処理によって、スリミング処理前の芯材の線幅LW1の半分程度の寸法になる。

【0256】

30

一方、図34及び図35の（b）に示されるように、コンタクト形成領域200内において、レジストマスク86によって覆われた下層芯材62Bの部分625は、スリミングされず、スリミング処理前の芯材の線幅LW1が維持される。

【0257】

この結果として、スリミングされた下層芯材62Bの部分621とレジストマスク86に覆われた下層芯材62Bの部分625とで、2倍程度の寸法（線幅）の差が生じる。

【0258】

尚、本実施形態の製造工程において、下層芯材62Bにスリミング処理を施す前に、コンタクト形成領域200内の下層芯材62Bの部分625をレジストマスクで覆うことによって、スリミングされない芯材62Bの部分625が、形成される。但し、図34に示されるパターン（レイアウト）と同様に、コンタクト形成領域200内の側壁スペーサー（1番目の側壁膜）の部分をレジストマスクで覆った状態で、側壁スペーサーに対してスリミング処理を施した後、スリミングされた部分とスリミングされない部分とを含む側壁スペーサーのパターンを、下層芯材62Bに転写してもよい。この場合においても、図36乃至41に示されるパターンと同様のパターンが、得られる。

40

【0259】

図36及び図37を用いて、本実施形態のフラッシュメモリの製造方法の一工程について、説明する。図36は、本実施形態のフラッシュメモリの製造方法の一工程におけるメモリセルアレイ及び引き出し領域の一部分を抽出した平面図を示している。図37は、図36に対応する断面工程図を示している。図37の（a）は、図36のXXXVIIa-

50

XXXVII a線に沿う断面工程図を示している。図37の(b)は、図36のXXXVII b-XXXVII b線に沿う断面工程図を示している。

【0260】

図36及び図37に示されるように、下層芯材を覆うレジストマスクがコンタクト形成領域200内から除去された後、2回目の側壁形成工程によって、側壁膜(側壁マスク)71が、第1及び第2の実施形態と実質的に同様の方法で、下層芯材62Bの側面上に、形成される。側壁マスク71の線幅LW2は、例えば、フォトリソグラフィの解像度の限界寸法の4分の1程度の寸法を有するように、形成されている。

【0261】

上述のように、図36及び図37の(b)に示されるように、メモリセルアレイ100内において、下層芯材62Bのライン部621は、フォトリソグラフィの解像度の限界寸法の4分の1程度の線幅を有するように、スリミングされている。それゆえ、メモリセルアレイ100内において、ライン部621を挟む側壁マスク71間の間隔CW2は、フォトリソグラフィの解像度の限界寸法の4分の1程度に設定されている。

【0262】

一方、図36及び図37の(b)に示されるように、引き出し領域150内において、上述のように、コンタクト形成領域200内の下層芯材62Bの部分625がスリミング処理時にレジストマスクに覆われていることによって、レジストマスクで覆われた部分625の線幅CW3は小さくならない。それゆえ、コンタクト形成領域200内において、下層芯材62Bの部分625の線幅CW3(=LW1)は、メモリセルアレイ100内の下層芯材62Bの部分621の線幅CW2より大きい。

【0263】

したがって、コンタクト形成領域200内において、スリミングされなかった下層芯材62Bの部分(スペーサー部、コンタクトスペーサーパターン)625を挟む側壁マスク71の間隔LW1は、スリミングされた下層芯材62Bの部分(配線スペーサーパターン)621を挟む側壁マスク71の間隔CW2より大きい。

【0264】

コンタクト形成領域200内における下層芯材62Bの部分625の線幅LW1は、例えば、フォトリソグラフィの解像度の限界寸法の半分(2分の1)程度の大きさを有する。それゆえ、下層芯材62Bの部分625を挟んでいる側壁マスク71は、フォトリソグラフィの解像度の限界寸法の2分の1程度の間隔D2Wで、隣接する。

【0265】

このように、引き出し領域150のコンタクト形成領域200内において芯材62Bを挟んで対向する側壁マスク71間に、メモリセルアレイ100内において芯材62Bを挟んで対向する側壁マスク71間の間隔CW2より2倍程度大きい間隔D2W(CW3, LW1)が、確保される。

【0266】

図38及び図39を用いて、本実施形態のフラッシュメモリの製造方法の一工程について、説明する。図38は、本実施形態のフラッシュメモリの製造方法の一工程におけるメモリセルアレイ及び引き出し領域の一部分を抽出した平面図を示している。図39は、図38に対応する断面工程図を示している。図39の(a)は、図38のXXXIX a-XXXIX a線に沿う断面工程図を示している。図39の(b)は、図38のXXXIX b-XXXIX b線に沿う断面工程図を示している。

【0267】

図38、図39(a)及び(b)に示されるように、下層芯材が選択的に除去され、側壁マスク71が、マスク層60上に残存する。

【0268】

そして、図38及び図39の(b)に示されるように、コンタクト形成領域200内のパッドの形成位置において、レジストマスク81C, 81C'が、側壁マスク71の一部を覆うように、フォトリソグラフィ及びエッチングによって形成される。例えば、パッ

10

20

30

40

50

ドの形成位置に設けられるレジストマスク 81C, 81C' は、製造工程の増大を抑制するために、セレクトゲート線を形成するためのレジストマスク 82 と共通の工程で形成される。

【0269】

例えば、コンタクト形成領域 200 内において、レジストマスク 81C, 81C' は、側壁マスク 71 が隣接する方向（ここでは、Y 方向）において同一直線状に並ばないように、形成される。共通の芯材を用いて形成される側壁マスク 71 において、外側（芯材の外周側）の側壁マスク 71 に対するレジストマスク 81C' と内側（芯材の内周側）の側壁マスク 71 に対するレジストマスク 81C とは、互いに反対側に側壁マスク 71 上から引き出される。また、外側の側壁マスク 71 において、側壁マスクの折れ曲がった部分の一端及び他端（角、隅）に、1 つずつレジストマスク 81C' が設けられている。一方、内側の側壁マスク 71 において、折れ曲がった部分の一端及び他端の中間に、レジストマスク 81C が設けられている。レジストマスク 81C のサイズ RA5, RB5 は、レジストマスク 81C' のサイズ RA5', RB5' より大きい。

10

【0270】

コンタクト形成領域 200 内における側壁マスク 71 間の間隔 D2W は、メモリセルアレイ 100 内における側壁マスク 71 間の間隔 LI2 より大きい。コンタクト形成領域 200 内における側壁マスク 71 間の間隔 D2W は、下層芯材をパターンニングするための側壁スペーサの線幅 LW1 に依存する。例えば、コンタクト形成領域 200 内における間隔 D2W は、メモリセルアレイ 100 内における側壁マスク 71 間の間隔 LI2 の 2 倍程度の大きさに設定されている。その結果として、本実施形態のフラッシュメモリの製造方法において、ある共通の下層芯材を用いて形成される側壁マスク 71 において、パッドを形成するためのレジストマスク 81C, 81C' を配置するためのスペース及び加工マージンを考慮したスペースが確保され、レジストマスク 81C, 81C' が、隣接する他のレジストマスク 81C, 81C' 又は隣接する側壁マスク 71 に接触するのを抑制できる。

20

【0271】

図 40 及び図 41 を用いて、本実施形態のフラッシュメモリの製造方法の一工程について、説明する。図 40 は、本実施形態のフラッシュメモリの製造方法の一工程におけるメモリセルアレイ及び引き出し領域の一部分を抽出した平面図を示している。図 41 は、図 40 に対応する断面工程図を示している。図 41 の (a) は、図 40 の XLIa-XLIa 線に沿う断面工程図を示している。図 41 の (b) は、図 40 の XLIa-XLIa 線に沿う断面工程図を示している。

30

【0272】

図 40、図 41 (a) 及び (b) に示されるように、第 1 及び第 2 の実施形態のフラッシュメモリの製造方法と実質的に同様の工程（例えば、図 20 乃至図 22 に示される工程）によって、側壁マスク及びレジストマスクに基づいて、マスク層が加工される。側壁マスク及びレジストマスクのパターンが転写されたマスク層をマスクに用いて、マスク層の下方の被加工層が加工される。これによって、閉ループ状の導電層 35B 及びメモリセルが、メモリセルアレイ 100 内及び引き出し領域 150 内に、それぞれ形成される。閉ループ状の導電層 35B には、パッドを形成するための矩形状の導電層（矩形状部）35C が接続されている。矩形状部 35C は、閉ループ状の導電層 35B に連続した層である。

40

【0273】

閉ループ状の導電層 35B 及びメモリセルを形成するためのマスク層が除去された後、閉ループ状の導電層 35B に対するループカット工程が、実行される。

【0274】

閉ループ状の導電層 35B を分断するためのパターンを有するレジストマスク 85 が、メモリセルアレイ 100 内及び引き出し領域 150 内に形成される。コンタクト形成領域 200 において、直線状の開口部 OP3 がレジストマスク 85 内に形成される。レジストマスク 85 に基づいて、コンタクト形成領域 200 内の外側の閉ループ状の導電層 35B

50

のライン部が分断されるとともに、内側の閉ループ状の導電層の矩形部 3 5 C が X 方向に分割される。

【0 2 7 5】

閉ループ状の導電層 3 5 B に対するループカット工程によって、図 3 2 及び図 3 3 に示されるように、互いに独立なワード線 W L 及び各ワード線 W L に接続されたパッド 3 5 P が、それぞれ形成される。この後、第 1 及び第 2 の実施形態と同様に、層間絶縁膜、コンタクトプラグ／ビアプラグ、中間配線層／ビット線が、順次形成される。

【0 2 7 6】

以上の製造工程によって、本実施形態のフラッシュメモリが形成される。

【0 2 7 7】

以上のように、本実施形態のフラッシュメモリの製造方法において、第 1 及び第 2 の実施形態と同様に、ワード線 W L の線幅 L W 2 及びワード線 W L 間の配線間隔 L I 2 が、フォトリソグラフィの解像度の限界寸法の 1 / 4 程度の大きさを有するように、2 回の側壁転写工程（又は側壁形成工程）を用いて、マスク層及び被加工層が、順次パターニング及び加工される。

【0 2 7 8】

本実施形態において、ワード線 W L のパターンに対応する側壁マスク 7 1 を形成するための下層芯材（又は側壁スペーサー）に対するスリミング処理時において、コンタクト形成領域 2 0 0 内の芯材をマスクで覆うことによって、コンタクト形成領域 2 0 0 内の芯材 6 2 B の線幅 L W 1 が細くならず、メモリセルアレイ 1 0 0 内の芯材 6 2 B の線幅 C W 2 が、選択的に細くなる。このように、コンタクト形成領域 2 0 0 内とメモリセルアレイ 1 0 0 内とにおいて、線幅 L W 1 , C W 2 が異なる芯材 6 2 B 上に、側壁膜 7 1 を形成することによって、コンタクト形成領域 2 0 0 内の側壁膜 7 1 間の間隔 D 2 W (= L W 1) が、メモリセルアレイ 1 0 0 内の側壁膜 7 1 間の間隔 C W 2 より大きくされる。

【0 2 7 9】

例えば、コンタクト形成領域 2 0 0 内とメモリセルアレイ 1 0 0 内とにおいて線幅 L W 1 , C W 2 が異なる芯材を用いて形成される側壁マスク 7 1 に関して、コンタクト形成領域 2 0 0 内の側壁マスク 7 1 の間隔 D 2 W は、芯材 6 2 B をパターニングするための側壁スペーサーの線幅（膜厚）L W 1 を制御することによって、調整できる。これによって、本実施形態のフラッシュメモリの製造方法は、比較的容易な工程で、コンタクト形成領域 2 0 0 内の側壁マスク 7 1 及び配線 W L の間隔 D 2 W を、メモリセルアレイ 1 0 0 内の側壁マスク 7 1 及び配線 W L の間隔 L I 2 より大きくできる。また、コンタクト形成領域 2 0 0 内の側壁マスク 7 1 及び配線 W L の間隔 D 2 W は、側壁マスク 7 1 及びそのマスク 7 1 に基づいて形成される配線 W L の線幅 L W 2 より大きくなる。

【0 2 8 0】

以上のように、本実施形態のフラッシュメモリの製造方法は、第 1 及び第 2 の実施形態と同様に、引き出し領域 1 5 0 のコンタクト形成領域 2 0 0 内において、パッドの配置及び加工マージンのためのスペースを、確保できる。そして、本実施形態のフラッシュメモリの製造方法において、第 1 及び第 2 の実施形態と同様に、コンタクト形成領域 2 0 0 内において、配線の線幅及び配線間隔の微細化に起因したパッド、配線及びコンタクトとの間に生じるショート（短絡）を防止でき、そのショートに起因するデバイスの不良を低減できる。

【0 2 8 1】

したがって、第 3 の実施形態の半導体装置の製造方法によれば、第 1 及び第 2 の実施形態と同様に、信頼性が向上した微細なパターンを含む半導体装置を提供できる。

【0 2 8 2】

（4） 第 4 の実施形態

図 4 2 乃至図 4 8 を参照して、第 4 の実施形態の半導体装置（例えば、フラッシュメモリ）の構造及び製造方法について説明する。尚、本実施形態において、第 1 乃至第 3 の実施形態の半導体装置が含む構成要素と実質的に同じ部材及び機能に関する説明は、必要に

10

20

30

40

50

応じて行う。また、本実施形態において、第1乃至第3の実施形態の半導体装置の製造方法が含む工程と実質的に同じ工程に関する説明は、必要に応じて行う。

【0283】

(a) 構造

図42を用いて、第4の実施形態のフラッシュメモリの構造について、説明する。図42は、本実施形態のフラッシュメモリの平面構造を示す平面図である。尚、図42のV a - V a 線、V b - V b 線及びV c - V c 線に沿う断面構造は、上述の図5の(a)、(b)及び(c)に示される構造と実質的にそれぞれ同じ構造であるため、ここでの説明は省略する。

【0284】

本実施形態のフラッシュメモリは、第1乃至第3の実施形態と同様に、2回(2ⁿ回、本実施形態では、n=1)の側壁形成／転写工程を用いて、フォトリソグラフィの解像度の限界寸法より小さい線幅LW2のワード線WLが形成される。また、本実施形態のフラッシュメモリにおいて、4本(4ⁿ本、本実施形態では、n=1)のワード線WLが、1つのグループとして、メモリセルアレイ100内から1つのコンタクト形成領域200内に引き出される。コンタクト形成領域200内において、各ワード線WLは、例えば、パッド35Pの頂点(角)に接続されている。

【0285】

コンタクト形成領域200内において、1グループのワード線WLに対応する各パッド35Pは、X方向及びY方向に沿う中心線(対称軸)に関して対称になるように、レイアウトされている。1つのコンタクト形成領域200内の外側(外周側)のワード線WLと内側(内周側)のワード線WLとにおいて、外側のワード線WLは、内側のワード線WLのパッド35Pの接続位置の近傍において、外側に膨らむ形状を有している。

【0286】

本実施形態のフラッシュメモリにおいて、第1乃至第3の実施形態と同様に、コンタクト形成領域200内のワード線WL間のY方向の間隔D2Yは、メモリセルアレイ100内のワード線WLの線幅LW2及びワード線WL間の間隔LI2の少なくとも一方より大きい。それゆえ、本実施形態のフラッシュメモリにおいても、第1乃至第3の実施形態と同様に、コンタクト形成領域200内において、パッドの配置及び加工マージンのためのスペースを確保でき、パッド、配線及びコンタクトとの間に生じるショート(短絡)を抑制できる。

【0287】

本実施形態のフラッシュメモリにおいて、後述の製造方法のように、1番目の側壁膜(側壁スペーサ)の線幅が形成される配線の線幅(例えば、フォトリソグラフィの解像度の限界寸法の1/4)になるように、側壁スペーサが形成される。その側壁スペーサ及びフォトリソグラフィによって形成されたマスクに対応したパターンの側面上に、ワード線を形成するためのマスクとなる側壁膜(側壁マスク)が形成される。

【0288】

第4の実施形態の半導体装置においても、第1乃至第3の実施形態と同様に、微細なパターンを含む半導体装置の信頼性を向上できる。

【0289】

(b) 製造方法

図42乃至図48を用いて、第4の実施形態の半導体装置(例えば、フラッシュメモリ)の製造方法について、説明する。

【0290】

図43及び図44を用いて、本実施形態のフラッシュメモリの製造方法の一工程について、説明する。図43は、本実施形態のフラッシュメモリの製造方法の一工程におけるメモリセルアレイ及び引き出し領域の一部を抽出した平面図を示している。図44は、図43に対応する断面工程図を示している。図44の(a)は、図43のX L I V a - X L I V a 線に沿う断面工程図を示している。図44の(b)は、図43のX L I V b - X L I

10

20

30

40

50

V b 線に沿う断面工程図を示している。

【0291】

図6及び図8に示される工程と実質的に同じ工程によって、フリンジを有する上層芯材の線幅がフォトリソグラフィの解像度の限界寸法の2分の1程度の大きさにされた後、フォトリソグラフィの解像度の限界寸法の2分の1程度の線幅を有する側壁スペーサーが、1回目の側壁形成工程によって上層芯材の側面上に形成される。

【0292】

図43及び図44に示されるように、側壁スペーサー75が、上層芯材の側面上に形成された後、上層芯材は、例えば、ウェットエッチング、ドライエッチング又はアッシングを用いて、選択的に除去される。

10

【0293】

そして、側壁スペーサー75に対して、スリミング処理が施される。これによって、側壁スペーサー75の線幅LW3は、フォトリソグラフィの解像度の限界寸法の4分の1程度の大きさに、細くされる。

【0294】

図43及び図44の(a)に示されるように、メモリセルアレイ100内において、側壁スペーサー75のY方向における間隔LI3は、上層芯材のライン部によって形成されたラインアンドスペースの寸法と側壁スペーサー75のエッチングされた寸法に対応し、その間隔LI3は、例えば、フォトリソグラフィの解像度の限界寸法の4分の3程度の大きさ、すなわち、側壁スペーサー75の線幅LW3の3倍の大きさに設定されている。

20

【0295】

図43及び図44の(b)に示されるように、コンタクト形成領域200内において、パッドの形成領域における側壁スペーサー75間のY方向の間隔D1Yは、上層芯材のフリンジの大きさに対応し、例えば、フォトリソグラフィの解像度の限界寸法より大きい寸法に設定されている。

【0296】

コンタクト形成領域200内において、スリミングされた側壁スペーサー75を覆うように、レジストマスク87が形成される。例えば、レジストマスク87のX方向及びY方向の寸法RA6、RB6は、フォトリソグラフィの解像度の限界寸法より大きい。

【0297】

30

尚、上層芯材の線幅及び隣接する上層芯材間の間隔を調整することによって、上層芯材を除去せずに側壁スペーサー75に対するスリミング処理を実行し、側壁スペーサー75の線幅LW3を、フォトリソグラフィの解像度の限界寸法の4分の1程度、及び、側壁スペーサー75間の間隔をフォトリソグラフィの解像度の限界寸法の4分の3程度に、設定してもよい。

【0298】

図45及び図46を用いて、本実施形態のフラッシュメモリの製造方法の一工程について、説明する。図45は、本実施形態のフラッシュメモリの製造方法の一工程におけるメモリセルアレイ及び引き出し領域の一部を抽出した平面図を示している。図46は、図45に対応する断面工程図を示している。図46の(a)は、図45のXLV Ia-XLV Ia線に沿う断面工程図を示している。図46の(b)は、図45のXLV Ib-XLV Ib線に沿う断面工程図を示している。

40

【0299】

図45及び図46に示されるように、上述の各実施形態の製造工程と実質的に同じ工程によって、スリミングされた側壁スペーサー及び側壁スペーサーを覆うレジストマスクに基づいて、中間層が加工され、側壁スペーサー及びレジストマスクのパターンが中間層に転写される。側壁スペーサー及びレジストマスクが除去された後、パターンが転写された中間層63Bをマスクとして、下層芯材62Bが加工される。

これによって、下層芯材62Bに、フォトリソグラフィの解像度の限界寸法の2分の1より小さい寸法にスリミングされた側壁スペーサーのパターン及びレジストマスクのパタ

50

ーンが転写される。

【0300】

尚、本実施形態において、BARC膜及び中間層を下層芯材上に形成せずに、図43及び図44の側壁スペーサー及びレジストマスクを、下層芯材上に直接形成して、側壁スペーサー及びレジストマスクのパターンを下層芯材に直接転写してもよい。

【0301】

図45及び図46の(a)に示されるように、メモリセルアレイ100内において、下層芯材62Bのライン部621が形成される。メモリセルアレイ100内の下層芯材62Bのライン部(配線スペーサーパターン)621は、1回目の側壁形成工程による側壁スペーサーのパターンに対応するように、形成されている。メモリセルアレイ100内の下層芯材62Bのライン部621の線幅CW4は、側壁スペーサーの線幅LW3と実質的に同様に、フォトリソグラフィの解像度の限界寸法の4分の1程度の大きさを有する。メモリセルアレイ100において、下層芯材62Bのライン部621間の間隔CI3は、ライン部621の線幅CW4の3倍程度に設定されている。

10

【0302】

図45及び図46の(b)に示されるように、引き出し領域150のコンタクト形成領域200内において、下層芯材62Bの矩形部(コンタクトスペーサーパターン)622が、メモリセルアレイ100内から延在するライン部621に接続されるように、形成される。例えば、ライン部(配線スペーサーパターン)621は、矩形部622の頂点ではない箇所に接続されるように、形成されている。

20

【0303】

下層芯材62Bの矩形部622は、側壁スペーサーを覆うレジストマスクのパターン及びサイズに対応するように形成されている。パターンニングされた下層芯材62Bにおいて、矩形部622のX方向における寸法D2X及び矩形部622のY方向における寸法D2Yは、フォトリソグラフィの解像度の限界寸法以上である。

【0304】

図47を用いて、本実施形態のフラッシュメモリの製造方法の一工程について、説明する。図47は、本実施形態のフラッシュメモリの製造方法の一工程におけるメモリセルアレイ及び引き出し領域の一部を抽出した平面図を示している。図47のXVIIa-XVIIa線に沿う断面工程図は、上述の図17の(a)又は図19の(a)に対応し、図47のXVIIb-XVIIb線に沿う断面工程図は、上述の図17の(b)又は図19の(b)に対応している。

30

【0305】

図47及び図17に示されるように、2回目の側壁形成工程による側壁マスク71が、例えば、図16乃至図18に示される製造工程と実質的に同じ方法によって、下層芯材(図示せず)の側面上に、形成される。

側壁マスク71の線幅LW2は、フォトリソグラフィの解像度の限界寸法の4分の1程度の大きさを有する。

【0306】

図47及び図17の(a)に示されるように、メモリセルアレイ100内において、側壁マスク71間の間隔LI2は、例えば、フォトリソグラフィの解像度の限界寸法の4分の1程度の大きさを有する。

40

【0307】

図47及び図17の(b)に示されるように、コンタクト形成領域200内において、側壁マスク71は、下層芯材62Bの矩形部の形状に応じて、屈折する。共通の矩形部の側面上に形成される側壁マスク71は、側壁マスク71の線幅LW2又はメモリセルアレイ100内における側壁マスク71間の間隔LI2より大きい寸法、例えば、フォトリソグラフィの解像度の限界寸法以上の寸法D2YでY方向に離間している。

【0308】

図16乃至図18に示される製造工程と実質的に同様に、側壁マスク71が形成された

50

後、レジストマスク 8 1 A が、コンタクト形成領域 2 0 0 内の下層芯材の部分 6 2 2 及びその部分 6 2 2 の側面上の側壁マスク 7 1 を覆うように、フォトリソグラフィ及びエッチングによって形成される。レジストマスク 8 1 A の X 方向及び Y 方向の寸法 R A 7, R B 7 は、フォトリソグラフィの解像度の限界寸法以上である。例えば、レジストマスク 8 1 A の Y 方向の寸法 R B 7 は、側壁マスク 7 1 の線幅 L W 2 の 2 倍の寸法とコンタクト形成領域 2 0 0 内の側壁マスク 7 1 間の Y 方向の間隔 D 2 Y との和以上の大きさに設定される。

【0309】

そして、コンタクト形成領域 2 0 0 内の下層芯材 6 2 B の一部分 6 2 2 ' がレジストマスク 8 1 A で覆われた状態で、下層芯材 6 2 B に対する選択的なウェットエッチング又はドライエッチングが実行される。例えば、本実施形態において、下層芯材を除去するための方法として、アッシングは用いられない。

10

【0310】

これによって、図 4 7 及び図 1 9 の (a) に示されるように、メモリセルアレイ 1 0 0 内の下層芯材が除去される。一方、図 4 7 及び図 1 9 の (b) に示されるように、コンタクト形成領域 2 0 0 内において、レジストマスク 8 1 A で覆われた下層芯材 6 2 B の部分 6 2 2 ' が、残存する。

【0311】

図 4 8 を用いて、本実施形態のフラッシュメモリの製造方法の一工程について、説明する。図 4 8 は、本実施形態のフラッシュメモリの製造方法の一工程におけるメモリセルアレイ及び引き出し領域の一部を抽出した平面図を示している。図 4 8 の X X I I a - X X I I a 線に沿う断面工程図は、上述の図 2 2 の (a) に対応し、図 4 8 の X X I I b - X X I I b 線に沿う断面工程図は、上述の図 2 2 の (b) に対応している。

20

【0312】

図 4 8 及び図 2 2 に示されるように、図 2 0 及び図 2 1 に示される製造工程と実質的に同様の方法を用いて、レジストマスクが除去された後、側壁マスク及び残存した下層芯材の部分をマスクに用いて、被加工層上のマスク層が加工され、側壁マスク及び残存した下層芯材のパターンが転写されたマスク層（下層マスク） 6 0 A が、形成される。

【0313】

例えば、残存させた下層芯材を覆うレジストマスクを除去する工程と下層マスク 6 0 A を加工する工程との間に、第 1 の実施形態と同様に、セレクトゲート線のパターンを形成するためのマスク（レジストマスク）が形成されてもよい。

30

【0314】

図 2 2 に示される製造工程と実質的に同様の工程を用いて、側壁マスク及び残存した下層芯材が除去された後、パターンニングされたマスク層（下層マスク） 6 0 A をマスクに用いて、マスク層 6 0 A の下層の被加工層（導電層及び絶縁層）が加工される。閉ループ状の導電層 3 5 B 及びメモリセルのフローティングゲート電極 3 3 が、メモリセルアレイ 1 0 0 内及び引き出し領域 1 5 0 内に形成される。

【0315】

上述の図 4 7 及び図 1 9 に示される工程において残存した下層芯材の形状に応じて、図 4 8 及び図 2 2 の (b) に示されるように、導電層 3 5 B の線幅 L W 3 又はメモリセルアレイ 1 0 0 内の導電層 3 5 B 間の間隔 L I 2 より大きい寸法（例えば、フォトリソグラフィの解像度の限界寸法以上）の矩形パターン（矩形状の導電層） 3 5 C が、コンタクト形成領域 2 0 0 内に、形成される。

40

【0316】

マスク層 6 0 A が除去された後、図 2 3 及び図 2 4 に示される工程と実質的に同様に、十字状の開口部を有するレジストマスクが、メモリセルアレイ 1 0 0 内及び引き出し領域 1 5 0 内に形成される。十字状の開口部を介して、コンタクト形成領域 2 0 0 内の矩形パターン 3 5 C の上面が、露出する。そして、露出した矩形状の導電層 3 5 C に対して、エッチング処理が施される。このループカット工程によって、図 4 2 に示されるように、第

50

1の実施形態と同様に、1つの矩形形状の導電層35Cが、4つのパッド35Pに分断されるとともに、互いに独立なワード線WLが形成される。

【0317】

この後、第1乃至第3の実施形態と同様に、層間絶縁膜、コンタクトプラグ／ビアプラグ、中間配線層／ビット線が、順次形成される。

【0318】

以上の製造工程によって、本実施形態のフラッシュメモリが形成される。

【0319】

本実施形態のフラッシュメモリの製造方法において、2番目の側壁膜（側壁マスク）に対する芯材を加工するためのマスクパターンが形成される際に、レジストマスク87が、形成されるべき配線（ワード線）の線幅を有する1番目の側壁膜（線幅LW2の側壁スペーサー）75を覆うように、コンタクト形成領域200内に形成される。レジストマスク87及びワード線WLの線幅に対応する線幅（膜厚）に設定された側壁スペーサーのパターン75が、側壁マスク71を形成するための芯材に転写される。

10

【0320】

そして、この芯材の側面上に、2回目の側壁形成工程によって、側壁マスク71が形成される。これによって、側壁マスク71が形成されるべきワード線WLの線幅LW2を有するとともに、1番目の側壁スペーサー75を覆うレジストマスク87のサイズに応じて、コンタクト形成領域200内の2番目の側壁マスク71の間隔D2Yが、メモリセルアレイ100内の2番目の側壁マスク71間の間隔より大きくなる。

20

【0321】

また、本実施形態のフラッシュメモリにおいて、側壁マスク71を形成するための芯材を除去する前に、コンタクト形成領域200内のその芯材を覆うように、レジストマスク87が形成される。そのマスク87に基づいて、パッドを形成するためのパターンが、形成される。

【0322】

このように、コンタクト形成領域200内の配線WL（又は側壁マスク）の間隔D2Yを、配線WL（又は側壁マスク）の線幅LW2及びメモリセルアレイ100内の配線WL（又は側壁マスク）の間隔LI2より大きくできる。

【0323】

それゆえ、本実施形態のフラッシュメモリの製造方法は、第1乃至第3の実施形態と同様に、引き出し領域150のコンタクト形成領域200内において、パッドの配置及び加工マージンのための大きいスペースを、確保できる。その結果として、本実施形態のフラッシュメモリの製造方法において、第1乃至第3の実施形態と同様に、コンタクト形成領域200内において、パッド、配線及びコンタクトとの間に生じるショート（短絡）を防止でき、そのショートに起因するデバイスの不良を低減できる。

30

【0324】

したがって、第4の実施形態の半導体装置の製造方法によれば、第1乃至第3の実施形態と同様に、信頼性が向上した微細なパターンを含む半導体装置を提供できる。

【0325】

（5） 第5の実施形態

図49乃至図61を参照して、第5の実施形態の半導体装置の構造及び製造方法について説明する。尚、本実施形態において、第1乃至第4の実施形態の半導体装置が含む構成要素と実質的に同じ部材及び機能に関する説明は、必要に応じて行う。また、本実施形態において、第1乃至第4の実施形態の半導体装置の製造方法が含む工程と実質的に同じ工程に関する説明は、必要に応じて行う。

40

【0326】

（a） 構造

図49及び図50を用いて、第5の実施形態の半導体装置（例えば、フラッシュメモリ）の構造について説明する。

50

【0327】

図49は、本実施形態のフラッシュメモリの平面構造を示している。図50は、図49のL-L線に沿う断面構造を示している。尚、図49のVa-Va線及びVc-Vc線に沿う断面構造は、上述の図5の(a)及び(c)に示される構造と実質的にそれぞれ同じであるため、ここでの説明は省略する。

【0328】

図49及び図50に示されるように、第1乃至第4の実施形態と同様に、4本のワード線WLが、1つのグループとして、メモリセルアレイ100内から引き出し領域150の1つのコンタクト形成領域200内に、それぞれ引き出されている。コンタクト形成領域200内において、各ワード線WLに接続されたパッド35Pは、Y方向に沿う中心線（対称軸）に関して対称にレイアウトされている。

10

【0329】

例えば、本実施形態のフラッシュメモリにおいても、ワード線WLの線幅LW2及びメモリセルアレイ100内のワード線WLの間隔LI2は、フォトリソグラフィの解像度の限界寸法の4分の1程度の大きさに設定される。

【0330】

コンタクト形成領域200において、外側（外周側）に形成されるワード線WL及びそのワード線WLのパッド35Pは、内側（内周側）に形成されるワード線WL及びそのワード線WLのパッド35Pが引き出される側（突出する側）に対して反対側に、引き出される（突出する）。

20

【0331】

ワード線WLに接続されるパッド35P間のX方向における間隔DD1、DD2は、ワード線WLの線幅LW2及びメモリセルアレイ100内のワード線WLの間隔LI2の少なくとも一方より大きい。例えば、外側のワード線WLのパッド35P間のX方向の間隔DD1は、内側のワード線WLのパッド35P間のX方向の間隔DD2より大きい。

【0332】

本実施形態のフラッシュメモリにおいて、第1乃至第4の実施形態と同様に、コンタクト形成領域200内におけるワード線WL間及びパッド35P間の間隔D2Zは、ワード線WLの線幅LW2及びメモリセルアレイ100内のワード線WLの間隔LI2の少なくとも一方より大きい。

30

【0333】

第1乃至第4の実施形態において、残存させるべきパターン（例えば、コンタクトスペーサーパターン）の消失及び欠損の防止するために、マスク及び芯材に用いられる材料の組み合わせに応じて、ある部材を選択的に除去する際に、アッシングを用いることができずに、ウェットエッチング又はドライエッチングが用いられる場合がある。

しかし、マスク及び芯材などのパターンを形成するための部材に用いられる材料に関する制約、又は、連続して実行されるプロセス上の制約、又は、プロセスの効率化のため、アッシングによって部材を除去（又は加工）することが好ましい場合がある。

【0334】

後述の本実施形態のフラッシュメモリの製造方法において、芯材に形成されるフリンジの平面パターンが凹形状の平面パターンに設定され、その凹型の窪んだ部分がレジストマスクで覆われる。例えば、フリンジとレジストマスクとの間、及び、レジストマスクと下地層（例えば、BARC膜）との間には、エッチバックされる前の側壁材が形成されている。これによって、レジストマスクと上下に重なるフリンジの面積が小さくなるので、フリンジを覆うレジストマスク下方の芯材がアッシングによって選択的に除去される場合においても、所定のパターン（例えば、配線間に大きい間隔を確保するためのパターン）が消失及び欠損するのを防止できる。それゆえ、本実施形態のフラッシュメモリ及び後述の製造方法によれば、所定のパターンを残存させることができ、プロセスに起因するフラッシュメモリの欠陥及び不良の発生を防止できる。また、本実施形態のフラッシュメモリによれば、プロセスの自由度を向上できる。

40

50

【0335】

したがって、第5の実施形態の半導体装置によれば、第1乃至第4の実施形態と同様に、微細なパターンを含む半導体装置の信頼性を向上できる。

【0336】

(b) 製造方法

図49乃至図61を用いて、第5の実施形態の半導体装置（例えば、フラッシュメモリ）の製造方法について説明する。

【0337】

図51及び図52を用いて、本実施形態のフラッシュメモリの製造方法の一工程について、説明する。図51は、本実施形態のフラッシュメモリの製造方法の一工程におけるメモリセルアレイ及び引き出し領域の一部分を抽出した平面図を示している。図52は、図51に対応する断面工程図を示している。図52の(a)は、図51のL I I a-L I I a線に沿う断面工程図を示している。図52の(b)は、図51のL I I b-L I I b線に沿う断面工程図を示している。

10

【0338】

図51及び図52に示されるように、第1乃至第4の実施形態と同様に、半導体基板30上の導電層35Aに、積層構造のマスク層60が形成される。

【0339】

マスク層60のシリコン酸化膜601が、導電層35A上に、堆積される。マスク層60のアモルファスシリコン膜602が、シリコン酸化膜601上に堆積される。

20

【0340】

下層芯材62として、シリコン酸化膜62が、アモルファスシリコン膜602上に、堆積される。シリコン酸化膜601、62間に、アモルファスシリコン膜602を介在させることによって、下層芯材62としてのシリコン酸化膜62とマスク層60が含むシリコン酸化膜601とのエッチング選択比（加工選択比）が確保される。

【0341】

中間層63としてのシリコン窒化膜63が、下層芯材62上に堆積される。中間層63上に、BARC膜（反射防止膜）64が、堆積される。BARC膜64は、例えば、カーボン膜又はカーボンを含む膜を用いて、形成されている。

【0342】

このように、各層間の加工選択比（エッチング選択比）が確保されるように、各層を形成する材料が適宜選択され、被加工層としての導電層35A上に順次積層される。導電層上に積層される各層の厚さは、各層を形成する材料の加工選択比に基づいて、設定される。尚、各層の材料は、加工選択比を確保できる限り、上記の材料に限定されない。

30

【0343】

上層芯材65がBARC膜64上に形成され、上層芯材65は、所定の形状を有するように、フォトリソグラフィ及びエッチングによって、パターンニングされる。例えば、上層芯材65は、レジスト材を用いて、形成される。上層芯材65としてのレジスト材の膜厚は、例えば、200nm程度に設定されている。

【0344】

図51及び図52の(a)に示されるように、メモリセルアレイ100内において、上層芯材65のライン部651は、ラインアンドスペースパターンのレイアウトを有するように、パターンニングされている。

40

【0345】

図51及び図52の(b)に示されるように、引き出し領域150のコンタクト形成領域200内において、上層芯材65のフリンジ659が形成される。本実施形態のフラッシュメモリの製造方法において、半導体基板の表面（X-Y平面）に対して垂直方向から見たフリンジ659の形状（平面形状）は、凹型の形状を有している。凹形状のフリンジ659の窪み（凹型の2つの突起の間の領域）99は、フリンジ65が突出している側（ライン部651側と反対側）におけるフリンジ659の側面（Y方向の側面）に形成され

50

ている。

【0346】

上層芯材65に対してスリミング処理が施される。スリミング処理によって、上層芯材65のライン部651の線幅(Y方向に対して平行方向の寸法)CW1は、フォトリソグラフィの解像度の限界寸法の半分程度の大きさにされる。例えば、上述のように、スリミング処理前における上層芯材65のライン部651の線幅及びライン部651間の間隔(スペース)は、それぞれ80nm程度に設定されている。スリミング処理によって、ライン部651の線幅CW1は、40nmに設定され、ライン部651間の間隔が、120nm程度に設定される。上層芯材に対するスリミング処理後において、凹型構造のフリンジ659のY方向における最大寸法D1Y及び窪み99に対応したフリンジのY方向における寸法D1Y'は、ライン部651の線幅CW1より大きく、例えば、フォトリソグラフィの解像度の限界寸法より大きい。

10

【0347】

上層芯材としてのレジスト材65に対してスリミング処理が施される場合、フォトリソグラフィの露光時間を通常の(パターンニングのための)露光時間より長くすることによって、パターンの現像後に、レジスト材65の寸法を小さくできる。O₂ガスを用いたプラズマ処理によるドライエッチングによって、上層芯材65としてのレジスト材の寸法を小さくしてもよい。ドライエッチングによって上層芯材(レジスト材)65がスリミングされる場合、BARC膜64も同時に加工され、加工された上層芯材65及びBARC膜64が、1つの犠牲層を形成する。

20

【0348】

BARC膜64上及びスリミングされた上層芯材65上に、例えば、ALD法を用いて、1番目の側壁膜(側壁スペーサー)を形成するためのシリコン酸化膜(側壁材)79が、堆積される。シリコン酸化膜79の膜厚は、上層芯材65のラインパターン部621の線幅CW1とほぼ同じ大きさを有するように、形成される。ここで、シリコン酸化膜79の膜厚は、基板表面に対して水平方向における芯材65側面上のシリコン酸化膜79の寸法(最大寸法)である。尚、下地層に用いられる材料に応じて、シリコン窒化膜が、側壁膜を形成するための膜として、シリコン酸化膜の代わりに堆積されてもよい。

【0349】

凹型構造のフリンジ部659の窪み99のX方向における寸法D5は、窪み99が側壁膜79によって埋め込まれないように、側壁膜79の膜厚の2倍より大きい。

30

【0350】

図53乃至図55を用いて、本実施形態のフラッシュメモリの製造方法の一工程について、説明する。図53は、本実施形態のフラッシュメモリの製造方法の一工程におけるメモリセルアレイ及び引き出し領域の一部を抽出した平面図を示している。図54は、図53に対応する断面工程図を示している。図54の(a)は、図53のLIVa-LIVa線に沿う断面工程図を示している。図54の(b)は、図53のLIVb-LIVb線に沿う断面工程図を示している。図55は、図54に示される製造工程に連続する工程の断面工程図を示している。図55の(a)は、図54の(a)の工程に続く断面工程図に対応している。図55の(b)は、図54の(b)の工程に続く断面工程図に対応している。

40

【0351】

図53及び図54に示されるように、上層芯材65の側面上に側壁スペーサーを選択的に残存させるエッチバックが側壁材79に施される前に、引き出し領域150のコンタクト形成領域200内において、レジストマスク89が、フォトリソグラフィ及びエッチングによって、上層芯材65のフリンジ659を覆う側壁材79上に形成される。レジストマスク89は、コンタクト形成領域200内に形成される配線(パッド)間の間隔を広くするパターン(コンタクトスペーサーパターン)を形成するためのマスクである。

【0352】

図53及び図54の(b)に示されるように、レジストマスク89は、矩形状の平面形

50

状を有し、上層芯材 65 のフリンジ 659 に形成された窪み（凹型の 2 つの突起部の間の領域）99 を覆うように、パターンニングされている。後述の工程で形成される配線のレイアウトの対称性を確保するために、フリンジ 659 の凹型の窪み 99 を覆う部分のレジストマスク 89 の Y 方向の寸法が、レジストマスク 89 の Y 方向の全体の寸法 D9Y の半分の大きさに設定されることが好ましい。また、レジストマスク 89 の X 方向の寸法は、フリンジ 659 の窪み 99 の X 方向の寸法より大きいことが好ましい。例えば、レジストマスク 89 は、コンタクト形成領域 200 内で下地層（ここでは、BARC 膜 64）上の側壁材 79 を覆っていれば、上層芯材 65 とオーバーラップしていなくともよい。

【0353】

図 55 の（a）及び（b）に示されるように、凹型のフリンジ 659 の窪み 99 がレジストマスク 89 で覆われた状態で、側壁材に対するエッチバックが実行される。上層芯材 65 を覆うシリコン酸化膜（側壁材）に対してエッチバックが施され、側壁スペーサー 70 が上層芯材 65 の側面上に形成される。側壁材としてのシリコン酸化膜に対するエッチングは、例えば、 C_4F_8 、 CF_4 及び CHF_3 などを含むフロロカーボン系のエッチングガスと酸素（ O_2 ）及びアルゴン（Ar）等のガスとの混合ガスを用いて、実行される。

10

【0354】

図 55 の（a）に示されるように、メモリセルアレイ 100 内において、線幅 LW1 の側壁スペーサー 70 が、形成される。側壁スペーサー 70 の線幅 LW1 は、上層芯材 65 のライン部 651 の線幅 CW1 と同様に、例えば、フォトリソグラフィの解像度の限界寸法の 2 分の 1 程度に設定されている。尚、所定のラインアンドスペースパターンが形成されるように上層芯材の線幅及び上層芯材間の間隔を制御することによって、フォトリソグラフィの解像度の限界寸法の 4 分の 1 程度の線幅を有する側壁スペーサーが形成されてもよい。

20

【0355】

図 55 の（b）に示されるように、コンタクト形成領域 200 内において、レジストマスク 89 に覆われた部分において、シリコン酸化膜 70D が、レジストマスク 89 の形状に応じて、BARC 膜 64 上に残存する。残存した膜 70D のことを、ダミー層（残存部又は残存パターン）70D とよぶ。

【0356】

30

所定の線幅の側壁スペーサー 70 及びダミー層 70D が形成された後、例えば、レジストマスク 89 がダミー層 70D 上を覆った状態で、上層芯材が選択的に除去される。上層芯材は、例えば、アッシングによって除去される。例えば、芯材の除去のためのアッシングによって、レジストマスク 89 の膜厚も薄くなる。例えば、BARC 膜 64 の上面は、側壁スペーサー 70 の形成及び上層芯材の除去によって、エッチングされる場合がある。

【0357】

本実施形態のように、上層芯材に形成された凹形状のフリンジ 659 の窪み 99 がマスクに覆われることによって、図 54 及び図 55 に示されるように、レジストマスク 89 下方の上層芯材 65 のサイズは、レジストマスク 89 及びレジストマスク 89 の下方の側壁材のパターン 70、70D のサイズに対して十分小さくなる。その結果として、上層芯材（レジスト材）65 が除去される場合において、アッシング（またはエッチング）の反応種（ラジカル）の回り込みによって、レジストマスク 89 の下方の上層芯材（フリンジ）に対応する位置に空洞 98 が生じて、その空洞 98 のサイズは、比較的小さくなる。さらに、レジストマスク 89 の下方に、大きいサイズ（面積）の側壁材が、コンタクト形成領域 200 内に残存する。したがって、本実施形態のフラッシュメモリの製造方法によれば、例えば、アッシングによってレジスト材からなる上層芯材が除去されたとしても、パッドを形成するための領域を確保するためのパターン（コンタクトスペーサーパターン）の形成の制御性が確保され、大きいサイズのパターン（ここでは、側壁材のパターン）をコンタクト形成領域 200 内に残存できる。尚、アッシングによって芯材が除去される場合と同様に、エッチングによってレジストマスクの下方の上層芯材が除去される場合にお

40

50

いても、材料の組み合わせに応じて、配線間隔を大きくするパターンを形成するための制御性を向上できる。

【0358】

本実施形態のように、上層芯材65のフリンジ659の平面形状を凹形状のパターンにすることによって、マスク89と矩形形状のフリンジとのがオーバーラップする面積を小さくするようにレジストマスク89のサイズや形成位置を制御する場合に比較して、レジストマスクのアライメントずれに起因したパターンの欠損を抑制でき、パッドの形成のためのパターンの配置スペースに対するマージンを向上できる。

【0359】

尚、上層芯材65（フリンジ659）を覆うレジストマスク89を形成するレジスト材及び上層芯材65を形成するレジスト材は、加工選択比（エッチング選択比）が異なるように、異なる材料又は異なる膜厚が用いられることが好ましい。

【0360】

図56及び図57を用いて、本実施形態のフラッシュメモリの製造方法の一工程について、説明する。図56は、本実施形態のフラッシュメモリの製造方法の一工程におけるメモリセルアレイ及び引き出し領域の一部分を抽出した平面図を示している。図57は、図56に対応する断面工程図を示している。図57の（a）は、図56のLVIIa-LVIIa線に沿う断面工程図を示している。図57の（b）は、図56のLVIIb-LVIIb線に沿う断面工程図を示している。

【0361】

図56及び図57に示されるように、レジストマスクが除去された後、形成された側壁スペーサー及びダミー層をマスクに用いて、BARC膜64D及び中間層（シリコン窒化膜）63Dが、例えば、ドライエッチングによって、加工される。側壁膜及びダミー層のパターンが転写された閉ループ状のパターンを有するBARC膜64D及び中間層63Dが、形成される。

【0362】

BARC膜64Dに対するエッチングは、塩素（ Cl_2 ）、窒素（ N_2 ）及び O_2 などを含む混合ガスを用いて、実行される。中間層としてのシリコン窒化膜63Dに対するエッチングは、例えば、 C_4F_8 、 CHF_3 及び CF_4 などを含む混合ガスを用いて、実行される。

【0363】

尚、中間層としてのシリコン窒化膜63Dが加工された時に、側壁膜としてのシリコン酸化膜が、シリコン窒化膜に対するエッチング条件にさらされることによって、消失する場合がある。但し、側壁膜がシリコン窒化膜膜に対するエッチングによって消失する場合においても、側壁膜で覆われていたBARC膜64Dは、側壁膜が保護膜となるため、シリコン窒化膜63D上に残存する。

【0364】

図56及び図57の（a）に示されるように、メモリセルアレイ100内において、側壁膜（側壁スペーサー）に対応するライン状のパターン（ライン部）631、641が、中間層63D内及びBARC膜64Dに形成される。そのライン部631、641の線幅LW1は、例えば、フォトリソグラフィの解像度の限界寸法の半分程度の大きさに設定されている。また、上層芯材が配置されていたスペースか否かに関わらず、ライン部641、631間の間隔LI1は、ライン部641、631の線幅LW1と実質的に同じ大きさに設定されている。

【0365】

図56及び図57の（b）に示されるように、コンタクト形成領域200内において、ダミー層に対応するパターン（以下では、ダミーパターンともよぶ）639、649が、中間層63D内及びBARC膜64Dに形成される。ダミーパターン639、649のY方向における寸法D9Yは、ライン部631、641間の線幅LW1よりも大きい。例えば、ダミーパターン639、649の寸法D9Yは、フォトリソグラフィの解像度の限界

10

20

30

40

50

寸法以上に設定されている。

【0366】

ダミーパターン639, 649の平面形状は、例えば、凸形状になっている。例えば、凸形状のダミーパターン639, 649において、閉ループ状のパターン63D, 64Dの内周側のダミーパターン639, 649のY方向の寸法(幅)が、閉ループ状のパターン63D, 64Dの外周側のダミーパターン639, 649のY方向の寸法(幅)より小さい。メモリセルアレイ100内から引き出し領域150内に延在するライン部631, 641は、ダミーパターン639, 649のY方向の一端及び他端の中間の位置(凸型の段差部分)に接続されている。

【0367】

例えば、図57の(b)に示されるように、ダミー層の側壁膜に対応する部分において、上層芯材に形成されたフリンジの凹型の形状に沿うように、折れ曲がった平面形状を有する側壁膜の一部70D'が残存する場合もある。

【0368】

BARC膜64D及び中間層としてのシリコン窒化膜63Dの加工に連続して、シリコン窒化膜63Dの下方の芯材62を加工してもよい。また、BARC膜64D及びシリコン窒化膜63Dを加工した後に、BARC膜64Dをアッシングによって選択的に除去し、加工されたシリコン窒化膜63Dのパターン631, 639に基づいて、下層芯材62を加工してもよい。

【0369】

尚、図53乃至図57に示される製造工程において、側壁材に対してエッチバックを施して、側壁スペーサー71を上層芯材65の側面上に形成した後、凹型のフリンジ99を覆うレジストマスク89を形成してもよい。この場合、上層芯材の除去後に、レジストマスクが除去されずに、側壁スペーサー71及びレジストマスク89のパターンに基づいて、BARC膜64D及びシリコン窒化膜63Dが加工される。

【0370】

図58及び図59を用いて、本実施形態のフラッシュメモリの製造方法の一工程について、説明する。図58は、本実施形態のフラッシュメモリの製造方法の一工程におけるメモリセルアレイ及び引き出し領域の一部を抽出した平面図を示している。図58は、図59に対応する断面工程図を示している。図59の(a)は、図58のLIXa-LIXa線に沿う断面工程図を示している。図59の(b)は、図58のLIXb-LIXb線に沿う断面工程図を示している。

【0371】

図58及び図59に示されるように、下層芯材(シリコン酸化膜)62Aが、パターニングされた中間層としてのシリコン窒化膜(図示せず)をマスクとして、例えば、ドライエッチングによって加工され、側壁スペーサー及びダミー層に基づいたシリコン窒化膜のパターンが、下層芯材62Aに転写される。

【0372】

下層芯材62Aとしてのシリコン酸化膜62Aに対するエッチングは、上述のように、例えば、フロロカーボン系のエッチングガス及びO₂ガスの混合ガスを用いて、実行される。フロロカーボン系のエッチングガスとして、例えば、C₄F₈、CHF₃及びCF₄などが用いられる。また、O₂ガスの代わりに、Arガスがフロロカーボン系のガスに混合されてもよいし、O₂ガスとArガスとの両方がフロロカーボン系のガスに混合されてもよい。

【0373】

下層芯材62Aが加工された後、パターニングされた中間層としてのシリコン窒化膜は、下層芯材62A上から選択的に除去される。シリコン窒化膜は、例えば、Hotリン酸を薬液とするウェットエッチングによって選択的に除去される。

【0374】

パターンが転写された下層芯材62Aに対して、スリミング処理が施される。

【0375】

図58及び図59の(a)に示されるように、スリミング処理によって、メモリセルアレイ100内において、下層芯材62Aのライン部(配線スペーサーパターン)621の線幅LW2は、フォトリソグラフィの解像度の限界寸法の4分の1程度の大きさになる。例えば、下層芯材62Aのライン部621の線幅CW2は、スリミング処理によって20nm程度にされる。

【0376】

図58及び図59の(b)に示されるように、コンタクト形成領域200内において、ダミー層及び中間層のダミーパターンに対応したパターン(凸型部、スペーサー部、コンタクトスペーサーパターン)629が、下層芯材62A内に形成される。下層芯材62Aのスペーサー部629のY方向における寸法D2Zは、ダミー層及びダミーパターンのサイズに応じて設定され、ライン部621の線幅CW2より大きい。

10

【0377】

シリコン酸化膜からなる下層芯材62Aに対するスリミング処理は、ウェットエッチング、ドライエッチング、又は、ウェットエッチングとドライエッチングとを組み合わせ実行される。下層芯材62Aに対するスリミング処理が、ウェットエッチングによって実行される場合、下層芯材を加工するためのマスク層(ここでは、中間層としてのシリコン窒化膜)を除去する前に、スリミング処理が実行されてもよい。また、ウェットエッチングによって、下層芯材の加工とスリミング処理とを同時に実行してもよい。シリコン酸化膜に対するウェットエッチングにおいて、例えば、希フッ酸がエッチングのための薬液として用いられる。

20

【0378】

上述の他の実施形態と同様に、スリミングされた下層芯材62A上及びマスク層60上に、例えば、20nm程度の膜厚のシリコン窒化膜が、堆積される。そして、堆積されたシリコン窒化膜に対してエッチバックが施され、2番目の側壁膜71が下層芯材6の側面上に形成される。この2回目の側壁形成工程によって、閉ループ状の側壁マスク71が、被加工層33A、35Aの上方において、スペーサーパターン621、629を含む下層芯材62Aの側面上に形成される。カバレッジのよいシリコン窒化膜(側壁膜)71を形成するために、ALD法を用いて、シリコン窒化膜が堆積されることが好ましい。側壁膜71としてのシリコン窒化膜に対するエッチバックは、フロロカーボン系のエッチングガスとO₂及びArガスとの混合ガスを用いて、実行される。

30

【0379】

下層芯材のスペーサーパターン629の形状(凸型の平面形状)に応じて、スペーサーパターン629の外周側の側壁マスク71及び内周側の側壁マスク71は、スペーサーパターン629を挟んで、Y方向に関して互いに反対側に折れ曲がっている。

【0380】

このように、本実施形態において、上述の実施形態と同様に、メモリセルアレイ100内の閉ループ状の側壁マスク71は、例えば、側壁マスク71の線幅LW2がフォトリソグラフィの解像度の限界寸法の4分の1程度の大きさを有するように形成され、Y方向に対向する側壁マスク71の間隔LI2、CW2がフォトリソグラフィの解像度の限界寸法の4分の1程度の大きさを有するように、形成される。

40

コンタクト形成領域200内において下層芯材62Aのスペーサー部629を挟んで対向している側壁マスク71間のY方向の間隔D2Zがメモリセルアレイ100内における側壁マスク71間の間隔LI2、CW2より大きい寸法を有するように、側壁マスク71は形成されている。

【0381】

図60及び図61を用いて、本実施形態のフラッシュメモリの製造方法の一工程について、説明する。図60は、本実施形態のフラッシュメモリの製造方法の一工程におけるメモリセルアレイ及び引き出し領域の一部分を抽出した平面図を示している。図61は、図60に対応する断面工程図を示している。図61の(a)は、図60のLXIa-LXI

50

a線に沿う断面工程図を示している。図61の(b)は、図60のLXIb-LXIb線に沿う断面工程図を示している。

【0382】

図60及び図61に示されるように、下層芯材(シリコン酸化膜)が、例えば、希フッ酸を用いたウェットエッチングによって選択的に除去された後、コンタクト形成領域200内のパッド形成位置において、側壁マスク71を覆うように、レジストマスク81Eが、フォトリソグラフィ及びエッチングによって、形成される。

【0383】

複数のレジストマスク81Eは、共通のコンタクト形成領域200に引き出される4本の配線にそれぞれ対応するように、スペーサーパターンの形状に応じて折れ曲がった閉ループ状の側壁マスク71の部分を覆うように、コンタクト形成領域200内にそれぞれ形成される。

【0384】

上述のように、芯材に形成されるコンタクト形成領域200内のコンタクトスペーサーパターンの寸法は、芯材のラインスペーサーパターンの線幅又は間隔より大きい。また、側壁マスク71は、芯材のスペーサーパターンを挟んでY方向に関して互いに反対側に折れ曲がっている。この結果として、コンタクト形成領域200内における側壁マスク71は、メモリセルアレイ100内における側壁マスク71間の間隔CW2、LI2より大きい間隔(Y方向の寸法)D2Zで離間している。それゆえ、パッドを形成するためのレジストマスク89Wを形成するスペース及び加工マージンを確保でき、レジストマスク89Eと側壁マスク71との意図しない接触、または、レジストマスク89E間の意図しない接触を抑制できる。

【0385】

例えば、レジストマスク81Eは、例えば、セレクトゲート線及びセレクトトランジスタを形成するためのレジストマスク82と共通の工程において、形成される。

【0386】

閉ループ状の側壁マスク71及びレジストマスク81E、82をマスクに用いて、下層のマスク層60A、60B、60Cが加工されることによって、側壁マスク71及びレジストマスク81E、82のパターンが、マスク層60A、60B、60Cに転写される。

【0387】

例えば、積層構造のマスク層60A、60B、60Cのアモルファスシリコン膜602A、602B、602Cは、CF₄及びHBrなどの混合ガスを用いて、ドライエッチングによって加工される。積層構造のマスク層60A、60B、60Cのシリコン酸化膜601A、601B、601Cは、上述のように、フロロカーボン系のエッチングガスを含む混合ガスを用いたドライエッチングによって、加工される。

【0388】

第1乃至第4の実施形態と同様に、側壁マスク71及びレジストマスクが選択的に除去された後、パターンニングされたマスク層60A、60B、60Cをマスクに用いて、被加工層としての導電層35A、33A及び絶縁層34Aが順次加工され、メモリセル及び閉ループ状のパターンの導電層が、メモリセルアレイ100内及び引き出し領域150内にそれぞれ形成される。また、セレクトゲート線のパターンに対応する導電層及びパッドのパターンに対応する導電層が、閉ループ状の導電層と同時に形成される。

【0389】

例えば、第2の実施形態における図30及び図31、又は、第3の実施形態における図40及び図41に示される工程と実質的に同様の工程を用いて、直線状の開口部を有するレジストマスクが、半導体基板30上に形成される。レジストマスクの開口部は、2つの閉ループ状の導電層のパッド間の部分(ライン部)を露出させるように、レジストマスク内に形成される。そして、ループカット工程によって、レジストマスクの開口部を介して露出する導電層が分断され、図49、図50及び図5の(a)、(c)に示されるように、互いに独立なワード線WLが形成される。

【0390】

尚、本実施形態において、コンタクト形成領域内の1つのグループを形成する4本の配線のパッドに対応するように、4つのレジストマスクが形成されている。但し、第2の実施形態と同様に、1つのコンタクト形成領域200内において、外側の閉ループ状の側壁マスク71と内側の閉ループ状の側壁マスク71に対して、1つずつレジストマスクが形成され、ループカットによって、各配線に対応するように、各レジストマスクに対応したパターンが2つのパッドに分割されてもよい。

【0391】

この後、第1乃至第4の実施形態と同様に、層間絶縁膜、コンタクトプラグ／ビアプラグ、中間配線層／ビット線が、順次形成される。

10

【0392】

以上の製造工程によって、本実施形態のフラッシュメモリが形成される。

【0393】

本実施形態のフラッシュメモリの製造方法において、第1乃至第4の実施形態と同様に、引き出し領域150のコンタクト形成領域200内に、側壁膜のパターンの転写によって形成される配線WLの線幅LW2及び配線間隔LI2より大きい寸法のマスクが、1回目の側壁膜（側壁スペーサー）70を覆うように形成される。そのマスク89に対応するパターン（コンタクトスペーサーパターン）70D、649、639、629の側面上及び側壁スペーサー70に対応するパターン（配線スペーサーパターン）621の側面上に、配線のパターンに対応する2回目の側壁膜（側壁マスク）71が、形成される。

20

【0394】

これによって、本実施形態のフラッシュメモリにおいても、他の実施形態と同様に、メモリセルアレイ100に対するパターン（配線）の形成と実質的に同時の工程を用いて、コンタクト形成領域200内の配線WL間に、メモリセルアレイ100内の配線WLの線幅LW2及び配線WL間の間隔LI2の少なくとも一方より大きい間隔D2Zが、確保される。それゆえ、配線の線幅及び配線間隔がフォトリソグラフィの解像度の限界寸法より小さい寸法で形成されたとしても、配線に接続されるパッド及パッドの加工のためのレジストマスクを配置するスペース、又は、それらの加工マージンのためのスペースを、コンタクト形成領域200内に、確保できる。

【0395】

30

したがって、本実施形態のフラッシュメモリの製造方法において、第1乃至第4の実施形態と同様に、コンタクト形成領域200内において、パッド、配線及びコンタクトとの間に生じるショート（短絡）を防止でき、そのショートに起因するデバイスの不良を低減できる。

【0396】

本実施形態のフラッシュメモリの製造方法において、1番目の側壁膜（側壁スペーサー）70を形成するための芯材（例えば、レジスト材）65のフリンジ659の平面形状が凹型にされ、そのフリンジの凹型の窪んだ部分99がレジストマスク89で覆われた状態で、側壁膜の形成（側壁材に対するエッチバック）及び芯材の除去が実行される。レジストマスク89に覆われた部分に対応するように、コンタクト形成領域200内における側壁膜（側壁マスク）間及び側壁マスクに基づいて形成される配線WL間の間隔D2Zを大きくするためのパターン（コンタクトスペーサーパターン）70D、649、639、629が、コンタクト形成領域200内に、形成される。

40

【0397】

これによって、フリンジ659とレジストマスク89とのオーバーラップする面積を比較的容易に小さくでき、さらに、フリンジ659とレジストマスク89とのオーバーラップする面積が小さくなっても、コンタクト形成領域200内の側壁マスク71及び配線間に大きい間隔を確保するためのパターン70D、649、639、629を、形成できる。

【0398】

50

この結果として、フリンジ659を有する芯材65が除去される際に、レジストマスク89とオーバーラップするフリンジ650が過剰に除去されたとしても、フリンジの除去によって生じるレジストマスク89下方の空洞98のサイズは小さくなり、その空洞98に起因したパターンの消失及び欠損を抑制できる。それゆえ、本実施形態のフラッシュメモリの製造方法によれば、フリンジ659とレジストマスク89とに基づいた配線WL間の間隔D2Zを大きくするためのパターン70D、649、639、629の形成の制御性を、向上できる。

【0399】

さらに、本実施形態のフラッシュメモリの製造方法によれば、部材の形状及びレイアウトを工夫することによってパターンの形成の制御性が確保されるため、プロセスの悪影響を考慮したプロセスの制約（例えば、積層される材料の組み合わせの制約、使用する方法の制約）を解消でき、プロセスの自由度を向上できる。

【0400】

以上のように、第5の実施形態の半導体装置の製造方法によれば、第1乃至第4の実施形態と同様に、信頼性が向上した微細なパターンを含む半導体装置を提供できる。

【0401】

[その他]

本実施形態の半導体装置及び半導体装置の製造方法において、フラッシュメモリを半導体装置として例示したが、本実施形態は、フラッシュメモリに限定されない。例えば、DRAMやSRAMなどの揮発性半導体メモリの構造及び製造方法に、上述の実施形態が適用されてもよい。また、MRAM (Magnetoresistive RAM)、PCRAM (Phase Change RAM) 又はReRAM (Resistive RAM) などのように、抵抗値が可逆的に変化する素子をメモリ素子として用いた抵抗変化型メモリの構造及び製造方法に、上述の実施形態が適用されてもよい。例えば、上述の本実施形態の半導体装置及びその製造方法は、抵抗変化型メモリが有するクロスポイント型メモリセルアレイにおけるラインアンドスペースパターンの配線（ワード線／ビット線）及び配線に接続されるコンタクト部（パッド、フリンジ）の構造及び形成方法に、適用できる。

【0402】

さらに、半導体装置としてのメモリに限らず、ラインアンドスペースパターンを有するレイアウトを有していれば、例えば、プレーナ構造のFET (Field Effect Transistor) 又はFin FETによって形成されるロジック回路において、FETのゲート電極、FETに接続される配線、或いは、ゲート電極及び配線に接続されたコンタクト部（パッド、フリンジ）などに、実施形態で述べられた構造及び製造方法が適用されてもよい。

【0403】

これらの半導体装置においても、第1乃至第5の実施形態で述べた構造及び製造方法が適用でき、第1乃至第5の実施形態で述べた効果が得られる。

【0404】

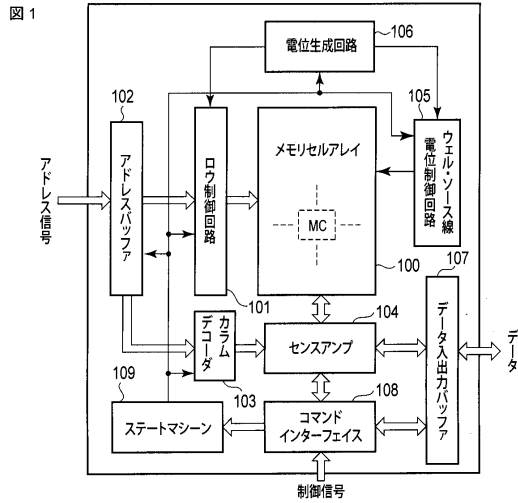
本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

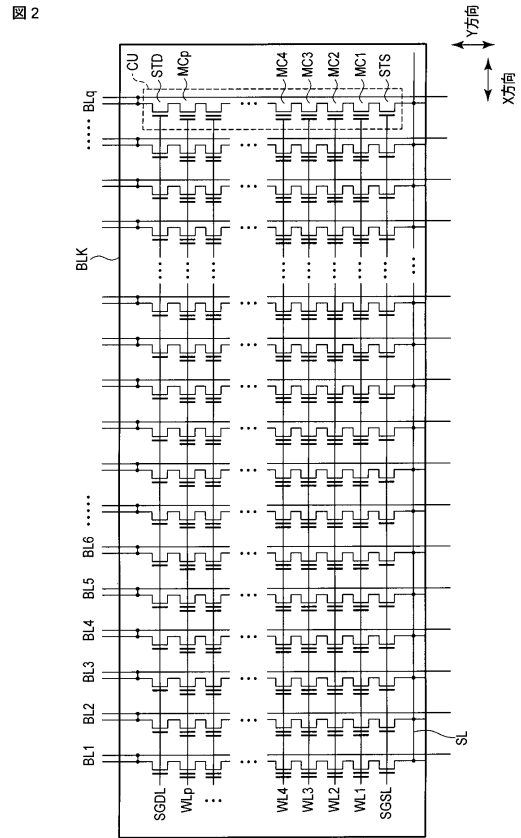
【0405】

100：メモリセルアレイ、150：引き出し領域、200：コンタクト形成領域、30：半導体基板、WL、35：配線（ワード線）、35P：コンタクト部（パッド、フリンジ）、MC：メモリセル、70、71：側壁膜、62、65：芯材、652、659：矩形部（スペーサーパターン）、35A、34A、33A：被加工層。

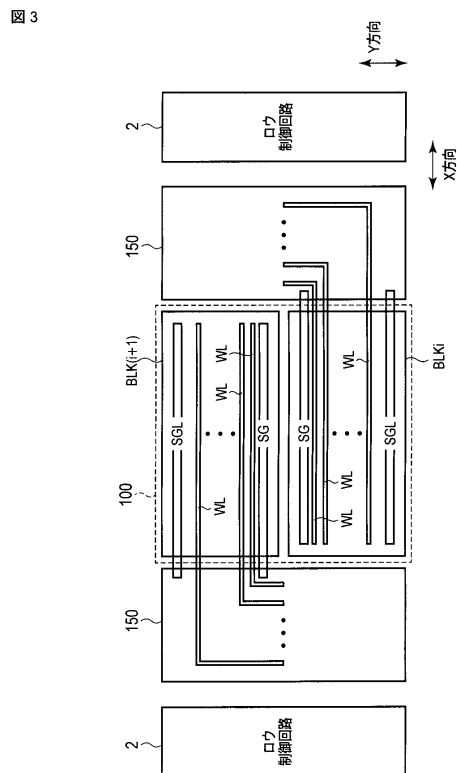
【図 1】



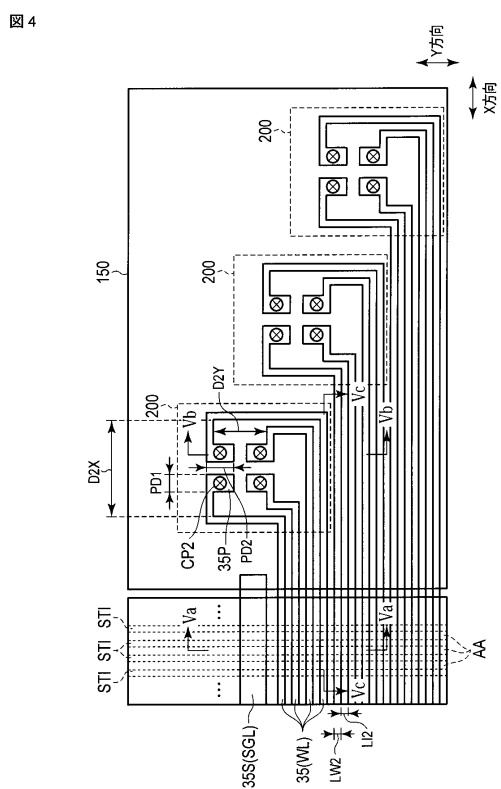
【図 2】



【図 3】

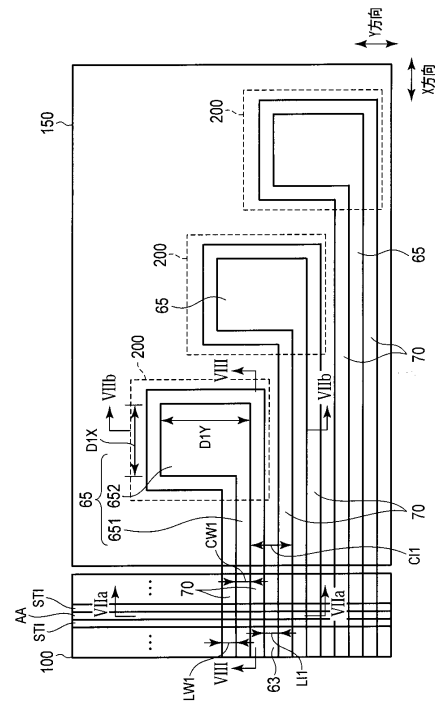


【図 4】



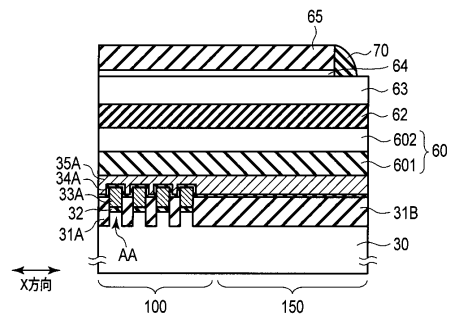
【图 6】

图 6



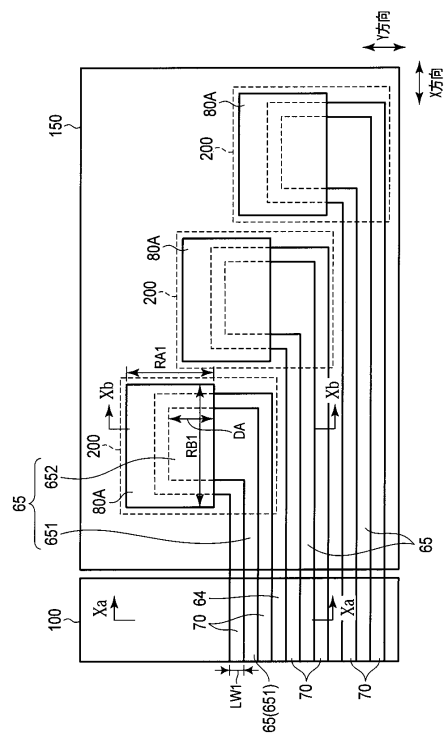
【图 8】

图 8



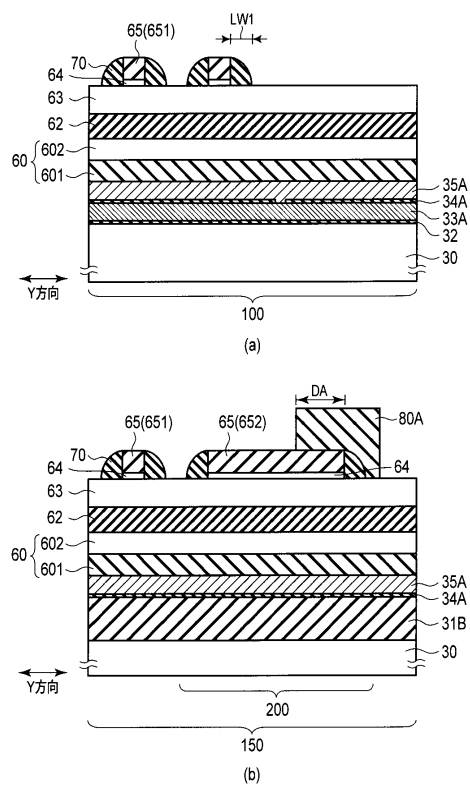
【図 9】

图 9



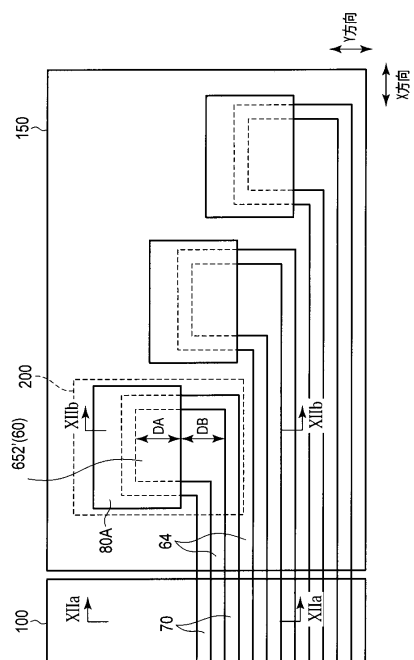
【図 10】

图 10



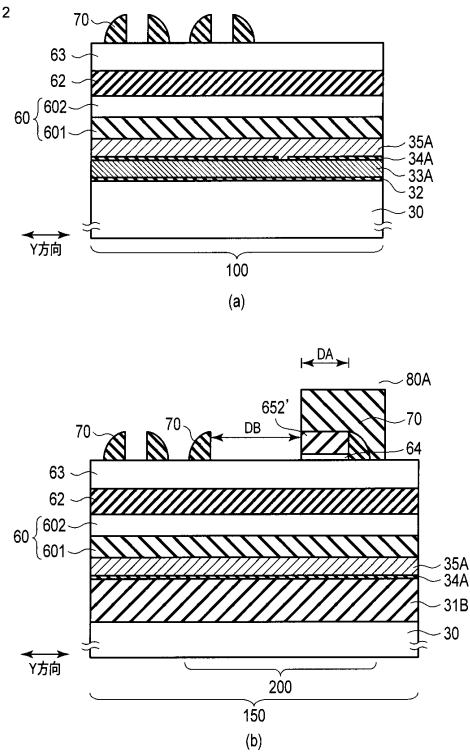
【図 1 1】

图 11



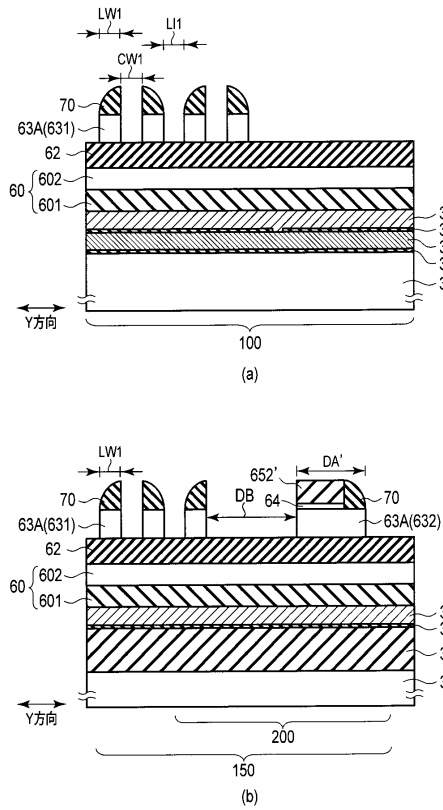
【図 1 2】

图 12



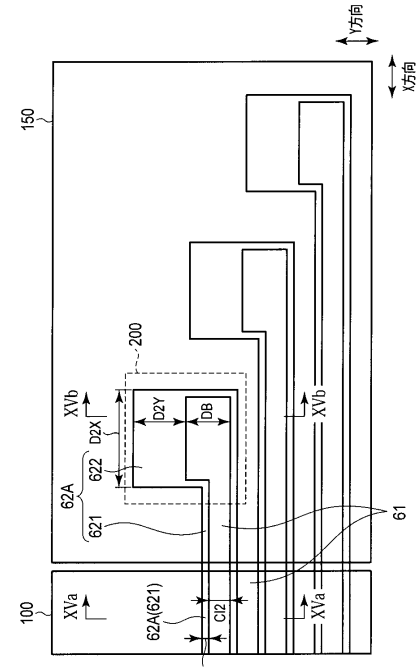
【図 13】

図 13



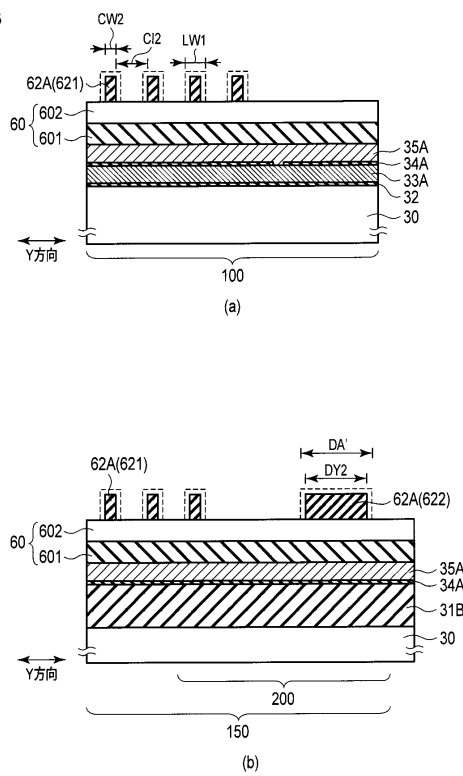
【図 14】

図 14



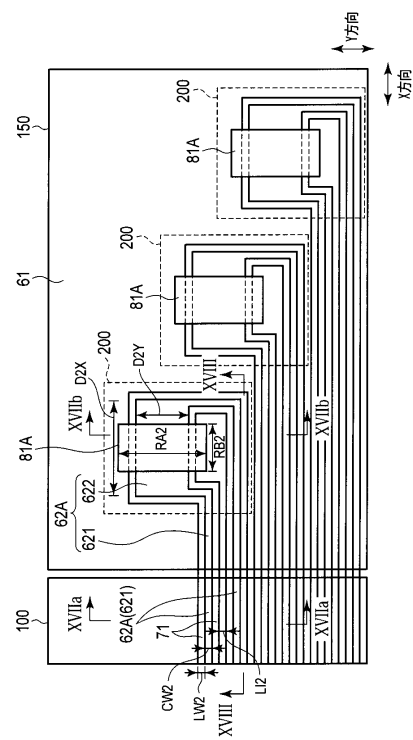
【図 15】

図 15

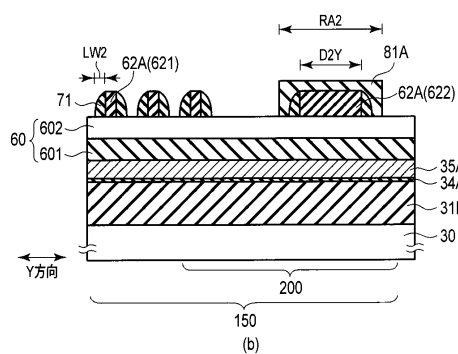
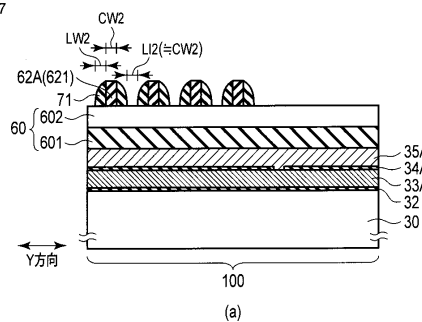


【図 16】

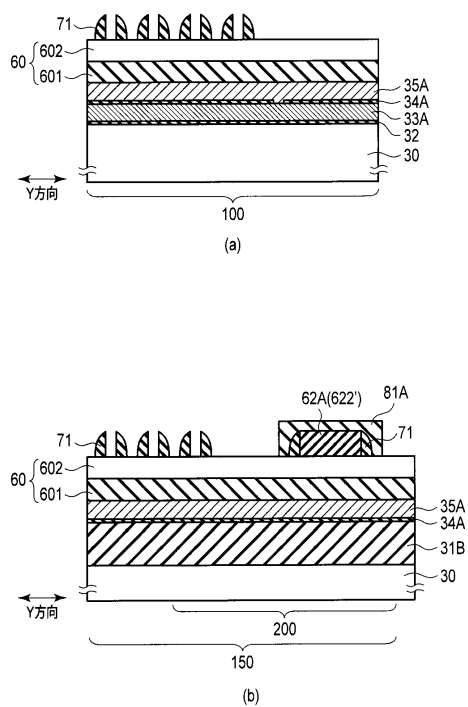
図 16



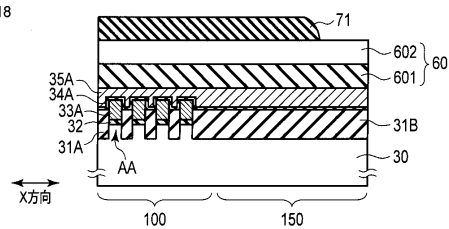
【图 17】



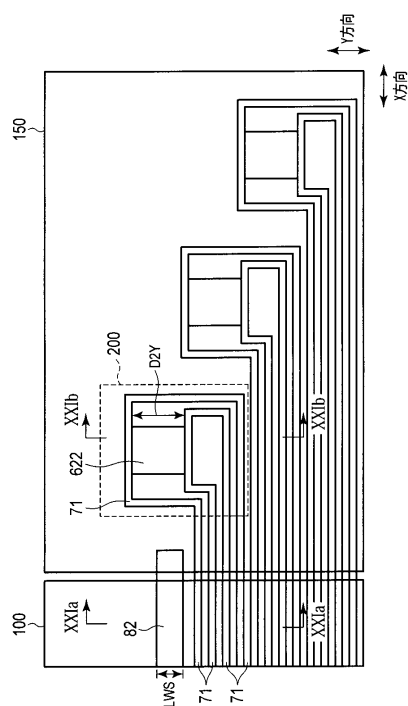
【図 19】



【図 18】

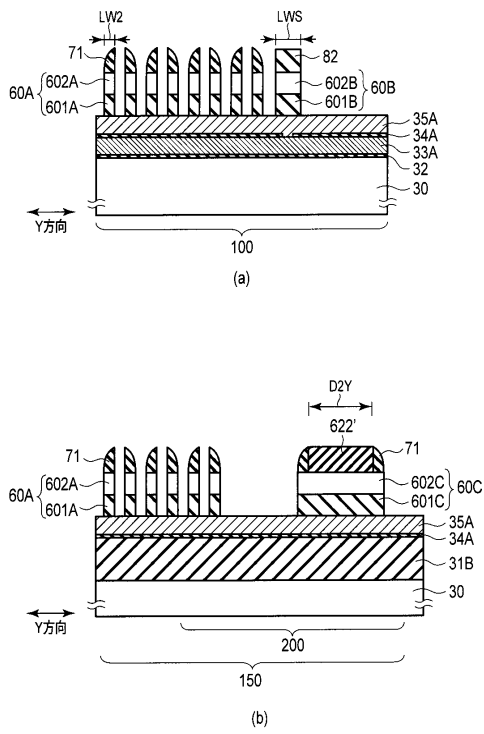


【図 20】



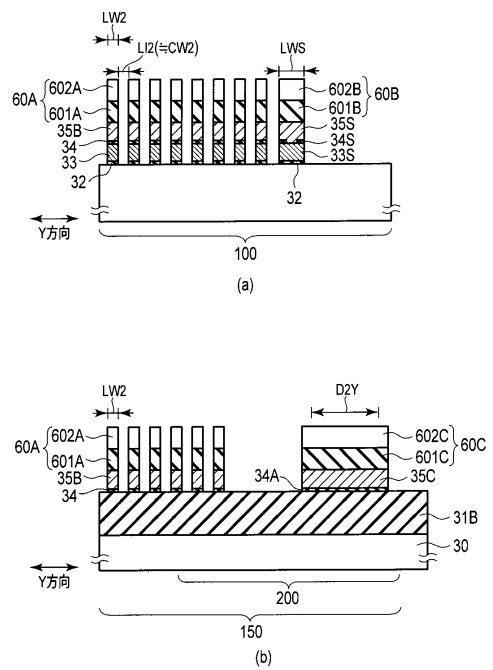
【図 2 1】

図 21



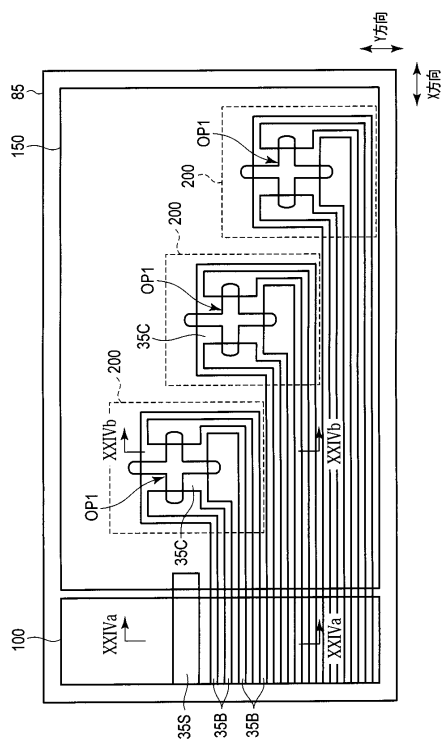
【図 2 2】

図 22



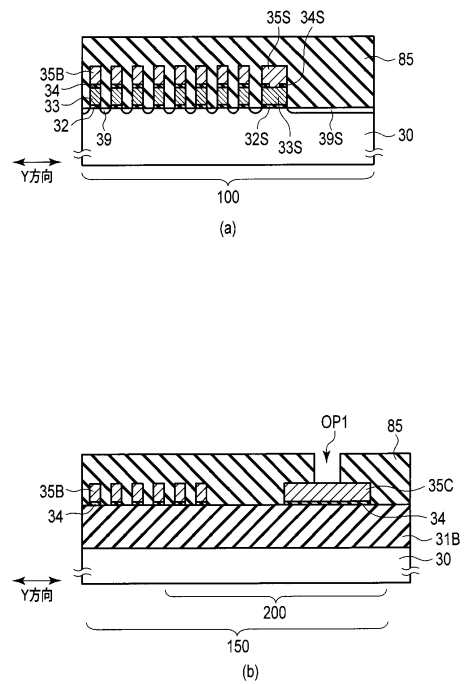
【図 2 3】

図 23



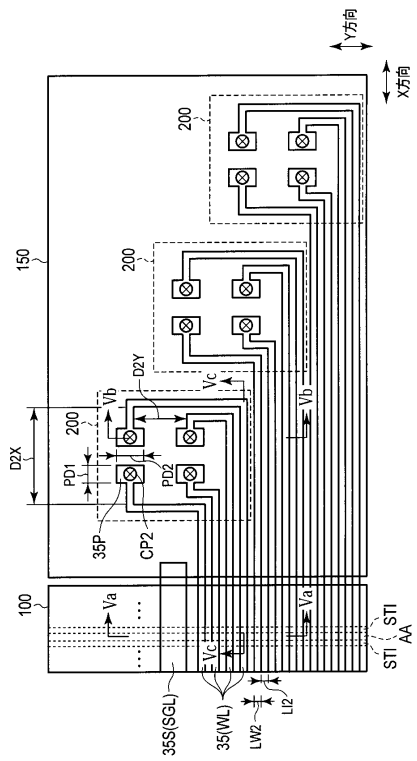
【図 2 4】

図 24



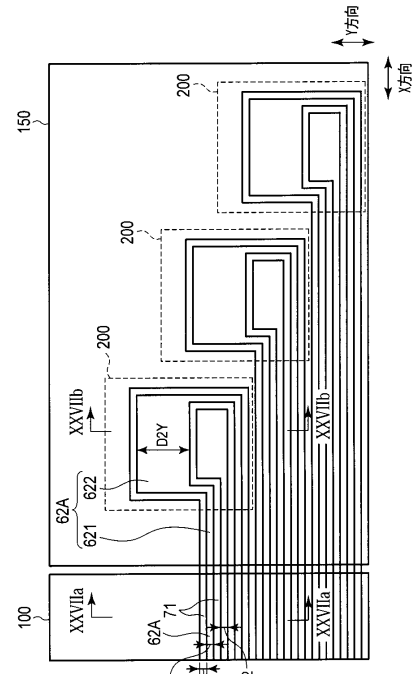
【图 2 5】

图 25



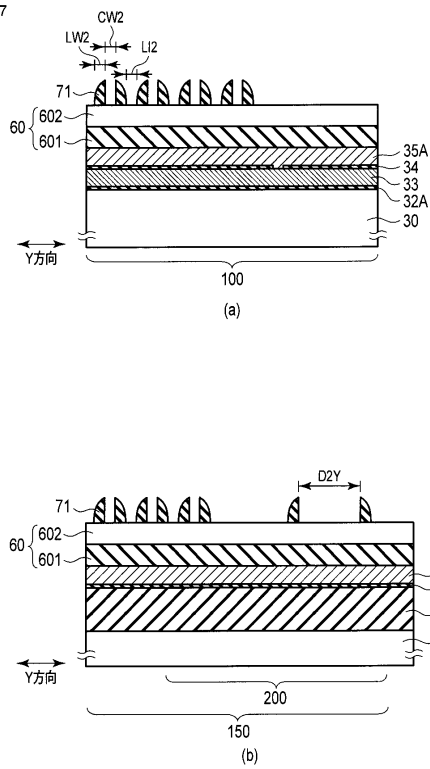
【図 26】

图 26



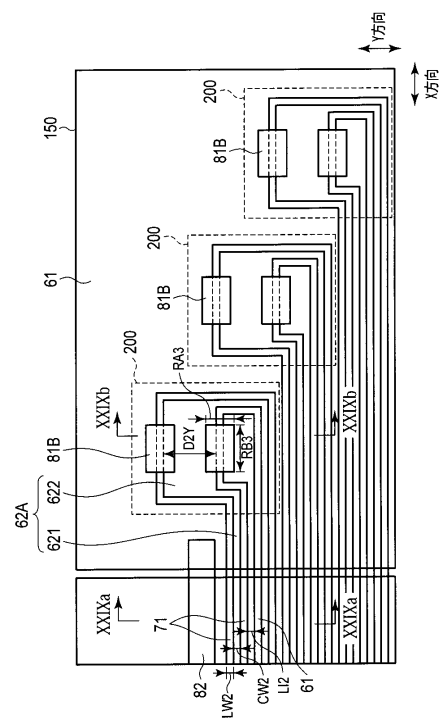
【図 27】

图 27

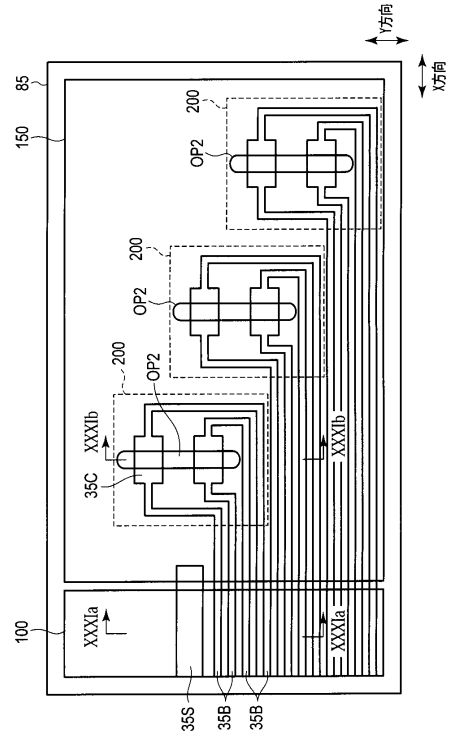


【图 28】

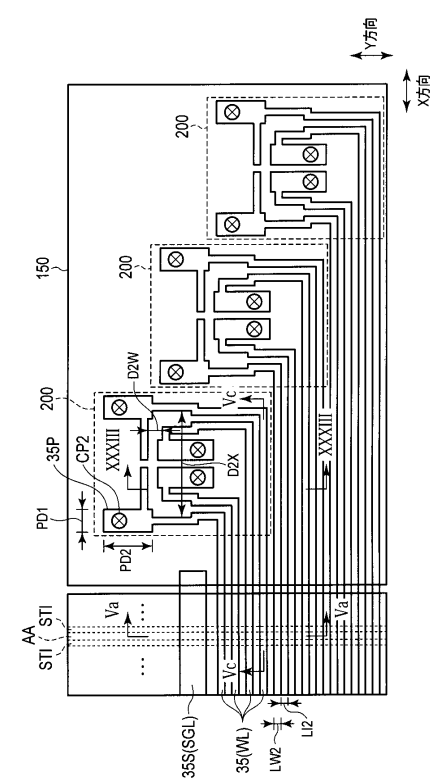
图 28



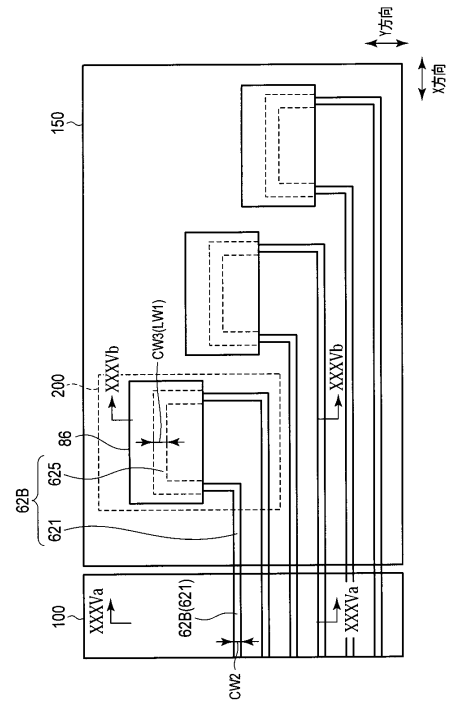
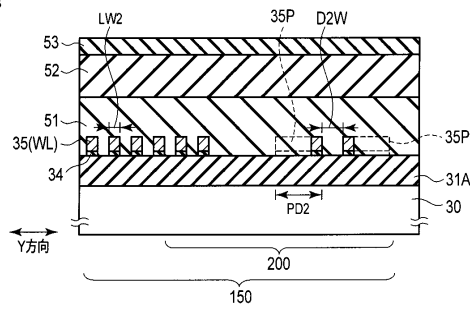
【図 30】



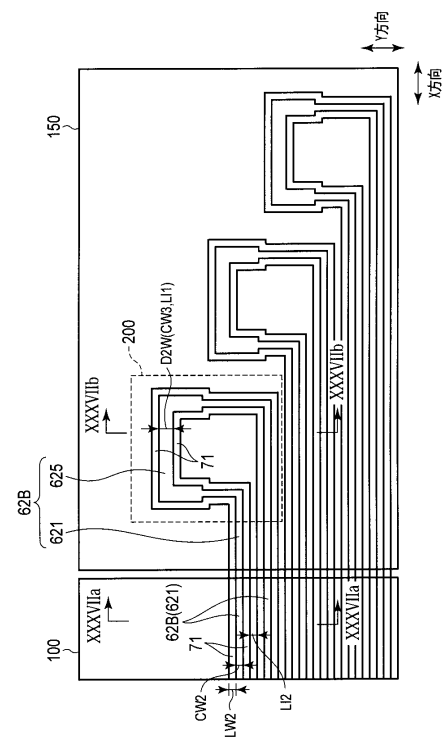
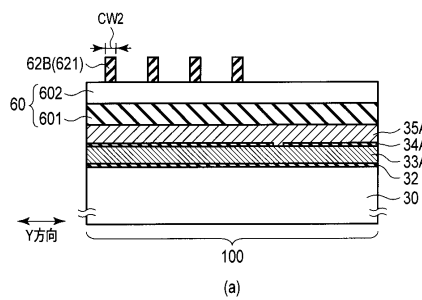
【图 3 2】



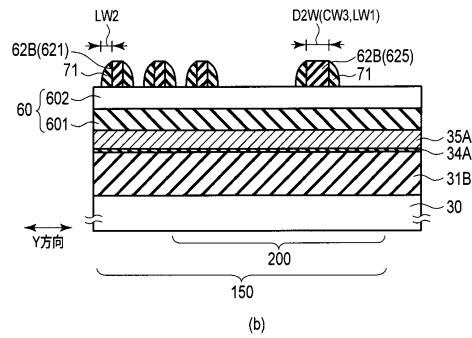
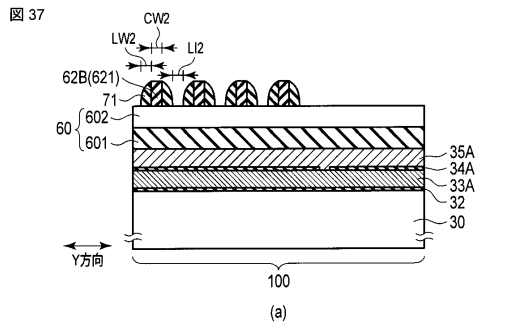
【図 3 4】



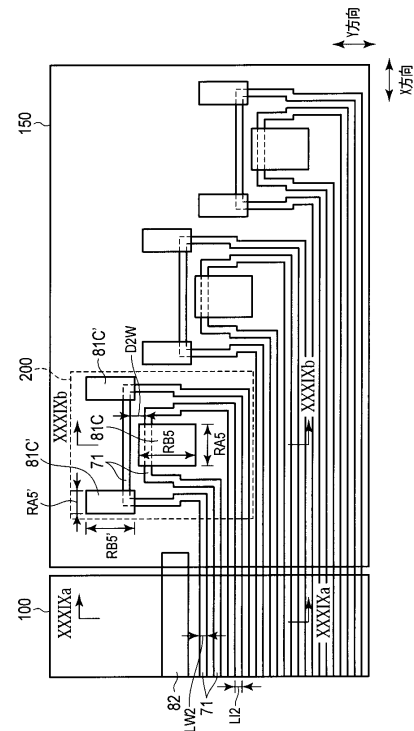
【図 3 6】



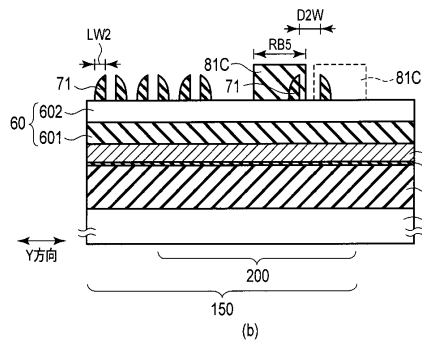
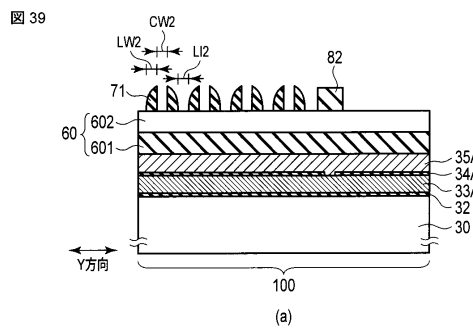
【図 3 7】



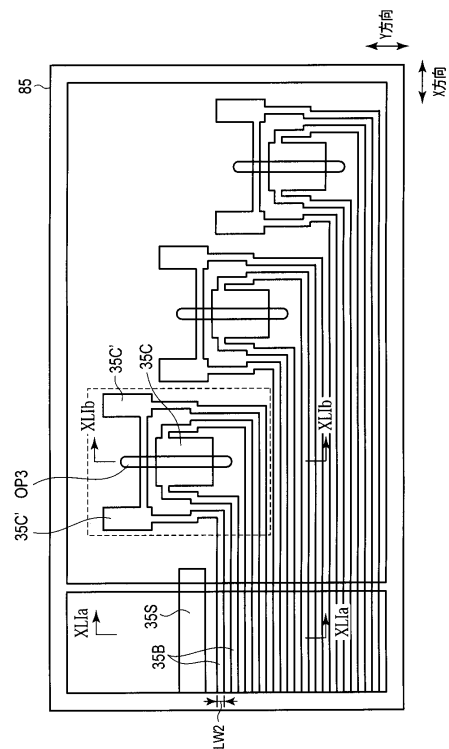
【図 38】



【図 3 9】

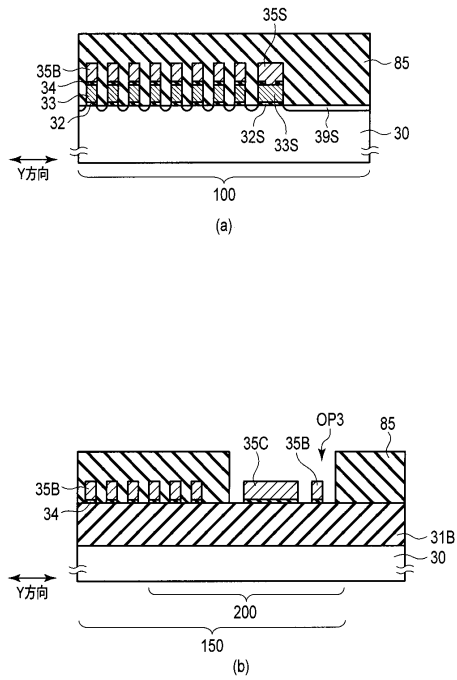


【図 40】



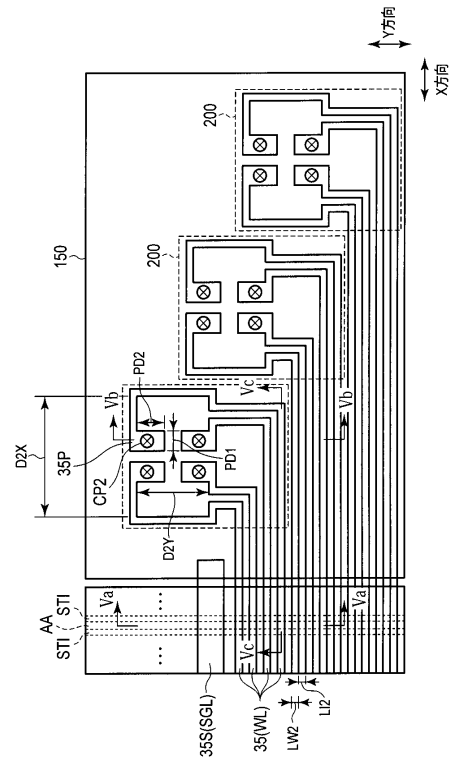
【図 4 1】

図 41



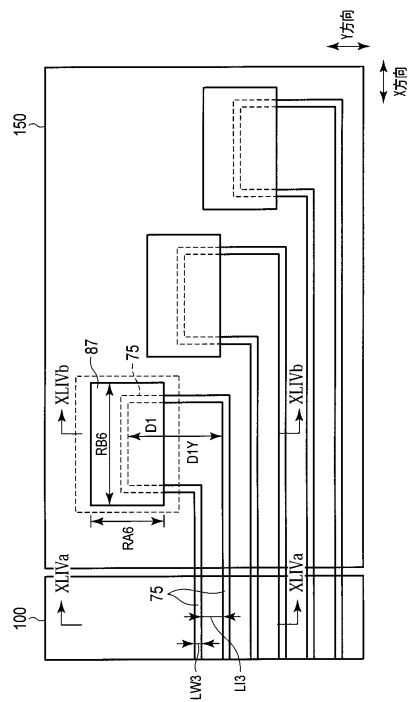
【図 4 2】

図 42



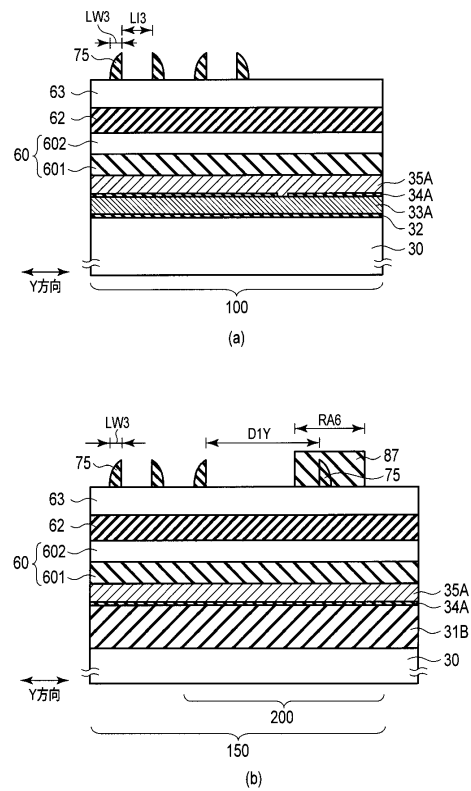
【図 4 3】

図 43



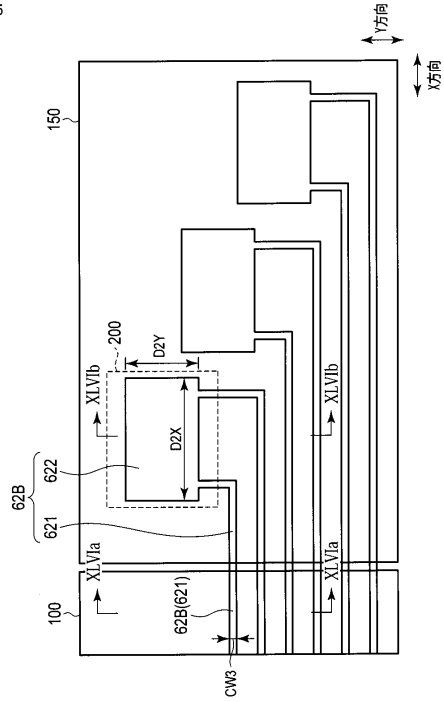
【図 4 4】

図 44



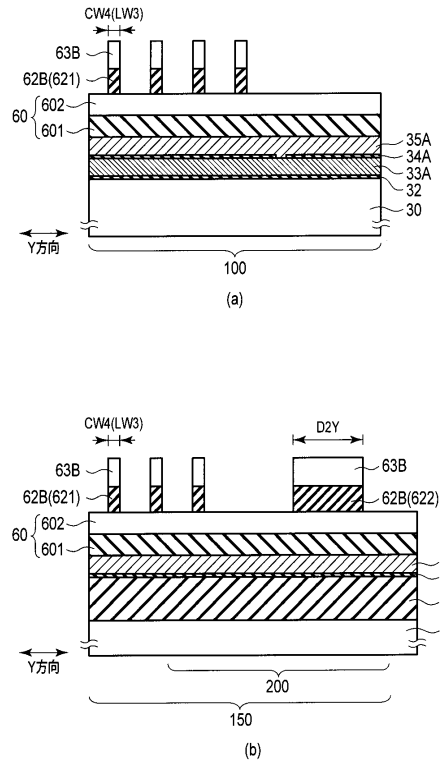
【図 45】

図 45



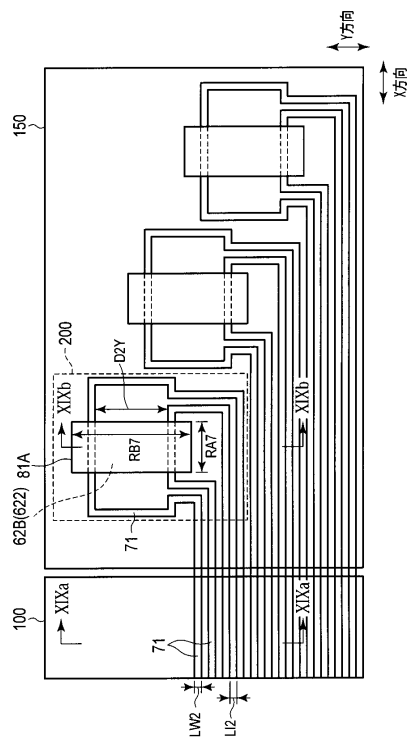
【図 46】

図 46



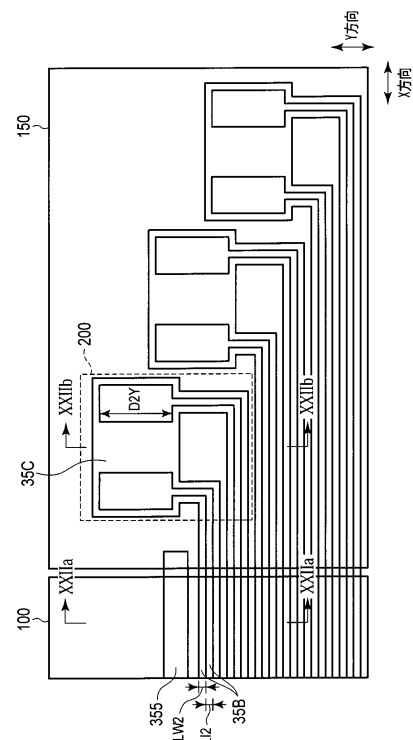
【図 47】

図 47



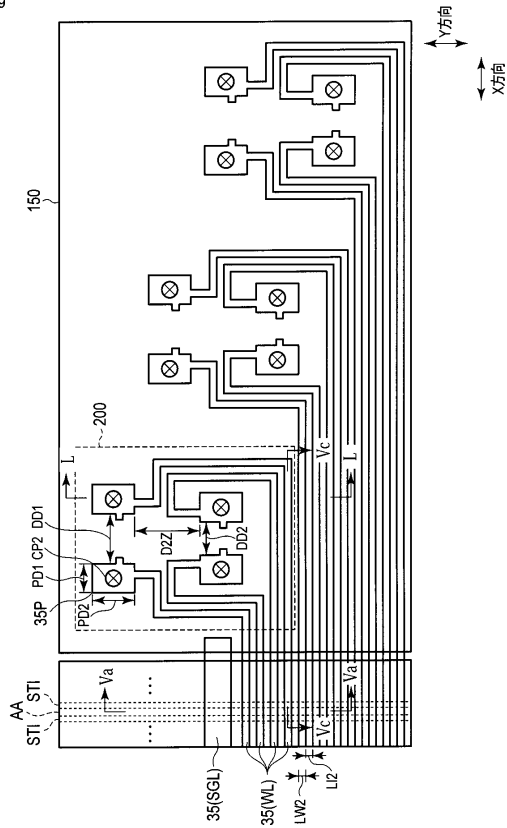
【図 48】

図 48



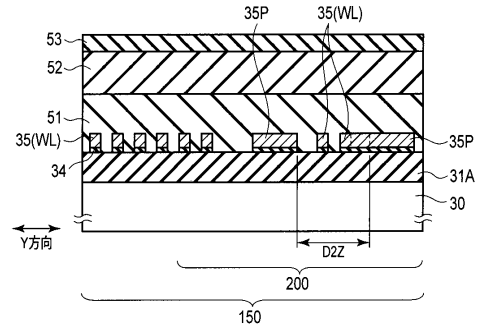
【図 49】

図 49



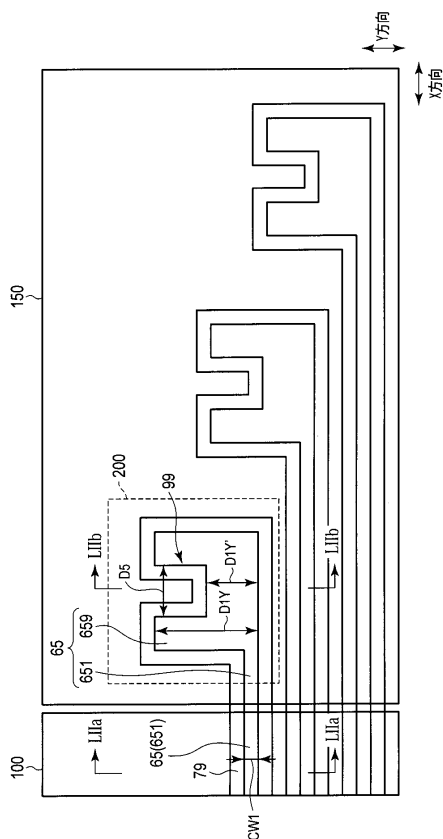
【図 50】

図 50



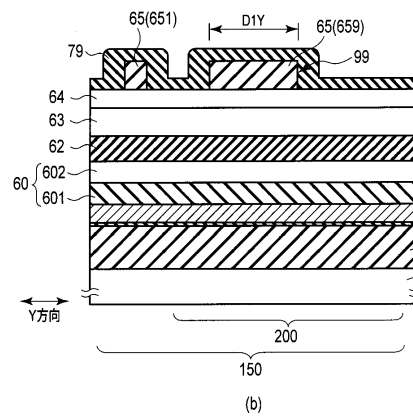
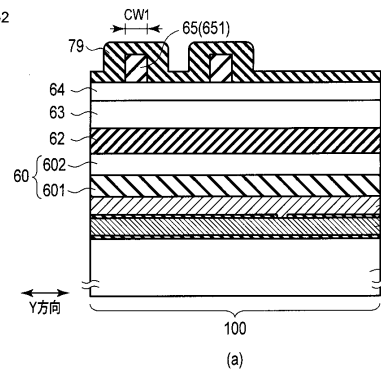
【図 51】

図 51



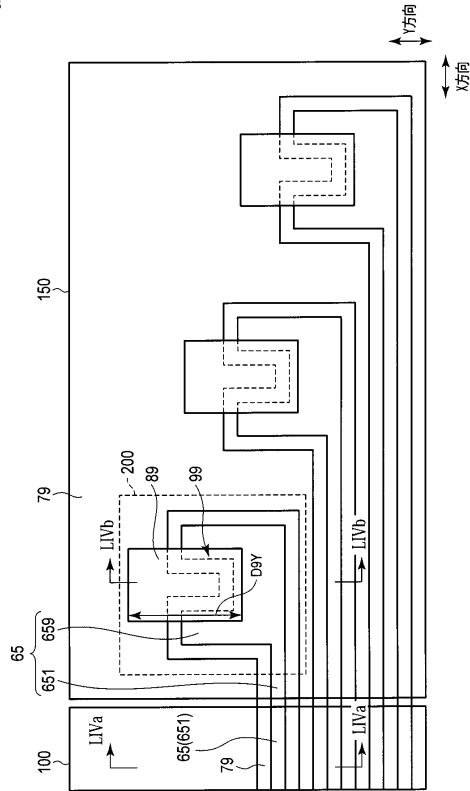
【図 52】

図 52



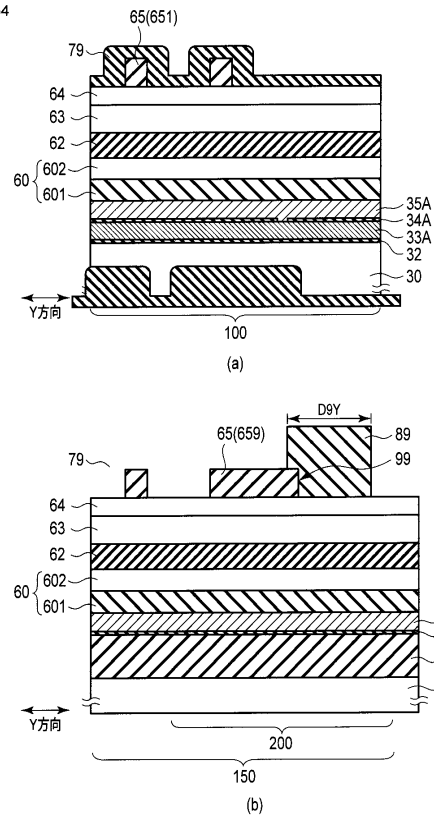
【図 5 3】

図 53



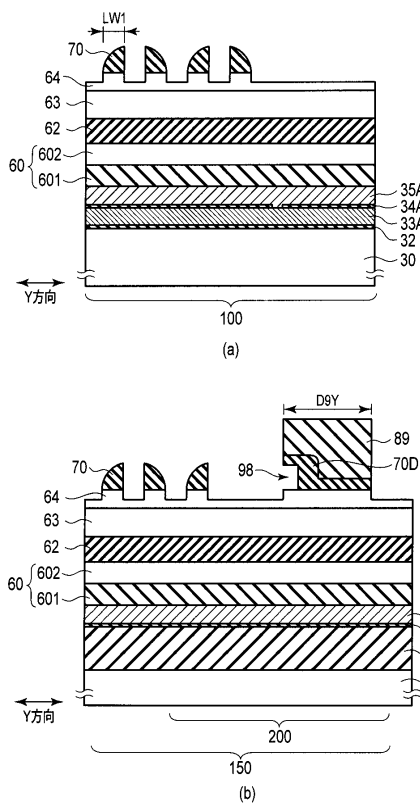
【図 5 4】

図 54



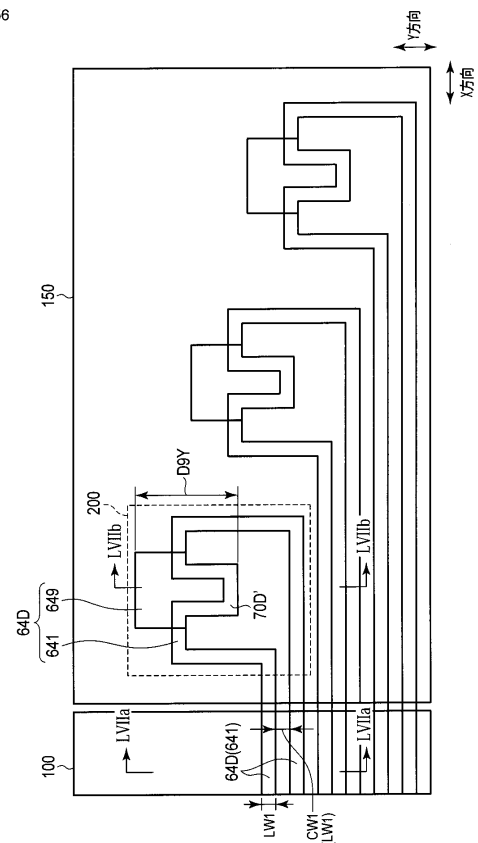
【図 5 5】

図 55

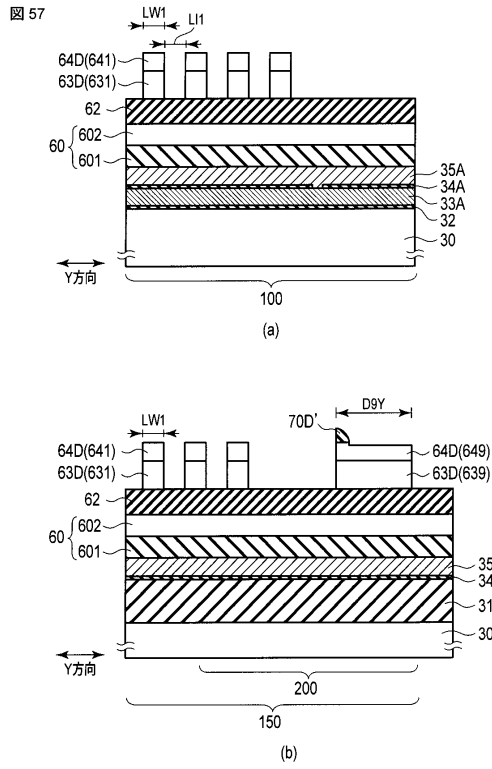


【図 5 6】

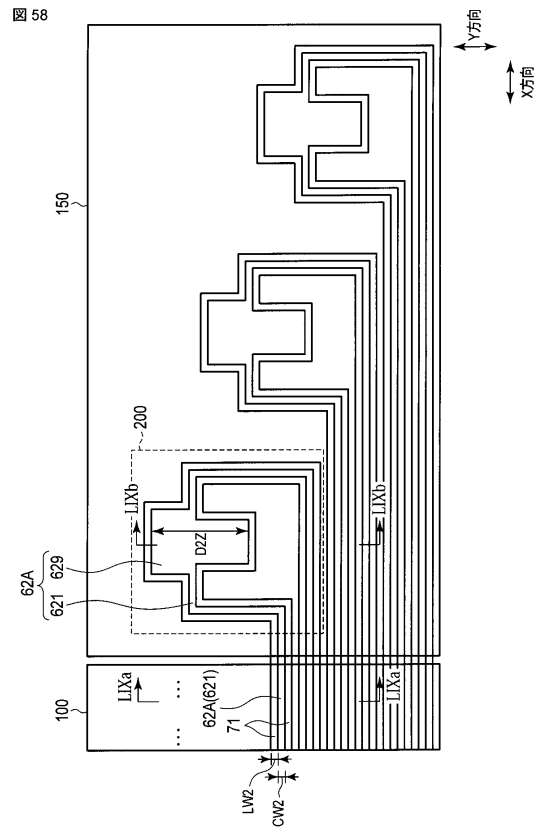
図 56



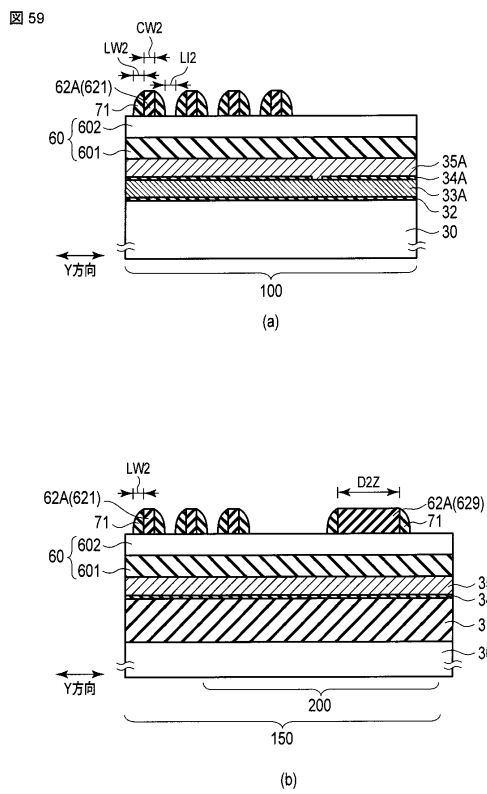
【図 57】



【図 58】



【図 59】



【図 60】

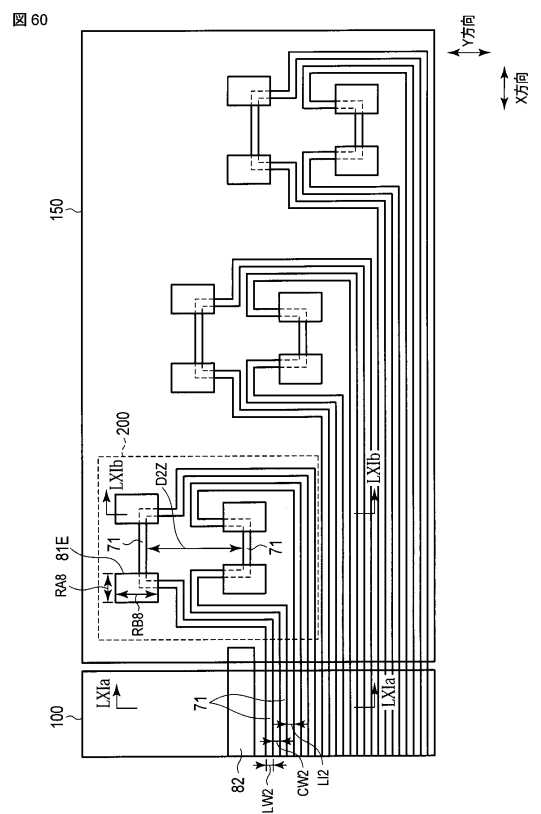
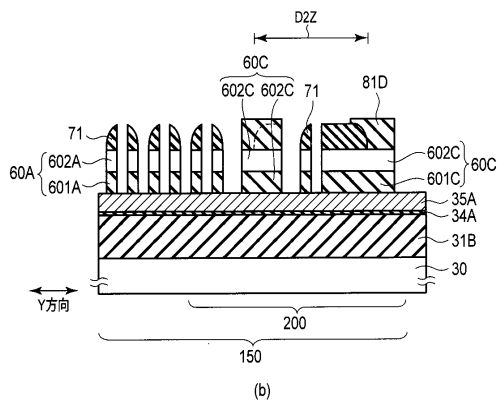


图 61



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 27/10 (2006.01)
H 0 1 L 21/336 (2006.01)
H 0 1 L 29/788 (2006.01)
H 0 1 L 29/792 (2006.01)

(74)代理人 100153051

弁理士 河野 直樹

(74)代理人 100140176

弁理士 砂川 克

(74)代理人 100158805

弁理士 井関 守三

(74)代理人 100124394

弁理士 佐藤 立志

(74)代理人 100112807

弁理士 岡田 貴志

(74)代理人 100111073

弁理士 堀内 美保子

(72)発明者 菊谷 圭介

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 永嶋 賢史

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 向井 英史

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 近藤 丈博

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 目黒 寿孝

東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 右田 勝則

(56)参考文献 特開2009-094238 (JP, A)

米国特許出願公開第2011/0256723 (US, A1)

特開2010-153869 (JP, A)

特開2011-071226 (JP, A)

特開2010-153899 (JP, A)

米国特許第06063688 (US, A)

特開2011-119536 (JP, A)

特開2002-359352 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 21/3205

H 0 1 L 21/336

H 0 1 L 21/768

H 0 1 L 21/8247

H 0 1 L 23/522

H 0 1 L 27/10