



- (51) 国際特許分類:
H01L 21/8246 (2006.01) H01L 27/105 (2006.01)
G11C 11/15 (2006.01) H01L 43/08 (2006.01)
- (21) 国際出願番号: PCT/JP2008/065425
- (22) 国際出願日: 2008年8月28日(28.08.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-028849 2008年2月8日(08.02.2008) JP
特願 2008-168119 2008年6月27日(27.06.2008) JP
- (71) 出願人(米国を除く全ての指定国について): 富士電機ホールディングス株式会社(Fuji Electric Holdings Co., Ltd.) [JP/JP]; 〒2100856 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 荻本 泰史 (OGIMOTO, Yasushi).
- (74) 代理人: 奥山 尚一, 外(OKUYAMA, Shoichi et al.); 〒1070052 東京都港区赤坂3丁目2番12号赤坂ノアビル8階 Tokyo (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

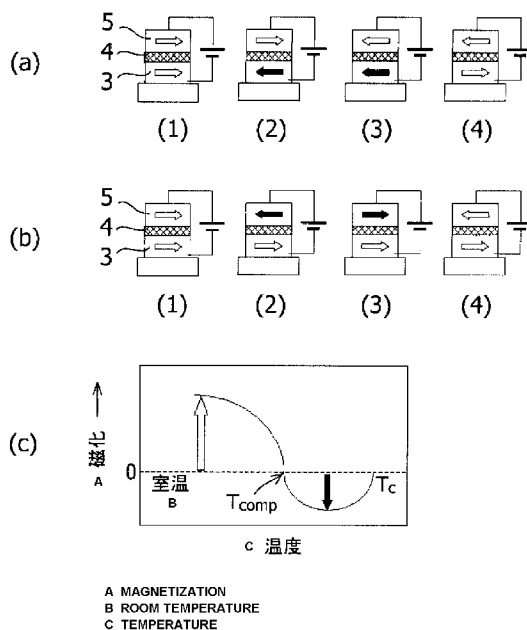
添付公開書類:

- 国際調査報告(条約第21条(3))

(54) Title: MAGNETIC MEMORY ELEMENT, METHOD FOR DRIVING SAME, AND NONVOLATILE STORAGE

(54) 発明の名称: 磁気メモリー素子、その駆動方法及び不揮発性記憶装置

[図1]



(57) Abstract: To obtain a $4F^2$ -size memory cell for implementing a cross point memory, a magnetic memory element with a spin-valve structure including a free layer (5), a non-magnetic layer (4), and a pinned layer (3) is used. The pinned layer or free layer includes an n-type ferrimagnet. The magnetic compensation point of the n-type ferrimagnet is lower than the temperature of the pinned layer reached when some write pulse for controlling a combination of magnetizations of the free layer and the pinned layer is applied and higher than the temperature of the pinned layer reached when another write pulse is applied. These write pulses can have the same polarity.

(57) 要約: クロスポイント型メモリーを実現する $4F^2$ サイズのメモリーセルを得るために、フリー層5、非磁性層4、ピン層3からなるスピンバルブ構造を有する磁気メモリー素子を用いる。ピン層またはフリー層がN型フェリ磁性体を含み、そのN型フェリ磁性体の磁気補償点は、フリー層とピン層の磁化の組み合わせを制御する書き込みパルスのあるものを印加したときに到達するピン層の温度より低く、別の書き込みパルスを印加したときに到達するピン層の温度よりも高い。これらの書き込みパルスは同一の極性に行うことができる。

明 細 書

磁気メモリー素子、その駆動方法及び不揮発性記憶装置

技術分野

[0001] 本発明は、電気的手段によって情報を記憶可能な磁気メモリー素子とその駆動方法及び不揮発記憶装置に関する。

背景技術

[0002] 近年、フラッシュメモリーに代表される不揮発性半導体記憶装置の大容量化は著しく、32Gバイト程度の容量の製品のリリースがアナウンスされるに至っている。不揮発性半導体記憶装置は、特にUSBメモリーや携帯電話用のストレージとしての商品価値が増している。すなわち、不揮発性半導体記憶装置は、携帯音楽プレイヤー用ストレージとしても耐振動性や高信頼性、また低消費電力といった固体素子メモリーならではの原理的な優位性を生かし、上記の音楽及び画像用の携帯型或いは可搬型電子機器用ストレージデバイスとして主流になりつつある。

[0003] 一方、上記のストレージ向け応用とは別に、使用時には瞬時に起動し待機時には消費電力を限りなく零とするコンピュータ、所謂「インスタント・オン・コンピュータ」の実現に向けた研究も精力的に行われている。これは、情報機器のメインメモリーとして現在使用されているDRAMに不揮発性を与えることを利用しようとするものであり、この応用においては、DRAMとして要求される技術仕様、すなわち、(1)スイッチング速度が50ns未満、(2)書換え回数が 10^{16} を超える、との仕様を満足し、なおかつ不揮発性を備えるメモリーが必要と言われている。

[0004] このような次世代不揮発性半導体記憶装置の候補として、強誘電体メモリー(FeRAM)、磁気メモリー(MRAM)、相変化メモリー(PRAM)等の各種の原理に基づく不揮発性メモリー素子の研究開発が行われている。これらのうち、上記のDRAMを代替するための技術仕様を満たす候補として、MRAMが有望と見られている。なお、上記技術仕様に挙げた書換え回数($>10^{16}$)は、30nsで10年間のアクセスを続ける場合のアクセス回数に基づいて想定されている数値である。メモリーが不揮発性を有する場合にはリフレッシュサイクルが不要となるため、DRAMと同じ用途であっても

これほどの回数が必要とはいえない場合もある。現在のところ、試作レベルでは、MRAMは 10^{12} 以上の書換え回数性能を既にクリアしており、そのスイッチング速度も高速(<10ns)である。したがって、MRAMは不揮発性記憶装置の候補となる他の技術と比較して実現性がとりわけ高いと見られている。

[0005] このMRAMの一番の問題点は、セル面積が大きいことと、それに伴ってビットコストが高いことである。現在商品化されている小容量4Mbit程度のMRAMは電流磁場書換え型でありセル面積が $20 \sim 30F^2$ (F は製造プロセスの最小加工寸法)以上になる。つまり商品化されているMRAMのセル面積は大きすぎてDRAM置換え技術としては現実的とはいえない。この状況に対して、2つのブレークスルーとなる技術が状況を変えつつある。一つはMgOトンネル絶縁膜を用いたMTJ(磁気トンネル接合)であり200%以上の磁気抵抗が容易に得られる技術である(非特許文献1)。もう一つは電流注入磁化反転方式であり、電流磁場書換え方式においては致命的であった微細セルでの反転磁場増大の問題を回避可能とし、逆にスケーリングによる書込みエネルギーの低減を可能とする技術である。この電流磁化反転方式により、セル面積も理想的には1トランジスタ-1MTJが可能となるため $6 \sim 8F^2$ とDRAM並みになると想定される(非特許文献2)。また、フラッシュメモリなみの小セル面積($\sim 4F^2$)を目指した1ダイオード-1MTJの提案もなされている(特許文献1)。そして、回路の簡素化を図り1トランジスタ-1MTJ回路でDRAMと同等のセルサイズの縮小を行うという提案もある(特許文献2)。この簡素化は、磁化の方向が積層方向にほぼ固定されている駆動層を設けた素子では電流の極性が一方のみであるようにすることでトランジスタを2種類から1種類に減らすことにより達成される。

非特許文献1:D.D. Djayaprawira他、“230% room-temperature magnetoresistance in CoFeB/MgO/CoFeB magnetic tunnel junctions”, Applied Physics Letters, Vol. 86, 092502, 2005年

非特許文献2:J. Hayakawa他、“Current-induced magnetization switching in MgO barrier based magnetic tunnel junctions with CoFeB/Ru/CoFeB synthetic ferrimagnetic free layer”, Japanese Journal of Applied Physics, Vol. 45, L1057-L1060, 2006年

特許文献1:特開2004-179483号公報

特許文献2:特開2006-128579号公報

発明の開示

発明が解決しようとする課題

[0006] しかしながら上記1ダイオード-1MTJの提案は、ダイオードを介した順方向バイアスと逆方向バイアス下での電流によりスイッチングを行うものである。すなわち、順方向バイアスにおける電流(順方向電流)と逆方向バイアスにおけるリーク電流とによりスイッチングを行うものであり、電流の極性によりスイッチングを行うという原理に変わりはない。ここで、本来、ダイオードは、書き込み、消去、読み出し動作においてMTJの選択をディスタ urb なしに行うために形成するものであり、リーク電流は逆方向のみならず順方向にも流れる。よって、逆方向バイアスにおけるリーク電流によるスイッチングを動作原理とする上記提案では、そのスイッチングに用いられる程度の値の電流が順方向バイアスの際の低電圧時においても流れてしまい、ディスタ urb を防止する効果が不十分と成る。つまり、逆バイアスのリーク電流によってスイッチングができるなら、順方向バイアスにおける低電圧時にも電流が流れ、素子選択スイッチのない単純マトリクス型メモリと同様のディスタ urb の問題が発生し、このため、高集積化素子の実現は不可能となる。このように、最小セル面積 $4F^2$ を有する1ダイオード-1MTJによるクロスポイント型メモリの実現には、電流の極性によるスイッチングを動作原理とするこれまでの電流注入磁化反転方式を採用することができない。

[0007] また、特許文献2に記載の、磁化の方向が積層方向にほぼ固定されている駆動層を設けた素子による1トランジスタ-1MTJ回路の提案は、駆動層からフリー層へのスピン注入によりスピンプリセッションを誘起しスイッチングを行う方式である。しかしながら、駆動層からのスピン注入によりスピンプリセッションを誘起する原理に基づく方式では、フリー層(記憶層)とピン層(磁化固定層)の向き(平行あるいは反平行)がどちらか一方に偏りやすくなってしまうという問題がある。また、この方式では、ピン層(磁化固定層)の磁化の向きが変わるといった懸念もありDRAM並みの書き換え回数を実現するうえでも信頼性の低下という問題を招来する。このため電流の極性が一方のみでスイッチングするという1トランジスタ-1MTJ回路の提案も実現困難である。

[0008] 本発明は、上記問題点に鑑みてなされたものであり、その目的は、単極性の電気パルスによりスイッチング可能な磁気メモリー素子とその駆動方法を提供して、これにより、DRAMのセル面積を凌ぎフラッシュメモリーと同等のセル面積 $4F^2$ 程度を実現する不揮発半導体記憶装置を提供する点にある。

課題を解決するための手段

[0009] 本願の発明者等は、電流磁化反転方式の動作原理に立ち返り上記課題を吟味することにより、以下に示す磁気メモリー素子とその駆動方法及び不揮発記憶装置の発明に至った。

[0010] 即ち、本発明の磁気メモリー素子は、上記の課題を解決するために、フリー層と、非磁性層と、前記フリー層とともに前記非磁性層を挟むピン層とを備えるスピバルブ構造を有してなり、前記フリー層と前記ピン層との間に電気パルスを印加することにより情報を記録する磁気メモリー素子であって、前記スピバルブ構造には、前記フリー層の磁化と前記ピン層の磁化との組み合わせを制御するためのいくつかの書き込みパルスを印加することによって、書き込みパルスに応じた情報が記録され、前記ピン層がN型フェリ磁性体を含むフェリ磁性層を含み、該N型フェリ磁性体が、前記磁気メモリー素子の記憶保持動作温度域に磁気補償点 T_{comp} を有することを特徴とする。また、本発明の磁気メモリー素子には、上記のようなフェリ磁性層がフリー層に含まれているようにする。

[0011] ここで、スピバルブ構造とは磁性層(ピン層)/非磁性層/磁性層(フリー層)からなる構造であり、ピン層はフリー層よりも磁化配置が、例えば電流注入磁化反転によって反転しづらくなるようにしてある。ピン層の磁化配置を反転しづらくするためには、ピン層に近接するように反強磁性層を設けて、当該ピン層と反強磁性層との間における磁化同士の交換結合相互作用によってピン層の実効的な保磁力を増大させる手法を用いることができる。また、別の態様として、ピン層の層厚を十分に厚くして磁化の変化をしづらくするようにもできるし、ピン層の磁氣的性質をフリー層のものと異なるようにしてもよい。いずれの場合であっても、情報の読み出しは、フリー層の磁化が、ピン層の磁化に対してなす角度応じて相対的に変化した場合の磁化の組み合わせに対応して抵抗値が変わる現象、すなわち、フリー層の磁化とピン層の磁

化が平行となる配置(平行配置)の場合に抵抗が最も低く、フリー層の磁化とピン層の磁化が反平行となる配置(反平行配置)で抵抗が最も高くなる現象を利用することができる。

[0012] また、非磁性層は、磁性層間(ピン層とフリー層との間)の磁気結合を切断する役割を果たしており、金属が用いられた場合には巨大磁気抵抗(GMR)素子として、絶縁体が用いられた場合にはトンネル磁気抵抗(TMR)素子として動作する。但し、電流でスイッチングを行なう場合にはピン層は必ずしも保磁力(H_c)あるいは磁気異方性(K_u)が大きい必要はなくむしろ磁化(M_s)が十分大きくスピンの才差運動が起こりにくいことが重要となる。また、N型フェリ磁性体とは、反平行な2種類の磁化A, Bが存在し(例えばTbFeCoの場合、Tbの磁化とFeCoの磁化の2種類)、これらの温度依存性が異なるため見かけ上の磁化($A-B$)が消失する温度(磁気補償点 T_{comp})が存在する物質である。この磁気補償点 T_{comp} を境にして、低温側と高温側ではN型フェリ磁性体の見かけ上の磁化が反転する。

[0013] 本発明における記憶保持動作温度域とは、フェリ磁性層がとりうる温度範囲のうち、パルスを印加して書込み動作を行うときのフェリ磁性層の温度より低い温度であって、スピンバルブ素子によって記憶した情報を保持するために利用するときの磁気変化層の温度の範囲を指している。このため、例えば、読み出しのために流す電流によって磁気変化層に温度上昇が見られたとしても、そのときの温度が書込み動作をするときの温度より低く、記憶を保持したままのものである限り、その温度は記憶保持動作温度域の範囲である。この温度の範囲の具体的な例としては、例えば $-20^{\circ}\text{C} \sim 150^{\circ}\text{C}$ となる。これは、本発明のスピンバルブ素子を利用する記憶装置を使用する環境の温度範囲が電子機器内部の温度として想定されることが多い温度範囲($-20^{\circ}\text{C} \sim 80^{\circ}\text{C}$)を動作保障温度範囲とするときに、記憶装置自体の温度が $-20^{\circ}\text{C} \sim 120^{\circ}\text{C}$ 程度で動作し、その中の局所的なスピンバルブ素子が、記憶を保持する動作をするために示しうる温度範囲が $-20^{\circ}\text{C} \sim 150^{\circ}\text{C}$ となることに対応している。上記の温度の具体例は単なる例示に過ぎず、具体的なアプリケーションに応じて記憶保持動作の温度範囲はさまざまに設定される。

[0014] 本発明の磁気メモリー素子においては、前記N型フェリ磁性体の磁気補償点 T_{comp}

が、一の書き込みパルスを印加したときに到達する前記フェリ磁性層の温度よりも低く、他の書き込みパルスを印加したときに到達する前記フェリ磁性層の温度よりも高くすること、すなわち、N型フェリ磁性体からなるフェリ磁性層の温度が磁気補償点 T_{comp} より高くはならないような書き込みパルスと、磁気補償点 T_{comp} より高くなるような書き込みパルスとを使い分けることが好適である。これにより、フェリ磁性層の見かけの磁化を所望の方向に向けた状態で書き込みを行う。こうして、簡単な構造で磁化の組み合わせを制御することができる。また、単極性の電気パルスを用いた電流注入磁化反転によるスイッチングが可能となる。ここでの書き込みパルスは、フリー層の磁化とピン層の磁化の組み合わせの状態として情報を記録する際に、例えば、二つの異なる情報に応じた二つの磁化の組み合わせ状態を書き込むような二つのパルスとすることができる。その書き込みパルスにしたがって、必要であればその直前の状態を消去するように電流注入磁化反転を起こさせて、所望の磁化の組み合わせの状態を実現しこれを情報の記録に用いることができる。

[0015] また、本発明の磁気メモリー素子は、前記ピン層が、前記N型フェリ磁性体の磁化の温度依存性よりも小さい磁化の温度依存性を示す磁性体を含む追加磁性層をさらに含み、該追加磁性層が、前記ピン層のうちの前記非磁性層側に配置されること(フェリ磁性層がピン層にある場合)あるいは、前記フリー層のうちの前記非磁性層側に配置されること(フェリ磁性層がフリー層にある場合)を特徴とする。

[0016] 上記特徴の構成によれば、磁気抵抗比は非磁性層界面近傍(～1nm程度)のフリー層あるいはピン層である磁性層のスピンの分極率によってその大きさが決まるため、磁気抵抗比の大きさを温度依存性の小さい磁性層(追加磁性層)に担わせることにより、N型フェリ磁性層の磁気特性(磁気補償点など)をスピンの分極率とは独立に設計することが可能となる。

[0017] この特徴を有する場合において、本発明の磁気メモリー素子では、前記フェリ磁性層と前記追加磁性層とがともに垂直磁化膜であることを特徴とする。

[0018] 上記特徴の構成によれば、N型フェリ磁性体の磁気補償点を境にしたフェリ磁性層磁化の反転に応じて、非磁性層界面近傍にある追加磁性層の磁化も反転することが可能となる。これは、フェリ磁性層と追加磁性層の間に交換結合があるためである。さ

らに、膜面垂直方向の異方性磁界を利用することが可能となるため素子形状に面内異方性を付与せずにする。これにより、セル面内形状を長方形にする必要がなくなるためセルサイズを小さくできるという利点を有する。

[0019] また、本発明の磁気メモリー素子は、前記フェリ磁性層と前記追加磁性層のうち、いずれか一方の層が垂直磁化膜であり、もう一方の層が面内磁化膜であることを特徴とする。

[0020] 上記特徴の構成によれば、N型フェリ磁性体の磁気補償点を境にしたフェリ磁性層磁化の反転に応じて、非磁性層界面近傍の追加磁性層の磁化を反転することが可能となる。これは、追加磁性層の磁化がフェリ磁性層の磁化とスプリング磁性の相互作用を有するためである。

[0021] また、本発明の磁気メモリー素子は、非磁性層と、ピン層（フェリ磁性層がフリー層にある場合）またはフリー層（フェリ磁性層がピン層にある場合）との間にマグネシウム（Mg）またはアルミニウム（Al）を含む金属層を設けることを特徴とする。

[0022] 上記特徴の構成によれば、非磁性層として酸化マグネシウム（MgO）あるいは酸化アルミニウム（AlO_x）からなる絶縁膜を用いるTMR素子において界面近傍の磁性金属薄膜の酸化を抑制することが可能となる。このため、磁気抵抗比が劣化しにくくなる。さらにフェリ磁性層のN型フェリ磁性体として希土類遷移金属からなるアモルファス合金膜を用いる際には最も酸化しやすい希土類の酸化を防ぎ特性劣化を抑止することが可能となる。

[0023] また、本発明の磁気メモリー素子は、前記非磁性層が酸化マグネシウム（MgO）からなり、前記ピン層の前記フェリ磁性層がTbFeCo合金からなり、前記ピン層の前記追加磁性層がCoFeB合金からなることを特徴とする。

[0024] 上記特徴の構成によれば、高い磁気抵抗比を示す構成を得ることができる。そのようなものの一例を挙げるならば、100%以上の磁気抵抗比を示すMgO／CoFeB構造を挙げるができる。TbFeCo合金は、テルビウム（Tb）、鉄（Fe）、コバルト（Co）を0でない任意の割合で含む合金であり、各元素の相対的な成分比を変更することにより、室温から250℃程度の範囲に磁気補償点を連続的な組成変化により調整することが可能であるため、動作条件の調整が容易となる。なお、ここでの動作条件は、

その一例を示せば、後に示す電気パルス高さやパルス幅とすることができる。さらに、TbFeCo合金は、アモルファス材料であるためエピタキシャル成長させたり、配向させて作成して配向膜とする必要がなく、さらに、RuやIrMnなどの金属やアモルファス膜などを下地に有する場合にも本発明の磁気メモリー素子を作製することができるという利点を有する。

[0025] また、本発明の磁気メモリー素子は、ピン層（フェリ磁性層がフリー層にある場合）またはフリー層（フェリ磁性層がピン層にある場合）の厚みを規定する二つの面のうち前記非磁性層の反対側となる面に近接して電流狭窄構造を設けたことを特徴とする。

[0026] 上記特徴の構成によれば、電気パルス印加時にピン層（フェリ磁性層がフリー層にある場合）またはフリー層（フェリ磁性層がピン層にある場合）の温度を効率的に昇温することが可能となる。

[0027] また、フェリ磁性層がフリー層にある場合、本発明の磁気メモリー素子は、フリー層の磁化の向きが昇温により面内から面直に変化することを特徴とする特徴とする。

[0028] 上記特徴の構成によれば、フリー層の磁化が面内から立つことにより電流注入磁化反転に必要な電流値を低減することが可能となる。さらに膜面垂直方向の異方性磁界を利用することが可能となるため素子形状に面内異方性を付与せずにする。これによりセル面内形状を長方形にする必要がなくなるためセルサイズを小さくできるという利点を有する。

[0029] また、フェリ磁性層がフリー層にある場合、本発明の磁気メモリー素子は、前記磁気メモリー素子において、フリー層がGdFeCo合金からなることを特徴とする。

[0030] 上記特徴の構成によれば、昇温によりGdFeCoのモーメントが小さくなることで磁化方向を面内から面直に変化させることが可能となる。また既に述べたように非磁性界面側にCoFeBのような磁性膜を薄く挿入することがより望ましい。これにより界面でのスピン分極率を維持し、かつまたGdFeCoの酸化による磁気特性の劣化を抑止することが可能となるためである。

[0031] また、本発明は、磁気メモリー素子の駆動方法として実施することもできる。この駆動方法のある態様においては、フリー層と、非磁性層と、前記フリー層とともに前記非磁性層を挟むピン層とを備えるスピバルブ構造を有する磁気メモリー素子の駆動

方法であって、前記ピン層は、磁気メモリー素子の記憶保持動作温度域に磁気補償点 T_{comp} を有するN型フェリ磁性体を含んでいて、前記スピバルブ構造に電気パルスである第1の書き込みパルスを印加して、該第1の書き込みパルスの印加後における前記フリー層の磁化と前記ピン層の磁化との組み合わせを第1の組み合わせ状態にするステップと、前記スピバルブ構造に電気パルスである第2の書き込みパルスを印加して、該第2の書き込みパルスの印加後における前記フリー層の磁化と前記ピン層の磁化との組み合わせを第2の組み合わせ状態にするステップとを含んでなり、前記第1の書き込みパルスを印加した際の前記ピン層の磁化と前記第2の書き込みパルスを印加した際の前記ピン層の磁化とが互いに異なる向きであり、前記第1および第2の書き込みパルスが同一の極性であることを特徴とする。さらに、本発明の駆動方法の別の態様においては、フリー層と、非磁性層と、前記フリー層とともに前記非磁性層を挟むピン層とを備えるスピバルブ構造を有する磁気メモリー素子の駆動方法であって、前記フリー層は、磁気メモリー素子の記憶保持動作温度域に磁気補償点 T_{comp} を有するN型フェリ磁性体を有するフェリ磁性層を含んでいて、前記スピバルブ構造に電気パルスである第1の書き込みパルスを印加して、該第1の書き込みパルスの印加後における前記フリー層の磁化と前記ピン層の磁化との組み合わせを第1の組み合わせ状態にするステップと、前記スピバルブ構造に電気パルスである第2の書き込みパルスを印加して、該第2の書き込みパルスの印加後における前記フリー層の磁化と前記ピン層の磁化との組み合わせを第2の組み合わせ状態にするステップとを含んでなり、前記第1の書き込みパルスを印加した際の前記フリー層の磁化と前記第2の書き込みパルスを印加した際の前記フリー層の磁化とが互いに同じ向きであり、前記第1および第2の書き込みパルスが同一の極性であることを特徴とする。

[0032] 本発明の駆動方法には、上記いずれの態様においても、第1および第2の書き込みパルスがともにフリー層からピン層へと電流を流す方法や、その逆にともにピン層からフリー層へと電流を流す方法が含まれている。ここで、上記態様において第1の書き込みパルスを印加した際のピン層の磁化と第2の書き込みパルスを印加した際のピン層の磁化とを互いに異なる向きにするためには、ピン層におけるフェリ磁性層

にN型フェリ磁性体を有するようにしておいて、例えば、そのN型フェリ磁性体の磁気補償点を境にしてフェリ磁性層の磁化が反転する現象を用いることができる。この現象は、また、上記他の態様において第1の書き込みパルスを印加した際のピン層の磁化と第2の書き込みパルスを印加した際のフリー層の磁化を互いに同じ向きにして異なる情報を記録するために用いることもできる。

[0033] 上記駆動方法によれば、セット動作(高抵抗から低抵抗へのスイッチ)とリセット動作(低抵抗から高抵抗)が、同一の極性のパルスによって実現されるため、簡易な回路構成によって実現されうるという利点がある。この構成においては、フェリ磁性層の温度が、磁気補償点を境にして低温の場合にセット動作、高温の場合に、リセット動作とすることができる。

[0034] このように温度を制御するために、本発明の駆動方法においては、前記第1の書き込みパルスと前記第2の書き込みパルスとが互いにパルス高さが異なるようにすることが好適である。

[0035] また、本発明の磁気メモリー素子の駆動方法においてフリー層からピン層に電流を流す態様によれば、前記第1の書き込みパルスと前記第2の書き込みパルスとのうちの一方のパルスが前記フリー層と前記ピン層の間の抵抗値を低抵抗にするパルスであって振幅 V_p の部分をも有し、もう一方のパルスが前記抵抗値を高抵抗にするパルスであって振幅 V_{ap} の部分をも有し、振幅 V_p が振幅 V_{ap} よりも小さいことが好適である。その逆に、ピン層からフリー層に電流を流す場合には、振幅 V_p が振幅 V_{ap} よりも大きいことが好適である。

[0036] 上記好適な態様によれば、同一の極性の電気パルスのパルス高さにより情報を記録する際に、セット動作(低抵抗にする)に必要な第1または第2の書き込みパルスのうちどちらかの書き込みパルスのある部分の振幅(パルス高さ) V_p を、リセット動作(高抵抗にする)に必要なもう一方の書き込みパルスのある部分の振幅(パルス高さ) V_{ap} よりも小さくする(あるいは、大きくする)。このため、電圧あるいは電流の振幅(パルス高さ)によって記憶情報をダイレクトにセット、あるいはリセットする動作が可能となる。したがって素子の書き込み消去(セット動作、リセット動作)が同一のクロック内で処理することができる。

- [0037] また、本発明の磁気メモリー素子の駆動方法の好適な態様によれば、前記第1の書き込みパルスと前記第2の書き込みパルスとが異なるパルス幅を有し、パルス幅に基づいて前記情報を記録することを特徴とする。前記第1の書き込みパルスと前記第2の書き込みパルスとのうちの一方のパルスが前記フリー層と前記ピン層の間の抵抗値を低抵抗にするパルスであってパルス幅 τ_p を有し、もう一方のパルスが該抵抗値を高抵抗にするパルスであってパルス幅 τ_{ap} を有しているとき、フリー層からピン層に電流を流す態様においてはパルス幅 τ_p がパルス幅 τ_{ap} よりも小さいものが好適であり、ピン層からフリー層に電流を流す態様においては、パルス幅 τ_p がパルス幅 τ_{ap} よりも大きいものが好適である。
- [0038] これらの好適な態様によれば、パルス幅によってセット動作あるいはリセット動作を制御することができる。特に、セット動作(低抵抗にする)に必要なパルス幅 τ_p が、リセット動作(高抵抗にする)に必要なパルス幅 τ_{ap} よりも小さい場合には、パルス幅によって記憶情報をダイレクトにセット、あるいはリセットすることが可能となる。したがって素子の書き込み消去(セット、リセット)が駆動電流を変化させることなく動作可能となる。
- [0039] 本発明は、すでに説明したように、駆動方法の実施態様において電流を流す向きを反対にすることができる。上述の各好適な態様もこの電流の向きの反転に対応する変更によって同様に好適となる。このように電流の向きが変更できることは、例えば素子選択スイッチとして直列に接続する整流素子(ダイオード)を用いる場合には、ダイオードの整流方向によらず動作が可能となる。すなわちスピンバルブ構造の下部をピン層とするかフリー層とするかという設計自由度と、整流素子の整流方向(pnダイオードの場合にはp層n層積層順序、ショットキーダイオードの場合には半導体層の積層順序)を自由に選択できるという利点を有する。
- [0040] 本発明は、不揮発記憶装置として実施することもできる。すなわち、上述の何れかの磁気メモリー素子と、それに直列に接続した整流素子と、前記磁気メモリー素子のスピンバルブ構造におけるフリー層の磁化とピン層の磁化との組み合わせを第1の組み合わせ状態にするための第1の書き込みパルスと、前記組み合わせを第2の組み合わせ状態にするための、前記第1の書き込みパルスと同一の極性の第2の書き込

みパルスとを生成して前記整流素子と前記磁気メモリー素子とに印加して書込及び消去を行う情報書換え手段と、磁気メモリー素子を通る電流量から記憶された情報を読み出す読み出し手段とを備えてなることを特徴とする不揮発記憶装置は前記磁気メモリー素子とそれに直列に接続した整流素子とを備え、前記駆動方法による書込及び消去を行う情報書換え手段と磁気メモリー素子を通る電流量から記憶された情報を読み出す手段とを備えてなることを特徴とする。

- [0041] 上記特徴の不揮発記憶装置によれば、単極性の電気パルスによりスイッチングが可能となるため1ダイオードと1MTJからなるメモリーセルが構成可能となりフラッシュメモリーと同等のセル面積 $4F^2$ が実現可能となる。従って、高速動作、高い書換え回数性能を備えた不揮発記憶装置を高密度に基板上に集積できるため高性能な不揮発記憶装置を低コストで提供できる。

発明の効果

- [0042] 本発明の磁気メモリー素子及びその駆動方法を備えた不揮発記憶装置においては、以上のように、単極性の電気パルスによりスイッチングが可能となるため1ダイオードと1MTJからなる $4F^2$ サイズのメモリーセルが構成可能となる。これにより、低コストで高性能、高集積な不揮発記憶装置が実現可能となる。

図面の簡単な説明

- [0043] [図1]本発明の実施形態に係る(a)フェリ磁性層がピン層にある場合の磁気メモリー素子のリセット動作時の動作原理と、(b)フェリ磁性層がフリー層にある場合の磁気メモリー素子のリセット動作時の動作原理と、(c)ピン層の磁化の向きと素子温度の関係を模式的に示す図。

[図2]本発明の実施形態に係る磁気メモリー素子を構成するピン層として用いる磁気補償点を示すN型フェリ磁性体の磁化と温度の関係を模式的に示す図。

[図3]本発明の実施形態に係る(a)磁気メモリー素子のセット動作時の動作原理と(b)ピン層の磁化の向きと素子温度の関係を模式的に示す図。

[図4]本発明の実施形態に係る磁気メモリー素子の断面図。

[図5]本発明の実施形態に係る磁気メモリー素子のフリー層／非磁性層／ピン層の詳細断面図

[図6]本発明の実施形態に係る磁気メモリー素子のフリー層に用いるGdFeCoの磁化と温度の関係を模式的に示す図。

[図7]本発明の実施形態に係る磁気メモリー素子のフリー層／非磁性層／ピン層の詳細断面図。

[図8]本発明の実施形態に係る磁気メモリー素子の駆動方法である、パルス高さにより情報を記録する方法を示す図。

[図9]本発明の実施形態に係る磁気メモリー素子の駆動方法である、パルス幅により情報を記録する方法を示す図。

[図10]本発明の実施形態に係る不揮発記憶装置の一実施例であるクロスポイント型メモリーセルアレイを構成する磁気メモリー素子と整流素子を模式的に示す図。

[図11]本発明の実施形態に係る不揮発記憶装置の一実施例であるクロスポイント型メモリーセルアレイの回路構成のブロックダイアグラム。

符号の説明

- [0044]
- 1: 基板
 - 2: 下部電極(Cu/Ta)
 - 3、3': ピン層
 - 31: TbFeCo/PtMn
 - 32: CoFeB
 - 4: 非磁性層
 - 41: Mg
 - 42: MgOトンネル絶縁膜
 - 5、5': フリー層
 - 51: CoFeB
 - 52: GdFeCo
 - 6: 層間絶縁膜(SiO_2)
 - 6A: コンタクトホール
 - 7: 上部電極(Cu/Ta)
 - 8: メモリーセル

- 9: 整流素子
- 100: 不揮発性記憶装置
- 110: ワードラインデコーダ
- 120: ビットラインデコーダ

発明を実施するための最良の形態

[0045] 以下、本発明に係る磁気メモリー素子とその駆動方法、及び、不揮発記憶装置(以下、それぞれ、「本発明素子」、「本発明素子の駆動方法」及び「本発明装置」と略称する。)の実施形態を図面に基づいて説明する。

[0046] [第1実施形態]

本発明の第1実施形態では、図1～図9に基づいて本発明素子と本発明素子の駆動方法について説明する。

[0047] 上述のように、電流注入磁化反転方式は電流の極性(電流の向き)によりフリー層の磁化を反転させる方式である。フリー層とピン層の両者の磁化を平行にするには、フリー層側から電流を流す、即ちピン層側から非磁性層を介してスピン偏極した電子をフリー層に注入することで実現される。逆に反平行にするにはピン層側から電流を流す、即ちフリー層側から非磁性層を介してスピン偏極した電子をピン層側に注入する。反平行になる理由については、ピン層の磁化と平行なスピンを有する電子のみが、フリー層からピン層へと非磁性層と透過することができ、ピン層の磁化と平行でないスピンを有する電子は反射されフリー層に蓄積され、その結果、フリー層の磁化はピン層と反平行配置になると考えられる。すなわち局在スピンを含めた角運動量が保存するように電子を注入する方式である。

[0048] ここで、電流注入磁化反転方式の原理から、スピバルブ素子に情報を記録する際の電流極性を、セット動作とリセット動作とで同一とする(単極性パルスを用いる)ために必要となる条件について説明する。これまで行われてきた電流注入磁化反転方式はピン層またはフリー層の磁化配置(磁化の向き)が一定であるという条件が暗黙に想定されており、そのため電流注入磁化反転は全て電流の極性によりスイッチングを行っている。1ダイオードー1MTJからなる最小セル面積 $4F^2$ を実現するためには、メモリーセルを駆動するための回路要素にも高い集積度が要求される。本願発明者

は、フリー層やピン層の磁化配置が一定であるという条件(これを限定された磁化配置の条件と呼ぶ)は、電流注入磁化反転方式の必須の構成とはいえないこと、すなわち、従来の電流注入磁化反転の技術が、実際には限定された磁化配置の条件を暗黙に仮定した場合のみにおいて検討されてきていることに着目し、本発明の構成を見出すに至った。

[0049] すなわち、本願発明者は、ピン層の磁化やフリー層の磁化を何らかの手段によって反転させることが可能であるならば、電流パルスの極性を反転させることなく必要な情報を書き込むスイッチング動作を行うことが可能なはずであるということに注目した。これは一見逆説的ではあるが、本発明のポイントはこの点にある。考えるべきことは、ピン層やフリー層の磁化を、スピンバルブ素子への情報の書き込み(セット時・リセット動作時)と読み出し(再生時)のうち、必要な動作時(セット時またはリセット時のいずれか一方のみ)にのみ反転させることができ、それが終わると元の磁化配置に戻るようにすることができて、セット時またはリセット時のもう一方と再生時とは反転しないようにすることが可能かどうかである。このような一見不可能と思われてきた動作原理を可能とする本発明の態様は以下のとおりである。

[0050] このための一つの態様は、ピン層またはフリー層にN型フェリ磁性体を用い、そのN型フェリ磁性体の磁気補償点(見かけの磁化が反転する温度)と、そのN型フェリ磁性体を有するフェリ磁性層の動作時の温度との間の関係を適切に設定する態様である。つまり、フェリ磁性層の温度が、セット動作時(低抵抗の状態に磁気メモリー素子をする動作)の書き込みパルスを印加する際か、リセット動作時(高抵抗の状態に磁気メモリー素子をする動作)の書き込みパルスを印加する際のいずれかの場合に磁気補償点を越え、もう一方の場合に磁気補償点以下であればよい。これまで、説明を明確にする目的で「セット動作」を低抵抗の状態に磁気メモリー素子をする動作、つまり、任意の磁化配置から平行の磁化配置を得る動作とし、「リセット動作」を高抵抗の状態に磁気メモリー素子をする動作、つまり、任意の磁化配置から反平行の磁化配置を得る動作として説明してきた。どのような磁化配置をセット、リセットに割り当てるかは任意に決められ、これまで及びこれ以降の説明において、セットとリセットとの用語を入れ替えても、本出願の動作の説明は同様に成り立つ点に注意が必要である。

[0051] 本願の開示では、上記と同様のセット動作、リセット動作と磁化配置や抵抗値との間の対応を守ったとしても、なお、フェリ磁性層の温度がN型フェリ磁性体の磁気補償点を超えるのが、セット動作とすることも、リセット動作とすることもできる。以後、まず、リセット動作時にフェリ磁性層の温度がN型フェリ磁性体の磁気補償点を超える場合を説明し、最後に逆の場合を説明する。

[0052] リセット動作時の磁化方向をそれ以外の動作時の磁化方向と逆にするためには、フェリ磁性層の温度がリセット動作時には磁気補償点を超えて、リセット動作時が終了した後には磁気補償点より下がればよい。電流注入磁化反転に用いる素子は集積度の観点からも接合面積が例えば $100\text{nm} \times 200\text{nm}$ よりも小さいために、スイッチング時に電気パルスを印加すると必然的に素子の温度は上昇する。この温度上昇を積極的に利用し、電流の極性で規定されてきた動作原理に温度という新たな設計パラメータを導入することにより単極性電気パルスによるスイッチングが可能となる。N型フェリ磁性体とは反平行な2種類の磁化A, Bが存在し(TbFeCoの場合、Tbの磁化とFeCoの磁化の2種類)、これらの温度依存性が異なるため見かけ上の磁化(A-B)が消失する磁気補償点 T_{comp} が存在する物質である。従って図2に示すように磁気補償点より高温あるいは低温では見かけ上の磁化(A-B)の符号が反転することになる。尚、この磁気補償点は組成により調整可能である。

[0053] 動作原理を説明する。まず図3を用いてセット動作、すなわちピン層とフリー層の磁化配置を平行にする動作を説明する。図3(a)(1)に示したように、フリー層5側から正の電流(パルス)を印加すると従来と同様に平行になる(図3(a)(2))。このとき素子の温度は上昇するが磁気補償点以下であればピン層の磁化配置は変わらないため通常と同様なセット動作が行われる。したがってこの正の電流パルスは、フェリ磁性層の温度を、N型フェリ磁性体の磁気補償点にまで到達させないように用いられる書き込みパルスである。このセット動作は、フェリ磁性層があるのがピン層であっても、フリー層であっても同様である。

[0054] さて次に、リセット動作、すなわちピン層3とフリー層5の磁化配置を反平行にする動作を、図1(a)を用いて説明する。フェリ磁性層があるのがピン層である場合についてまず説明する。単極性動作とするには図3のセット動作時と同様にフリー層5側から正

の電流(パルス)を印加するという点に変更しない。このとき、電流パルスの電流値(あるいは電圧値)をセット動作時よりも大きくすると電流によるジュール熱により必然的に素子温度がより上昇し、磁気補償点 T_{comp} を越えることが可能である。図1(a)(1)はその温度が上昇する前を示しており、図1(a)(2)がその温度が上昇した後の状態を示している。温度が上昇すると、ピン層3の磁化の向きは図1(b)に示したように磁気補償点以下の向きからみて反転したものとなる。これがN型フェリ磁性体の性質である。引き続き電流が流れているので、次に、この状態で、すなわち磁気補償点以上の温度において、電流注入磁化反転が行なわれることになる。従って、図1(a)(3)に示すように、フリー層5の磁化がピン層3の反転した磁化と平行な配置になる。電流パルスを切ると、電流注入の停止によって、まず電流注入磁化反転の動作が完了し、このあとピン層の温度が磁気補償点以下に冷却して、ピン層の温度が磁気補償点以下になる。その結果、図1(a)(4)のようにピン層の磁化の向きが元に戻る。こうして、フリー層の磁化は電流パルス印加前の状態とは反転するため、リセット動作が完了することになる。このようにして単極性電気パルスを用いた電流注入磁化反転が可能となるのである。

[0055] フェリ磁性層がフリー層にある場合を図1(b)に基づいて説明する。この場合のリセット動作の動作原理は、フリー層の磁化がフェリ磁性層の性質を持つ点で異なるが、他の動作は類似したものとなる。この場合にも、単極性動作とするために電流の印加の向きは変更せずに、電流パルスの電流値(あるいは電圧値)をセット動作時よりも大きくする。図1(b)(1)はその電流パルスが印加される前の磁化配置である。ジュール熱により素子温度がより上昇し、フリー層のフェリ磁性層の温度が磁気補償点 T_{comp} を越えると、フリー層5の磁化の向きが、磁気補償点以下の向きからみて反転したものとなる(図1(b)(2))。N型フェリ磁性体がフリー層5にあるため、磁化が温度によって反転するのがフリー層である点で、図1(a)のものと異なる。引き続き、この状態(すなわち磁気補償点以上)で電流注入磁化反転が行なわれることによって、図1(b)(3)に示すように、フリー層5の磁化がピン層3の反転した磁化と平行な配置になる。電流パルスを切ると、電流注入の停止によって電流注入磁化反転が完了し、次いで、フリー層の温度が磁気補償点以下になる。その結果、図1(b)(4)のようにフリー層の磁化

の向きが反転する。こうして、結局、フリー層の磁化は電流パルス印加前の状態からみて反転するため、リセット動作が完了する。

[0056] 以上のように、N型フェリ磁性体を有するフェリ磁性層がピン層及びフリー層のいずれに有っても、そのフェリ磁性層の温度が磁気補償点以上の温度となるようなパルスによってリセット動作を行うことが可能となる。

[0057] 以下では、具体的な素子構造を用いて説明する。まず、フェリ磁性層がピン層にある場合について説明する。図4は本発明に係る磁気メモリー素子の断面図である。図5にはスピバルブ構造に関する詳細な積層膜の構成を示している。基板1上に下部電極2(Cu/Ta)とピン層3(CoFeB(符号31)/TbFeCo/PtMn(符号31))、非磁性層としてトンネル絶縁膜4(MgO(符号42)/Mg(符号41))、フリー層5(GdFeCo/CoFeB)を順次形成する。100×100nmの接合サイズにArイオンミリングなどの手法により加工し層間絶縁膜6(SiO₂)を形成した後に、接合部及び下部電極へのコンタクトホール6Aを介して上部電極7(Cu/Ta)を形成する。既に知られているようにCoFeB/MgO/CoFeBは素子作製時にはMgOのみが結晶化膜でありCoFeBはアモルファスである。この構造ですでに磁気抵抗比として100%以上の値が得られており不揮発メモリーに用いるには十分である。さらにMgOとの界面で磁性層が酸化し磁気特性が劣化する(スピン分極率などが直接磁気抵抗比に効く)ことを防止するためにMgO層に接する面にMg金属を薄く(1~2nm以下)形成する場合もある。特に以下で示すTbFeCoなどの希土類遷移金属からなるアモルファス合金を用いる場合には希土類が酸化しやすいため好ましい。本発明のピン層に用いるN型フェリ磁性層としては同じくアモルファスであるTbFeCoが磁気補償点を室温から250℃程度の範囲で適宜調整可能であることから好ましい。素子形成後にCoFeBを結晶化させるアニールが200℃から350℃程度の温度で行われる。このときCoFeBは結晶膜であるMgO界面から結晶化が促進されることが知られている。すなわちアニール時間としてはCoFeBが結晶化を完了しTbFeCoは結晶化しないような条件を選べばよいのだが上記のアニール温度範囲においては結晶化することがないためこれまで用いられてきたプロセスとの整合性が良い。さらにフリー層にはこれまで用いられてきたCoFeBを用いることも可能であるが(例えば図5、CoFeB層51)、素子の温度

上昇をより積極的に利用するという意味においては、図6に示すように温度上昇によって面内磁化から垂直磁化へと変化するGdFeCoのような材料の層52をフリー層5に用いることが好ましい。フリー層、ピン層いずれにおいてもMgO界面にCoFeBを薄く(1~2nm以下)挿入することで(例えば図5、CoFeB層32、51)、スピントラnsferの問題なくN型フェリ磁性体や温度によって容易磁化軸が変化する希土類遷移金属アモルファス材料の使用が可能となる。このときTbFeCoは垂直磁化であるがCoFeBも交換結合により垂直磁化膜となればTbFeCoが磁気補償点を挟んで磁化反転する際に同時に反転するため上記動作原理が適用可能となる。また、CoFeBが面内磁化の場合にはいわゆるスプリング磁性により垂直磁化膜であるTbFeCoの磁化反転に伴いCoFeBの面内磁化が回転する結果上記動作原理が可能となる。

[0058] 次に、フェリ磁性層がフリー層にある場合についても素子構造を用いて説明する。この場合の磁気メモリー素子の断面図も図4に併せて示している。また、図7には、この場合のスピントラnsfer構造に関する積層膜の構成を示している。基板1上に下部電極2(Cu/Ta)とピン層3'(CoFeB/Ru/CoFe/PtMn)、非磁性層としてトンネル絶縁膜4(MgO(符号42)/Mg(符号41))、フリー層5'(TbFeCo/CoFeB)を順次形成する。上部にTbFeCoへのプロセスダメージを防ぐためにCuあるいはTaなどの金属膜をあらかじめ薄く形成してもよい。100×100nm²の接合サイズにArイオンミリングなどの手法により加工し層間絶縁膜6(SiO₂)を形成した後に、接合部及び下部電極へのコンタクトホール6Aを介して上部電極7(Cu/Ta)を形成する。既に知られているようにCoFeB/MgO/CoFeBは素子作製時にはMgOのみが結晶化膜でありCoFeBはアモルファスである。この構造ですでに磁気抵抗比として100%以上の値が得られており不揮発メモリーに用いるには十分である。さらにMgOとの界面で磁性層が酸化し磁気特性が劣化する(スピントラnsfer率などが直接磁気抵抗比に効く)ことを防止するためにMgO層に接する面にMg金属を薄く(1~2nm以下)形成する場合もある。特に以下で示すTbFeCoなどの希土類遷移金属からなるアモルファス合金を用いる場合には希土類が酸化しやすいため好ましい。本発明のフリー層に用いるN型フェリ磁性層としては同じくアモルファスであるTbFeCoあるいはGdFeCoが磁気補償点を室温から250°C程度の範囲で適宜調整可能であることから好ま

しい。素子形成後にCoFeBを結晶化させるアニールが200°Cから350°C程度の温度で行われる。このときCoFeBは結晶膜であるMgO界面から結晶化が促進されることが知られている。すなわちアニール時間としてはCoFeBが結晶化を完了しTbFeCoは結晶化しないような条件を選べばよいのだが上記のアニール温度範囲においては結晶化することがないためこれまで用いられてきたプロセスとの整合性が良い。さらにピン層にはこれまで用いられてきたCoFeBを用いることも可能であるが、フリー層と同様にトンネル絶縁膜側にCoFeBを配置してその下部に垂直磁化膜として磁気補償点が室温以下であるTbFeCoを設けてもよい。すなわちフリー層、ピン層いずれにおいてもMgO界面にCoFeBを薄く(1~2nm以下)挿入することで、スピン分極率の問題なくN型フェリ磁性体や温度によって容易磁化軸が変化する希土類遷移金属アモルファス材料の使用が可能となる。このときフリー層のTbFeCoは垂直磁化であるがCoFeBも交換結合により垂直磁化膜となればTbFeCoが磁気補償点を挟んで磁化反転する際に同時に反転するため上記動作原理が適用可能となる。また、CoFeBが面内磁化の場合にはいわゆるスプリング磁性により垂直磁化膜であるTbFeCoの磁化反転に伴いCoFeBの面内磁化が回転する結果上記動作原理が可能となる。

[0059] 次に、上記の原理に基づいて本発明の磁気メモリー素子を駆動する方法を説明する。図8は本発明に係る磁気メモリー素子の駆動方法である、パルス高さにより情報を記録する方法を示す図である。なお、図1(a)と図1(b)の比較からわかるように、フェリ磁性層がピン層にあるかフリー層にあるかにかかわらず、磁化が反転するのはフリー層であり、ここでの説明は両方の場合に適用される。図8上段にはパルス高さを変えた電圧パルスと電圧パルスによりスイッチングした磁化配置を示した。図8下段にはスイッチング後の抵抗値を示している。尚、ここではフリー層側から正の電気パルスを印加した場合を示している。電圧パルスの電圧値を大きくすることにより電流が増加し素子温度がピン層に用いたN型フェリ磁性体の磁気補償点を越える条件に設定することにより本発明の動作原理によりスイッチングが行われる。尚、このような微小領域の電流加熱による昇温・冷却速度は素子構造にもよるが一般にナノ秒以下にできることがわかっているため素子動作上不利になることはない。さらに一般的に知られているような手法、例えば、絶縁体の多孔質膜を用いて、孔にのみ電流が流れる

金属層が満たされているような構造をピン層3と電極2の間に設けることによりピン層側に電流狭窄構造を挿入すればより効率的にピン層側の温度をより少ない電流値にて制御することが可能となる。

[0060] 続いて、図9に示したようにパルス幅をセット時(平行磁化配置)に必要なパルス幅 τ_p とリセット時(反平行磁化配置)に必要なパルス幅 τ_{ap} とによって駆動することも可能である。図9上段にはセット動作に用いるパルス幅 τ_p とリセット動作に用いる τ_{ap} の単極性電気パルスと電圧パルスによりスイッチングした磁化配置を示した。図9下段にはスイッチング後の抵抗値を示している。尚、パルス幅を変えたいはリセット時にはセット時よりも電圧(電流)値を大きくしておくことが好ましいがパルス高さだけで制御する場合に比べてリセット時の電流値を低減できる。

[0061] 本方式ではメモリー内容によらずセット、リセットパルス印加により低抵抗、高抵抗状態が実現できるためダイレクトな情報書き込みが可能となる。尚、本実施例ではフリー層側から(正の)電流を印加した例を説明したが、ピン層側から(正の)電流を印加した場合も同様な効果が得られる。但し、リセット時にはセット時よりも電流が流れやすいことからリセット動作をピン層の温度を磁気補償点以上にしてスイッチングさせる方が好ましいことも付記しておく。

[0062] 以上説明したように、本発明の磁気メモリー素子とその駆動方法により単極性電気パルスでフリー層の磁化反転が可能でありスイッチングが可能となる。尚、本実施形態で例示した本発明素子の構成例として示した材料やその組成、形成方法は、上記実施形態に限定されるものではない。

[0063] [第2実施形態]

次に、本発明素子をメモリーセルとして使用した不揮発記憶装置(本発明装置)の一構成例について図10および図11を用いて説明する。

[0064] 図10は本発明に係る不揮発記憶装置の一実施例であるクロスポイント型メモリーセルアレイを構成する磁気メモリー素子と整流素子を模式的に示している。既に説明したように本発明の磁気メモリー素子とその駆動方法により単極性の電気パルスでのスイッチングが可能となる。そこで素子の選択スイッチとして整流素子(ここではダイオードを例示した)を直列に接続し上部電極、下部電極をアレイ状に形成することにより

クロスポイント型メモリーが形成される。例えば、あらかじめSi基板上にダイオードを形成しその上部に本発明の磁気メモリー素子を形成することが可能である。正極性の電気パルスをフリー層側から印加することで効率的にスイッチングを行うことが可能である。

[0065] また、本発明の磁気メモリー素子作製に必要なプロセス温度はアニール温度として必要な350°C程度以下であり下部に形成する電気パルス供給用のトランジスタやセル選択スイッチ用に形成するダイオードの性能を損なうことはない。また配線も上記アニール温度には耐えるためこの組み合わせを3次元的に積層しメモリー容量を増加させることも可能である。

[0066] そして、図11は、図10の整流素子とメモリーセルを用いてワード線とビット線とによって駆動される不揮発性記憶装置100のメモリーアレイの構成を示すブロックダイアグラムである。メモリーの内容が書き込まれる際には、ワードラインデコーダ110によって、ワードライン WLi ($i=1\sim n$)のうちのアクセスされるワードに対応するラインが選択され、その選択されたワードラインに接続されたメモリーセルの行に対して書き込むべきデータに対応する信号がビットラインデコーダ120からビットライン BLj ($j=1\sim m$)を通じて対応するメモリーセルに対して印加される。例えば、アクセスされないワードのワードラインは高い電圧に維持されてアクセスされてダイオード9の作用によって電流がメモリーセル8に流れないようにされ、アクセスされるワードのワードラインのみがGNDに接続される。そして、ビットラインの電圧との差を取ると、アクセスされるワードラインに接続されたメモリーセルのそれぞれに対して、必要なデータに応じてセット動作またはリセット動作が実現するような信号がビットラインデコーダ120から印加される。

[0067] メモリーの内容が読み出される際には、ビットラインデコーダ120に含まれ、各ビットラインに対応して設けられる電流検出部(図示しない)が、書き込み時と同様に動作するワードラインデコーダによって選択されるワードラインに対して各ビットラインが流す電流を検出し、アクセスされるワードのあるワードラインにおいて各ビットラインに対応するメモリーセル8の抵抗に応じた電圧値を検出して、メモリーセル8の状態を読み出す。

産業上の利用可能性

[0068] 本発明は、電気パルスによりスイッチングする磁気メモリー素子とその駆動方法及び不揮発記憶装置に利用可能である。

請求の範囲

- [1] フリー層と、非磁性層と、前記フリー層とともに前記非磁性層を挟むピン層とを備えるスピバルブ構造を有してなり、前記フリー層と前記ピン層との間に電気パルスを印加することにより情報を記録する磁気メモリー素子であって、
- 前記スピバルブ構造には、前記フリー層の磁化と前記ピン層の磁化との組み合わせを制御するためのいくつかの書き込みパルスを印加することによって、書き込みパルスに応じた情報が記録され、
- 前記ピン層がN型フェリ磁性体を含むフェリ磁性層を含み、
- 該N型フェリ磁性体が、前記磁気メモリー素子の記憶保持動作温度域に磁気補償点 T_{comp} を有することを特徴とする磁気メモリー素子。
- [2] 前記ピン層が、前記N型フェリ磁性体の磁化の温度依存性よりも小さい磁化の温度依存性を示す磁性体を有する追加磁性層をさらに含み、該追加磁性層が、前記ピン層のうちの前記非磁性層側に配置されることを特徴とする請求項1に記載の磁気メモリー素子。
- [3] 前記非磁性層と前記ピン層との間にマグネシウムまたはアルミニウムを含む金属層を設けることを特徴とする請求項1に記載の磁気メモリー素子。
- [4] 前記ピン層の厚みを規定する二つの面のうち前記非磁性層の反対側となる面に近接して電流狭窄構造を設けたことを特徴とする請求項1に記載の磁気メモリー素子。
- [5] 前記フリー層の磁化の向きが、温度の上昇に伴って面内から面直へと変化することを特徴とする請求項1に記載の磁気メモリー素子。
- [6] 前記フリー層がGdFeCo合金からなることを特徴とする請求項5に記載の磁気メモリー素子。
- [7] フリー層と、非磁性層と、前記フリー層とともに前記非磁性層を挟むピン層とを備えるスピバルブ構造を有してなり、前記フリー層と前記ピン層との間に電気パルスを印加することにより情報を記録する磁気メモリー素子であって、
- 前記スピバルブ構造には、前記フリー層の磁化と前記ピン層の磁化との組み合わせを制御するためのいくつかの書き込みパルスを印加することによって、書き込みパルスに応じた情報が記録され、

- 前記フリー層がN型フェリ磁性体を含むフェリ磁性層を含み、
該N型フェリ磁性体が、前記磁気メモリー素子の記憶保持動作温度域に磁気補償点 T_{comp} を有することを特徴とする磁気メモリー素子。
- [8] 前記N型フェリ磁性体の磁気補償点 T_{comp} が、一の書き込みパルスを印加したときに到達する前記フェリ磁性層の温度よりも低く、他の書き込みパルスを印加したときに到達する前記フェリ磁性層の温度よりも高いことを特徴とする請求項1または7に記載の磁気メモリー素子。
- [9] 前記フリー層が、前記N型フェリ磁性体の磁化の温度依存性よりも小さい磁化の温度依存性を示す磁性体を有する追加磁性層をさらに含み、該追加磁性層が、前記フリー層のうちの前記非磁性層側に配置されることを特徴とする請求項7に記載の磁気メモリー素子。
- [10] 前記フェリ磁性層と前記追加磁性層とがともに垂直磁化膜であることを特徴とする請求項2または9に記載の磁気メモリー素子。
- [11] 前記フェリ磁性層と前記追加磁性層のうち、いずれか一方の層が垂直磁化膜であり、もう一方の層が面内磁化膜であることを特徴とする請求項2または9に記載の磁気メモリー素子。
- [12] 前記非磁性層と前記フリー層との間にマグネシウムまたはアルミニウムを含む金属層を設けることを特徴とする請求項7に記載の磁気メモリー素子。
- [13] 前記非磁性層が酸化マグネシウムからなり、前記ピン層の前記フェリ磁性層が希土類遷移金属合金であるTbFeCo合金またはGdFeCo合金からなり、前記追加磁性層がCoFeB合金からなることを特徴とする請求項2または9に記載の磁気メモリー素子。
- [14] 前記フリー層の厚みを規定する二つの面のうち前記非磁性層の反対側となる面に近接して電流狭窄構造を設けたことを特徴とする請求項7に記載の磁気メモリー素子。
- [15] フリー層と、非磁性層と、前記フリー層とともに前記非磁性層を挟むピン層とを備えるスピバルブ構造を有する磁気メモリー素子の駆動方法であって、前記ピン層は、磁気メモリー素子の記憶保持動作温度域に磁気補償点 T_{comp} を有するN型フェリ磁性

体を有するフェリ磁性層を含んでいて、

前記スピバルブ構造に電気パルスである第1の書き込みパルスを印加して、該第1の書き込みパルスの印加後における前記フリー層の磁化と前記ピン層の磁化との組み合わせを第1の組み合わせ状態にするステップと、

前記スピバルブ構造に電気パルスである第2の書き込みパルスを印加して、該第2の書き込みパルスの印加後における前記フリー層の磁化と前記ピン層の磁化との組み合わせを第2の組み合わせ状態にするステップと

を含んでなり、前記第1の書き込みパルスを印加した際の前記ピン層の磁化と前記第2の書き込みパルスを印加した際の前記ピン層の磁化とが互いに異なる向きであり、前記第1および第2の書き込みパルスが同一の極性であることを特徴とする磁気メモリー素子の駆動方法。

[16] 前記第1および第2の書き込みパルスが前記フリー層から前記ピン層へと電流を流すものであることを特徴とする請求項15に記載の磁気メモリー素子の駆動方法。

[17] 前記第1および第2の書き込みパルスが前記ピン層から前記フリー層へと電流を流すものであることを特徴とする請求項15に記載の磁気メモリー素子の駆動方法。

[18] フリー層と、非磁性層と、前記フリー層とともに前記非磁性層を挟むピン層とを備えるスピバルブ構造を有する磁気メモリー素子の駆動方法であって、前記フリー層は、磁気メモリー素子の記憶保持動作温度域に磁気補償点 T_{comp} を有するN型フェリ磁性体を有するフェリ磁性層を含んでいて、

前記スピバルブ構造に電気パルスである第1の書き込みパルスを印加して、該第1の書き込みパルスの印加後における前記フリー層の磁化と前記ピン層の磁化との組み合わせを第1の組み合わせ状態にするステップと、

前記スピバルブ構造に電気パルスである第2の書き込みパルスを印加して、該第2の書き込みパルスの印加後における前記フリー層の磁化と前記ピン層の磁化との組み合わせを第2の組み合わせ状態にするステップと

を含んでなり、前記第1の書き込みパルスを印加した際の前記フリー層の磁化と前記第2の書き込みパルスを印加した際の前記フリー層の磁化とが互いに同じ向きであり、前記第1および第2の書き込みパルスが同一の極性であることを特徴とする磁

気メモリー素子の駆動方法。

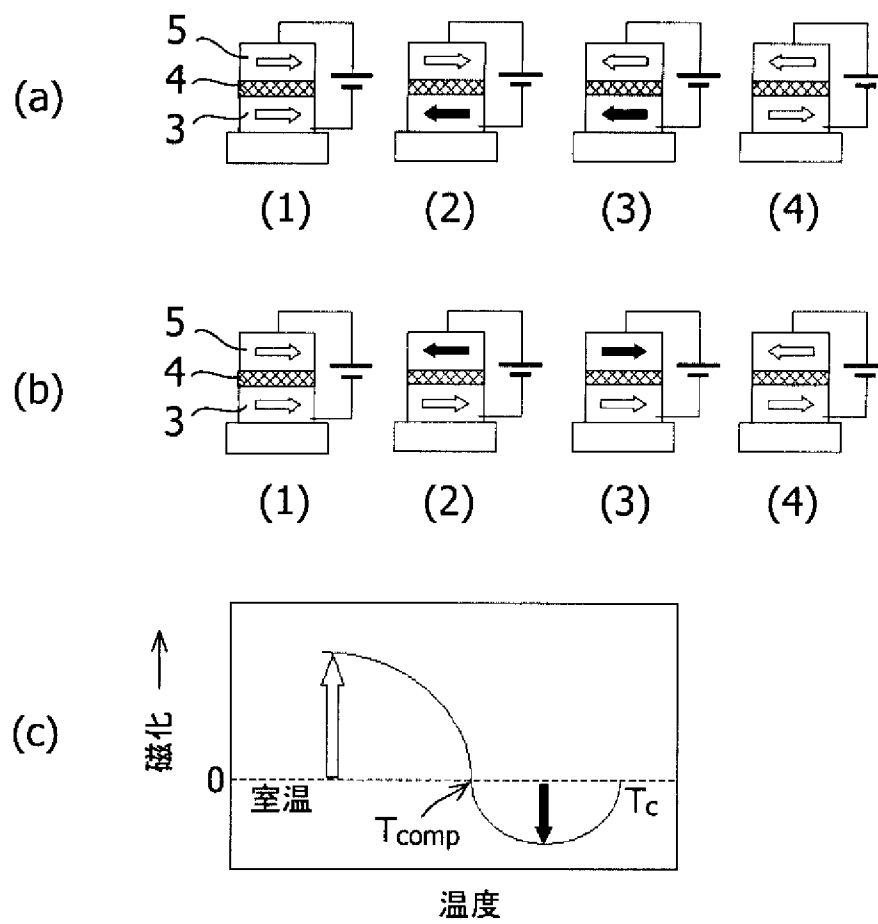
- [19] 前記第1および第2の書き込みパルスが前記フリー層から前記ピン層へと電流を流すものであることを特徴とする請求項18に記載の磁気メモリー素子の駆動方法。
- [20] 前記第1および第2の書き込みパルスが前記ピン層から前記フリー層へと電流を流すものであることを特徴とする請求項18に記載の磁気メモリー素子の駆動方法。
- [21] 前記第1の書き込みパルスと前記第2の書き込みパルスとが互いにパルス高さが異なることを特徴とする請求項16または19に記載の磁気メモリー素子の駆動方法。
- [22] 前記第1の書き込みパルスと前記第2の書き込みパルスとのうちの一方のパルスが前記フリー層と前記ピン層の間の抵抗値を低抵抗にするパルスであって振幅 V_p の部分を含み、もう一方のパルスが前記抵抗値を高抵抗にするパルスであって振幅 V_{ap} の部分を含み、振幅 V_p が振幅 V_{ap} よりも小さいことを特徴とする請求項21に記載の磁気メモリー素子の駆動方法。
- [23] 前記第1の書き込みパルスと前記第2の書き込みパルスとが異なるパルス幅を含み、パルス幅に基づいて前記情報を記録することを特徴とする請求項22に記載の磁気メモリー素子の駆動方法。
- [24] 前記第1の書き込みパルスと前記第2の書き込みパルスとのうちの一方のパルスが前記フリー層と前記ピン層の間の抵抗値を低抵抗にするパルスであってパルス幅 τ_p を含み、もう一方のパルスが該抵抗値を高抵抗にするパルスであってパルス幅 τ_{ap} を含み、パルス幅 τ_p がパルス幅 τ_{ap} よりも小さいことを特徴とする請求項23に記載の磁気メモリー素子の駆動方法。
- [25] 前記第1の書き込みパルスと前記第2の書き込みパルスとが互いにパルス高さが異なることを特徴とする請求項17または20に記載の磁気メモリー素子の駆動方法。
- [26] 前記第1の書き込みパルスと前記第2の書き込みパルスとのうちの一方のパルスが前記フリー層と前記ピン層の間の抵抗値を低抵抗にするパルスであって振幅 V_p の部分を含み、もう一方のパルスが前記抵抗値を高抵抗にするパルスであって振幅 V_{ap} の部分を含み、振幅 V_p が振幅 V_{ap} よりも大きいことを特徴とする請求項25に記載の磁気メモリー素子の駆動方法。
- [27] 前記第1の書き込みパルスと前記第2の書き込みパルスとが異なるパルス幅を含み

、パルス幅に基づいて前記情報を記録することを特徴とする請求項26に記載の磁気メモリー素子の駆動方法。

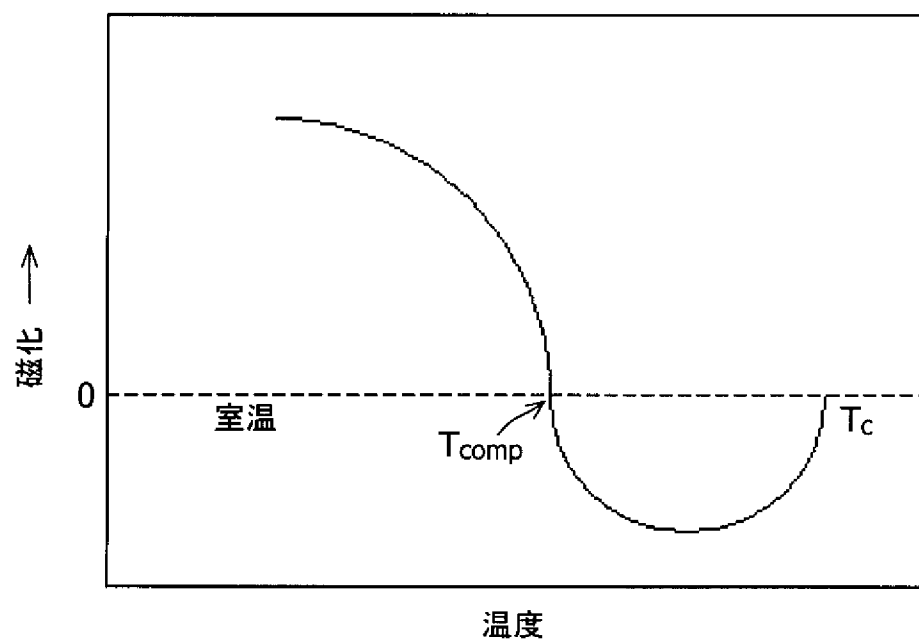
- [28] 前記第1の書き込みパルスと前記第2の書き込みパルスとのうちの一方のパルスが前記フリー層と前記ピン層の間の抵抗値を低抵抗にするパルスであってパルス幅 τ_p を有し、もう一方のパルスが該抵抗値を高抵抗にするパルスであってパルス幅 τ_{ap} を有し、パルス幅 τ_p がパルス幅 τ_{ap} よりも大きいことを特徴とする請求項27に記載の磁気メモリー素子の駆動方法。

- [29] 請求項1または7に記載の磁気メモリー素子と、
該磁気メモリー素子に直列に接続した整流素子と、
前記磁気メモリー素子のスピバルブ構造におけるフリー層の磁化とピン層の磁化との組み合わせを第1の組み合わせ状態にするための第1の書き込みパルスと、前記組み合わせを第2の組み合わせ状態にするための、前記第1の書き込みパルスと同一の極性の第2の書き込みパルスとを生成して前記整流素子と前記磁気メモリー素子とに印加して書込及び消去を行う情報書換え手段と、
磁気メモリー素子を通る電流量から記憶された情報を読み出す読み出し手段とを備えてなることを特徴とする不揮発記憶装置。

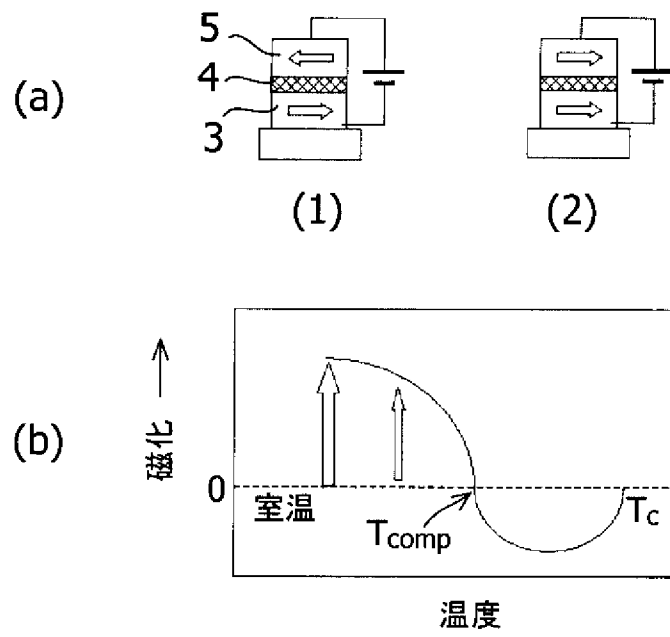
[図1]



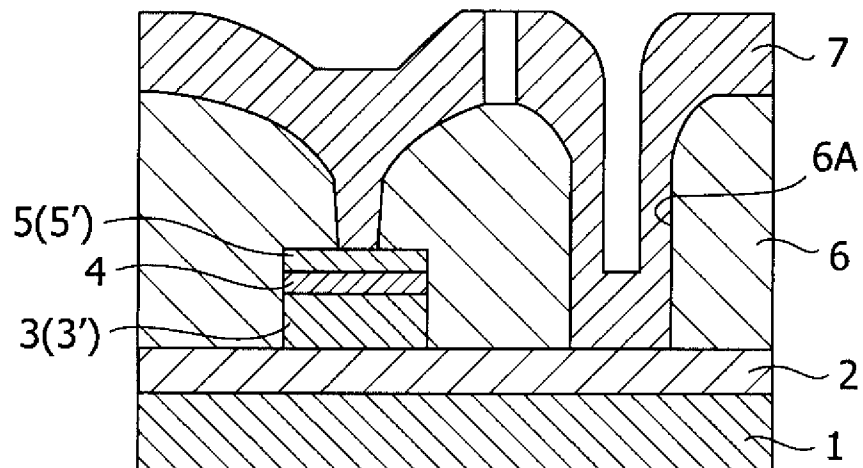
[図2]



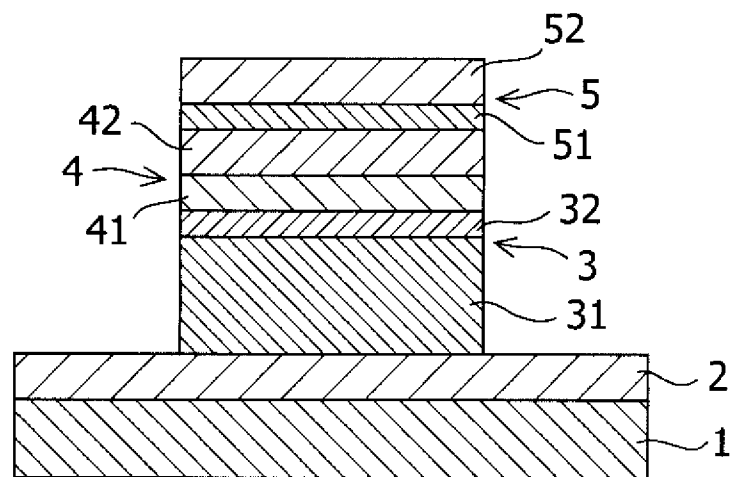
[図3]



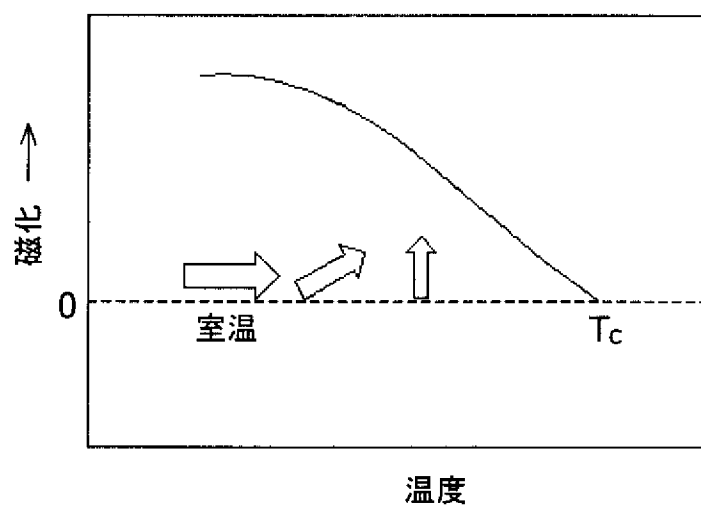
[図4]



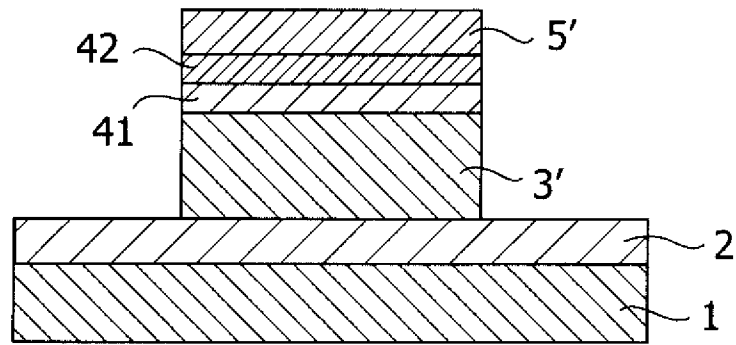
[図5]



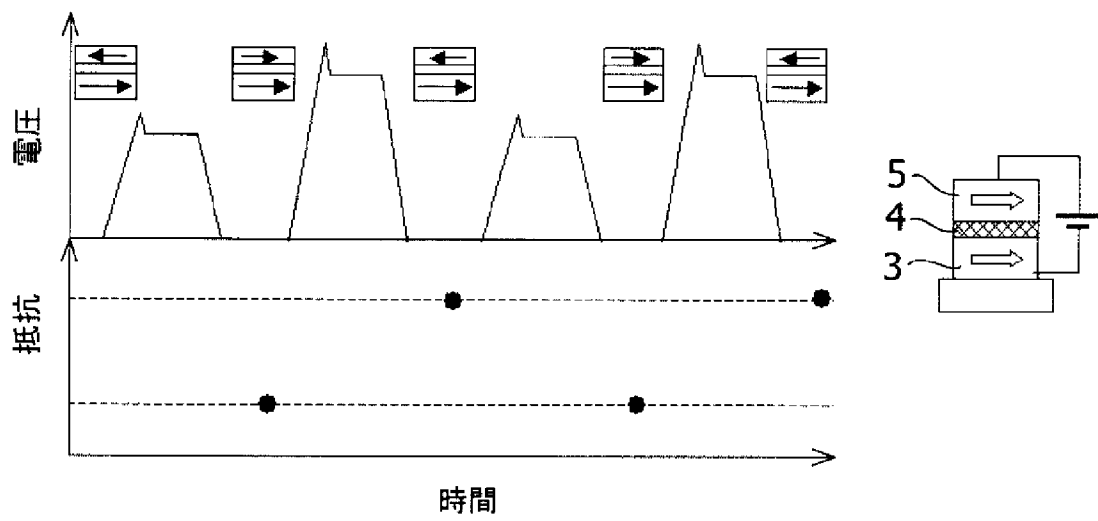
[図6]



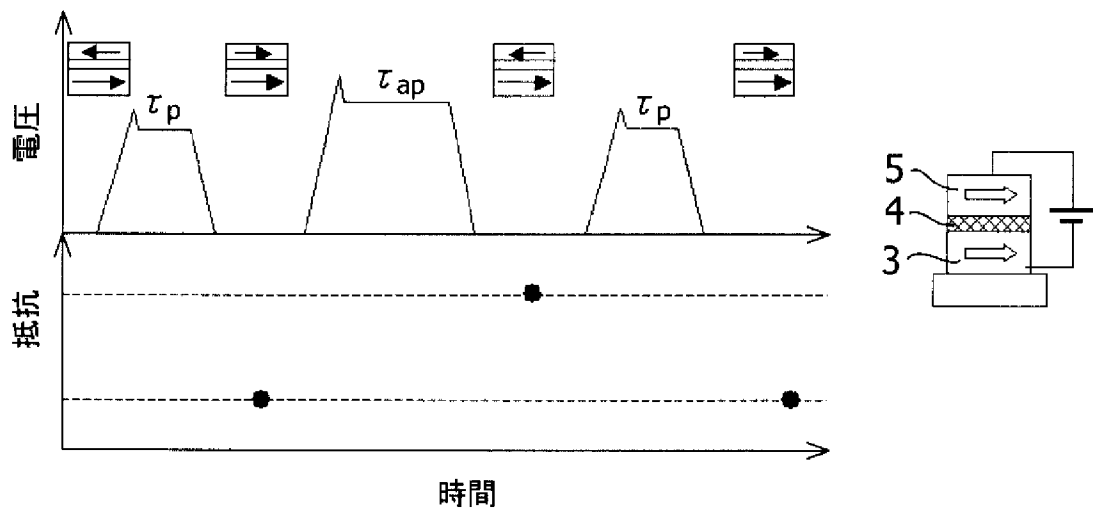
[図7]



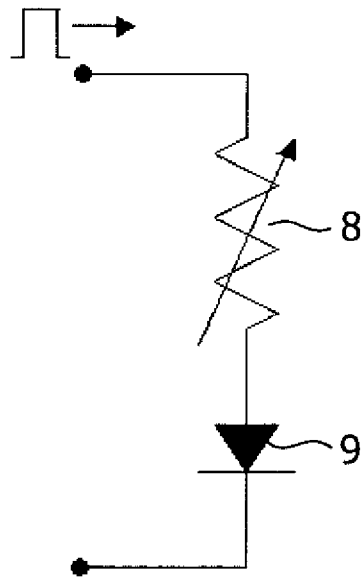
[図8]



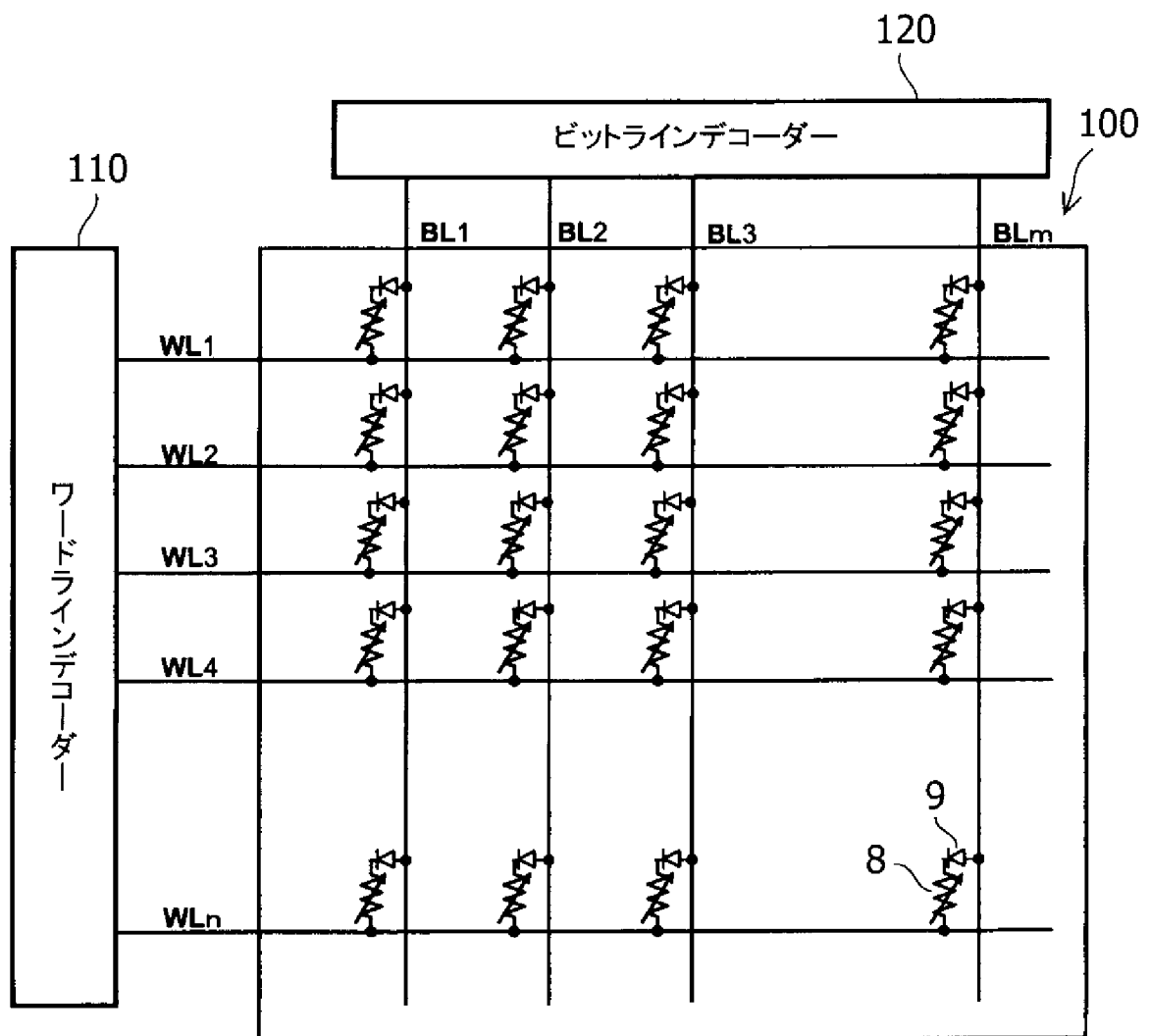
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/065425

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8246(2006.01)i, G11C11/15(2006.01)i, H01L27/105(2006.01)i,
H01L43/08(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8246, G11C11/15, H01L27/105, H01L43/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2006-080241 A (Nagoya University, Sanyo Electric Co., Ltd.), 23 March, 2006 (23.03.06), Par. Nos. [0032] to [0068]; Figs. 1 to 4 (Family: none)	1, 2, 10
A	JP 2004-172614 A (International Business Machines Corp.), 17 June, 2004 (17.06.04), Par. No. [0028]; Fig. 3 & US 2004/0095801 A1	1, 2, 10

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
12 November, 2008 (12.11.08)

Date of mailing of the international search report
25 November, 2008 (25.11.08)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/065425

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The search has revealed that the matter common to a magnetic memory element and a method for driving the magnetic memory element as set forth in claims 1-29 in the application concerned is not novel since it is disclosed in document JP 2006-080241 A (Nagoya University, Sanyo Electric Co., Ltd.), 23 March, 2006 (23.03.06), paragraphs [0032] - [0068], Figs. 1-4 (particularly [Example 2]).

In consequence, since the magnetic memory element makes no contribution over the prior art, this common matter cannot be a special technical feature within the meaning of PCT Rule 13.2, second sentence.

(Continued to extra sheet.)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:
1, 2, 10

Remark on Protest
the

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/065425

Continuation of Box No.III of continuation of first sheet (2)

Therefore, since there is no technical relationship among the inventions of claims 1-29 involving one or more of the same or corresponding special technical features, the inventions of claims 1-29 are not considered to be so linked as to form a single general inventive concept.

Therefore, eleven inventions classified as [1, 2, 10], [3], [4], [5, 6], [7, 9, 12, 14], [8], [11], [13], [15-17, 21-28], [18-20], [29] are stated in the claims of this application.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/8246(2006.01)i, G11C11/15(2006.01)i, H01L27/105(2006.01)i, H01L43/08(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/8246, G11C11/15, H01L27/105, H01L43/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 8 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 8 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 8 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2006-080241 A (国立大学法人名古屋大学, 三洋電機株式会社) 2006.03.23, 段落【0032】 - 【0068】, 図 1-4 (ファミリーなし)	1, 2, 10
A	JP 2004-172614 A (インターナショナル・ビジネス・マシーンズ・コーポレーション) 2004.06.17, 段落【0028】, 図 3 & US 2004/0095801 A1	1, 2, 10

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 2 . 1 1 . 2 0 0 8

国際調査報告の発送日

2 5 . 1 1 . 2 0 0 8

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

三浦 尊裕

4 M

3 7 7 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

本願請求の範囲1-29に係る磁気メモリ素子、及び、該磁気メモリ素子の駆動方法の発明に共通の事項は、調査の結果、文献JP 2006-080241 A（国立大学法人名古屋大学，三洋電機株式会社）2006.03.23，段落【0032】-【0068】，図1-4（特に【実施例2】）に開示されたものであるから、新規でないことが明らかとなった。

結果として、上記磁気メモリ素子は先行技術の域を出ないから、PCT規則13.2の第2文の意味において、この共通事項は特別な技術的特徴ではない。それ故、請求の範囲1-29に係る発明は、一又は二以上の同一又は対応する特別な技術的特徴を含む技術的な関係にないから、単一の一般的発明概念を形成するように連関しているものとは認められない。

よって、この出願の請求の範囲には、[1, 2, 10], [3], [4], [5, 6], [7, 9, 12, 14], [8], [11], [13], [15-17, 21-28], [18-20], [29]とに区分される11個の発明が記載されている。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲 1, 2, 10

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。