

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 26 年 11 月 27 日 (2014.11.27)

【公開番号】特開 2013-239554 (P2013-239554A)

【公開日】平成 25 年 11 月 28 日 (2013.11.28)

【年通号数】公開・登録公報 2013-064

【出願番号】特願 2012-111272 (P2012-111272)

【国際特許分類】

H 0 1 L 29/78 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/12 (2006.01)

H 0 1 L 29/06 (2006.01)

【 F I 】

H 0 1 L 29/78 6 5 2 B

H 0 1 L 29/78 6 5 8 B

H 0 1 L 29/78 6 5 8 A

H 0 1 L 29/78 6 5 2 T

H 0 1 L 29/78 6 5 2 Q

H 0 1 L 29/78 6 5 2 F

H 0 1 L 29/78 6 5 2 P

H 0 1 L 29/78 6 5 2 S

H 0 1 L 29/78 6 5 8 E

H 0 1 L 29/78 6 5 2 J

【手続補正書】

【提出日】平成 26 年 10 月 9 日 (2014.10.9)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項 16

【補正方法】変更

【補正の内容】

【請求項 16】

(a) 第 1 導電型の半導体層の表層部に、第 2 導電型の不純物をイオン注入することによりウェル領域を形成する工程と、

(b) 前記ウェル領域内の表層部及び表面上に第 1 導電型のソース領域を形成する工程と、

(c) 前記ウェル領域に隣接する前記半導体層の部分である J F E T 領域、前記ソース領域と前記 J F E T 領域とに挟まれた前記ウェル領域の部分であるチャネル領域および前記ソース領域に跨がるように、前記半導体層上にゲート絶縁膜を介してゲート電極を形成する工程と、

(d) 前記ソース領域に接続するソース電極を形成する工程とを備え、

前記工程 (b) で形成される前記ソース領域は、

前記ウェル領域内の表層部に形成され、前記ソース電極に接続するソースコンタクト領域と、

前記ウェル領域内の表層部に形成され、前記チャネル領域に隣接するソースエクステンション領域と、

前記半導体層の表面上に前記ソースエクステンション領域と前記ソースコンタクト領域との間を跨ぐように形成されたソース抵抗制御領域とを含み、

前記工程 (b) は、

前記ウェル領域の表層部への選択的なイオン注入により、前記ソースコンタクト領域及び前記ソースエクステンション領域を形成する工程と、

前記半導体層の表面上にエピタキシャル成長層を形成してパターンングすることにより、前記ソース抵抗制御領域を形成する工程とを含むことを特徴とする半導体装置の製造方法。