



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0040387
(43) 공개일자 2013년04월24일

(51) 국제특허분류(Int. Cl.)

H01L 29/786 (2006.01) G09G 3/20 (2006.01)

(21) 출원번호 10-2011-0105115

(22) 출원일자 2011년10월14일

심사청구일자 2011년10월14일

(71) 출원인

경희대학교 산학협력단

경기도 용인시 기흥구 덕영대로 1732, 국제캠퍼스 내 (서천동, 경희대학교)

(72) 발명자

장진

서울특별시 동대문구 회기동 경희대학교

강동한

서울특별시 동대문구 회기동 경희대학교

(74) 대리인

박용순, 김희곤, 김인한

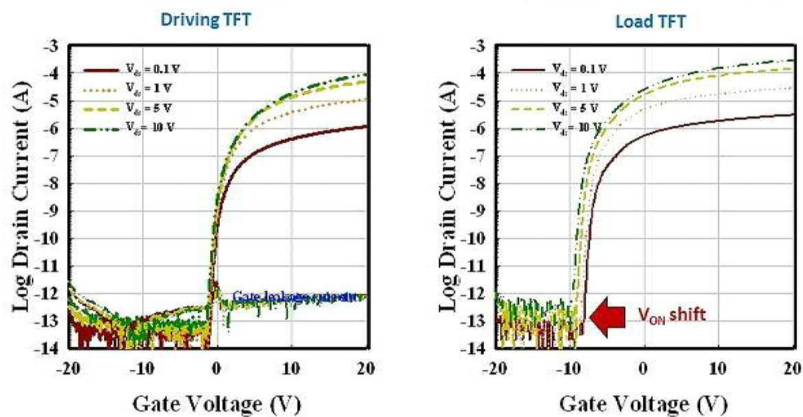
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 산화물 반도체 인버터 및 이를 이용한 디스플레이 구동장치

(57) 요약

본 발명은 산화물 반도체 인버터에 관한 것으로, 채널 길이 L1을 가지는 부하 박막 트랜지스터(load TFT)의 소스 전극에 채널 길이 L2의 구동 박막 트랜지스터의 드레인 전극이 직렬로 연결되고, 상기 부하 박막 트랜지스터의 게이트 전극과 소스 전극이 전기적으로 연결된 디플리션 부하(depletion load) 구조의 산화물 반도체 인버터를 제공한다. 이에 따르면, 공정 및 구조의 추가 없이 디플리션 부하(depletion load) 구조를 형성하여 CMOS와 같은 고이득(high gain)을 구현할 수 있는 산화물 반도체 인버터를 제공할 수 있게 된다.

대표도 - 도2d



이 발명을 지원한 국가연구개발사업

과제고유번호	10035225
부처명	지식경제부
연구사업명	산업원천기술개발사업
연구과제명	고품위 plastic AMOLED 원천 기술 개발
주관기관	서울대학교 산학협력단
연구기간	2010.03.01 ~ 2015.02.28

특허청구의 범위

청구항 1

디플리션 모드 (depletion mode)를 이용한 산화물 반도체 인버터에 있어서,
 서로 직렬 연결된 부하 박막 트랜지스터 (load TFT) 및 구동 박막 트랜지스터 (driving TFT)를 포함하고,
 상기 부하 박막 트랜지스터 (load TFT)의 채널길이 L_1 과 상기 구동 박막 트랜지스터 (driving TFT)의 채널길이 L_2 는,
 $L_1 < L_2$ 의 관계를 가지는 것을 특징으로 하는 산화물 반도체 인버터.

청구항 2

청구항 1에 있어서,
 상기 부하 박막 트랜지스터 (load TFT)의 채널길이 L_1 은,
 $0.1 \mu\text{m}$ 내지 $3 \mu\text{m}$ 의 범위에서 구현되는 것을 특징으로 하는 산화물 반도체 인버터.

청구항 3

청구항 1에 있어서,
 상기 구동 박막 트랜지스터 (driving TFT)의 채널길이 L_2 는 $3 \mu\text{m}$ 이상인 것을 특징으로 하는 산화물 반도체 인버터.

청구항 4

청구항 1에 있어서,
 상기 부하 박막 트랜지스터 (load TFT)는,
 비정질 인듐 갈륨 징크옥사이드(Amorphous-InGaZnO₄), 징크 옥사이드(ZnO), 인듐 징크 옥사이드(IZO), 인듐 틴 옥사이드(ITO), 징크 틴 옥사이드(ZTO), 갈륨 징크 옥사이드(GZO), 하프늄 인듐 징크 옥사이드(HIZO), 징크 인듐 틴 옥사이드(ZITO) 및 알루미늄 징크 틴 옥사이드(AZTO)중 어느 하나를 포함하여 이루어진 산화물 반도체를 구비한 것을 특징으로 하는 산화물 반도체 인버터.

청구항 5

청구항 1에 있어서,
 상기 구동 박막 트랜지스터 (driving TFT)는,
 비정질 인듐 갈륨 징크옥사이드(Amorphous-InGaZnO₄), 징크 옥사이드(ZnO), 인듐 징크 옥사이드(IZO), 인듐 틴 옥사이드(ITO), 징크 틴 옥사이드(ZTO), 갈륨 징크 옥사이드(GZO), 하프늄 인듐 징크 옥사이드(HIZO), 징크 인듐 틴 옥사이드(ZITO) 및 알루미늄 징크 틴 옥사이드(AZTO)중 어느 하나를 포함하여 이루어진 산화물 반도체를 구비한 것을 특징으로 하는 산화물 반도체 인버터.

청구항 6

청구항 5에 있어서,

상기 부하 박막 트랜지스터 (load TFT) 및 상기 구동 박막 트랜지스터 (driving TFT)는 동일 물질로 형성된 디플리션 모드를 이용한 산화물 반도체 인버터.

청구항 7

청구항 1에 있어서,

상기 부하 박막 트랜지스터 (load TFT)는 디플리션 모드로 구동하고,

상기 구동 박막 트랜지스터 (driving TFT)는 축적 모드(accumulation mode) 로 구동 하는 것을 특징으로 하는 디플리션 모드를 이용한 산화물 반도체 인버터.

청구항 8

청구항 1 내지 7 중 어느 한 항에 있어서,

상기 부하 박막 트랜지스터 (load TFT)의 구조는, 코플라나 구조 또는 백 채널 에치 방식을 이용한 역스테거드 구조로 이루어진 것을 특징으로 하는 산화물 반도체 인버터.

청구항 9

디스플레이 장치에 있어서,

청구항 8항에 기재된 산화물 반도체 인버터를 이용한 산화물 반도체 구동 회로; 및

상기 산화물 반도체 구동 회로를 포함하는 디스플레이 구동 장치.

명 세 서

기술 분야

[0001] 본 발명은 산화물 반도체 인버터 기술 분야에 관한 것으로서, 보다 자세하게는 활성층으로서 산화물 반도체를 적용하고, 부하 박막 트랜지스터 (load TFT) 의 채널 길이를 조절하여 디플리션 부하(depletion load)를 형성함으로써 고이득 및 풀 스윙을 구현할 수 있는 산화물 반도체 인버터에 관한 것이다.

배 경 기 술

[0002] 최근 모든 분야의 디스플레이 장치에서 산화물 반도체의 개발 및 적용이 빠르게 진행되고 있는 추세이다. 이에 따라 기본적인 박막 트랜지스터(Thin Film Transistor, TFT) 소자뿐만 아니라 이를 이용한 회로도 상당 부분 연구가 진행되고 있으며, 일 예로서 한국공개특허공보 10-2010-0010507호 등의 기술이 있다.

[0003] 그러나 상술한 산화물 반도체 구조의 경우 물질의 기본적인 특성상 p-타입 박막 트랜지스터의 구현이 어렵기 때문에 회로의 구현시 n-타입 구조로만 구현이 가능하다. 여기서 n-타입 구조로 구현된 회로는 인버터(inverter)와 링 오실레이터(ring oscillator)의 고이득(high gain)이 회로동작 속도에 있어서 주된 요인이며, n-타입 온리(n-type only)와 같은 비례 인버터(ratioed inverter)의 경우는 시모스(Complementary metal-oxide-semiconductor, CMOS)와 달리 고이득 값을 얻기 어려운 구조로 되어 있다. 도 1a는 종래의 n-타입 인버터의 회로도도를 도시한 것이며, 도 1b는 도 1a에 도시된 인버터의 전압전달특성(Voltage Transfer Characteristic, VTC) 곡선을 나타낸 것이다.

[0004] 도 1a 및 도 1b를 참조하면, V_{DD} 를 10V로 설정하고, V_{in} 에 0~10V까지 인가하면서 출력 전압을 측정한 경우, 도 1b와 같은 VTC 곡선을 얻을 수 있다. 여기서 M1은 구동 박막 트랜지스터 이고, M2는 부하 박막 트랜지스터이다. 도 1b에 도시된 바와 같이, 종래의 n-타입 인버터의 경우 입력 전압이 0보다 큰 경우 출력 전압이 급격하게 떨어지는 단점을 가지고 있다.

[0005] 따라서 종래의 n-타입 온리(n-type only) 인버터는 비례 인버터(ratioed inverter)의 특성상 고이득을 얻을 수 없으며, 도 1b에 도시된 바와 같이 노이즈 마진(noise margin, 잡음 여유) 관점에서도 불리하다는 문제점이 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 한국공개특허공보 특2010-0010507호

발명의 내용

해결하려는 과제

[0007] 본 발명은 상기의 문제점을 해결하기 위해 제안된 것으로서, 종래의 n-타입 인버터의 부하 박막 트랜지스터(load TFT) 채널을 단 채널로 형성하여 고이득을 구현할 수 있는 산화물 반도체 인버터를 제공하는 것을 그 목적으로 한다.

과제의 해결 수단

[0008] 상술한 과제를 해결하기 위한 본 발명의 디플리션 모드(depletion mode)를 이용한 산화물 반도체 인버터는, 서로 직렬 연결된 부하 박막 트랜지스터(load TFT) 및 구동 박막 트랜지스터(driving TFT)를 포함하고, 상기 부하 박막 트랜지스터(load TFT)의 채널길이 $L1$ 과 상기 구동 박막 트랜지스터(driving TFT)의 채널 길이 $L2$ 는, $L1 < L2$ 의 관계를 가지는 것을 특징으로 한다.

[0009] 본 발명의 산화물 반도체 인버터에 있어서, 상기 부하 박막 트랜지스터(load TFT)의 채널길이 $L1$ 은, $0.1 \mu\text{m}$ 내지 $3 \mu\text{m}$ 의 범위에서 구현될 수 있다.

[0010] 본 발명의 산화물 반도체 인버터에 있어서, 상기 부하 박막 트랜지스터(load TFT)는, 비정질 인듐 갈륨 징크옥사이드(Amorphous-InGaZnO₄), 징크 옥사이드(ZnO), 인듐 징크 옥사이드(IZO), 인듐 틴 옥사이드(ITO), 징크 틴 옥사이드(ZTO), 갈륨 징크 옥사이드(GZO), 하프늄 인듐 징크 옥사이드(HIZO), 징크 인듐 틴 옥사이드(ZITO) 및 알루미늄 징크 틴 옥사이드(AZTO)중 어느 하나를 포함하여 이루어진 산화물 반도체를 구비할 수 있다.

[0011] 본 발명의 산화물 반도체 인버터에 있어서, 상기 구동 박막 트랜지스터(driving TFT)는, 비정질 인듐 갈륨 징크옥사이드(Amorphous-InGaZnO₄), 징크 옥사이드(ZnO), 인듐 징크 옥사이드(IZO), 인듐 틴 옥사이드(ITO), 징크 틴 옥사이드(ZTO), 갈륨 징크 옥사이드(GZO), 하프늄 인듐 징크 옥사이드(HIZO), 징크 인듐 틴 옥사이드(ZITO) 및 알루미늄 징크 틴 옥사이드(AZTO)중 어느 하나를 포함하여 이루어진 산화물 반도체를 구비할 수 있다.

[0012] 이때, 상기 구동 박막 트랜지스터(driving TFT)와 상기 부하 박막 트랜지스터(load TFT)는 동일한 물질로 형성될 수 있으나, 이에 한정되는 것은 아니다.

[0013] 본 발명의 산화물 반도체 인버터에 있어서, 상기 부하 박막 트랜지스터(load TFT)는 디플리션 모드로 구동하고, 상기 구동 박막 트랜지스터(driving TFT)는 축적 모드(accumulation mode)로 구동함이 바람직하다.

[0014] 본 발명의 산화물 반도체 인버터에 있어서, 상기 부하 박막 트랜지스터(load TFT)의 구조는, 코플라나 구조 또는 백 채널 에치 방식을 이용한 역스테거드 구조로 이루어질 수 있으나, 이에 한정되는 것은 아니다.

[0015] 상술한 과제를 해결하기 위한 본 발명의 디스플레이 구동장치는, 상술한 산화물 반도체 인버터를 이용한 산화물 반도체 구동 회로 및 상기 산화물 반도체 구동 회로를 포함하여 이루어질 수 있다.

발명의 효과

[0016] 본 발명에 따르면, 기존의 n-타입 인버터의 부하 TFT(load TFT)에 단채널 산화물 반도체 박막 트랜지스터의 단채널 특성을 적용함으로써, 공정 및 구조의 추가 없이 디플리션 부하(depletion load) 구조를 형성하고 CMOS와 같은 고이득(high gain)을 구현할 수 있는 효과를 갖게 된다.

도면의 간단한 설명

- [0017] 도 1a는 종래의 n-타입 인버터의 회로도도를 도시한 것이다.
- 도 1b는 도 1a에 도시된 인버터의 전압전달특성(Voltage Transfer Characteristic, VTC) 곡선 도시한 것이다.
- 도 2a는 본 발명의 산화물 반도체 박막 트랜지스터 부하를 적용한 디플리션 모드의 산화물 반도체 인버터 회로도를 도시한 것이다.
- 도 2b는 도 2a에 도시된 산화물 반도체 인버터에 적용되는 단채널 산화물 반도체 박막 트랜지스터의 일 실시예를 도시한 것이다.
- 도 2c는 도 2a에 도시된 산화물 반도체 인버터에 적용되는 단채널 산화물 반도체 박막 트랜지스터의 다른 실시예를 도시한 것이다.
- 도 2d는 도 2a에 도시된 구동 박막 트랜지스터에 적용되는 일반적인 채널 길이의 산화물 반도체 박막 트랜지스터의 전기적인 특성과, 부하 박막 트랜지스터에 적용되는 단채널 산화물 반도체 박막 트랜지스터의 전기적인 특성을 도시한 것이다.
- 도 2e는 본 발명의 산화물 반도체 인버터의 바람직한 실시예로서, 구동(driving) TFT와 부하(load) TFT 사이의 폭비(width ratio)가 8 일 때의 VTC 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0018] 이하, 본 발명의 바람직한 실시 예를 첨부된 도면들을 참조하여 상세히 설명한다. 우선 각 도면의 구성 요소들에 참조 부호를 부가함에 있어서, 동일한 구성 요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가지도록 하고 있음에 유의해야 한다. 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략한다.
- [0019] 도 2a는 본 발명의 디플리션 모드의 산화물 반도체 인버터 회로도를 도시한 것이다.
- [0020] 도 2a를 참조하면, 본 발명의 산화물 반도체 인버터는, 구동 박막 트랜지스터(Driving TFT)와 부하 박막 트랜지스터(Load TFT)가 직렬로 연결되어 있으며, 보다 구체적으로는 구동 박막 트랜지스터(Driving TFT)의 드레인 전극과 부하 박막 트랜지스터(Load TFT)의 소스 전극이 직렬로 연결되어 있다. 그리고 부하 박막 트랜지스터(Load TFT)는 게이트 전극과 소스 전극이 전기적으로 연결되어 디플리션 부하(depletion load) 구조를 이루는 단채널 산화물 반도체 박막 트랜지스터로 이루어진다. 즉, 본 발명의 산화물 반도체 인버터는 산화물 반도체 박막 트랜지스터 부하를 적용하여 디플리션 모드로 구현되어 있다.
- [0021] 본 발명의 구동 박막 트랜지스터(Driving TFT)는 게이트 전극, 활성층, 소스 전극 및 드레인 전극을 포함하여 형성된 일반적인 박막 트랜지스터 구조로 이루어진다.
- [0022] 이때, 구동 박막 트랜지스터(Driving TFT)의 채널 길이는 $L1$ 이고, 부하 박막 트랜지스터(Load TFT)의 채널 길이는 $L2$ 라고 하면, 본 발명의 산화물 반도체 인버터는 $L1 < L2$ 의 관계를 갖도록 이루어지며, 이에 따라 별도의 공정 및 구조의 추가 없이 디플리션 부하(depletion load) 구조를 형성할 수 있게 되어, 결과적으로 CMOS와 같은 고이득(high gain)을 구현할 수 있는 효과를 갖게 된다.
- [0023] 도 2b는 도 2a에 도시된 산화물 반도체 인버터에 적용되는 단채널 산화물 반도체 박막 트랜지스터의 일 실시예를 도시한 것으로서, 보다 구체적으로는 코플라나 구조로 이루어진 단채널 산화물 반도체 박막 트랜지스터의 구조를 도시한 것이다.
- [0024] 도 2a 및 도 2b를 참조하면, 본 발명에 적용 가능한 코플라나 구조로 이루어진 단채널 산화물 반도체 박막 트랜지스터는 기판(11), 버퍼층(12), 산화물 반도체(13), 게이트절연막(14), 게이트전극(15), 패시베이션층(16), 소스 및 드레인 전극(18, 19)를 포함하여 이루어질 수 있다.
- [0025] 기판(11)은 각 구성요소를 지지하는 부분으로서, 유리나 같은 절연물질 또는 실리콘 재질 등으로 이루어질 수 있다.
- [0026] 버퍼층(12)은 기판상에 형성되며, 제조공정상에서 발생할 수 있는 불순물 유입을 방지하기 위해 형성된다.
- [0027] 산화물 반도체(13)는 활성층으로 사용되는 부위로서, 비정질 인듐 갈륨 징크옥사이드(Amorphous-InGaZnO₄), 징

크 옥사이드(ZnO), 인듐 징크 옥사이드(IZO), 인듐 틴 옥사이드(ITO), 징크 틴 옥사이드(ZTO), 갈륨 징크 옥사이드(GZO) 중 어느 하나의 물질 또는 이들의 혼합물로 이루어질 수 있으나, 이에 한정되는 것은 아니다.

- [0028] 산화물 반도체(13)상에는 게이트 절연막(14) 및 게이트 전극(5)이 순차형성될 수 있다. 이때 게이트 절연막(14) 및 게이트 전극(5)의 형성은 게이트 절연막(14) 형성물질 및 게이트 전극(15)의 형성물질을 순차 적층한 후 공지의 식각공정을 거쳐으로써 이루어질 수 있으나, 이에 한정되는 것은 아니다.
- [0029] 게이트 전극(15) 형성 후, 산화물 반도체(13)에 광식각공정을 수행하고, 이후 패시베이션층(16)을 증착하게 된다.
- [0030] 그리고, 패시베이션층(16)의 일부를 패터닝하여 산화물 반도체(13)가 노출되도록 콘택홀(17)을 형성하고, 증착 및 패터닝 공정을 거쳐 소스 및 드레인 전극(18, 9)를 형성하게 된다.
- [0031] 코플라나 구조의 박막 트랜지스터에서 채널 길이(31)은 게이트 전극(15)의 길이로 정의되며, 본 발명의 실시예에서 부하 박막 트랜지스터의 채널 길이 L1, 또는 구동 박막 트랜지스터의 채널길이 L2에 해당한다. 이때, 도 2b에 도시된 코플라나 구조의 단채널 산화물 반도체 박막 트랜지스터의 채널 길이(31)는 0.1 μm 내지 3 μm 의 범위에서 구현되는 것이 바람직하며, 보다 바람직하게는 0.1 μm 내지 2 μm 이하로 구현함이 바람직하다. 채널 길이를 단채널 특성이 나타나는 2 μm 이하로 구현함으로써, 본 발명의 디플리션 모드의 산화물 반도체 인버터를 구현하기 위함이다.
- [0032] 도 2c는 도 2a에 도시된 산화물 반도체 인버터에 적용되는 단채널 산화물 반도체 박막 트랜지스터의 다른 실시예를 도시한 것으로서, 보다 자세하게는 역 스테거드 구조의 단채널 산화물 반도체 박막 트랜지스터를 도시한 것이다.
- [0033] 도 2a 및 도 2c를 참조하면, 본 발명에 적용 가능한 역 스테거드 구조로 이루어진 단채널 산화물 반도체 박막 트랜지스터는, 기판(21), 게이트전극(25), 게이트절연막(24), 산화물 반도체(23), 소스 및 드레인 전극(28, 29), 패시베이션층(26) 및 화소전극(22)를 포함하여 이루어질 수 있다.
- [0034] 기판(21)은 각 구성요소를 지지하는 부분으로서, 유리나 같은 절연물질 또는 실리콘 재질 등으로 이루어질 수 있음은 도 2b에서 상술한 바와 같다.
- [0035] 기판(21)상에는 게이트전극(25) 및 게이트절연막(24)이 순차형성된다. 이때 게이트전극(25)의 형성은 공지의 증착 및 식각공정을 통해 이루어질 수 있으며, 게이트전극(25) 형성 후 게이트 절연막(24)이 증착된다.
- [0036] 게이트 절연막(24)상에는 증착 및 광식각공정을 거쳐 산화물 반도체(23)가 형성되고, 순차적으로 증착 및 패터닝 공정을 거쳐 소스 및 드레인 전극(28, 29)이 형성된다. 여기서 산화물 반도체(23)는 비정질 인듐 갈륨 징크 옥사이드(Amorphous-InGaZnO₄) 반도체, 징크 옥사이드(ZnO), 인듐 징크 옥사이드(IZO), 인듐 틴 옥사이드(ITO), 징크 틴 옥사이드(ZTO), 갈륨 징크 옥사이드(GZO)중 어느 하나의 물질 또는 이들의 혼합물로 이루어질 수 있으나, 이에 한정되지는 않음은 도 2b에서 상술한 바와 같다.
- [0037] 이후 패시베이션층(16)을 증착하고, 패시베이션층(16)의 일부를 패터닝하여 드레인 전극(29)이 노출되도록 콘택홀(27)을 형성하고, 증착 및 패터닝 공정을 거쳐 화소전극(22)을 형성하게 된다. 역 스테거드 구조의 채널 길이(32)는 소스 전극(28)과 드레인 전극(29) 사이로 정의되며, 본 발명의 실시예에서 부하 박막 트랜지스터의 채널 길이 L1, 또는 구동 박막 트랜지스터의 채널길이 L2에 해당한다.
- [0038] 이때, 도 2c에 도시된 역 스테거드 구조의 단채널 산화물 반도체 박막 트랜지스터의 채널 길이(32)는 0.1 μm 내지 3 μm 의 범위에서 구현되는 것이 바람직하며, 보다 바람직하게는 0.1 μm 내지 2 μm 이하로 구현함이 바람직하다. 채널 길이를 단채널 특성이 나타나는 2 μm 이하로 구현함으로써, 본 발명의 디플리션 모드의 산화물 반도체 인버터를 구현하기 임은 도 2b에서 상술한 바와 동일하다.
- [0039] 도 2d는 도 2a에 도시된 구동 박막 트랜지스터에 적용되는 일반적인 채널 길이의 산화물 반도체 박막 트랜지스터의 전기적인 특성과, 부하 박막 트랜지스터에 적용되는 단채널 산화물 반도체 박막 트랜지스터의 전기적인 특성을 도시한 것이다.
- [0040] 구체적으로 도 2d는 채널의 길이가 2 μm 이상인 일반적인 산화물 반도체 박막 트랜지스터(또는 구동 박막 트랜지스터)의 전류-전압 특성과, 채널의 길이가 2 μm 이하인 단채널 산화물 반도체 박막 트랜지스터(또는 부하 박막 트랜지스터)의 전류-전압 특성을 나타낸다. 도 2a 및 2d를 참조하면, 채널의 길이가 짧게 되면 단채널 소자 특성을 나타내는 것과 동시에 문턱 전압의 값이 (-) 방향으로 급격하게 이동함을 확인할 수 있다. 또한, 우측에

도시된 부하 박막 트랜지스터의 경우 전이곡선이 디플리션 모드로 동작함을 확인할 수 있으며, 좌측에 도시된 구동 박막 트랜지스터의 경우 축적모드로 구동하고 있음을 확인할 수 있다.

[0041] 따라서 본 발명에 따르면, 추가적인 마스크, 공정 단계 없이 채널의 길이 조정만으로 인헨스드 모드(enhanced mode)와 디플리션 모드(depletion mode)의 각기 다른 구동 모드를 가지는 박막 트랜지스터 소자를 구현 할 수 있음을 확인할 수 있다.

[0042] 도 2e는 본 발명의 산화물 반도체 인버터의 바람직한 실시예로서, 구동 박막 트랜지스터(driving TFT)와 부하 박막 트랜지스터(load TFT) 사이의 폭비(width ratio)가 8 일 때의 VTC 그래프이다. 도1b와 도2e를 비교하여 보면, 기존의 인헨스드 모드(enhanced mode)의 인버터는 전압 10 V 를 인가하면 부하 박막 트랜지스터의 (load TFT) 문턱 전압 (V_{th}) 만큼의 전압 손실을 나타낸다. 반면에 본 발명에서 제안하는 단 채널을 이용한 디플리션 모드(depletion mode)의 인버터에서는 도 2e에 결과와 같이 부하 박막 트랜지스터(load TFT)의 문턱 전압 (V_{th}) 손실없이 인가 전압 10 V 가 그대로 출력으로 나오는 풀 스윙 (full swing) 구동을 보여준다. 그리고 인버터 구동에 있어서 게인 (gain) 값에서도 인헨스드 모드(enhanced mode) 인버터에 비하여 디플리션 모드(depletion mode) 인버터가 높은 값을 획득함 알 수 있다. 따라서 도 2e의 경우가 출력 전압의 먼 및 노이즈 마진의 면에서도 1b에 비해 우수함을 확인할 수 있다. 즉, 본 발명의 산화물 반도체 인버터는 안정적인 동작 및 고이득(high gain)을 구현할 수 있는 효과를 갖게 됨을 알 수 있다.

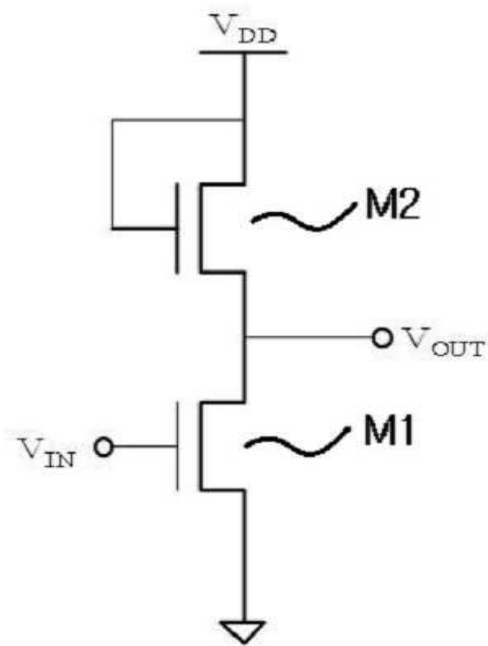
[0043] 이상에서 설명한 본 발명은 전술한 실시 예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 부가 및 변경이 가능하다는 것이 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

부호의 설명

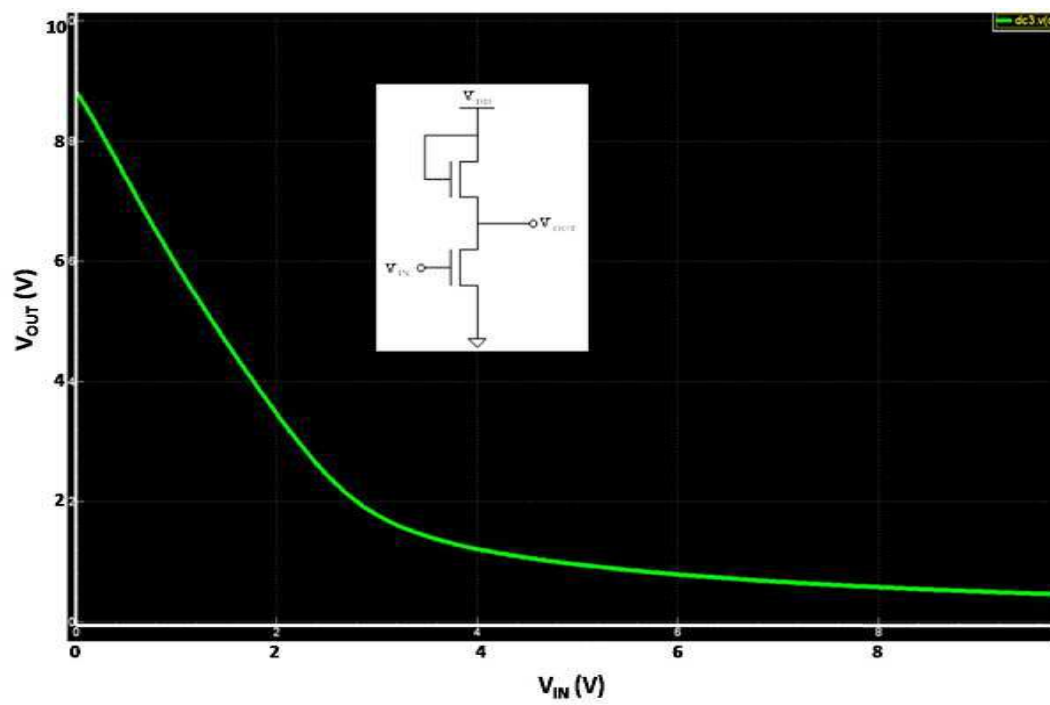
[0044] 11, 21: 기판
12: 버퍼층
13, 23: 산화물 반도체
14, 24: 게이트 절연막
15, 25: 게이트전극
16, 26: 패시베이션 층
17, 27: 콘택 홀
18, 28: 소스 전극
19, 29: 드레인 전극
22: 화소전극
31, 32: 채널 길이

도면

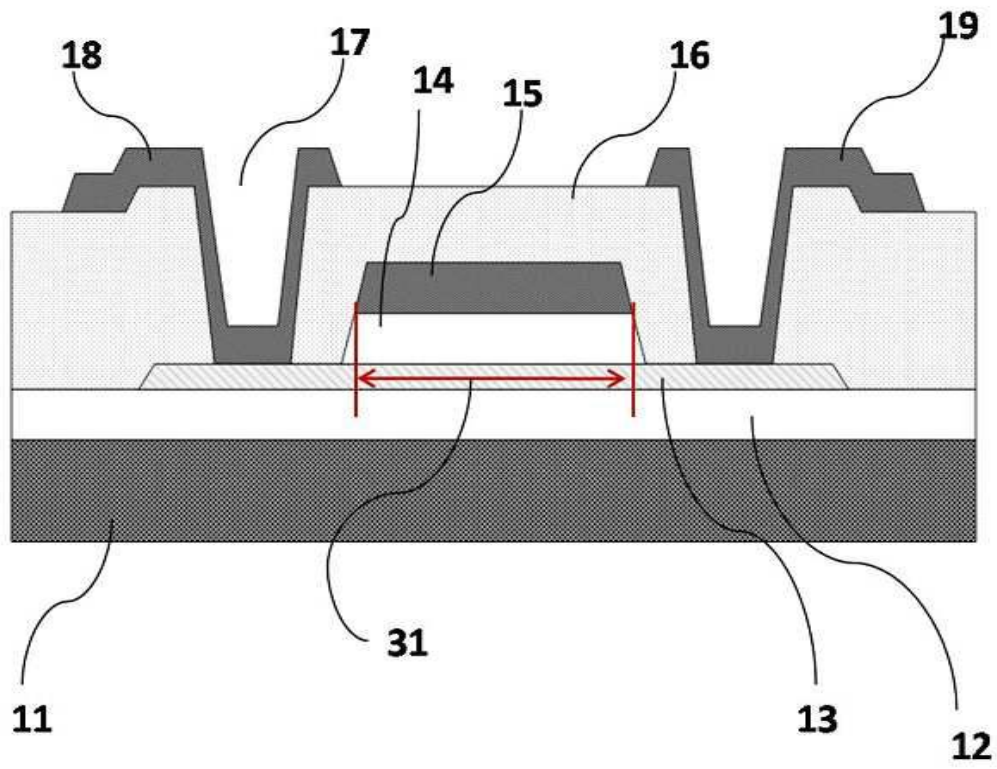
도면1a



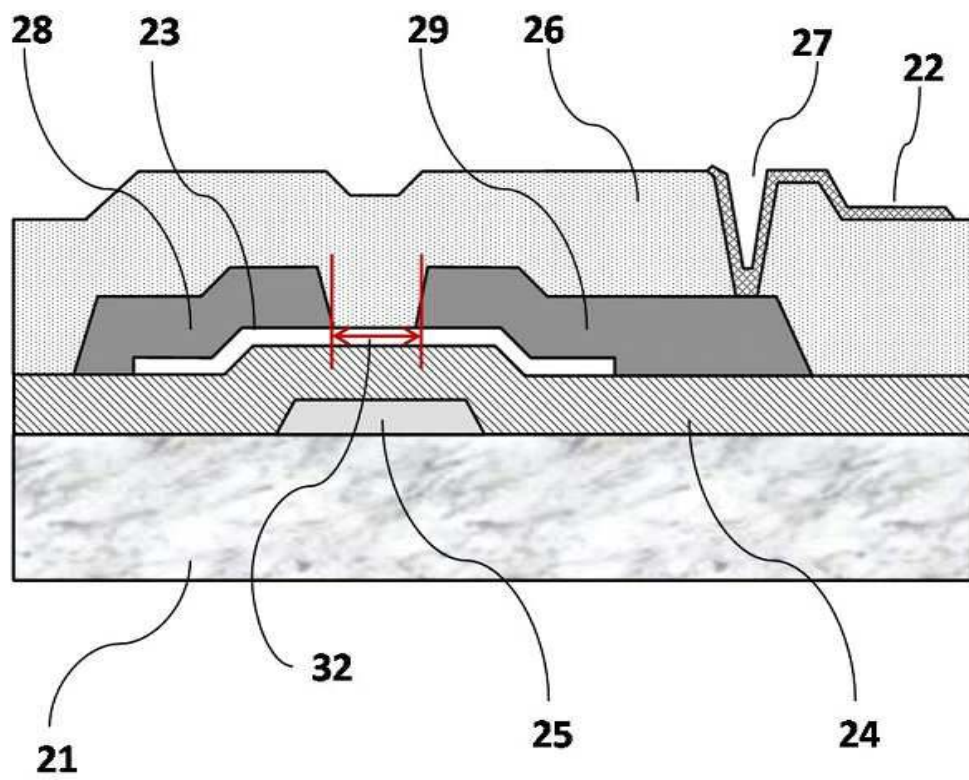
도면1b



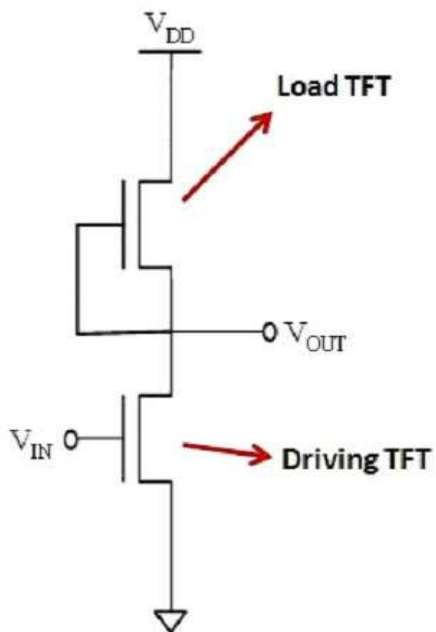
도면2a



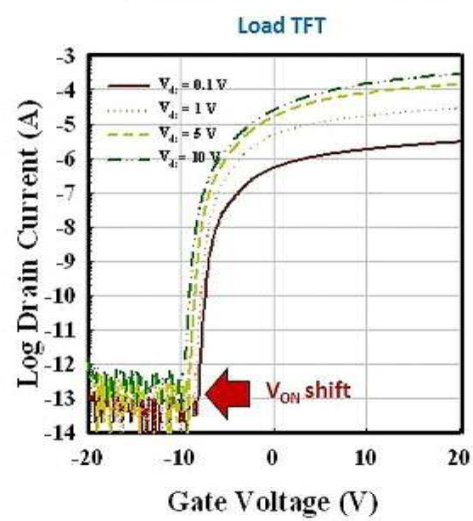
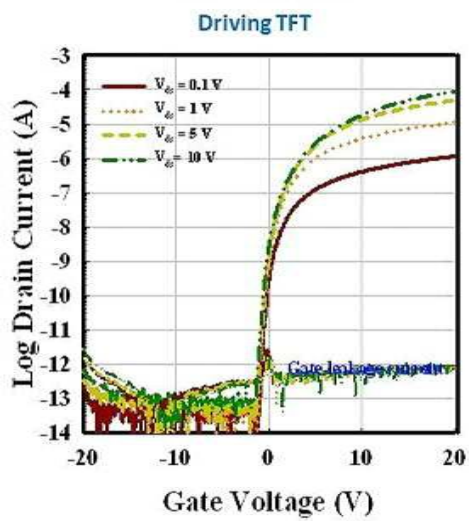
도면2b



도면2c



도면2d



도면2e

