[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
G11B 20/14
H03L 7/189

[12] 发明专利说明书

[21] ZL 专利号 00800194.4

[45] 授权公告日 2004 年 4 月 21 日

[11] 授权公告号 CN 1146907C

[22] 申请日 2000.2.22 [21] 申请号 00800194.4
[30] 优先权
[32] 1999. 2.22 [33] JP [31] 42742/1999
[86] 国际申请 PCT/JP2000/000981 2000.2.22
[87] 国际公布 WO00/51122 英 2000.8.31
[85] 进入国家阶段日期 2000.10.20
[71] 专利权人 松下电器产业株式会社
地址 日本大阪府
[72] 发明人 丸川昭二
审查员 邓 巍

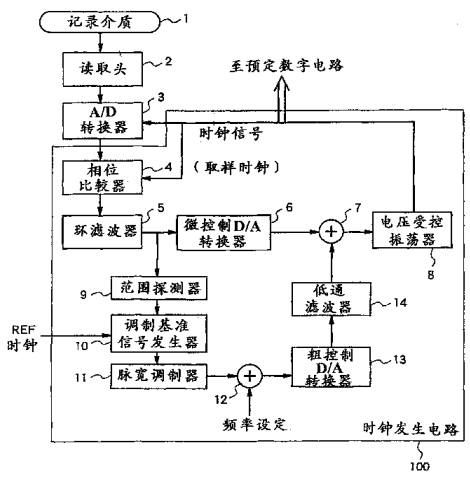
[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所
代理人 冯 谱

权利要求书 2 页 说明书 15 页 附图 9 页

[54] 发明名称 时钟发生电路

[57] 摘要

本发明的时钟发生电路借助相位比较器(4)提取从记录介质(1)获得的数字信号的相位误差信号，借助环滤波器(5)对相位误差信号进行滤波。在第一实施例中借助微控制 D/A 转换器(6)把该信号转换成一个模拟信号，借助范围探测器(9)探测该信号是否处于一个预定范围，借助调制基准信号发生器(10)产生一个调制基准信号，借助一个脉宽调制器(11)调制该调制基准信号，借助一个加法器(12)把一个频率设定值与该调制基准信号相加，借助一个粗控制 D/A 转换器(13)把该相加结果转换成一种模拟信号，借助低通滤波器(14)切去该模拟信号的高频分量，把微控制 D/A 转换器(6)的模拟信号输出与模拟加法器(7)的低通滤波器(14)的输出相加，并根据模拟加法器(7)的输出信号由一个电压受控振荡器 8 输出一个时钟信号。 因此，能够产生能够连续锁定宽频率范围的时钟信号。 在第二实施例中，环滤波器输出被过采样(15)，然后被插值(16)，并由多值 Δ－Σ调制器调制(17)。



ISSN1008-4274

1.一种时钟发生电路，用于产生一种时钟信号，该时钟信号被用于从一种记录介质再现信号，包括：

一个相位比较器，用于从一种数字信号中提取一种相位误差信号，该数字信号是通过转换从该记录介质读出的一种模拟信号而获得的；

一个环滤波器，用于对该相位误差信号进行滤波；

一个微控制D/A转换器，用于把环滤波器滤波后的信号转换成模拟信号；

一个范围探测器，用于探测环滤波器所滤波后的信号是高于、低于、还是处于微控制D/A转换器的预定的输入范围内；

一个调制基准信号发生器，用于在环滤波器滤波后的信号高于或低于该范围时产生一个调制基准信号；

一个脉宽调制器，用于把该调制基准信号转换成一种脉冲串；

一个加法器，用于把再现信号的中心频率设定值与脉宽调制器转换后的脉冲串相加；

一个粗控制D/A转换器，用于把该加法器获得的信号转换成一种模拟信号；

一个低通滤波器，用于切去粗控制D/A转换器转换后的模拟信号的高频分量；

一个模拟加法器，用于把从微控制D/A转换器输出的模拟信号和通过低通滤波器的模拟信号相加；以及

一个电压受控振荡器，用于当范围探测器探测出环滤波器滤波后的信号高于该输入范围或低于该输入范围时产生与模拟加法器获得的信号的电压成比例的一个频率的时钟信号，并当范围探测器探测到环滤波器滤波的信号处于该输入范围内时产生与微控制D/A转换器所获得的信号成比例的一个频率的时钟信号。

2.根据权利要求1的时钟发生电路，其中

脉宽调制器由Δ-Σ调制构成。

3.一种时钟发生电路，用于产生一种时钟信号，该时钟信号被用于从一种记录介质再现信号，包括：

一个相位比较器，用于从一种数字信号中提取一种相位误差信号，该数字信号是通过转换从该记录介质读出的一种模拟信号而获得的；

一个环滤波器，用于对该相位误差信号进行滤波；

一个过取样器，用于在环滤波器滤波后的信号中进行过取样插入相等数量的零点；

一个插值器，用于对过取样器所过取样的信号进行插值；

一个多值Δ-Σ调制器，用于把插值器插值后的该信号转换成多值Δ-Σ调制信号；

一个粗控制D/A转换器，用于把多值Δ-Σ调制的信号转换成一种模拟信号；

一个低通滤波器，用于切去从粗控制D/A转换器输出的该模拟信号的高频分量；

一个电压受控振荡器，用于输出处于与通过低通滤波器的信号的电压成比例的一个频率的一个时钟信号。

时钟发生电路

技术领域

本发明涉及一种用于产生一种时钟信号的时钟发生电路，该时钟信号被用于再现一种记录介质上的信号。

背景技术

近年来，一种被称为PRML（部分响应最大可能性）的信号处理越来越多地被引入数字记录和再现设备中的再现信号处理。在这种数据再现信号处理中，信号被数字处理且时钟发生本身也从一种传统的模拟PLL（锁相环）改变为一种数字PLL。虽然PRML正在被引入HDD（硬盘驱动器），PRML还未被引入光盘设备。时钟发生电路当被用于HDD时是没有问题的，但当它被用于光盘设备时就有问题。

诸如CD（袖珍盘）或DVD（数字多用盘）的盘，是为CLV（恒定线速度）再现而制作的，但在实际上它们也是在CAV（恒定角速度）下再现的，或者它们要求无起伏的再现，以在转轴转动速度达到CLV之前读取数据。因此，CD或DVD要求能够在比HDD更宽的频率范围内执行PLL的性能。

对诸如CD或DVD的光盘，带有模拟比较器的一种二进制鉴别器被用于数据确定。另外，模拟PLL被用于产生用于确定的时序时钟。CD或DVD的信号处理通常是以一种模拟方式进行的，因而被称为模拟读取信道。另一方面，被称为PRML的信号处理方法被引入，以确定在诸如HDD的近来的数字记录装置中的数据。在PRML中，数据以数字值得到确定，且信号处理也是以数字方式进行的，因而它被称为数字读取信道。在数字读取信道中，数字PLL被用于产生用于鉴别的时序时钟。

用于在HDD等中的数字PLL将作为现有技术而得到描述。图15是框图，显示了一种再现设备的结构，该设备包括了根据一种传

统的数字PLL系统的时钟发生电路1000。

时钟发生电路1000包括一个主PLL 1100、一个相位比较器4、一个环滤波器5、一个微控制D/A转换器6、以及一个从VCO 1106。主PLL 1100包括一个1/N频分器1101、一个相位比较器1102、一个环滤波器1103、一个主VCO 1104、以及一个1/M频分器1105。

一个读取头2从一种记录介质1读取模拟信号。

一个A/D转换器3与时钟发生电路1000提供的时钟信号同步地把读取的模拟信号转换成一种数字信号，并将该数字信号输出到一个再现电路（未显示）和时钟发生电路1000中的相位比较器4，而该再现电路把该数字数据作为再现信号进行输出。

相位比较器4与时钟发生电路1000产生的样品时钟信号同步地提取该数字信号的相位误差，并将该相位误差输出到环滤波器5。

环滤波器5对该相位误差进行滤波，以将其转换成一种数字振荡指令信号，并将该信号输出到微控制D/A转换器6。

微控制D/A转换器6把该数字振荡指令信号转换成一种具有与数字振荡指令信号成比例的模拟电压的模拟振荡指令信号，并将该模拟信号输出到从VCO 1106。

从VCO 1106具有宽的振荡范围，且其振荡频率设定受到两级的控制，从而产生一种完全受到锁定的时钟。即主PLL 1100设定从VCO 1106的振荡的大体频率，且微控制D/A转换器6进行频率的微调。

1/N频分器1101用N除REF时钟，且相位比较器1102把1/N频率REF时钟与被1/M频分器1105除以M的一个信号彼此匹配，从而构成一种PLL合成器。1/M频分器1105以M对来自主VCO 1104的一个信号输出进行频分。

环滤波器1103对来自相位比较器1102的信号输出进行滤波，并将该信号输出至主VCO 1104和从VCO 1106。

在HDD中，转速被固定，且越接近周边，线速度越高。为了在此情况下增大记录线密度，为HDD采用了一种被称为“区带位

记录”的方法。该区带位记录是这样一种方法，即其中盘被分成若干个区带，并以变化的记录速率记录数据。即，由于记录速率在外面的区带较高而在里面的区带较低，从时钟发生电路输出的时钟信号的中心频率应该根据区带而变。因此，主PLL 1100改变N和M的参数，控制主VCO 1104的振荡频率，并设定从VCO1106的中心频率。

即主PLL 1100把从VCO 1106的振荡频率大体地设定至接近将要被再现的一个信号的中心频率的一个频率（粗调），并产生一种时钟—该时钟借助微控制D/A转换器6而被完全地锁定至再现信号（微调）。

另外，日本公开专利申请Hei.7-78422公布了一种时钟提取电路，该电路利用延迟线而在进行了AD转换之后从数字数据产生一种相位误差信号。

然而，传统的数字PLL系统不能在粗调的切换点处连续地执行PLL。

该传统数字PLL系统在以CAV读取以CAV（恒定角速度）区带位记录的数据时是没有问题的，象HDD。然而，在读取以CLV（恒定线速度）记录的的数据的CAV再现中，在CAV或转轴达到CLV之前的读取数据的无起伏再现下，象诸如DVD的光盘那样，再现信号的中心频率被连续地改变。因此，PLL需要持续地在中心频率改变范围内跟随该频率。然而，该传统的数字PLL不能持续地跟随该频率。即，在传统的数字PLL系统中，粗调的切换点是一个不连续的点，因而PLL的连续性不能得到保持。

在传统的数字PLL系统中，合成器的分割比N和M在频率粗调时应该被改变。当N和M被改变时，以相同的时序切换N和M的参数是困难的。另外，即使当N和M的参数能够同时得到切换，中心频率在切换时也有大的移动，且失去了振荡相位的连续性。由于粗调切换时中心频率的移动，控制不能由PLL执行以进行微调，因而相位锁定被取消。当相位锁定被取消时，不能产生时钟因而数据也不能得到再现。

如上所述，即使当传统的用于HDD的数字PLL被应用于诸如DVD的光盘时，它也不能连续地对CAV再现或CLV无起伏再现所需的宽频率范围执行PLL。

发明内容

本发明就是为了解决上述问题而作出的，且本发明的一个目的是提供一种时钟发生电路，该时钟发生电路能够连续地锁定一个宽的频率范围。

为了实现上述目的，根据本发明的一种时钟发生电路包括了以下部分：

用于产生时钟信号的时钟发生电路，该时钟信号用于从一种记录介质再现信号，包括：相位比较器，用于从通过转换从记录介质读出的模拟信号而获得的数字信号提取一种相位误差信号；一种环滤波器，用于对相位误差信号进行滤波；一个微控制D/A转换器，用于把被环滤波器滤波的信号转换成模拟信号；一个范围探测器，用于探测环滤波器滤波的信号是高于、低于、还是处于预定的范围；一个调制基准信号发生器，用于当滤波的信号高于或低于该范围时产生一种调制基准信号；一个脉宽调制器，用于把该调制基准信号转换成一种脉冲串；一个加法器，用于把预定的频率设定值与被脉宽调制器转换的信号相加；一个粗控制D/A转换器，用于把加法器获得的信号转换成一种模拟信号；一个低通滤波器，用于切掉粗控制D/A转换器转换的模拟信号的高频分量；一个模拟加法器，用于把从微控制D/A转换器输出的模拟信号与通过低通滤波器的模拟信号相加；以及，一个电压受控振荡器，用于当范围探测器探测出环滤波器滤波的信号高于或低于该范围时，产生频率与模拟加法器获得的信号成比例的一个时钟信号，并在范围探测器探测到环滤波器滤波的信号处于该范围时产生其频率与微控制D/A转换器获得的信号成比例的一个时钟信号。

该脉宽调制器由Δ Σ调制构成。

根据本发明的时钟发生电路，微控制D/A转换器的输入超出正常的范围由范围探测器探测，调制基准信号得到产生，且脉宽调

制处理得到进行，从而使电压受控振荡器的输入电压能够受到比粗控制D/A转换器的分辨率更高的控制。即使当微控制D/A转换器的输入范围几乎超过预定范围且粗控制D/A转换器被改变时，本发明也提供了一种能够在PLL不被取消的情况下连续进行良好的时钟发生并连续地锁定宽频率范围的时钟发生电路，并提供了能够在所有可控频率区上连续地进行时钟再现的一种时钟发生电路。

另外，根据本发明的时钟发生电路包括以下的部分:

一种时钟发生电路，用于产生用来从记录介质再现信号的一种时钟信号，包括：一个相位比较器，用于从通过转换由该记录介质读出的一种模拟信号而获得的一种数字信号提取一个相位误差信号；一个环滤波器，用于对该相位误差信号进行滤波；一个过取样器（oversampler），用于对环滤波器滤波的信号进行zero-pad过取样；一个插值器，用于插入被过取样器zero-pad过取样的数据；一个多值Δ-Σ调制器，用于把被插值器插值的信号转换成多值Δ-Σ调制信号；一个粗控制D/A转换器，用于把多值Δ-Σ调制的信号转换成一种模拟信号；一个低通滤波器，用于切去从粗控制D/A转换器输出的模拟信号的高频分量；以及，一个电压受控振荡器，用于以与通过低通滤波器的信号成比例的一个频率输出一个时钟信号。

因此，根据本发明，环滤波器信号被zero-pad过取样、插值、并进一步地被多值Δ-Σ调制，因而电压受控振荡器的输入电压可受到比粗控制D/A转换器的分辨率更高的控制。因此，能够提供一种时钟发生电路，它连续地锁定一个宽频率范围。进一步地，不要求该微控制D/A转换器，且只提供了粗控制D/A转换器，因而结构能够得到简化。

进一步地，根据本发明，能够从脉宽调制器或多值Δ- Σ调制器输出平滑而稳定地改变的调制信号。

附图说明

图1是框图，显示了根据第一实施例的用于再现记录介质1的一种设备，它包括一个时钟发生电路100。

图2是显示相位比较器4的结构的框图。

图3显示了在一个取样波形与一个取样时钟波形同相时它们的波形。

图4显示了当一个取样波形与一个取样时钟波形异相时它们的波形。

图5是显示环滤波器5的结构的框图。

图6是显示范围探测器9的结构的框图。

图7示例性地显示了范围探测器9的范围的概念。

图8是显示调制基准信号发生器10的结构的框图。

图9是显示脉宽调制器11的结构的框图。

图10显示了范围探测器9、调制基准信号发生器10、脉宽调制器11、以及低通滤波器14各自的输出的波形。

图11是显示用于再现记录介质1的一种设备的结构的框图，该设备包括根据第二实施例的时钟发生电路200。

图12是显示一种过取样器15的结构的框图。

图13是显示一种插值器16的结构的框图。

图14是显示一种多值Δ-Σ调制器17的结构的框图。

图15是显示包括根据传统的数字PLL系统的时钟发生电路1000的一种再现设备的结构的框图。

具体实施方式

实施例1

以下结合附图描述根据本发明的第一实施例的一种时钟发生电路。在此，与图15中的标号相同的标号表示相同或相应的部分。

图1是显示用于再现一种记录介质1的设备的部分，该设备包括了根据第一实施例的时钟发生电路100。

时钟发生电路100包括一个相位比较器4、一个环滤波器5、一个微控制D/A转换器6、一个模拟加法器7、一个电压受控振荡器8、一个范围探测器9、一个调制基准信号发生器10、一个脉宽调制器11、一个加法器12、一个粗控制D/A转换器13、以及一个低通滤波

器14。

一个读取头2探测来自记录介质1的模拟再现信号，并将该信号输出至一个A/D转换器3。

与时钟发生电路100提供的一个时钟信号相同步地，A/D转换器3对该模拟再现信号进行取样，以把该信号转换成数字再现信号，并将该数字再现信号输出至一个再现电路（未显示）和时钟发生电路100中的相位比较器4，该再现电路根据该数字再现信号产生一个再现信号并输出该再现信号。

相位比较器4从以时钟信号的时序得到取样的数字再现信号提取一个相位误差信号，并将该相位误差信号输出至环滤波器5。

环滤波器5通过把完整的集成部件与比例部件相结合而构成，且它对该相位误差信号进行滤波并将滤波的相位误差信号输出至微控制D/A转换器6和范围探测器9。

微控制D/A转换器6是用于根据相位误差对振荡频率进行精细控制的D/A转换器，且它将输入信号转换成模拟信号并将该模拟信号输出至模拟加法器7。

范围探测器9具有探测环滤波器5所滤波的信号是否处于微控制D/A转换器6的输入范围之内的功能，且它将探测的结果输出给调制基准信号发生器10。

调制基准信号发生器10和脉宽调制器11控制粗控制D/A转换器13的LSB（最低有效位）的改变，并进行信号处理以使最后输入到电压受控振荡器8的输入电压的改变变得平滑。调制基准信号发生器10借助一个上下计数器（将要在后面描述）产生一种调制基准信号，且脉宽调制器11使该调制基准信号受到Δ-Σ调制，从而获得一种脉宽调制信号。

脉宽调制器11的输出被输入到加法器12，且加法器12通过把脉宽调制的输出与预先设定的一个频率设定值相加而产生至粗控制D/A转换器13的输入信号。

粗控制D/A转换器13是用于进行粗频率控制的D/A转换器，且粗

控制D/A转换器13将数字加法器12的输出转换成一种模拟信号并将该模拟信号输出至低通滤波器14。

低通滤波器14除去输入的模拟信号的高频分量，并将该信号输出至模拟加法器7。

模拟加法器7把低通滤波器14的输出与微控制D/A转换器6的输出相加，并将结果输出至电压受控振荡器8。

电压受控振荡器8产生与该输入电压成比例的一个频率振荡。电压受控振荡器8的输出作为一个时钟信号被提供给A/D转换器3以及其他A/D转换器和D/A转换器，以及需要时钟信号的所有数字电路。

以下结合图2至4描述相位比较器4。

图2是显示相位比较器4的结构的框图。

相位比较器4包括一个电平判定器21、一个第一1T延迟器22、一个第二1T延迟器23、一个第一乘法器24、一个第二乘法器25、以及一个减法器26。

输入到相位比较器4的数字再现信号被输入到第一1T延迟器22、第二乘法器25和电平判定器21。

第一和第二1T延迟器22和23进行一个取样时钟时间（以下称为1T）的延迟。

电平判定器21根据部分响应的类型进行电平判定，并将一个电平确定信号QV（k）输出至第二1T延迟器23和第一乘法器24。

第一乘法器24进行1T延迟的数字再现信号V（k-1）与电平确定信号QV（k）的相乘，并输出结果QV（k）*QV（k-1）。

第二乘法器25进行1T延迟的电平确定信号QV（k-1）与数字再现信号V（k）的相乘，并输出结果QV（k-1）*V（k）。

来自第一和第二乘法器24和25的输出被输入到减法器26，且减法器26获得相位误差信号QV（k-1）*V（k）-QV（k）*V（k-1）并输出该相位误差信号。

图3和4显示了用于说明相位比较器4中的相位误差探测算法的

信号波形。

图3显示了当一个取样波形与一个取样时钟波形同相时它们的波形。

A/D转换器3以时钟信号的时序对再现的模拟信号进行取样。因此，当再现模拟信号同相时，其中A/D转换器3从正改变至负或从负改变至正的一个点（零交叉点）与一个取样点匹配。相位误差的基本原理，是探测在正常情况下处于零交叉点的取样点与该零交叉点之间的移动。当它们如图3所示地同相时，相位误差为零。

图4显示了当一个取样波形与一个取样时钟波形异相时它们的波形。

当它们异相时，取样点与零交叉点偏离。相位误差是取样点与零交叉点之间的移动，它是通过采用上述的电平判定值而获得的。

图5是显示环滤波器5的一种结构的框图。

环滤波器5包括一个第一加法器27、一个1T延迟器28、一个第一系数乘法器（GB）29、一个第二系数乘法器（GA）30、以及一个第二加法器31。

输入到环滤波器5的相位误差信号被输入到第二系数乘法器30和第一加法器27。

第一加法器27把输入的相位误差信号与从1T延迟器28输出的1T延迟信号相加。

1T延迟器28对从第一加法器27输出的信号进行1T延迟，并将1T延迟的信号输出至第一系数乘法器29和第一加法器27。

环滤波器5进行相位误差信号的完整积分（integral)序列和比例序列的相加。即，第一系数乘法器29设定该完整积分序列的一个增益，且第二系数乘法器30设定该比例序列的一个增益。

第二加法器31把第一和第二系数乘法器29和30的输出相加，并输出一个环滤波器信号。

由于环滤波器5的输出包括了完整积分序列的一个相加分量，该输出在理论上具有可无限假定的值，且当一个预定的误差信号被

连续输出时，环滤波器5的输出被连续增大。但在实际上，输出相位误差的微控制D/A转换器6的分辨率是有限的且通常是例如约8位。假定约8位被分配给微控制，频率控制范围是约±5%。

图6是显示范围探测器9的结构的框图。

范围探测器9包括第一和第二比较器32和33以及一个上下控制器34。

输入至范围探测器9的环滤波器信号被输入到第一和第二比较器32和33。

第一比较器32把预设定的一个范围设定值与该环滤波器信号进行比较，并把比较结果输入到上下控制器34。

第二比较器33把预设定的该范围设定值的底部与该环滤波器信号进行比较，并把比较结果输入到上下控制器34。

上下控制器34根据该输入比较结果产生一个上信号或一个下信号，并把该信号输出到调制基准信号发生器10。

在此，顶部范围和底部范围的设定值是这样设定的，即使得环滤波器5的输出表示这样一个范围-在该范围中由微控制D/A转换器6在不利用粗控制D/A转换器13的控制的情况下产生时钟信号。

图7示例性地显示了范围探测器9的范围的概念。

在图7中，设微控制D/A转换器6的分辨率是8位，且微控制D/A转换器6的输入范围是从-128至127。另外，顶部和底部值在该输入范围内被预先设定。

当上下控制器34从第一比较器32接收到表示环滤波器信号超过了顶部范围设定值的一个结果时，它输出一个上信号。当它从第二比较器33接收到了一个表示环滤波器信号低于底部范围设定值的结果时，它产生一个下信号。当来自第一比较器32的比较结果表示环滤波器信号是顶部范围设定值或更小且来自第二比较器33的比较结果表明环滤波器信号是底部范围设定值或更大时，上下控制器34不运行。因此，从调制基准信号发生器10到低通滤波器14的相应元件也不运行。在此情况下，被提供至电压受控振荡器8的信号是这样一

个信号，即该信号是由微控制D/A转换器6根据环滤波器5的输出而产生的。

图8是显示调制基准信号发生器10的结构的框图。

从范围探测器9输出的上信号或下信号被输入到触发发生器35。

在接收到上信号或下信号时，触发发生器35输出一个触发信号给一个上下计数器36。

当上下计数器36接收到该触发信号时，它在一个预定的时间中向上或向下计数输入的基准时钟，并根据计数的基准时钟产生调制基准信号。

图9是显示采用Δ-Σ调制的脉宽调制器11的结构的框图。在此，虽然可以假定各种的脉宽调制器结构，根据第一实施例的脉宽调制器采用Δ- Σ调制进行脉宽调制。

脉宽调制器11包括一个减法器37、一个加法器38、一个第一1T延迟器39、一个量化器40、以及一个第二1T延迟器41。

从调制基准信号发生器10输出的解调基准信号被输入到减法器37。

减法器37从调制基准信号减去一个反馈信号，该反馈信号是通过由第二1T延迟器41对量化器40的一个信号进行1T延迟而获得的。

加法器38把从减法器37输出的被减之后的值与通过由1T延迟器39对加法器38的输出进行延迟而获得的一个反馈信号相加。

量化器40把来自加法器38的相加值输出量化成二进制值。

该调制基准信号被根据Δ-Σ调制的上述结构转换成脉冲串。

图10显示了范围探测器9、调制基准信号发生器10、脉宽调制器11和低通滤波器14各自的输出的波形。该图从上到下依次显示了来自范围探测器9的上信号输出、来自范围探测器9的下信号输出、来自调制基准信号发生器10的调制基准信号输出、来自脉宽调制器11的调制信号输出、来自低通滤波器14的低通滤波输出信号的波形。

如图10所示，低通滤波器输出信号以高于粗控制D/A转换器13的分辨率的1 LSB的一个分辨率，逐渐地改变该电压，因而减小了至电压受控振荡器8的电压输入的时间改变。

当被输入到电压受控振荡器8的输入电压的时间改变速率未被减小时，电压受控振荡器8的振荡频率被突然改变。因此，由微控制D/A转换器6构成的一个环不能跟随该频率，因而PLL被取消。假定粗控制D/A转换器13被从范围探测器9输出的上信号或下信号所直接增大或减小，则该电压被改变与粗控制D/A转换器13的1 LSB相应的一个量。由于该频率被突然改变了与粗控制D/A转换器13的一个LSB相应的一个量，构成微控制D/A转换器6的环不能跟随电压受控振荡器8的振荡频率，因而PLL被取消。

在第一实施例中，调制基准信号发生器10和脉宽调制器11被用来避免频率的这种突然改变。因此，至电压受控振荡器8的输入电压受到比粗控制D/A转换器的分辨率更精确的控制，且电压受控振荡器8的输入电压的时间改变率被减小。因此，即使当粗控制D/A转换器13的范围被改变时，也能够避免超过微控制D/A转换器6的输入范围，从而能够在不取消PLL的情况下连续地产生良好的时钟。另外，可提供能够连续地锁定宽频率范围的一种时钟发生电路，并能够提供能够连续地在所有可控频率区上进行时钟再现的时钟发生电路。进一步地，根据第一实施例，能够从脉宽调制器输出平滑而稳定地改变的调制信号。

实施例2

图11是显示用于再现一种记录介质1的一种设备的一种结构的框图，该设备包括了根据第二实施例的一种时钟发生电路200。与图1中相同的标号表示相同或相应的部分。

一个读取头2从记录介质1读取信号，并将该信号输出至一个A/D转换器3。

A/D转换器3根据从时钟发生电路200的一个分频器20输出的一

个时钟信号，把该模拟再现信号转换成一种解调基准信号。

时钟发生电路200包括一个相位比较器4、一个环滤波器5、一个过取样器15、一个插值器16、一个多值Δ-Σ调制器17、一个粗控制D/A转换器18、一个低通滤波器19、一个电压受控振荡器8、以及一个分频器20。过取样器15、插值器16、多值Δ-Σ调制器17、以及粗控制D/A转换器18构成了一种过取样系统数字块。

该解调基准信号被输入到相位比较器4，且相位比较器4从以时钟信号的时序受到取样的该解调基准信号提取一种相位误差信号。

环滤波器5通过把完整的积分部件和比例部件相结合而构成，且它对相位比较器4获得的相位误差进行滤波。

过取样器15使环滤波器5滤波的相位误差信号受到预定速率的zero-pad过取样。

插值器16使过取样器15的输出受到插值处理。插值器16由一个FIR（有限冲击响应）滤波器构成，且它对zero-pad的数据进行Nyquist插值。插值器16的一个输出被输入到多值Δ-Σ调制器17。

多值Δ-Σ调制器17产生与粗控制D/A转换器18的量化分辨率相应的一种调制信号。

粗控制D/A转换器18把来自多值Δ-Σ调制器17的调制信号转换成模拟信号。

低通滤波器19可以由一个初级模拟滤波器构成，且它对来自粗控制D/A转换器18的模拟信号进行滤波。

电压受控振荡器8根据来自低通滤波器19的输出而输出一种过取样时钟信号。该从电压受控振荡器8输出的该过取样时钟信号被输入到分频器20、过取样器15、插值器16、多值Δ-Σ调制器17以及粗控制D/A转换器18，这些部分是过取样系统的数字块。

A/D转换器3、相位比较器4、环滤波器5具有与第一实施例中的相同的结构。

图12是显示过取样器15的结构的框图。

过取样器15包括一个选择器42、一个N位计数器44、以及一个

速率转换器43。

从环滤波器5输出的T速率相位误差信号、零数据、以及来自N位计数器44的选择信号输出，被输入到选择器42。N位计数器44的N表示一个过取样率，且计数器44根据过取样率N产生选择信号并控制选择器42中的信号选择的时序。选择器42根据N位计数器44的选择信号，使相位误差信号受到zero-pad过取样。例如，当N = 4时，获得了如下的数据序列:

数据1，0，0，0，数据2，0，0，0，数据3，0，0，0，……

速率转换器43用一种过取样时钟锁存选择器42的输出即zero-pad的数据，并输出一种过取样的相位误差信号。

图13是显示插值器16的结构的框图。

插值器16包括四个T/N延迟器45、46、47、和48、以及五个乘法器49、50、51、52和53。在此，T/N延迟器和。的数目不限于上述数目。

从过取样器15输出的过取样的相位误差信号被输入到第一T/N延迟器45和第一乘法器49。第一T/N延迟器45的输出被输入到第二T/N延迟器46和第二乘法器50。第二T/N延迟器46的输出被输入到第三T/N延迟器47和第三乘法器51。第三T/N延迟器47的输出被输入到第四T/N延迟器48和第四乘法器52。第四T/N延迟器48的输出被输入到第五乘法器53。第一至第五乘法器49、50、51、52和53的输出被输入到加法器54且作为一种K位的插值输出信号被从加法器54输出。K表示加法器54的输出数据中的位数。

这里，第一和第五乘法器49和53的相乘系数a、第二和第四乘法器50和52的相乘系数b、以及第三乘法器51的相乘系数c，分别是Nyquist插值常数，且它们由例如以下公式给出:

$a = \sin(\pi / (2*N))/(\pi / (2*N))$

$b = \sin(\pi / (1*N))/(\pi / (1*N))$

$c = 1$

图14是显示多值Δ-Σ调制器17的结构的框图。

多值Δ-Σ调制器17包括一个减法器55、一个加法器56、一个第一1T延迟器57、一个L位量化器58、以及一个第二1T延迟器59。

减法器55从由插值器16输出的K位插值输出信号减去一个反馈信号，该反馈信号是通过由第二1T延迟器59延迟一个L位调制信号而获得的。

加法器56把减法器55的输出与一个反馈信号相加，该反馈信号是通过用第一1T延迟器57对加法器56的输出进行延迟而获得的。加法器56的输出被输入到L位量化器58和第一1T延迟器57。

L位量化器58，借助Δ-Σ调制，把加法器56的输出即K位的调制基准信号量化成L位。这里，K与L之间的关系是K＞L。例如，当多值Δ-Σ调制器17所连接到的粗控制D/A转换器18具有8位分辨率时，L＝8。在此情况下，从插值器16输出的一个输出信号具有9位或更多位。L同K的限制比例由过取样频率与控制频带的关系确定。

在此第二实施例中，环滤波器5的输出受到过取样器15的过取样，且被插值器16插值的K位插值输出被多值Δ-Σ调制器17改变成一种L位的信号。因此，电压受控振荡器8的输入电压可以比粗控制D/A转换器18的分辨率更为精确地受到控制，因而能够利用具有粗分辨率的D/A转换器实现具有宽频率轮询范围的良好的时钟发生电路。进一步地，根据第二实施例，能够从多值Δ-Σ调制器输出受到平滑而稳定的改变的调制信号。

本发明可被使用用于产生一种时钟信号的时钟发生电路，该时钟信号被用作数字记录和再现设备中的数据再现信号。

图1

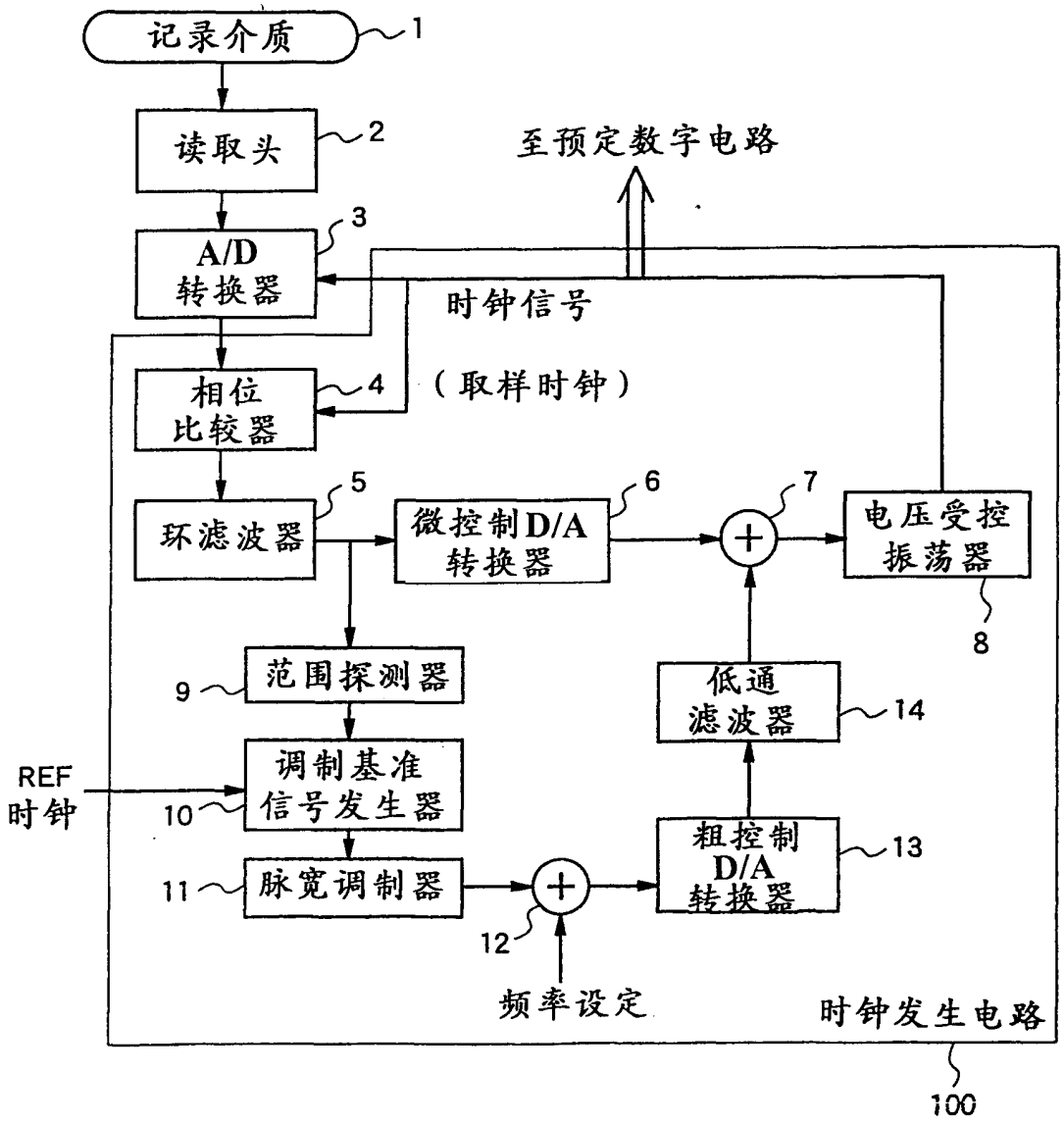

记录介质
1
读取头
2
至预定数字电路
A/D
转换器
3
时钟信号
相位
比较器
4
（取样时钟）
环滤波器
5
微控制D/A
转换器
6
7
电压受控
振荡器
8
范围探测器
9
低通
滤波器
14
REF
时钟
调制基准
信号发生器
10
粗控制
D/A
转换器
13
脉宽调制器
11
12
频率设定
时钟发生电路
100

图2

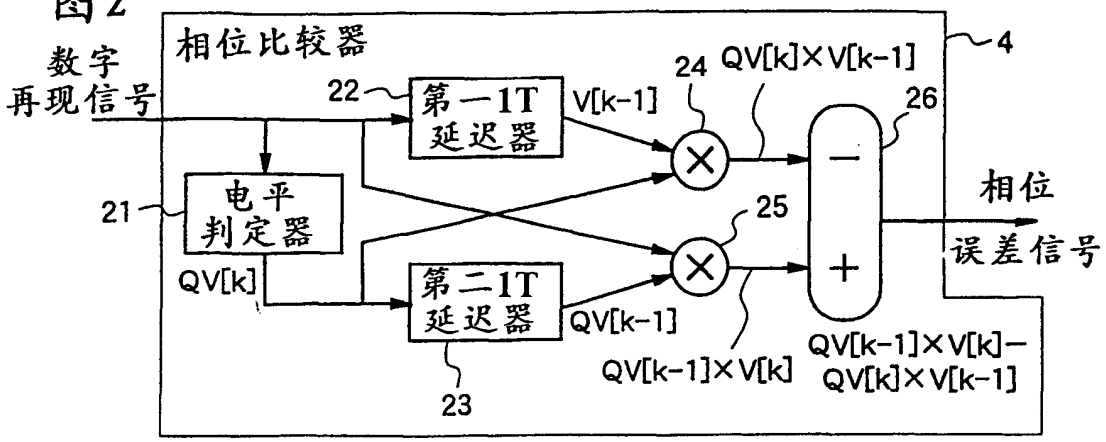

相位比较器
4
数字
再现信号
22
第一1T
延迟器
V[k-1]
24
QV[k]×V[k-1]
26
21
电平
判定器
25
相位
误差信号
QV[k]
第二1T
延迟器
QV[k-1]
QV[k-1]×V[k]
QV[k-1]×V[k]-
QV[k]×V[k-1]
23

图3

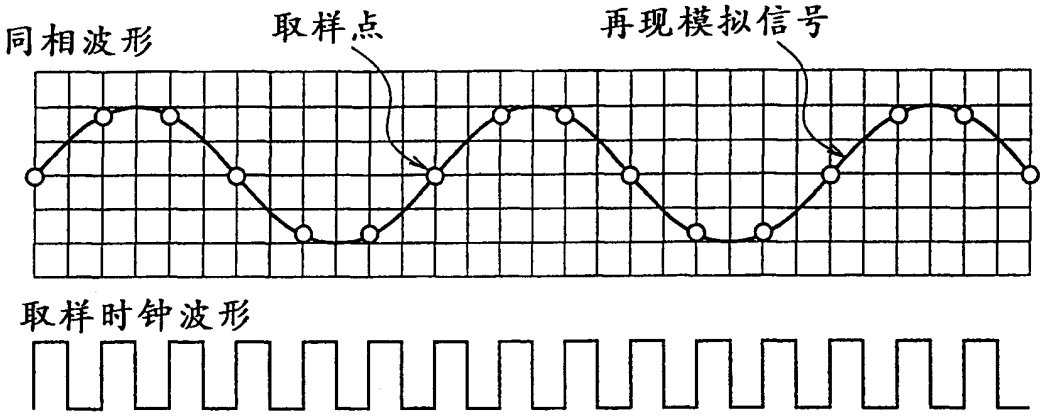

同相波形
取样点
再现模拟信号
取样时钟波形

图4

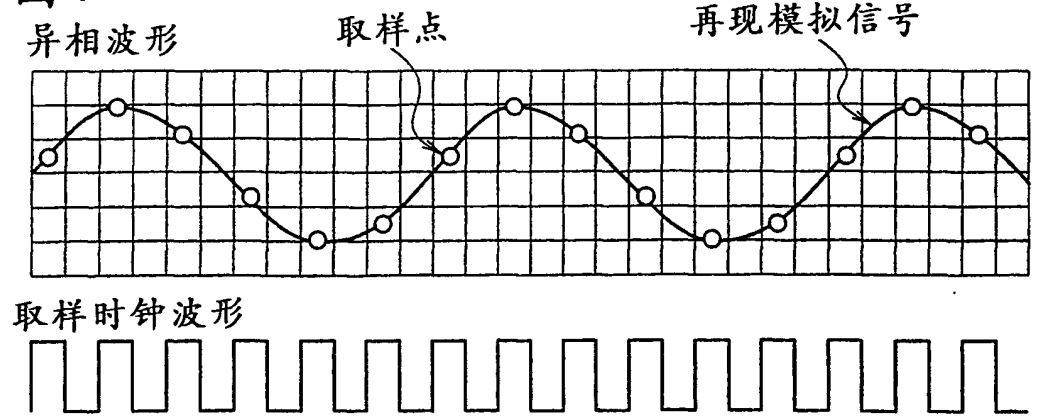

异相波形
取样点
再现模拟信号
取样时钟波形

图5

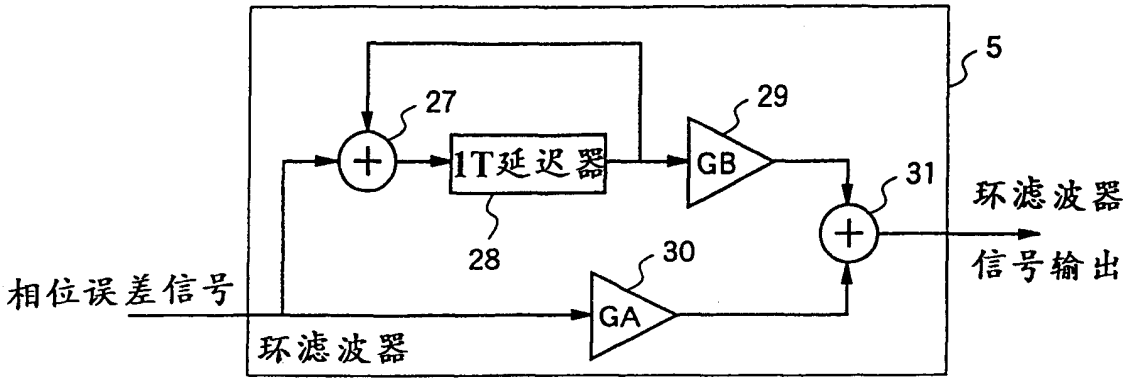

5
27
29
1T延迟器
GB
31
环滤波器
信号输出
28
30
相位误差信号
GA
环滤波器

图6

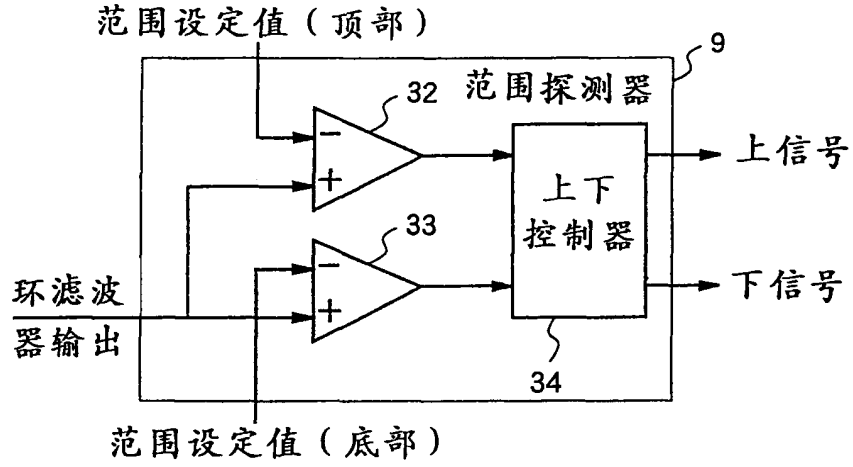

范围设定值（顶部）
9
32
范围探测器
上信号
上下
控制器
33
环滤波
器输出
下信号
34
范围设定值（底部）

图7

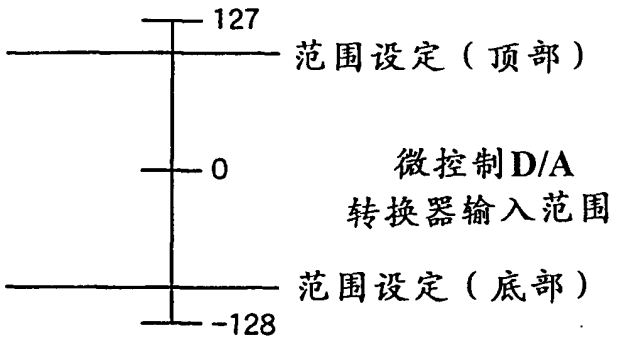

127
范围设定（顶部）
0
微控制D/A
转换器输入范围
范围设定（底部）
-128

图8

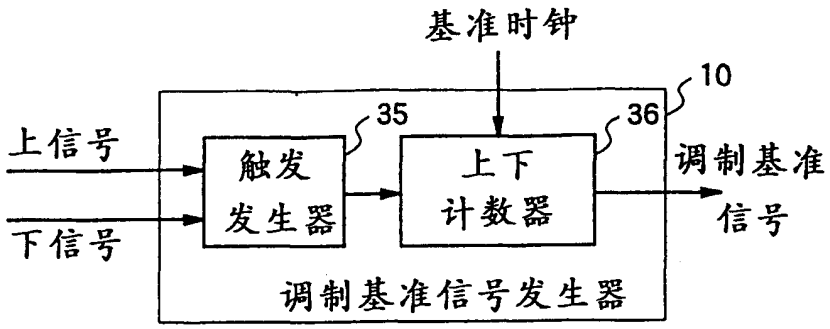

基准时钟
10
35
36
上信号
下信号
触发
发生器
上下
计数器
调制基准
信号
调制基准信号发生器

图9

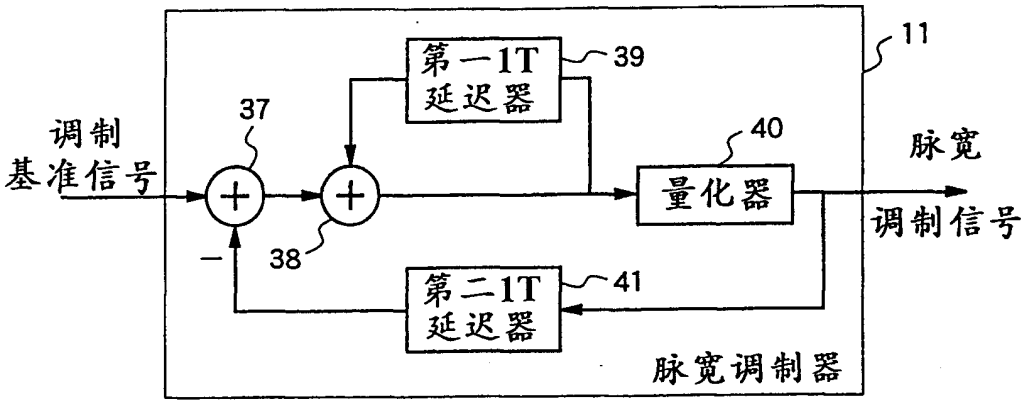

11
第一1T
延迟器
39
37
40
调制
基准信号
脉宽
量化器
调制信号
38
41
第二1T
延迟器
脉宽调制器

图10

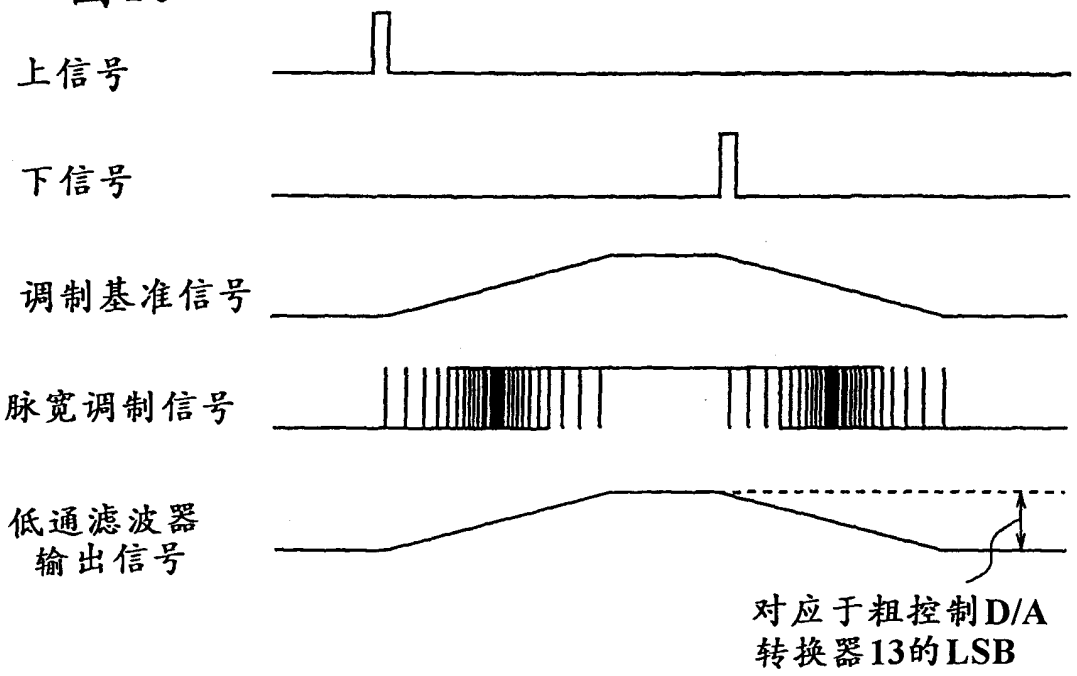


图11

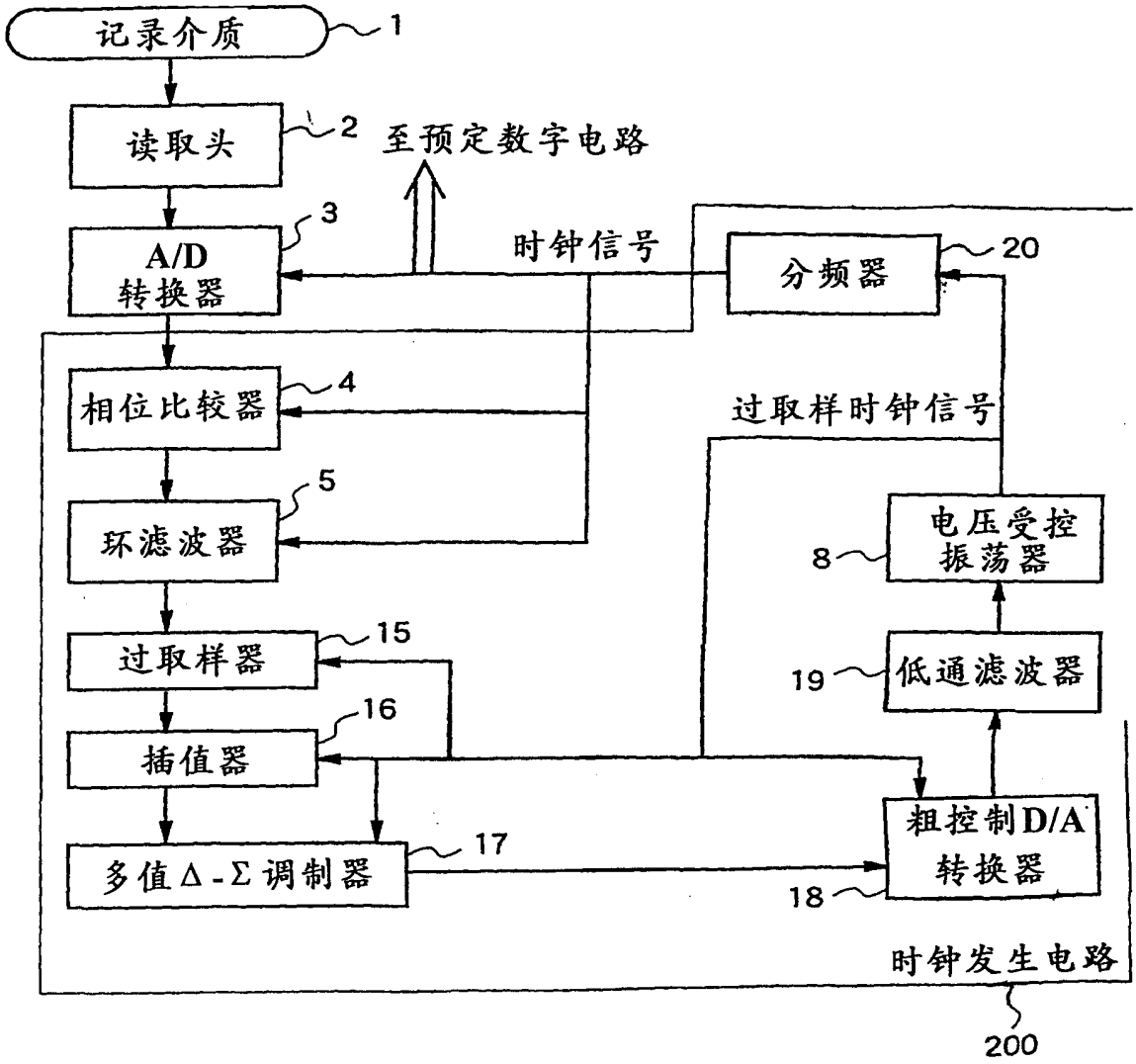

记录介质
1
读取头
2
至预定数字电路
A/D
转换器
3
时钟信号
分频器
20
相位比较器
4
过取样时钟信号
环滤波器
5
电压受控
振荡器
8
过取样器
15
低通滤波器
19
插值器
16
粗控制D/A
转换器
多值Δ-Σ调制器
17
18
时钟发生电路
200

图12

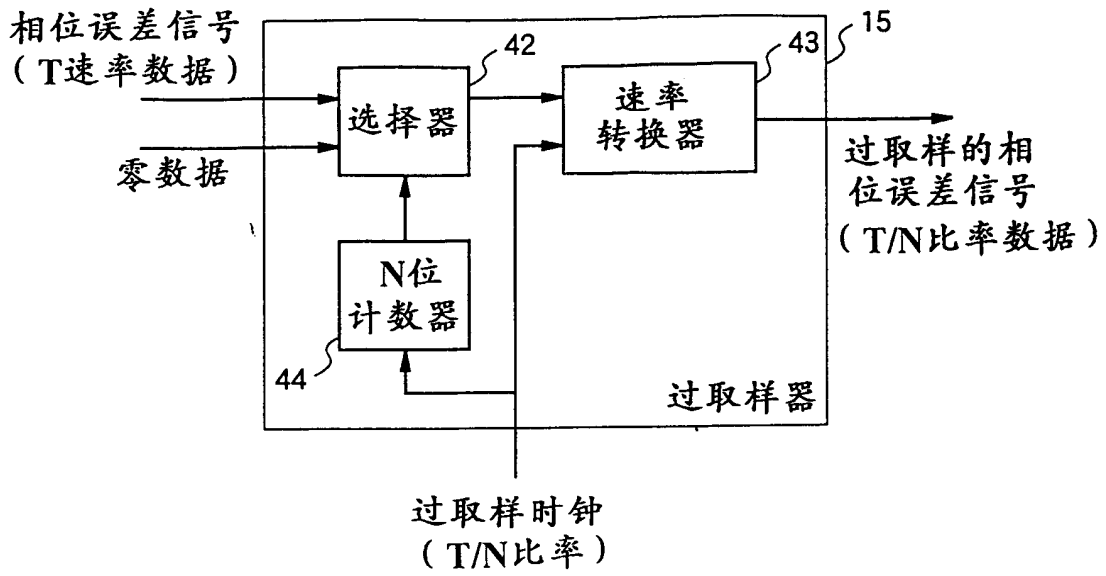

相位误差信号
（T速率数据）
零数据
选择器
42
速率
转换器
43
15
过取样的相
位误差信号
（T/N比率数据）
N位
计数器
44
过取样器
过取样时钟
（T/N比率）

图13

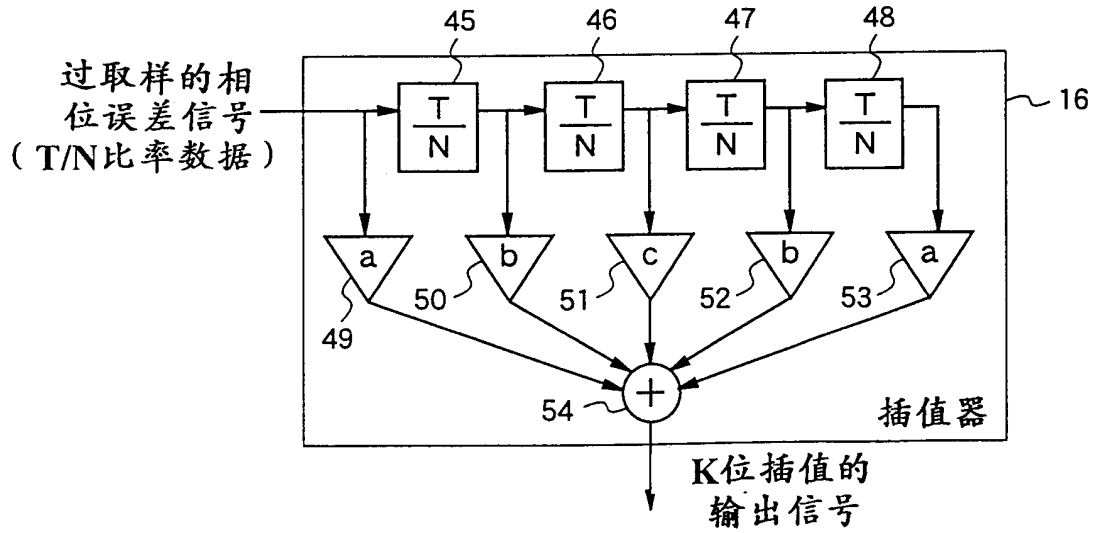

过取样的相
位误差信号
（T/N比率数据）
45
46
47
48
T
N
16
a
b
c
b
a
49
50
51
52
53
54
插值器
K位插值的
输出信号

图14

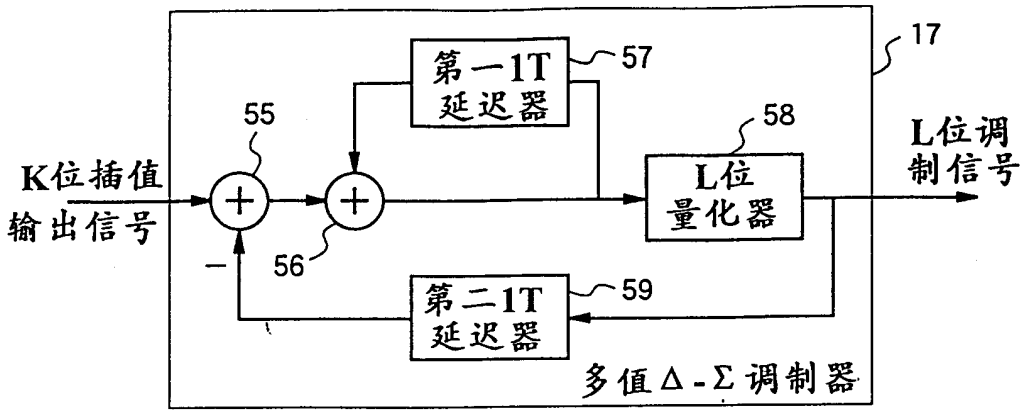
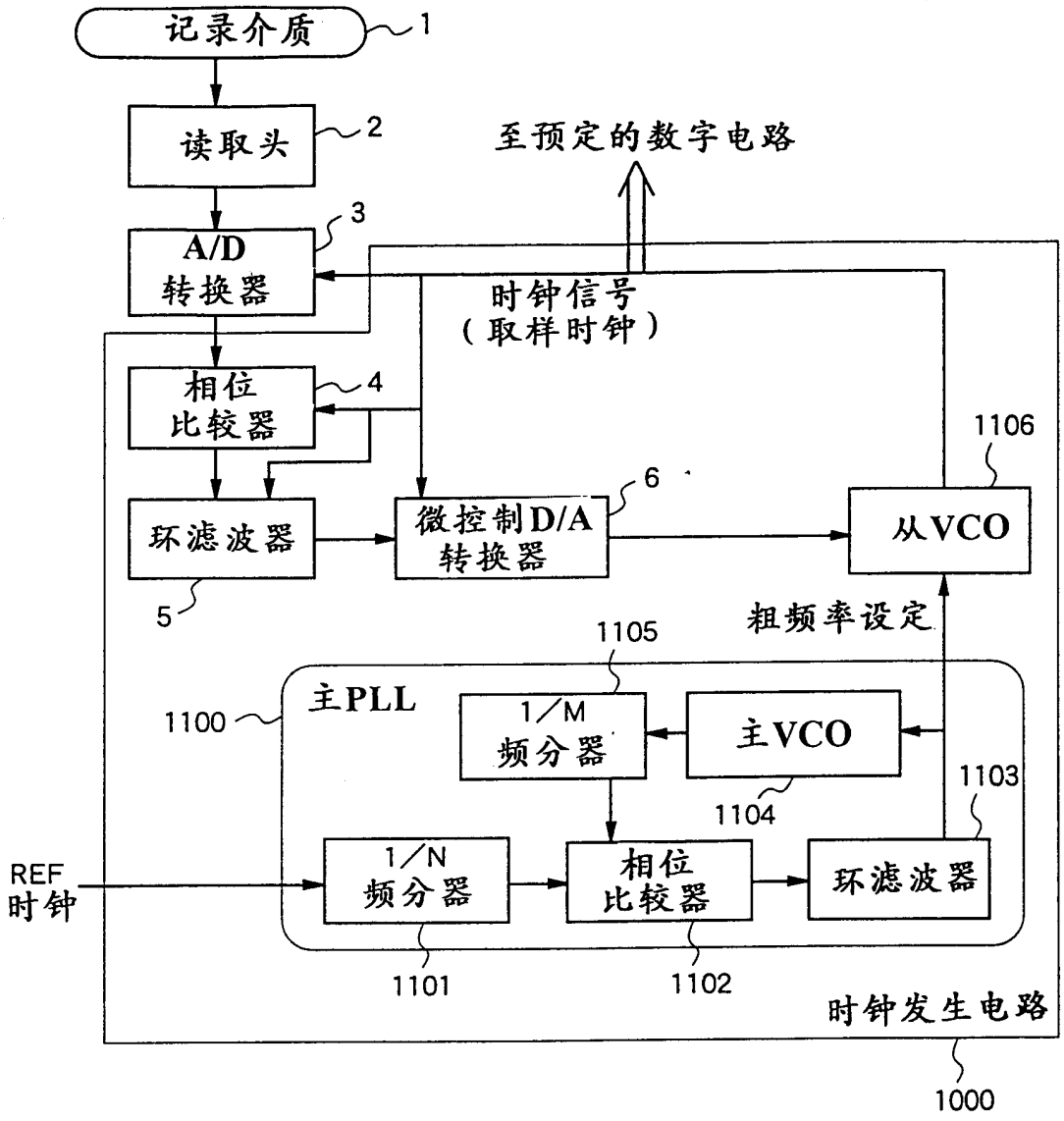

17
第一1T
延迟器
57
55
58
K位插值
输出信号
L位
量化器
L位调
制信号
56
59
第二1T
延迟器
多值Δ-Σ调制器

图15


记录介质
1
读取头
2
至预定的数字电路
A/D
转换器
3
时钟信号
（取样时钟）
相位
比较器
4
1106
6
环滤波器
微控制D/A
转换器
从VCO
5
粗频率设定
1105
主PLL
1100
1/M
频分器
主VCO
1103
1104
REF
时钟
1/N
频分器
相位
比较器
环滤波器
1101
1102
时钟发生电路
1000