(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3610211号
(P3610211)
(45)発行日　平成17年1月12日(2005.1.12)　(24)登録日　平成16年10月22日(2004.10.22)

(51)Int.Cl.[7]　F I
G11C 11/41　G11C 11/34 L
G11C 11/34 345

請求項の数 1　(全 11 頁)

(21)出願番号　特願平9-342642
(22)出願日　平成9年12月12日(1997.12.12)
(65)公開番号　特開平11-176166
(43)公開日　平成11年7月2日(1999.7.2)
審査請求日　平成14年4月19日(2002.4.19)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(73)特許権者　000233169
株式会社日立超エル・エス・アイ・システムズ
東京都小平市上水本町５丁目２２番１号
(74)代理人　100080001
弁理士　筒井　大和
(72)発明者　森　若林
東京都国分寺市東恋ヶ窪三丁目１番地１
日立超エル・エス・アイ・エンジニアリング株式会社内

最終頁に続く

(54)【発明の名称】半導体記憶装置

(57)【特許請求の範囲】
【請求項１】
ワード線とデータ線との交点に設けられたＳＲＡＭメモリセルと、アドレス信号が入力されるアドレスバッファと、センスアンプとを同一チップ上に有し、異なる電源電圧仕様をボンディングにより切り替えられる半導体記憶装置において、
前記アドレスバッファからのアドレス信号を入力としてＡＴＤパルス信号を発生し、このＡＴＤパルス信号による内部タイミングをボンディング仕様の変更により切り替えるＡＴＤパルス発生回路を有し、
前記ＡＴＤパルス発生回路は、前記ボンディング仕様の変更により所望のパルス幅に調整可能な複数段のインバータからなる遅延回路を有し、
前記アドレスバッファは、前記ＡＴＤパルス発生回路と同じボンディングパッドへの接続によるボンディング仕様の変更により所望の論理しきい値に調整可能な複数段のインバータを有し、
前記ＡＴＤパルス発生回路と前記アドレスバッファとのボンディング仕様の変更は、前記半導体記憶装置の異なる電源電圧仕様の機能変更と同じワイヤボンディングまたはワイヤレスボンディングにより所望の電圧レベルに接続して行われることを特徴とする半導体記憶装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】

本発明は、半導体記憶装置技術に関し、特に電源電圧が５Ｖ版と３．３Ｖ版などのような異なる電源電圧仕様を同一チップで実現させる場合に、ワード線選択とセンスアンプ活性化とのタイミング設計に好適な半導体記憶装置に適用して有効な技術に関する。

【０００２】

【従来の技術】

たとえば、本発明者が検討した技術として、半導体記憶装置の一例としての１Ｍバイトワイド高速ＳＲＡＭにおいて、アドレスバッファおよびＡＴＤ（Ａｄｄｒｅｓｓ　Ｔｒａｎｓｉｔｉｏｎ　Ｄｅｔｅｃｔｏｒ　：アドレス遷移検出器）パルス発生回路では、３．３Ｖ動作時はトリミングヒューズを切断し、ＡＴＤパルス信号のパルス幅を調整する方式などが一般的に用いられている。

【０００３】

なお、このようなＳＲＡＭなどの半導体記憶装置に関しては、たとえば昭和５９年１１月３０日、株式会社オーム社発行、社団法人電子通信学会編の「ＬＳＩハンドブック」Ｐ４８５～Ｐ５３０などに記載される技術などが挙げられる。

【０００４】

【発明が解決しようとする課題】

ところで、前記のようなＳＲＡＭのアドレスバッファおよびＡＴＤパルス発生回路においては、５Ｖ／３．３Ｖ品の製品展開をヒューズ切断工程で行うため、生産上のストック工程が前工程と後工程との両方に生じることが考えられる。たとえば、図６の回路図例に示すように、ＡＴＤパルス発生回路ＡＴＤＰＧによる内部タイミングは、５Ｖ動作時には調整用ヒューズの未切断によるＨＩＧＨレベル、３．３Ｖ動作時は切断によるＬＯＷレベルにヒューズトリミングが行われる。

【０００５】

そこで、本発明者は、図６の回路図例に示すようなアドレスバッファＡＢＵＦとＡＴＤパルス発生回路ＡＴＤＰＧとにおいて、アドレスバッファＡＢＵＦの論理しきい値の調整をボンディング仕様の変更により切り替えていることに着目し、ＡＴＤパルス発生回路ＡＴＤＰＧにおいても同じようにボンディング仕様の変更により切り替え可能であることを考えついた。

【０００６】

そこで、本発明の目的は、５Ｖ版と３．３Ｖ版などのような異なる電源電圧仕様を同一チップで実現させる場合に、トリミングヒューズによる信号の代わりに論理追加し、ＡＴＤパルス発生回路による内部タイミングをボンディング仕様の変更により切り替えることができる半導体記憶装置を提供するものである。

【０００７】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【０００８】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【０００９】

すなわち、本発明による半導体記憶装置は、ＡＴＤパルス信号による内部タイミングをボンディング仕様の変更により切り替えるＡＴＤパルス発生回路を有するものである。たとえば、５Ｖ版と３．３Ｖ版とにおいて、３．３Ｖ動作時のみ活性化する信号を、トリミングヒューズによる信号の代わりにＡＴＤパルス発生回路に論理追加するものである。

【００１０】

このＡＴＤパルス発生回路は、ボンディング仕様の変更により所望のパルス幅に調整可能な複数段からなる遅延回路を有し、またボンディング仕様は半導体記憶装置の機能変更と同じボンディング仕様の変更により切り替え、さらにこのボンディング仕様の変更はワイヤボンディングまたはワイヤレスボンディングにより所望の電圧レベルに接続して行い、

特に異なる電源電圧仕様を同一チップで実現させるＳＲＡＭなどに適用するようにしたものである。

【００１１】

よって、前記半導体記憶装置によれば、ヒューズ切断と同じ効果をボンディングの切り替えにより得られるので、ボンディングオプションにより品種を展開する場合、展開品のタイミングが調整できるので、特性を向上させることができる。さらに、製品生産上のストック工程が後工程のみとなるため、前工程における不良資産所持の低減が図れる。

【００１２】

また、ヒューズトリミングに比べて、レーザ照射によるヒューズの切断ミスなどの危険性が回避でき、さらにトリミングの効果をプローブ検査で確認してからボンディングできるために安全性が高く、また製品の早期立ち上げによって試作・評価期間の短縮が可能である。

【００１３】

さらに、１チップでいくつもの品種展開を行う際、内部タイミングのずれが予め予測できていれば、品種切り替え用の信号にパルス幅調整用の信号を関係付けることで、品種切り替えとその品種に最適なパルス幅調整が同時に行え、また量産化した後でも製品のストック工程が後工程のみとなり、顧客要求に素早く対応できる。

【００１４】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【００１５】

図１は本発明の一実施の形態である半導体記憶装置を示す全体ブロック図、図２は本実施の形態における半導体記憶装置のＡＴＤパルス発生回路を示すブロック図、図３はアドレスバッファとＡＴＤパルス発生回路の具体例を示す回路図、図４は読み出し動作を示すタイミング図、図５はＡＴＤパルス幅の変化による影響例を説明するタイミング図である。

【００１６】

まず、図１により本実施の形態の半導体記憶装置の構成を説明する。

【００１７】

本実施の形態の半導体記憶装置は、たとえば１Ｍバイトワイド高速ＳＲＡＭとされ、ワード線ＷＬとデータ線ＤＬとの交点に配置される複数のメモリセルＭＣからなるメモリマットＭＭＡＴと、このメモリマットＭＭＡＴ内の任意のメモリセルＭＣを選択するロウデコーダＲＤＥＣおよびカラムデコーダＣＤＥＣと、アドレス信号を入力としてロウ／カラムアドレス信号を発生するアドレスバッファＡＢＵＦと、出力データを検知・増幅するセンスアンプＳＡと、データを入出力する入出力回路ＤＩ／Ｏと、ＡＴＤパルス信号を発生するＡＴＤパルス発生回路ＡＴＤＰＧと、ＡＴＤパルスを集合、合成するＡＴＤパルス集合回路ＡＴＤＰＩと、イコライズ／コントロール信号を発生するリード／ライトコントロール回路ＲＷＣなどから構成されている。

【００１８】

このＳＲＡＭには、外部からアドレス信号Ａがアドレスバッファ ＡＢＵＦに入力され、ロウアドレス信号、カラムアドレス信号が生成されて、それぞれロウデコーダＲＤＥＣ、カラムデコーダＣＤＥＣに入力され、メモリマットＭＭＡＴ内の任意のメモリセルＭＣが選択される。そして、入出力データＤＩ／ＤＯは、書き込み動作時に入出力回路ＤＩ／Ｏを介して入力され、読み出し動作時にセンスアンプＳＡ、入出力回路ＤＩ／Ｏを介して出力される。

【００１９】

また、アドレス信号Ａは、アドレスバッファＡＢＵＦを通してＡＴＤパルス発生回路ＡＴＤＰＧに入力され、このＡＴＤパルス発生回路ＡＴＤＰＧにおいて基本のＡＴＤパルス信号ＡＴＤＰが発生され、さらにＡＴＤパルス集合回路ＡＴＤＰＩを介してＡＴＤパルス信号ＡＴＤＰが合成され、リード／ライトコントロール回路ＲＷＣにて、チップセレクト信号／ＣＳやライトイネーブル信号／ＷＥなどと合成され、データ線イコライズ信号ＤＴＥ

Q、コモンデータ線イコライズ信号ＣＤＥＱ、センスアンプイコライズ信号ＳＡＥＱ、センスアンプコントロール信号ＳＡＣなどのＡＴＤパルス信号が発生される。このＡＴＤパルス信号は各種内部回路に送り込まれ、データ読み出し系のイコライズやコントロールに用いられる。

【００２０】

特に、本実施の形態におけるＡＴＤパルス発生回路ＡＴＤＰＧは、たとえば図２に示すように、遅延回路ＤＥＬと排他的論理和回路ＥＯＲとからなり、アドレスバッファＡＢＵＦからの信号を入力として、一方は遅延回路ＤＥＬを介し、他方は直接に排他的論理和回路ＥＯＲに入力され、所望のパルス幅に調整される。この遅延回路ＤＥＬは複数段からなり、内部タイミング調整用信号ＩＴＣにより段数が制御されてディレイがそのままパルス幅となる。

【００２１】

続いて、図３によりアドレスバッファＡＢＵＦおよびＡＴＤパルス発生回路ＡＴＤＰＧの具体的な回路構成を説明する。ここでは、５Ｖ動作時と３．３Ｖ動作時とに対応可能な回路例を示す。

【００２２】

アドレスバッファＡＢＵＦは、たとえばインバータＩＶ１～ＩＶ６とＰＭＯＳトランジスタＴＰ１，ＴＰ２とからなり、外部からのアドレス信号Ａを入力としてロウデコーダＲＤＥＣ、カラムデコーダＣＤＥＣに対する選択信号ＳＴ／非選択信号ＳＢが２系統に分岐されて縦列接続されたインバータＩＶ１～ＩＶ６を介して出力される。また、インバータＩＶ１とＩＶ２間の接続ノードと電源電圧ＶＣＣ間に直列接続された電源電圧ＶＣＣ側のＰＭＯＳトランジスタＴＰ１のゲートには論理しきい値調整用信号ＶＬＴＣが入力され、この調整用信号ＶＬＴＣの電圧レベルのＨＩＧＨ（５Ｖ動作時）／ＬＯＷ（３．３Ｖ動作時）によりインバータＩＶ１～ＩＶ６の論理しきい値が調整される。

【００２３】

また、ＡＴＤパルス発生回路ＡＴＤＰＧは、たとえばインバータＩＶ７，ＩＶ８，ＩＶ１１とＰＭＯＳトランジスタＴＰ３～ＴＰ５とＮＭＯＳトランジスタＴＮ１～ＴＮ３とを有する遅延回路ＤＥＬと、インバータＩＶ９，ＩＶ１０とＰＭＯＳトランジスタＴＰ６，ＴＰ７とＮＭＯＳトランジスタＴＮ４，ＴＮ５とを有する排他的論理和回路ＥＯＲとからなり、アドレスバッファＡＢＵＦからの信号を入力として遅延回路ＤＥＬにより所望のパルス幅に調整されて基本のＡＴＤパルス信号ＡＴＤＰが発生される。このＡＴＤパルス信号ＡＴＤＰのパルス幅は、遅延回路ＤＥＬの最終段のＣＭＯＳ回路の電源電圧側、接地電圧側にそれぞれ接続されたＰＭＯＳトランジスタＴＰ４とＮＭＯＳトランジスタＴＮ３とに入力される内部タイミング調整用信号ＩＴＣにより制御され、この調整用信号ＩＴＣの電圧レベルのＨＩＧＨ（５Ｖ動作時）／ＬＯＷ（３．３Ｖ動作時）により内部タイミングが調整される。

【００２４】

以上のように構成されるアドレスバッファＡＢＵＦおよびＡＴＤパルス発生回路ＡＴＤＰＧにおいては、調整用信号の電圧レベルがボンディング仕様の変更により同時に切り替えられ、たとえば５Ｖ動作時のＨＩＧＨレベルとする場合には電源電圧ＶＣＣに接続され、また３．３Ｖ動作時のＬＯＷレベルとする場合には接地電圧ＧＮＤに接続される。この場合に、論理しきい値調整用信号ＶＬＴＣと内部タイミング調整用信号ＩＴＣとはともに５Ｖ動作時、３．３Ｖ動作時で同じ電圧レベルとなるので、１個のボンディングパッドＢＰＡＴに接続することが可能であるが、電圧レベルが異なる場合には別々のボンディングパッドに接続することになる。

【００２５】

次に、本実施の形態の作用について、図１を参照しながら図４に基づいてＳＲＡＭの読み出し動作を説明する。

【００２６】

まず、アドレスバッファＡＢＵＦに入力されたアドレス信号Ａの活性化に同期して、ＡＴ

Ｄパルス発生回路ＡＴＤＰＧから発生する基本のＡＴＤパルス信号ＡＴＤＰをＨＩＧＨレベルにするとともに、ワード線ＷＬおよび列選択スイッチＹＳを活性化してメモリマットＭＭＡＴ内の所望のメモリセルＭＣを選択する。

【００２７】

さらに、ＡＴＤパルス発生回路ＡＴＤＰＧからのＡＴＤパルス信号ＡＴＤＰのＬＯＷレベルへの移行に同期して、リード／ライトコントロール回路ＲＷＣから発生するデータ線イコライズ信号ＤＴＥＱによりデータ線ＤＬ、コモンデータ線イコライズ信号ＣＤＥＱによりコモンデータ線ＣＤＬをそれぞれ活性化する。

【００２８】

そして、ＡＴＤパルス信号ＡＴＤＰのＬＯＷレベルへの移行に同期してリード／ライトコントロール回路ＲＷＣから発生するセンスアンプコントロール信号ＳＡＣによりセンスアンプ出力ＳＡＯを活性化し、選択されたメモリセルＭＣのデータを入出力回路ＤＩ／Ｏを介して読み出すことができる。

【００２９】

続いて、図５に基づいて読み出し動作におけるＡＴＤパルス信号ＡＴＤＰのパルス幅の変化による影響例を説明する。

【００３０】

この読み出し動作においては、ワード線ＷＬおよびデータ線ＤＬの活性化後に、読み出し動作のタイミングを決めるセンスアンプコントロール信号ＳＡＣを発生するが、このセンスアンプコントロール信号ＳＡＣのパルス幅が読み出しデータに影響する。

【００３１】

たとえば、５Ｖ動作と３．３Ｖ動作などのような電源電圧仕様を同一チップで実現させる場合に、プロセスがばらついたときなどは内部のタイミングが適正な設計値に対してずれるため、パルス幅が狭い場合には誤ったデータを読み出す誤動作が発生し、またパルス幅が広い場合にはアクセスの遅れが生じる。

【００３２】

そこで、本実施の形態においては、図３に示すＡＴＤパルス発生回路ＡＴＤＰＧの内部タイミング調整用信号ＩＴＣの電圧レベルを、アドレスバッファＡＢＵＦの論理しきい値調整用信号ＶＬＴＣと同様にボンディング仕様の変更によりＨＩＧＨまたはＬＯＷの電圧レベルにすることにより、センスアンプコントロール信号ＳＡＣのパルス幅を切り替えて内部タイミングを調整することができる。

【００３３】

たとえば、図３のように５Ｖ動作時のＨＩＧＨレベルとする場合には、ＡＴＤパルス発生回路ＡＴＤＰＧの内部タイミング調整用信号ＩＴＣのパッドを電源電圧ＶＣＣのパッドにワイヤボンディングや、フリップチップ方式、ビームリード方式、テープキャリヤ方式などのワイヤレスボンディングにより接続する。また、３．３Ｖ動作時のＬＯＷレベルとする場合には、内部タイミング調整用信号ＩＴＣのパッドを接地電圧ＧＮＤのパッドに接続する。

【００３４】

以上のようにして、５Ｖ動作と３．３Ｖ動作などのような電源電圧仕様を同一チップで実現させる場合に、パルス幅が狭かったり、あるいは広く内部のタイミングが設計値に対してずれるような場合でも、適正なパルス幅に調整して誤ったデータの読み出しや、アクセスの遅れを防ぐことができる。

【００３５】

また、このようなＡＴＤパルス信号ＡＴＤＰによるコントロールおよびイコライズの効果は、データ線ＤＬ、コモンデータ線ＣＤＬ、センスアンプ出力ＳＡＯ、入出力データバスなどの異電位の対をショートさせ、同電位にすることにより、それらの電位の反転時間を短縮できる。また、内部動作回路を必要時間だけパルス駆動することにより、消費電流を低減できる。さらに、パルス幅を調整することにより、製品の動作マージンを調整できる。

【００３６】
従って、本実施の形態の半導体記憶装置によれば、アドレスバッファＡＢＵＦ内のインバータの論理しきい値を調整している信号を、トリミングヒューズによる信号の代わりにＡＴＤパルス発生回路ＡＴＤＰＧに論理追加することで、このＡＴＤパルス発生回路ＡＴＤＰＧの内部タイミング調整用信号ＩＴＣをボンディングによる切り替えのみでアドレスバッファＡＢＵＦ内のインバータの論理しきい値と内部タイミングとを同時に切り替えることができる。
【００３７】
よって、ヒューズ切断と同じ効果をボンディングの切り替えにより得られるので、以下のような効果を得ることができる。
【００３８】
（１）．ボンディングオプションにより品種を展開する場合、展開品のタイミングが調整できるので、特性を向上させることができる。
【００３９】
（２）．製品生産上のストック工程が後工程のみとなるため、前工程における不良資産所持を低減することができる。
【００４０】
（３）．ヒューズトリミングに比べて、ヒューズをレーザ照射で切断した場合の切断ミスなどの危険性を回避することができる。
【００４１】
（４）．パッド入力によりトリミングを行うため、トリミングの効果をプローブ検査で確認してからボンディングできるために安全性が高く、また製品の早期立ち上げが図れ、試作・評価期間を短縮することができる。
【００４２】
（５）．ボンディングオプションにより、１チップでいくつもの品種展開を行う際、品種展開による内部タイミングのずれが予め予測できていれば、品種切り替え用の信号にパルス幅調整の内部タイミング調整用信号をからませることにより、品種切り替えとその品種に最適なパルス幅調整を同時に行うことができる。
【００４３】
（６）．量産化した後でも、ヒューズ切断によるトリミングを行わないため、製品のストック工程が後工程のみとなり、顧客要求に素早く対応することができる。
【００４４】
以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。
【００４５】
たとえば、前記実施の形態においては、５Ｖ動作と３．３Ｖ動作との電源電圧仕様を同一チップで実現させる場合について説明したが、これに限定されるものではなく、低電圧化に対応して、さらに低電圧の異なる電源電圧仕様を実現する場合などについても適用可能である。
【００４６】
さらに、電源電圧仕様に基づく変更の他に、×４、×１６ビット品などのような入出力ビット構成の変更など、半導体記憶装置の各種機能変更においても同じボンディング仕様で対応することができる。
【００４７】
また、ＳＲＡＭに適用した場合について説明したが、タイミング調整用のトリミングヒューズを有しているＤＲＡＭなど、他の製品についても適用可能であることはいうまでもない。
【００４８】
【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【００４９】

（１）．ボンディング仕様の変更により内部タイミングを切り替えるＡＴＤパルス発生回路を有することで、ヒューズ切断と同じ効果をボンディングの切り替えにより得ることができるので、ボンディングオプションにより品種を展開する場合、展開品のタイミング調整によって特性の向上が可能となる。

【００５０】

（２）．ボンディングオプションにより製品生産上のストック工程が後工程のみとなるため、前工程における不良資産所持の低減が可能となる。

【００５１】

（３）．ヒューズトリミングに比べて、レーザ照射によるヒューズの切断ミスなどの危険性を回避することが可能となる。

【００５２】

（４）．パッド入力によりトリミングを行うため、トリミングの効果をプローブ検査で確認してからボンディングを行うことができるので、安全性が高く、製品の早期立ち上げによって試作・評価期間の短縮が可能となる。

【００５３】

（５）．ボンディングオプションにより１チップでいくつもの品種展開を行う際、内部タイミングのずれが予め予測できていれば、品種切り替え用の信号にパルス幅調整用の信号を関係付けることができるので、品種切り替えとその品種に最適なパルス幅の調整が同時に可能となる。

【００５４】

（６）．量産化した後でも、ヒューズ切断によるトリミングを行うことがないので、製品のストック工程が後工程のみとなり、顧客要求に素早く対応することが可能となる。

【００５５】

（７）．前記（１）　～（６）　により、異なる電源電圧仕様を同一チップで実現させるＳＲＡＭなどの半導体記憶装置において、ＡＴＤパルス発生回路による内部タイミングをボンディング仕様の変更により切り替えることができるので、品種展開における特性の向上、前工程における不良資産所持の低減、試作・評価期間の短縮、顧客要求への素早い対応などの実現が可能となる。

【図面の簡単な説明】

【図１】本発明の一実施の形態である半導体記憶装置を示す全体ブロック図である。

【図２】本発明の一実施の形態における半導体記憶装置のＡＴＤパルス発生回路を示すブロック図である。

【図３】本発明の一実施の形態において、アドレスバッファとＡＴＤパルス発生回路の具体例を示す回路図である。

【図４】本発明の一実施の形態において、読み出し動作を示すタイミング図である。

【図５】本発明の一実施の形態において、ＡＴＤパルス幅の変化による影響例を説明するタイミング図である。

【図６】本発明の前提となる半導体記憶装置において、アドレスバッファとＡＴＤパルス発生回路の具体例を示す回路図である。

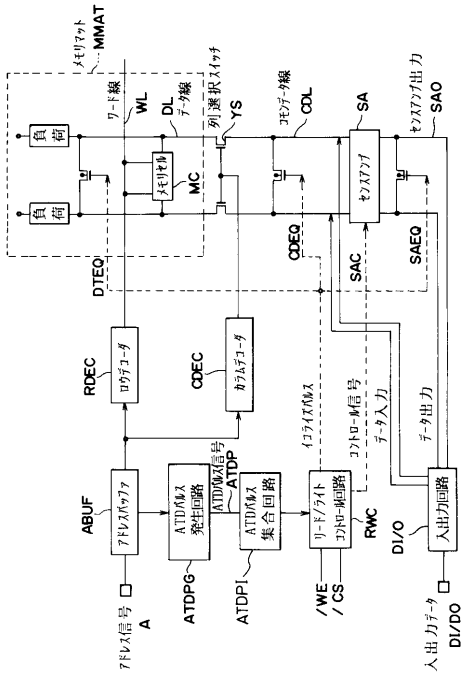
【符号の説明】

Ａ　　アドレス信号
ＡＢＵＦ　　アドレスバッファ
ＡＴＤＰ　　ＡＴＤパルス信号
ＡＴＤＰＧ　　ＡＴＤパルス発生回路
ＡＴＤＰＩ　　ＡＴＤパルス集合回路
ＢＰＡＴ　　ボンディングパッド
ＣＤＥＣ　　カラムデコーダ

ＣＤＥＱ　コモンデータ線イコライズ信号
ＣＤＬ　コモンデータ線
ＤＥＬ　遅延回路
ＤＬ　データ線
ＤＩ／ＤＯ　入出力データ
ＤＩ／Ｏ　入出力回路
ＤＴ　データ線
ＤＴＥＱ　データ線イコライズ信号
ＥＯＲ　排他的論理和回路
ＧＮＤ　接地電圧
ＩＴＣ　内部タイミング調整用信号
ＩＶ１～ＩＶ１１　インバータ
ＭＣ　メモリセル
ＭＭＡＴ　メモリマット
ＲＤＥＣ　ロウデコーダ
ＲＷＣ　リード／ライトコントロール回路
ＳＡ　センスアンプ
ＳＡＣ　センスアンプコントロール信号
ＳＡＥＱ　センスアンプイコライズ信号
ＳＡＯ　センスアンプ出力
ＳＴ　選択信号
ＳＢ　非選択信号
ＴＮ１～ＴＮ５　ＮＭＯＳトランジスタ
ＴＰ１～ＴＰ７　ＰＭＯＳトランジスタ
ＶＣＣ　電源電圧
ＶＬＴＣ　論理しきい値調整用信号
ＷＬ　ワード線
ＹＳ　列選択スイッチ

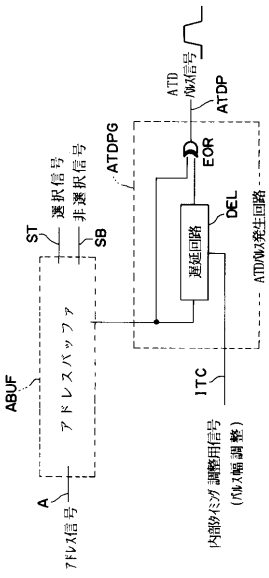
【図１】

図 1



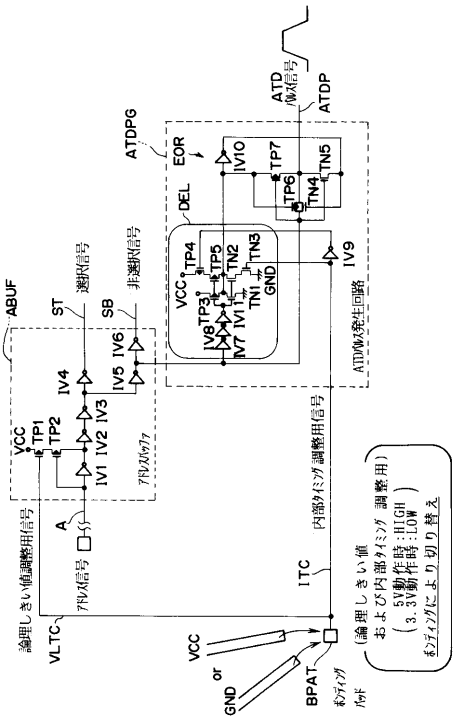
【図２】

図 2



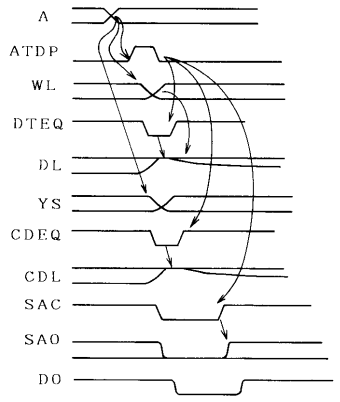
【図３】

図 3



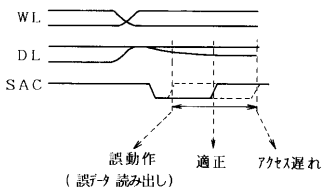
【図４】

図 4



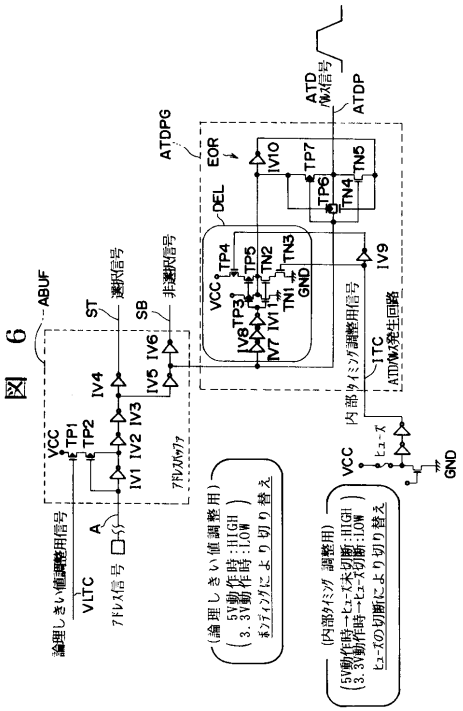
【図５】

図 5


WL
DL
SAC
誤動作
（誤データ 読み出し）
適正
アクセス遅れ

【図６】

図 6


ABUF
ST
選択信号
SB
非選択信号
ATDPG
EOR
DEL
ATD
ATDP
VCC
TP1
TP2
IV1
IV2
IV3
IV4
IV5
IV6
IV7
IV8
IV9
IV10
TP3
TP4
TP5
TP6
TP7
TN1
TN2
TN3
TN4
TN5
GND
VLTC
A
ヒューズ
1TC
論理しきい値調整用信号
アドレス信号
（論理しきい値調整用）
（5V動作時：HIGH
3.3V動作時：LOW）
ボンディングにより切り替え
（内部タイミング調整用）
（5V動作時→ヒューズ未切断：HIGH
3.3V動作時→ヒューズ切断：LOW）
ヒューズの切断により切り替え
内部タイミング調整用信号
ATD/ﾊﾟﾙｽ発生回路

フロントページの続き

(72)発明者　深澤　武
東京都国分寺市東恋ヶ窪三丁目１番地１　日立超エル・エス・アイ・エンジニアリング株式会社内

審査官　長島　孝志

(56)参考文献　特開平０７－１６９２７２（ＪＰ，Ａ）
特開昭６３－００４４９２（ＪＰ，Ａ）
特開平０３－２１４４９５（ＪＰ，Ａ）
特開平０６－３１４７６９（ＪＰ，Ａ）
特開平０６－００５０７９（ＪＰ，Ａ）
特開平０９－２４６４７３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.^{7}，ＤＢ名)
G11C 11/401-11/419
G11C 16/00-16/34
G11C 17/00-17/18