

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H04N 7/088 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년07월20일 10-0603389 2006년07월13일
---	-------------------------------------	--

(21) 출원번호	10-1999-7005414	(65) 공개번호	10-2000-0057621
(22) 출원일자	1999년06월16일	(43) 공개일자	2000년09월25일
번역문 제출일자	1999년06월16일		
(86) 국제출원번호	PCT/US1997/022748	(87) 국제공개번호	WO 1998/27729
국제출원일자	1997년12월10일	국제공개일자	1998년06월25일

(81) 지정국 국내특허 : 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아 헤르체고비나, 바르바도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 리히텐슈타인, 중국, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀란드, 영국, 그루지야, 헝가리, 이스라엘, 아이슬란드, 일본, 케냐, 키르기즈스탄, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 리베이라, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아공화국, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 슬로베니아, 슬로바키아, 타지키스탄, 투르크멘, 터키, 트리니다드토바고, 우크라이나, 우간다, 미국, 우즈베키스탄, 베트남, 폴란드, 포르투갈, 루마니아, 러시아, 수단, 스웨덴, 싱가포르,

AP ARIPO특허 : 케냐, 레소토, 말라위, 수단, 스와질랜드, 우간다,

EA 유라시아특허 : 아르메니아, 아제르바이잔, 벨라루스, 키르기즈스탄, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크멘,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 리히텐슈타인, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴, 핀란드,

OA OAPI특허 : 부르키나파소, 베닌, 중앙아프리카, 콩고, 코트디부아르, 카메룬, 가봉, 기니, 말리, 모리타니, 니제르, 세네갈, 차드, 토고,

(30) 우선권주장	08/769,329	1996년12월19일	미국(US)
------------	------------	-------------	--------

(73) 특허권자	톰슨 콘슈머 일렉트로닉스, 인코포레이티드 미국 인디애나주 46290-1024 인디애나폴리스 노스 메리디언 스트리트 10330
-----------	--

(72) 발명자	럼레이크,마크,프란시스 미국,인디애나주46236,인디애나폴리스,인디언레이크블로버드사우스 10308,
----------	--

마즈,케네트,웨인
미국,인디애나주46220,인디애나폴리스,혹스레인1146,

폴레르,조셉,웨인
미국,인디애나주46220,인디애나폴리스,크레스트뷰어베뉴5921

(74) 대리인	문경진 조현석
----------	------------

심사관 : 최훈

(54) 다중 텔레비전 신호에 포함된 보조 데이터의 동시 디코딩을 위한 텔레비전 장치**요약**

텔레비전(TV) 장치는 제 1 및 제 2 보조 데이터를 생성하기 위하여, 보조 데이터를 각 제 1 및 제 2 TV 신호로부터 동시에 추출하기 위한, 제 1(115) 및 제 2(143) 보조 데이터 디코더를 포함한다. 상기 데이터 디코더들은 TV 신호 내부의 수직 복귀 동안에 하나 이상의 보조 데이터 간격 예를 들어, 하나 이상의 라인 간격로부터 데이터를 선택적으로 추출할 수 있다. 제 1 및 제 2 보조 데이터는 TV 시스템의 주 마이크로프로세서와 같은 제어기(112)에 결합된다. 제 2 보조 데이터는 보조 데이터 버퍼와 I²C 직렬 데이터 버스를 통하여 상기 제어기에 결합된다. 제 2 보조 데이터가 추출되는 TV 신호는, 제 2 동기 또는 외부 신호 소스(예를 들면, 비디오 카세트 녹화기, 비디오 디스크 재생기, 및 유사 기기)와 같은, 제 2 TV 신호 소스에 의해 제공될 수 있다.

대표도

도 1

명세서**기술분야**

본 발명은 일반적으로 보조 데이터를 처리하는 텔레비전(TV) 장치에 관한 것이며, 보다 상세하게는, 보조 데이터의 동시, 다중-채널 디코딩을 수행하는 TV 신호 수신기에 관한 것이다.

관련 출원의 상호 참조

본 출원은 아래와 같은 공동 양도된 미국 특허 출원들 즉, "다중-영상 디스플레이에서 보조 영상 근처에 보조 정보를 배치하기 위한 방법 및 장치(METHOD AND APPARATUS FOR POSITIONING AUXILIARY INFORMATION PROXIMATE AN AUXILIARY IMAGE IN A MULTI-IMAGE DISPLAY)"라는 명칭을 갖는 출원 번호 08/770,770, "다중-영상 디스플레이에서 독립적인 영상 변경을 제공하는 비디오 신호 처리 시스템(VIDEO SIGNAL PROCESSING SYSTEM PROVIDING INDEPENDENT IMAGE MODIFICATION IN A MULTI-IMAGE DISPLAY)"라는 명칭을 갖는 출원 번호 08/769,333, "텍스트 디스플레이를 위한 변조된 스크롤 율을 제공하기 위한 방법 및 장치(METHOD AND APPARATUS FOR PROVIDING A MODULATED SCROLL RATE FOR TEXT DISPLAY)"라는 명칭을 갖는 출원 번호 08/769,331, 및 "TV 신호에 포함된 보조 데이터의 재-포맷팅을 위한 방법 및 장치(METHOD AND APPARATUS FOR REFORMATTING AUXILIARY INFORMATION INCLUDED IN A TELEVISION SIGNAL)"라는 명칭을 갖는 출원 번호 08/769,332와 관계가 있으며, 이들 모두는 본 출원과 같은 날짜에 Mark F. Rumreich 등의 이름으로 출원되었다.

배경기술

TV 신호는 비디오 및 오디오 프로그램 정보와 함께 보조 정보를 포함할 수 있다. 예를 들면, 클로즈드 캡션닝(closed captioning : CC), 확장 데이터 서비스(EXTended Data Services : XDS), 및 StarSight[®]와 같은 디지털 데이터 서비스에 관련한 데이터는 미국의 국가 TV 표준 위원회(National Television Standards Committee : NTSC) TV 신호에 포함될 수 있다. 그러한 서비스를 위한 디지털 데이터는 NTSC TV 신호의 수직 귀선 소거 간격(vertical blanking interval : VBI)의 여러 부분에 인코드(encode) 된다.

특히, 클로즈드 캡션닝 데이터는 TV 신호의 라인(line) 21의 수직 귀선 소거 간격에 인코드 된다. 캡션닝 데이터를 포함하는 각 라인 21 수직 귀선 소거 간격은 상기 라인 간격의 후반부에 인코드된 2 바이트(byte)의 데이터를 갖는다. 상기 데이터는 TV 프로그램의 오디오 콘텐츠를, TV 디스플레이 일부에 나타내는 텍스트를 생성하기 위해 처리된다. 비록 캡션닝은

원래 청각 장애자를 도와주기 위해 개발되었지만, 비-청각 장애 사용자에게도 역시 편의를 제공한다. 예를 들면, 캡션닝과 오디오 뮤팅(muting: 소리를 없앴) 모두를 가능케 함으로써, 사용자는 타인을 방해하지 않으면서 TV 프로그램의 비디오 및 오디오 부분 모두를 시각적으로 즐길 수 있다. 미국 법률은 13인치 이상의 디스플레이를 갖는 모든 TV 수신기에 클로즈드 캡션 디코더를 요구한다(FCC Report & Order, FCC 91-119). 그 결과, (비디오 테이프를 포함한) 대부분의 비디오 프로그래밍은 이제 캡션닝 데이터를 포함한다.

확장 데이터 서비스(EXTENDED Data Services : XDS) 데이터는 클로즈드 캡션닝 데이터와 동일한 포맷(format)으로 인코딩되며, 클로즈드 캡션닝 데이터와 필드(field) 1의 라인 21을 공유한다. 즉, 각 비디오 프레임(frame)은 필드 1 및 필드 2로 표시되는 두개의 비디오 정보 필드를 포함한다. ANSI/EIA 608에 규정된 것처럼, XDS 데이터는 {예를 들어, 프로그램 콘텐츠에 따라 TV 시청을 제한하기 위한 소위 V-칩(chip) 기능을 제공하기 위하여 사용될 수 있는} 프로그램의 등급/컨텐츠, 프로그램 설명, 프로그램 제목, 프로그램 시작 시간, 경과 시간, 망(network) 이름, 방송국 식별 정보 및 미래 프로그램 정보와 같은 정보를 제공한다.

StarSight® 데이터는 XDS와 유사한 정보를 제공하며, 동일한 포맷으로 인코딩된다. 그러나, StarSight® 데이터는 단지 현재 채널뿐만 아니라 모든 채널에 관한 정보를 제공한다. 나아가, StarSight® 데이터는 라인 10 내지 18 중 하나 이상의 라인의 VBI에 포함될 수 있다. StarSight® 데이터는 인쇄 매체로 제공되는 프로그램 가이드와 유사한 프로그램 가이드 디스플레이를 생성하기 위하여 디코딩된다. StarSight® 데이터는 모든 채널에 대한 데이터를 포함하므로, 전체 프로그램 가이드 디스플레이를 위한 StarSight® 데이터의 수신에는 6시간 이상이 걸릴 수 있다.

디코더는 진술한 유형의 보조 데이터를 추출하기 위해 필요하다. 상기 디코더의 구성요소의 하나로는 보조 데이터 간격 동안에 아날로그 TV 신호를 디지털 데이터로 변환하는 데이터 슬라이서(data slicer)가 있다. 클로즈드 캡션닝과 확장 데이터 서비스 및 StarSight® 모두는 유사한 데이터 인코딩 포맷을 사용하기 때문에, 하나의 데이터 디코더는 세 개의 데이터 형태 모두를 위한 데이터 복구를 위해 공유될 수 있다. 그러나, 종래의 TV 수신기에 있는 데이터 디코더는 주 비디오 소스(main video source)에 관한 캡션닝과 XDS 정보의 디코딩을 위해 주 비디오 소스에 배선연결(hardwire)된다.

데이터 디코더를 주 비디오 소스에 배선연결하면 디코더의 융통성을 제한한다. 예를 들면, 다중-영상 디스플레이에서 보조 영상과 관련된 보조 정보는 디코딩될 수 없다. 하나의 특별한 예로는 주 화상(picture)에 삽입되는 소-화상(pix)에 관련된 보조 정보는 디코딩될 수 없는 픽처-인-픽처(picture-in-picture : PIP) 시스템이 있다. 다른 예로는 픽처-아웃사이드-픽처(picture-outside-picture : POP) 시스템이 있다. 따라서, 보조 영상을 위한 캡션 정보는 디스플레이될 수 없다. 또한, 프로그램 콘텐츠에 따라 디스플레이되는 것을 제한하는 것과 같은 XDS 관련 기능(즉, V-칩 제어)은 소-화상에 대해 구현될 수 없다. 나아가, StarSight® 데이터와 같은 보조 데이터는 주 화상 소스를 통하여 시청되고 있는 채널 이외의 채널 상에 존재할 것이므로, 보조 데이터 디코더를 주 화상 소스에 고정 배선하면 정상적인 시청 동안에 StarSight® 데이터의 축적을 못하게 할 것이다.

디코더의 융통성을 개선하기 위한 하나의 접근방법은 주 비디오 이외의 비디오 소스를 (예를 들어, 선택 스위치를 추가함으로써) 상기 데이터 디코더의 입력에 결합되도록 허용하는 것이다. 제 2 동조기(tuner)를 추가하면 보조 데이터 복구 시스템의 융통성이 더 개선된다. 하나의 예로서, Sharp사에 의해 생산된 어떤 TV 수신기들(예, 모델 31HX1200과 35HX1200)은 두 개의 동조기와 입력 선택 스위치를 갖춘 하나의 데이터 디코더를 포함한다. 이들 TV 수신기는 주 화상 또는 소-화상 어느 것에 대해서도 캡션 시청을 지원한다.

발명의 상세한 설명

본 발명은 픽처-인-픽처 디스플레이와 같은 다중-영상 디스플레이를 생성하는 능력을 갖는 TV 수신기에서 보조 데이터의 처리를 위한 공지된 방법에는 문제점이 존재한다는 본 발명자의 인식에, 부분적으로, 근거를 두고 있다. 보다 상세하게는, 위에서 기술된 보조 데이터 디코더의 입력에 제 2 동조기와 선택 스위치를 배치하면 비록 보조 데이터 디코더의 융통성을 개선하지만, 주 화상에 관련된 캡션과 소-화상에 관련된 캡션을 동시에 시청하는 것은 불가능하다. 또한, 주 화상 및 소-화상 신호의 프로그램 콘텐츠(즉, V-칩 콘텐츠 조연 기능)를 동시에 모니터링(monitoring) 할 수 없다. 뿐만 아니라, 캡션닝이나 활성화된 콘텐츠 조연 기능과 함께 프로그램을 시청하면서 StarSight® 데이터를 축적할 수 없다.

또한, 본 발명은 상기 기술된 문제점을 해결하는 보조 데이터 디코딩 시스템의 제공에, 부분적으로, 근거를 두고 있다. 상기 시스템은, 보조 데이터를 운송하는 다수의 TV 신호로부터 보조 데이터를 동시에 추출하기 위해, 한 쌍의 보조 데이터 디코더(주 및 부 또는 제 1 및 제 2)를 포함한다. 제 2 데이터 디코더는 하나 이상의 보조 데이터 간격 예를 들어, TV 신호 내부의 수직 귀선 소거 동안에 다수의 라인 간격으로부터 데이터를 선택적으로 추출할 수 있다. 상기 제 1 및 제 2 보조 데

이터는 TV 시스템의 주 마이크로프로세서와 같은 제어 처리기에 결합된다. 상기 제 2 보조 데이터는 보조 데이터 버퍼와 직렬 데이터 버스(예, 종래의 I²C 버스)를 통하여 상기 제어 처리기에 결합된다. 상기 제 2 보조 데이터가 추출되는 TV 신호는 제 2 동조기 또는 외부 신호 소스(예, 비디오카세트 녹화기(video cassette recorder : VCR), 비디오 디스크 재생기, 및 유사 기기)와 같은 제 2 TV 신호 소스에 의해 제공될 수 있다.

아래에 기술된 시스템은 도면을 참조함으로써 보다 잘 이해될 것이다.

이해를 돕기 위해, 도면에 공통인 같은 구성요소를 지칭하는데, 가능하면, 동일한 참조 번호가 사용되었다.

도면의 간단한 설명

도 1은 본 발명을 구체화한 TV 신호 수신기의 블록도.

도 2는, 본 명세서에 기술된 특징에 따라 배치된 데이터 슬라이서를 포함하는, 제 2 보조 데이터 디코더의 제 1 부분의 실시 예를 도시한 블록도.

도 3은, 도 2에 도시한 데이터 슬라이서에서 나오는 데이터를 직렬 버스로 결합하기 위한 보조 데이터 버퍼를 포함하는, 보조 데이터 디코더의 제 2 부분의 실시 예를 도시한 블록도.

실시예

도 1에 도시된 TV 수신기는 무선 주파수(radio frequency : RF)에서 TV 신호(RF_IN)를 수신하기 위한 제 1 입력(100)과 기저대역 TV 신호(VIDEO IN)를 수신하기 위한 제 2 입력(102)을 갖는다. 신호(VIDEO IN)는 예를 들어, 비디오카세트 녹화기(VCR)에 의해 공급되는 반면, 신호(RF_IN)는 안테나나 케이블 시스템과 같은 소스로부터 공급될 수 있다. 동조기(105) 및 중간 주파수(Intermediate Frequency : IF) 처리기(130)는 신호(RF_IN)에 포함된 특정 TV 신호의 동조 및 복조를 위해 종래의 방법으로 동작한다. IF 처리기(130)는 동조된 TV 신호의 비디오 프로그램 부분을 나타내는 기저 대역 비디오 신호(VIDEO)를 생성한다. IF 처리기(130)는 추가적인 오디오 처리를 위해(도 1에 도시되지 않은) 오디오 처리 영역에 결합된 기저대역 오디오 신호를 또한 생성한다. 도 1이 비록 입력(102)을 기저 대역 신호로 도시하고 있지만, 상기 TV 수신기는, 신호(RF_IN) 또는 제 2 RF 신호 소스로부터 제 2 기저대역 비디오 신호를 생성하기 위해, 유니트(105와 130)와 유사한 제 2 동조기 및 IF 처리기를 포함할 수 있을 것이다.

도 1에 도시된 시스템은 동조기(105), PIP 처리 유니트(140), 비디오 신호 처리기(155), 및 StarSight[®] 데이터 처리 모듈(160)과 같은 TV 수신기의 구성요소들을 제어하기 위한 주 마이크로프로세서(μ P)(110)를 또한 포함한다. 본 명세서에서 사용된 것처럼, 용어 "마이크로프로세서"는, 제한적이지는 않지만, 마이크로프로세서, 마이크로컴퓨터, 마이크로제어기 및 제어기를 포함하는 여러 종류의 장치를 의미한다. 마이크로프로세서(110)는 잘 알려진 I²C 직렬 데이터 버스 프로토콜을 사용하는 직렬 데이터 버스 I²C 버스를 통하여 명령 및 데이터를 송신하고 수신함으로써 시스템을 제어한다. 보다 특별하게는, 마이크로프로세서(110) 내에 있는 중앙 처리 장치(central processing unit : CPU)(112)는, 예를 들어 적외선(infra-red : IR) 원격 제어기(125)와 IR 수신기(122)를 통하여 사용자에게 의해 제공된 명령에 따라, 도 1에 도시된 EEPROM(127)과 같은 메모리 내에 담겨진 제어 프로그램을 실행한다. 예를 들면, 원격 제어기(125)의 "채널 상승" 기능의 작동은 CPU(112)로 하여금 채널 데이터와 함께 "채널 변경(change channel)" 명령을 I²C BUS를 통하여 동조기(105)에 보내도록 한다. 그 결과로, 동조기(105)는 채널 스캔 목록(channel scan list)에 있는 그 다음 채널을 동조한다.

CPU(112)는 마이크로프로세서(110)내에 있는 버스(119)를 통하여 마이크로프로세서(110)내에 포함된 기능들을 제어한다. 특히, CPU(112)는 제 1 보조 데이터 처리기(115)와 온-스크린 디스플레이(on-screen display : OSD) 처리기(117)를 제어한다. 보조 데이터 처리기(115)는 V-칩 데이터를 포함하여 클로즈드 캡션 데이터, StarSight[®] 데이터, 및 XDS 데이터와 같은 보조 데이터를 TV 신호로부터 추출한다. OSD 처리기(117)는, 디스플레이 장치에 결합되었을 때, 그래픽(graphic) 및/또는 텍스트와 같은 온-스크린 디스플레이 정보를 나타내는 디스플레이된 정보를 생성하는 적(R), 녹(G), 및 청(B) 비디오 신호(OSD_RGB)를 생성하기 위해 종래의 방법으로 동작한다. OSD 처리기(117)는, 온-스크린 디스플레이가 디스플레이 되어야 할 때마다 신호(OSD_RGB)를 시스템의 비디오 출력 신호에 삽입하기 위한 패스트 스위치(fast switch)의 제어를 목적으로 하는, 제어 신호(FSW)를 또한 생성한다. 예를 들면, 사용자가 일 예로 원격 제어기(125) 상의 특정 스위치를 활성화시킴으로써, 클로즈드 캡션닝을 인에이블(enable) 시킬 때, CPU(112)는, 처리기(115)가 비디오 신

호(PIPV)의 라인 21 간격에서부터 클로즈드 캡션 데이터를 추출하도록, 처리기(115와 117)를 인에이블(enable) 시킨다. 처리기(117)는, 클로즈드 캡션 데이터를 나타내는, 신호(OSD_RGB)를 생성한다. 처리기(117)는 캡션이 디스플레이되어야 하는 때를 나타내는 신호(FSW)를 또한 생성한다.

CPU(112)는 StarSight[®] 데이터 추출하기 위해 보조 데이터 디코더(115)를 또한 제어한다. StarSight[®] 데이터는 전형적으로 특정 TV 채널 상에서만 수신되며, TV 수신기는 StarSight[®] 데이터를 추출하기 위하여 그 채널에 반드시 동조하여야 한다. StarSight[®] 데이터 추출이 TV 수신기의 정상적인 사용을 방해하는 것을 막기 위하여, CPU(112)는 TV 수신기가 통상적으로 사용되지 않는 기간(예, 오전 2시) 동안에만 그 특정 채널을 동조함으로써 StarSight[®] 데이터의 추출을 초기화한다. 그 때에, CPU(112)는 보조 데이터가 StarSight[®] 데이터용으로 사용되는 라인 16과 같은 수평주사선 간격으로부터 추출되도록 디코더(115)를 구성한다. CPU(112)는 추출된 StarSight[®] 데이터가 디코더(115)로부터 I²C 버스를 통하여 StarSight[®] 모듈(160)로 전송되는 것을 제어한다. StarSight[®] 모듈에 내장된 처리기는 상기 데이터를 포맷하여, 그 모듈 내에 있는 메모리에 저장한다. 활성화된(예, 사용자는 원격 제어기(125)상의 특정키를 활성화시킴) StarSight[®] 프로그램 가이드 디스플레이에 응답하여, CPU(112)는 포맷된 StarSight[®] 프로그램 가이드 디스플레이 데이터를 StarSight[®] 모듈(160)로부터 I²C 버스를 통해, 상기 StarSight[®] 프로그램 가이드 디스플레이를 생성하는데 필요한 그래픽과 텍스트 신호를 생성하는 OSD 처리기(117)로 전송한다.

예를 들어 사용자가 원격 제어기(125)를 통하여 특정 등급 한계를 선택함으로써 V-칩 데이터 처리가 인에이블되면, CPU(112)는 XDS 데이터와 특히, V-칩 데이터를 추출하기 위해 보조 데이터 처리기(115)를 구성한다. CPU(112)는, TV 신호에 포함된 TV 프로그래밍의 콘텐츠(예, 등급, 프로그램 제목, 프로그램 종류, 등)를 판정하기 위하여, 수신된 V-칩 데이터를 계속해서 모니터한다. 특별한 예로서, CPU(112)는 수신된 V-칩 데이터를 모니터하여, 수신된 프로그래밍 정보를 사용자-선택 등급 한계와 비교한다. 만약 특정 프로그램이나 장면의 등급이 받아들일 수 없으면, CPU(112)는 I²C 버스를 통하여 PIP유닛(140), 특히 PIP 처리기(144)에 제어 신호를 보내는데, 이것은 디스플레이된 영상을 변경한다. V-칩 관련 영상 변경은, 수신된 등급 데이터가 수신된 프로그램(또는 장면)이 받아들일 수 있는 등급을 갖는다는 것을 나타낼 때까지, 영상의 블랭킹(blanking)을 포함할 것이다. 영상 블랭킹과 더불어, CPU(112)는 OSD 처리기(117)로 하여금 블랭킹된 화면상에 디스플레이될(텍스트 메시지), 예를 들어, 영상 변경의 이유와 예상 기간을 나타내는, 텍스트 메시지를 나타내는 신호(OSD_RGB)를 생성하도록 할 것이다.

비디오 신호 처리기(video signal processor : VSP)(155)는, 휘도(luma) 및 색도(chroma) 처리와 같은, 종래의 비디오 신호 처리 기능을 수행한다. VSP(155)에 의해 생성된 출력 신호는 디스플레이 되는 영상을 생성하기 위해 디스플레이 장치 예를 들어, (도 1에 도시되지 않은) 키네스코프(kinescope) 또는 액정 디스플레이(liquid crystal display : LCD)에 결합되기에 적합하다. VSP(155)는, 그래픽 및/또는 텍스트가 디스플레이된 영상에 포함되어야 할 때마다 OSD 처리기(117)에 의해 생성된 신호들을 출력 비디오 신호 경로에 결합하기 위해, 패스트 스위치(fast switch)를 또한 포함한다. 상기 패스트 스위치는, 텍스트 및/또는 그래픽이 디스플레이 되어야 할 때마다 주 마이크로프로세서(110)의 OSD 처리기(117)에 의해 생성되는, 제어 신호(FSW)에 의해 제어된다.

VSP(155)에 대한 입력 신호로는, PIP 유닛(140)에 의해 출력된, 신호(PIPV)가 있다. 사용자가 PIP 모드를 활성화시키면, 신호(PIPV)는 소-화상(small pix)이 삽입된 큰 화상(large pix)을 나타낸다. PIP 모드가 비-활성화되면, 신호(PIPV)는 오직 큰 화상만을 나타내고, 즉 어떤 소-화상 신호도 신호(PIPV)에 포함되지 않는다. PIP 유닛(140)의 상기 동작은, 비디오 스위치(142)와 I²C 인터페이스(141)와 PIP 처리기(144) 및 RAM(145)을 포함하는, PIP 유닛(140)의 기능에 의해 제공된다. 스위치(142)는, 두 개의 입력 비디오 신호(VIDEO와 VIDEO IN)를 PIP 유닛(140) 내부의 큰 화상 신호(LPPIXV)와 소-화상 신호(SPIXV)에 결합하는 것을 결정하기 위해, 사용자 제어 하에서 동작한다. 일반적으로, 스위치(142)는 신호(VIDEO)를 신호(LPPIXV)에 결합하고, 신호(VIDEO IN)를 신호(SPIXV)에 결합한다. 그러나 스위치(142)는 접속을 맞바꿀 수 있으며, 또는 한 개의 입력 신호를 큰 화상 신호 라인과 소-화상 신호 라인 양쪽에 결합할 수 있다. I²C 인터페이스(141)는, I²C BUS와 PIP 유닛(140) 내부에 있는 기능들 사이에서, 양방향 제어 및 데이터 인터페이스를 제공한다. 그리하여, 주 마이크로프로세서(110)는 I²C BUS를 통하여 스위치(142)와 PIP 처리기(144)의 동작을 제어할 수 있다.

PIP 처리가 활성화되면, PIP 처리기(144)는 PIP 기능을 종래의 방법으로 구현한다. 간단히 말하면, PIP 처리기(144)는, PIP 처리기(144)에 포함된 아날로그-디지털 변환기(analog-to-digital converters : ADC)를 통하여, 신호(SPIXV)를 디지털 데이터로 변환한다. 상기 디지털 데이터는 데이터의 양을 줄이고 디스플레이되는 소-화상 영상의 크기를 줄이기 위해, 서브샘플링(subsample) 된다. 상기 서브샘플된 데이터는, 저장된 소-화상 데이터가 RAM(145)로부터 읽어들이어

PIP 처리기(144)에 포함된 디지털-아날로그 변환기(digital-to-analog converters : DAC)를 통하여 소-화상 아날로그 신호로 변환되는 소-화상 디스플레이 간격까지 RAM(145)에 저장된다. PIP 처리기(144)에 포함된 스위치는, 소-화상 디스플레이 간격 동안에, 신호(PIPV)에 있는 소-화상 아날로그 신호를 포함한다.

이제까지 기술된 도 1에 도시된 시스템 특징의 예증적인 실시예는, 마이크로프로세서(110)에 관련된 특징을 제공하기 위해 SGS-톰슨 마이크로 일렉트로닉스(Thomson Micro electronics)사에 의해 생산된 ST9296 마이크로프로세서; PIP 처리기(140)에 관련된 상기 기본 PIP기능을 제공하기 위해 미쯔비시(Mitsubishi)사에 의해 생산된 M65616 PIP 처리기; 및 VSP(155)의 기능을 제공하기 위해 산요(Sanyo)사에 의해 생산된 LA7612 비디오 신호 처리기를 포함한다. 본 발명의 양상에 따르면, 도 1의 PIP 유닛(140)은 제 2 보조 데이터 처리기(또는 디코더)(143)를 또한 포함한다. 아래에서 자세하게 설명된 것처럼, 디코더(143)는 소-화상 신호, 즉 신호 SPIXV에 포함된 보조 데이터를 디코드한다. V-칩, 클로즈드 캡션, 또는 StarSight® 데이터와 같은 신호(SPIXV)로부터 디코드된 데이터는 버퍼되었다가 CPU(112)의 제어 하에서 순차 처리를 위해 I²C BUS를 통해 마이크로프로세서(110)에 전송된다. 아래에서 기술된 보조 데이터의 추출 및 버퍼링과 관련한 처리기(143)의 기능과 더불어, 디코더(143)는 소-화상 신호, 즉 PIP 캡션닝에 관련된 클로즈드 캡션 데이터의 디스플레이를 용이하게 하는 기능을 또한 제공한다.

도 2는, 도 1의 제 2 보조 데이터 처리기(143)에 포함된, 데이터 슬라이서의 블록도이다. 데이터 슬라이서는 비교기(comparator)(200), 직렬-병렬 변환기(202), 시작 검출기(204), 하부-클록(sub-clock) 생성기(206), 병렬 데이터 버퍼(258), 및 버퍼 타이밍(timing) 생성기(237)를 포함한다. 데이터 슬라이서는 신호 (CLAMPED_LUMA)를, 비디오 신호에 의해 전송된 보조 데이터를 나타내는, 8-비트 워드(word)의 시퀀스로 변환한다. 신호(CLAMPED_LUMA)는, 도 1의 신호(VIDEO IN)과 같은 제 2 복합 비디오 신호로부터 분리된, 휘도 신호(Y)이다. 도 1의 PIP 유닛(140)은 종래의 (도 1에 도시하지 않은) 콤(comb) 여과기를 사용하여 제 2 복합 비디오 신호로부터 휘도 성분을 분리한다.

상기 데이터 슬라이서는 NTSC TV 신호의 미리-지정된 라인들 예를 들어, 라인 각각이 한 쌍의 보조 데이터 문자를 포함하는, 이들 특정 라인의 VBI에 있는 보조 데이터 신호로부터 필드 당 두 (한 바이트) 문자를 추출한다. 상기 문자들은 클로즈드 캡션 정보의 CHAR-1과 CHAR-2 워드, 또는 확장 데이터 서비스 정보의 XDS_CHAR1과 XDS_CHAR2 워드를 포함한다. 상기 CHAR-1과 CHAR-2 워드는 디코드되어, PIP 캡션 디스플레이로 변환된다. XDS_CHAR1과 XDS_CHAR2 워드는 도 3에 도시된 데이터 버퍼에 제공되며, 아래에서 자세하게 설명된다. 도 3에 관련하여 설명된 것처럼, 상기 데이터 버퍼는, 추출된 데이터가 PIP 관련 V-칩 데이터의 모니터링과 같은 추가적인 처리를 위해 I²C 버스를 통하여 주 마이크로프로세서(110)에 전달될 수 있을 때까지, 상기 추출된 데이터를 임시적으로 저장한다. 도 2의 XDS_LINE 신호는, (라인 7 ~ 22에 대해 소프트웨어로 선택 가능한) XDS 데이터의 복구를 위해 선택된 TV 신호의 각 라인 동안에, 하이(high) 상태를 유지한다.

도 2에서, 비교기(200)는, 보조 데이터를 전송하는 비디오 신호를 직렬 데이터 스트림을 나타내는 이진(binary) 신호 (SLICED_DATA)로 변환하기 위하여, 상기 비디오 신호(CLAMPED_LUMA)를 기준 레벨(reference level) 예를 들어, 25 IRE와 비교한다. 신호(SLICED DATA)는, 직렬 데이터 스트림을 병렬이진 워드로 변환하기 위해, 직렬-병렬 변환기(202)에 결합된다. 신호(SLICED DATA)는 시작 검출기(204)와 하부-클록 생성기(206)를 통하여 시스템 타이밍을 또한 동기화한다.

상기 시작 디코더(204)는, 윈도우 간격(window interval) 동안에 인코드된 신호에 포함된 시작 펄스(pulse)가 발생하도록, 윈도우 간격을 설정한다. 윈도우 간격 동안에 발생하는 시작 펄스는 직렬-병렬 변환 프로세스를 리셋하고, 하부-클록 생성기(206)를 리셋하기 위해 사용된다. 보다 특별하게는, 시작 검출기는 계수기(counter)(208), 랩 금지 회로(wrap inhibit circuit)(210), AND 게이트(gate)(212), 제 1 계수(count) 비교기(214), 제 2 계수 비교기(216), 양-에지(positive edge) 검출기(218) 및 AND 게이트(220)를 포함한다. 계수기(208)는 부-클록 생성기(206)에 의해 생성된 클록 신호(ALMOST_CLOCK_DIV_8)에 따라 1.875 MHz의 명목율(nominal rate)에서 상향 계수(up count)한다. 계수기 리셋 신호(H_CNTR_RESET)는 수평라인 당 한번씩 계수기를 리셋한다. 랩 금지 회로(210)는, 상기 계수기가 롤오버(rollover) 또는 랩(wrap)하지 않도록 보장하기 위하여, AND 게이트(212)의 역-입력(inverting input)에 결합된다.

계수기(208)의 출력은 계수 비교기(214)와 계수 비교기(216)의 입력에 결합된다. 계수 비교기(216)는 계수기의 출력을 계수 값, 이 경우에는 41과 비교하여, 상기 계수기가 값 41을 얻게되면, 상기 비교기의 출력은 전이(transit)한다. 그래서, 비교기(216)는 보조 데이터를 수신하기 위한 기대-윈도우(window of opportunity)가 막 발생하려 한다는 것을 알려주는 선-시작 신호(pre-start signal)를 생성한다. 이 선-시작 신호는, 만일 유효(valid) 데이터 시작 신호가 수신되면 리셋되는, XDS 데이터 무효 신호(XDS_INVALID)를 또한 형성한다. 만일 데이터 시작 신호가 수신되지 않으면, 상기 선-시작 신호는 슬라이서에 의해 생성된 이 필드의 데이터가 틀리다는 것을 나타내기 위하여 하이(high) 상태로 남는다.

비교기(214)는 계수기의 출력을 임계값인 42 및 46과 비교한다. 이 비교는 데이터 시작 신호가 수평라인 내에서 발생하도록 기대-윈도우(소위 시작 게이트(START GATE))를 생성한다. 이 윈도우는 AND 게이트(220)의 한 입력에 결합된다. 신호 SLICED DATA는, 양-에지가 검출되면 검출기의 출력이 하이 상태로 되는, 양-에지 검출기(218)에 결합된다. 양-에지 검출기(218)의 출력은 AND 게이트(220)의 제 2 입력에 결합된다. AND 게이트(220)의 출력은 상기 START 신호이다. 상기 START 신호는 예를 들어, 유효 시작 신호는 라인 7~22의 VBI 동안에만 생성되는, 비교기(214)에 의해 생성된 시작 게이트 동안에 양-에지 검출기가 전이할 때만 하이 상태이다.

AND 게이트(220)의 출력은 계수기(222)의 RESET 단자에 결합되고, 계수기(224)의 PRESET 단자에 결합되며, AND 게이트(227)의 한 입력에 결합된다. XDS_LINE 신호는, START 신호가 하이(high)로 전이하고 XDS_LINE 신호가 또한 하이 상태일 때 그 게이트(227)의 출력이 전이하도록 AND 게이트(227)의 제 2 입력에 결합된다. 예를 들어 그 신호는 라인 21과, 어쩌면 라인 7 ~ 22 각각의 VBI 동안 하이 상태인, 상기 XDS_LINE 신호는 유효 XDS 데이터를 포함할 것으로 추정되는 각 라인을 인식한다. 결과적으로, SR 플립-플롭(flip flop)(229)의 R(리셋) 단자는 하이(high)로 전이하여 플립-플롭을 리셋한다. 이것은, 시작 펄스가 적정 라인 번호에서 또는 일정한 범위의 라인 번호들 중에서 발생하면 XDS_INVALID 신호를 리셋한다.

부-클록 생성기(206)는 계수기(224)와 계수 비교기(226, 228, 및 232)와 절단(truncation) 회로(230)를 포함한다. 부-클록 생성기는, 시작 검출기(204)에 결합된 부-클록 신호(ALMOST_CLOCK_DIV_8)뿐만 아니라, 직렬-병렬 변환기를 통과하여 데이터 워드를 클록하는, 슬라이서 샘플 클록(Slicer sample clock) 신호를 생성하기 위해 사용된다. 각 슬라이서 샘플 클록 펄스는 직렬-병렬 변환기를 통하여 8-비트 워드의 직렬 데이터를 1비트씩 자리이동 시킨다.

보다 특별하게는, 계수기(224)는 상기 START 신호가 발생할 때 값 14로 프리셋트(preset) 된다. 그 이후, 상기 계수기는 약 14.318 MHz의 공칭 율(nominal rate)로 증가한다. 계수기(224)가 값 27을 얻었을 때, 비교기(228)는 클록 펄스로 하여금 OR 게이트(OR gate)(234)의 한 입력에 전달되도록 허용한다. 상기 계수기가 값 56을 얻으면, 비교기(226)의 출력은 전이하여, 그 다음 START 펄스를 기다리기 위하여, 그 계수기를 영(zero)으로 리셋한다. 비교기(226)의 출력은 논리합 게이트(234)의 제 2 입력에 결합된다. 그래서, 클록 신호는 비교기(228과 226)에 의해 정의된 것처럼 마스터 클록의 28.5 주기 동안 존재한다. 클록 신호의 평균 기간은 1995 나노초(ns)(예, 70 나노초 마스터 클록의 28.5 주기)이다. 이 기간 동안에 샘플 클록 펄스는 한 개의 마스터 클록 주기(예, 70 나노초)의 폭을 가지며, 각 데이터 비트의 중앙에 발생하도록 동기화된다.

계수기(224)의 출력은, 계수 값으로부터 3개의 최대 유효 비트(most significant bits : MSB)를 절단한 다음 계수 비교기(232)를 이용하여 그 절단된 값을 계수 임계치(count threshold) 7과 비교하는 절단 회로(230)의 입력에 추가로 결합된다. 결과적으로, 계수기 값은 예를 들어, 펄스가 계수기(224)의 매 8번 계수마다 생성되는, 8로 나누어진다. 이 신호(ALMOST_CLOCK_DIV_8)는 시작 검출기(204) 내에 있는 AND 게이트(212)의 한 입력에 결합된다. 그래서, 계수기(208)는 예를 들어, 8로 나누어진 계수기(224) 클록 발생율인 약 1.875 MHz로 계수한다.

슬라이서 샘플 클록 신호는 AND 게이트(236)의 한 입력에 결합될 뿐만 아니라, 직렬-병렬 변환기(202)의 SHIFT 단자에 결합된다. 변환기(202)로부터 출력되는 병렬 데이터는 병렬 데이터 버퍼(258)에 전달된다. 이 버퍼는, 병렬 보조 데이터를 임시로 저장하는, 4개의 D 플립-플롭(254, 256, 246 및 248)을 포함한다. 버퍼 타이밍 생성기(237)는 상기 병렬 데이터가 병렬 버퍼(258)에 클록-아웃(clock out)되는 시간을 제어한다.

버퍼 타이밍 생성기(237)는 계수기(222), AND 게이트(236, 242, 244 및 252), 계수 비교기(240), 및 램 금지 회로(238)를 포함한다. 이 생성기는, 데이터가 변환기(202)로부터 가용한 후에 버퍼(258)로부터 데이터를 클록하는, 한 개의 펄스를 생성한다. 계수기(222)는 신호 START에 의해 리셋된 다음, 그때부터 계수기(222)를 인에이블 시키는 때 SLICER_SAMPLE_CLOCK 펄스로 상향 계수(count up)한다. 뿐만아니라, 계수기(222)의 출력은, 계수기의 계수 값을 값 17에 비교하는, 계수 비교기(240)에 결합된다. 그래서, 계수기 값이 17과 같으면, 상기 비교기는 전이한다. 비교기(240)의 출력은 AND 게이트(242)의 한 입력에 결합된다. AND 게이트(242)의 제 2 입력은 SLICER_SAMPLE_CLOCK 신호에 결합된다. AND 게이트(242)의 출력은 AND 게이트(244)의 한 입력에 결합된다. AND 게이트(244)의 제 2 입력은 XDS_LINE 신호에 결합된다. AND 게이트(244)는 그 데이터가 예를 들어, XDS 데이터 운송 라인으로부터 오는 XDS 데이터인지 확인한다. 게이트(244)의 출력은 플립-플롭(246과 248)의 인에이블 단자에 결합된다. 직렬-병렬 변환기(202)로부터 출력되는 병렬 데이터는 8-비트 폭을 갖는 플립-플롭(246과 248)의 D 입력에 결합된다. 그래서, 게이트(244)의 출력이 전이하는 데 따라, XDS 데이터는 상기 플립-플롭을 통하여 데이터 버퍼(130)에 클록된다.

뿐만 아니라, 디코더 어퍼(DECODER_UPPER) 신호는 배타적(exclusive) OR 게이트(250)의 제 1 입력에 결합되며, 배타적 OR 게이트(250)의 제 2 입력은 CAPTION_USE_FLD2 신호에 결합된다. 이들 신호는 어느 필드(예, 필드 1 또는 필드 2)가 클로즈드 캡션 데이터를 운송하는지를 정의한다. 배타적 OR 게이트(250)의 출력은 AND 게이트(252)에 결합된다. AND 게이트(252)의 제 2 입력은 LINE21 신호에 결합되며, 게이트(252)의 제 3 입력은 게이트(242)의 출력에 결합된다. 그 결과로, 라인 21로부터 클로즈드 캡션 데이터의 변환이 완료되어 플립-플롭(254와 256)으로부터 출력될 준비가 되면, 게이트(252)의 출력은 전이한다. 그래서, 게이트(252)의 출력은 D 플립-플롭(254와 256)의 인에이블 포트(port)에 결합된다. 상기 D 플립-플롭은 입력으로 직렬-병렬 변환기(202)로부터 출력된 8-비트 폭의 병렬 데이터를 갖는다. 결과적으로, 직렬-병렬 변환기(202)는 비교기(200)로부터 출력된 슬라이스된 직렬 데이터를 병렬 워드로 변환하며, 그들 워드는 적절한 시간에 8-비트 폭의 D 플립-플롭에 입력되도록 클럭된다. 클로즈드 캡션 문자 1과 2을 위해, 상기 D 플립-플롭은 클로즈드 캡션 데이터를 운송하는 필드 동안 라인 21에서 인에이블 된다. XDS_CHAR1과 XDS_CHAR2 신호에 의해 운송되는 보조 데이터를 위해, 상기 병렬 데이터는 미리 지정된 라인 번호 또는 XDS_LINE 신호에 의해 정의된 몇 개의 라인 번호 동안 D 플립-플롭에 입력되도록 클럭된다.

상기 데이터 슬라이서는 (데이터 슬라이서의 출력에서 무효 데이터를 의미하는) 시작 펄스의 분실을 알리는 지시기(indicator)를 또한 제공한다. XDS_INVALID 신호는 각 필드 시작 펄스를 위해 기대-윈도우 직전에 세트된다. 그 신호는, 만일 유효 시작 펄스가 XDS 데이터 디코딩을 위해 선택된 라인 내에서 검출되면, 게이트(226)와 플립-플롭(228)에 의해 곧 바로 클리어(clear)된다.

도 3에 도시된 데이터 버퍼 유닛은 20개의 인접하는 I²C 버스 레지스터를 포함한다. 처음 2개의 레지스터(334와 350)는 상태 정보를 포함하며, 다음 6개의 레지스터(326₁ ~ 326₆)는 유효 데이터를 포함하고, 나머지 12개의 레지스터(314₁ ~ 314₆ 및 320₁ ~ 320₆)는 데이터 슬라이서로부터 입력된 슬라이스된 데이터를 포함한다. 상기 데이터 버퍼 유닛은 5개의 독립된 회로를 포함한다. 특히, 데이터 버퍼 유닛에는 3개의 데이터 버퍼(300, 302, 및 304)와 1개의 데이터 참조 회로(306) 및 1개의 제어 회로(308)가 있다. 상기 데이터 버퍼들은 선입-선출(first-in first-out) 메모리 유닛으로 동작하며, XDS_CHAR1 버퍼(300)와 XDS_CHAR2 버퍼(302) 및 XDS_INVALID 버퍼(304)를 포함한다. XDS_CHAR1 버퍼는 6개의 직렬로 연결된 8-비트 폭의 D 플립-플롭(310₁ ~ 310₆)을 포함한다. 더불어, XDS_CHAR1 버퍼(300)는 8-비트 폭의 D 플립-플롭(312₁ ~ 312₆)인 출력 버퍼들과 6개의 직렬 버스 레지스터(314₁ ~ 314₆)를 포함한다. 출력 D 플립-플롭 각각은 D 플립-플롭(310₁ ~ 310₆)의 각 출력에 연결된 자신의 D 입력 단자를 갖는다. 그래서, 상기 버퍼는 그 버퍼가 오버플로 되기 이전에 6개의 문자를 보유하는데, 즉 상기 버퍼는 6개의 워드 깊이를 갖는다. 상기 버퍼는, CPU로 하여금 중간 시점에 직렬 버스(예, I²C 버스)를 통하여 그 버퍼 내에 있는 레지스터들을 폴링(poll: 포트나 기억장치 등의 상태를 정기적으로 조사하는 것)하도록 하기 위해, TV 수신기의 중앙 처리 유닛과 비동기적으로 동작한다. 그래서, 상기 버퍼는, CPU가 I²C 버스를 통하여 레지스터들을 폴링하는 것을 기다리는 동안에, 복수의 XDS 데이터 문자를 저장하여야만 한다.

복수의 I²C 레지스터는 I²C 버스에 전달 될 정보를 저장하기 위하여 사용된다. XDS 데이터 정보를 포함하는 필드에서 각 라인이 발생하면, 신호(SHIFT_DATA)는, 메모리에 대해 8-비트 데이터를 오른쪽으로 자리이동하기 위하여, 8-비트 폭을 갖는 D 플립-플롭(310₁ ~ 310₆)을 인에이블 시킨다. 그래서, XDS 데이터를 운송하는 6개의 필드는 그 버퍼가 꽉 채워져 오버플로 되기 이전에 발생할 수 있다. 물론, 각 필드에서 단지 한 라인만이 XDS 데이터를 운송한다고 가정하자. 만일 하나의 필드에서 하나 이상의 라인이 XDS 데이터를 운송하면, 그 버퍼는 6개의 데이터 필드보다 적게 저장한다. 만일 XDS 데이터가 필드 당 한번 가용하고 SHIFT_DATA 신호가 매 필드에서 한번 발생하면, 그 데이터는 매 1/60 초에 한번 자리 이동 된다. XDS 데이터는 일반적으로 필드 2에서만{예, 하나 건너 하나의 필드(every other field)} 나타난다는 것을 주목하라; 따라서, 하나 건너 레지스터(every other register)에 있는 XDS 데이터는 쓸모 없는 것(무효인 것)일 수 있으며, 그리하여, 마이크로프로세서에 의해 사용될 수 없을 것이다. 결과적으로, 적어도 1/10 초에 한번씩, CPU는 버퍼로부터 그 데이터를 읽어야만 하고, 그렇지 않으면 일부 데이터는 손실될 것이다. CPU는, D 플립-플롭의 입력단으로부터의 데이터를 각 D 플립-플롭에 관련된 I²C 버스 레지스터에 클럭하도록 플립-플롭(312₁ ~ 312₆)을 인에이블 하기 위해, READ_DATA 신호를 인에이블 시킨다. 이들 레지스터는 번호(314₁ ~ 314₆)를 갖는다. 그리고 나서 CPU는 나중에 버스 레지스터로부터 그 데이터를 읽는다.

유사한 방법으로, XDS_CHAR2는, 선입-선출 메모리처럼 동작하는 D 플립-플롭(316₁ ~ 316₆)을 갖는, 버퍼(302)에 버퍼링된다. 추가적으로, 상기 출력 D 플립-플롭(318₁ ~ 318₆)은, 버퍼 플립-플롭(316₁ ~ 316₆)에 있는 데이터를 I²C 버스 레지스터(320₁ ~ 320₆)에 입력되도록, 적절한 시점에 클록한다.

뿐만 아니라, XDS 데이터를 운송하는 라인 중 적절한 시점에 시작 신호가 수신되지 않았음을 나타내는 XDS_INVALID 신호는 버퍼(304)에 결합된다. 이 버퍼는 XDS_CHAR에 유사한 형태를 가져 선입-선출 메모리 유니트처럼 동작한다. 그래서, XDS_INVALID 버퍼(304)는, 선입-선출 방식으로 버퍼를 통과하여 데이터를 클록하는, 직렬 연결된 복수의 D 플립-플롭(322₁ ~ 322₆)을 갖는다. 추가적으로, XDS_INVALID 신호는 각 플립-플롭(322₁ ~ 322₆)에 각각 연결된 출력 D 플립-플롭(324₁ ~ 324₆)을 통하여, 적절한 시점에, 출력 레지스터(326₁ ~ 326₆)로 클록된다.

V-칩 기능 표준에 따르면, 프로그램 등급이나 콘텐츠를 식별하는 데이터는 예를 들어, 필드 1과 필드 2를 포함하는 하나의 프레임(frame)의 필드 2에 항상 위치한다. 그러나, 그 데이터는 비동기 방식으로 버퍼에 클록되기 때문에, 필드 2로부터 입력되는 데이터는 명확하게 지시되지 못한다. 그래서, 필드 2 데이터에 대한 참조는 필요하다. 회로(306)는 그러한 참조를 제공한다. DECODE_UPPER 신호는 상위 필드(upper field) 또는 필드 2 정보의 지시기이다. 그래서, 필드 2가 막 수신되면, DECODE_UPPER 신호는 하이 상태로 전이한다. 이 신호는 변환기(328)를 통하여 역-변환된다. 역-변환된 신호 값은 D 플립-플롭(330)의 입력에 결합된다. 상기 D 플립-플롭은 SHIFT_DATA 신호에 의해 인에이블 되어, 그 출력이 그 플립-플롭을 통과하여 클록된다. 특히, 상기 SHIFT_DATA 신호가 발생하면, D 플립-플롭(330)의 출력은 D 플립-플롭(332)의 D 입력에 결합된다. 이 D 플립-플롭(332)은 READ_DATA 신호에 의해 인에이블된 후, D 플립-플롭(332)의 입력을 직렬 버스 레지스터(334)에 결합한다. 상기 레지스터 값은 버퍼에 저장된 필드 1로부터 입력된 6쌍의 제 1 XDS 데이터 값을 나타낸다.

제어 회로(308)는 READ_DATA와 SHIFT_DATA 신호를 생성한다. XDS_LINE 신호는 SHIFT_DATA 신호를 형성하기 위하여 사용되는 반면에, READ_DATA 신호는, TV 수신기 내부의 CPU에 의해 생성된 인에이블 신호에 따라 형성된다. XDS_LINE 신호는, XDS_LINE 신호의 음-에지 상에서 예를 들어, XDS 데이터를 운송하는 라인이 발생한 후에, 검출기 출력을 전이하는 음-에지 검출기(336)에 결합된다. 이 신호는, XDS 데이터를 운송하는 라인의 중단에서, 그 XDS 데이터가 버퍼를 통하여 자리 이동되도록 함으로써, SHIFT-DATA 신호로 된다.

버퍼로부터 데이터를 읽을 때, 주 마이크로프로세서(110)는, I²C BUS를 통하여 처리기(140)에 전달되는, 요청받은 데이터 판독 신호들을 생성한다. 데이터 판독 신호에 따라, 처리기(140)는, 논리곱 게이트(338)의 각 입력에 결합된, 신호(I²C_RD_WRN과 I²C_ENABLES_(32))를 생성한다. 상기 논리곱 게이트의 출력은 READ_DATA 신호이다. 그래서, 그 데이터가 직렬 버스 레지스터에 래치(latch)될 때마다, CPU는 인에이블 신호를 보낸다. READ_DATA 신호는 논리곱 게이트(342)의 한 입력뿐만 아니라 계수기(340)의 RESET 단자에 또한 결합된다. AND 게이트(342)의 제 2 입력은 SHIFT_DATA 신호에 결합된다. AND 게이트(342)의 출력은 계수기(340)의 PRESET TO 1 입력포트에 결합된다. SHIFT_DATA 신호는 AND 게이트(344)의 한 입력에 또한 결합되며, AND 게이트(344)로 들어오는 역-변환된 입력은, 그 계수기가 롤오버하는 것을 방지하는, 랩 금지 회로(346)로부터 제공된다. 계수기(340)의 출력은, READ_DATA 신호의 각 발생에 따라 플립-플롭을 통하여 클록된 계수기의 데이터를 갖는, D 플립-플롭(348)의 입력을 형성한다. 그래서, 계수기 값은 직렬 버스의 XDS 데이터 계수 레지스터(350)(XDS_DATA_COUNT(210))에 저장된다. 이 레지스터(350)는, 지난번 CPU가 직렬 버스 레지스터를 마지막으로 판독한 이후로 얼마나 많은 데이터 자리이동이 일어났는지를 나타내는, 계수 값을 포함한다. CPU는 비동기 방식으로 데이터를 판독하기 때문에, 버퍼에 남은 일부 데이터는 CPU에 의해 이미 판독된 상황이 발생할 수 있다. 상기 계수 값은, CPU로 하여금 이미 판독된 데이터를 무시할 수 있도록, 자리이동이 얼마나 많이 발생했는지를 나타낼 것이다.

XDS-PAIR1 레지스터는 항상 최신 데이터를 포함하며, XDS-PAIR6 레지스터는 가장 오래된 데이터를 갖는다. 예를 들면, XDS_DATA_COUNT가 4이면, XDS-PAIR1에서 XDS-PAIR4는 반드시 판독되어야 하며, XDS-PAIR5와 XDS-PAIR6은 무시된다. 오버플로를 방지하기 위하여, 판독 초기화 사이의 간격은 일반적으로 100.09 밀리초(3 프레임) 보다 적다.

산업상 이용 가능성

이 보조 데이터 스트림을 사용함으로써, 주 및 PIP 신호 모두에 대한 V-칩 등급과 프로그램 콘텐츠 정보를 동시에 모니터링할 수 있다. 따라서, 시스템은 프로그램 콘텐츠 정보에 따라서 하나의 화상을 다른 화상과는 독립적으로 변경할 수 있는데, 예를 들면 소-화상이 TV 프로그래밍을 계속해서 디스플레이하는 동안 대-화상을 블랭킹 할 수 있다.

보조 데이터 스트림은 언제라도 PIP 동작이 디스플레이 될 때, 주 화상의 캡션닝, 콘텐츠 조언, 캡션-온-뮤트(caption on mute) 또는 XDS와의 충돌없이, StarSight® 프로그램 가이드 정보를 축적할 수 있게 한다. 보조 신호의 소스는 V-칩 정보의 동시 이용을 위해 제 2 동조기 또는 외부 신호일 수 있다. 안테나-기반 신호를 정상적으로 시청하는 동안에 StarSight® 프로그램 가이드 정보를 축적하기 위해서는 제 2 동조기가 요구된다. 그래서, 주 동조기가 현행 프로그래밍을 시청하기 위하여 사용되는 동안, 제 2 동조기는 프로그램 가이드를 생성하기 위하여 XDS 데이터를 제공한다. 결과적으로, StarSight® 프로그램 가이드는 주 화상 시청을 방해하지 않는 가운데 배경 화면(background)으로 생성된다.

비록 본 발명의 기술을 구체화한 다양한 실시 예가 본 명세서에서 도시되고 자세하게 설명되었지만, 당업자는, 이들 기술을 역시 구체화한, 많은 변형된 다른 실시 예를 쉽게 고안할 수 있다. 특히, 본 명세서에서 기술된 PIP 비디오 시스템 이외도, 본 발명은 POP(picture-outside-picture)와 같은 다른 종류의 다중-영상 비디오 신호 처리 시스템에 역시 적용 가능하다.

(57) 청구의 범위

청구항 1.

텔레비전 장치로서,

제 1 텔레비전 신호에 포함된 텔레비전 프로그래밍의 등급 콘텐츠(rating content)를 결정하기 위하여 상기 제 1 텔레비전 신호에 포함된 제 1 보조 정보를 디코딩하는 제 1 디코더(115)와,

상기 제 1 텔레비전 신호 및 상기 제 1 텔레비전 신호가 아닌 그 외의 다른 신호인 제 2 텔레비전 신호 둘 모두의 등급 콘텐츠를 개별적으로 동시에 모니터링하기 위해, 제 2 텔레비전 신호에 포함된 텔레비전 프로그래밍의 등급 콘텐츠를 결정하기 위하여 상기 제 2 텔레비전 신호에 포함된 제 2 보조 정보를 디코딩하는 제 2 디코더(143)를 포함하고,

상기 제 2 텔레비전 신호는 상기 제 1 텔레비전 신호와는 다른 신호인, 텔레비전 장치.

청구항 2.

제 1 항에 있어서, 상기 제 1 텔레비전 신호 및 제 2 텔레비전 신호에 반응하여, 상기 제 1 텔레비전 신호에 포함된 비디오 정보를 나타내는 제 1 영상 영역과 상기 제 2 텔레비전 신호에 포함된 비디오 정보를 나타내는 제 2 영상 영역을 갖는 비디오 영상을 나타내는 출력 신호를 생성하는 수단(140, 155)을 더 포함하는, 텔레비전 장치.

청구항 3.

제 2 항에 있어서, 상기 텔레비전 장치의 기능을 제어하기 위한 제어기(112)와, 상기 제어기와 상기 출력 신호를 생성하는 수단 사이에서 I²C 프로토콜에 따라 데이터를 직렬로 전송하기 위한 직렬 데이터 버스를 더 포함하며,

여기서, 상기 제 2 디코더는 상기 제 2 보조 정보를 나타내는 이진 데이터를 생성하고, 상기 출력 신호를 생성하기 위한 상기 수단은 상기 이진 데이터를 저장하는 버퍼를 포함하고, 상기 데이터는 상기 직렬 데이터 버스를 통하여 상기 버퍼에서 상기 제어기로 전송되는, 텔레비전 장치.

청구항 4.

텔레비전 장치로서,

제 1 텔레비전 신호 및 제 2 텔레비전 신호에 반응하여, 상기 제 1 텔레비전 신호에 포함된 비디오 정보를 나타내는 제 1 영상 영역과 상기 제 2 텔레비전 신호에 포함된 비디오 정보를 나타내는 제 2 영상 영역을 갖는 비디오 영상을 나타내는 출력 신호를 생성하는 수단(140, 155)를 포함하는 텔레비전 장치에 있어서,

상기 제 1 텔레비전 신호에 포함된 제 1 보조 정보를 디코딩하는 제 1 디코더(115)로서, 상기 제 1 텔레비전 신호에 포함된 텔레비전 프로그램의 등급 콘텐츠를 판정하기 위한 제 1 이진 데이터를 포함하는, 제 1 디코더(115); 및

상기 제 1 텔레비전 신호 및 상기 제 1 텔레비전 신호가 아닌 그 외 다른 신호인 상기 제 2 텔레비전 신호 둘 모두의 등급 콘텐츠를 개별적으로 동시에 모니터링하기 위하여, 상기 제 2 텔레비전 신호에 포함된 제 2 보조 정보를 디코딩하는 제 2 디코더(143)로서, 상기 제 2 텔레비전 신호에 포함된 텔레비전 프로그램의 등급 콘텐츠를 판정하기 위해 제 2 이진 데이터를 포함하고, 상기 제 2 텔레비전 신호는 상기 제 1 텔레비전 신호와는 다른 신호인, 제 2 디코더(143)를

포함하는 것을 특징으로 하는, 텔레비전 장치.

청구항 5.

삭제

청구항 6.

삭제

청구항 7.

제 4 항에 있어서,

제 1 문자 버퍼(300)와;

제 2 문자 버퍼(302)와;

문자 참조 회로(306)와;

상기 제 1 문자 버퍼, 상기 제 2 문자 버퍼, 및 상기 문자 참조 회로에 결합된, 제어 회로(308)를

포함하는 데이터 버퍼를 더 포함하는, 텔레비전 장치.

청구항 8.

제 7 항에 있어서, 상기 데이터 버퍼는,

상기 제 1 문자 버퍼 및 상기 제 2 문자 버퍼에 있는 제 2 보조 데이터가 무효(invalid)임을 알려주는 무효 데이터 신호(invalid data signal)의 버퍼링을 위한 무효 데이터 버퍼(invalid data buffer)(304)를 더 포함하는, 텔레비전 장치.

청구항 9.

삭제

청구항 10.

제 8 항에 있어서, 상기 제 1 및 제 2 문자 버퍼, 및 상기 무효 데이터 버퍼 각각은,

선입선출 메모리로서 배열된 복수의 직렬로 연결된 버퍼 플립 플롭(316₁-316₆)과;

각 출력 플립-플롭의 각 입력 단자가 상기 복수의 직렬로 연결된 버퍼 플립-플롭에서 상기 버퍼 플립-플롭 각각의 각 출력 단자에 결합되는, 복수의 출력 플립 플롭(318₁-318₆)과;

상기 출력 플립-플롭 각각의 출력 단자에 결합된 복수의 직렬 버스 레지스터(320₁-320₆)을 포함하는, 텔레비전 장치.

청구항 11.

삭제

청구항 12.

삭제

청구항 13.

제 10 항에 있어서, 상기 제어 회로(308)는,

제 2 보조 데이터를 포함하는 상기 제 2 텔레비전 신호 내에서 각 수평 라인에 대한 자리 이동 신호를 생성하기 위한 제 1 제어 신호 생성기로서, 상기 자리 이동 신호는 그러한 각 수평 라인의 단부를 나타내고, 상기 자리 이동 신호는 상기 제 1 문자 버퍼, 상기 제 2 문자 버퍼, 및 상기 무효 데이터 버퍼에 결합되는, 제 1 제어 신호 생성기와;

상기 제 2 보조 데이터를 요청하는 마이크로프로세서에 응답하여 판독 신호를 생성하기 위한 제 2 제어 신호 생성기로서, 상기 판독 신호는 상기 제 1 문자 버퍼, 상기 제 2 문자 버퍼, 및 상기 무효 데이터 버퍼에 결합되는, 제 2 제어 신호 생성기를

포함하는, 텔레비전 장치.

청구항 14.

삭제

청구항 15.

삭제

청구항 16.

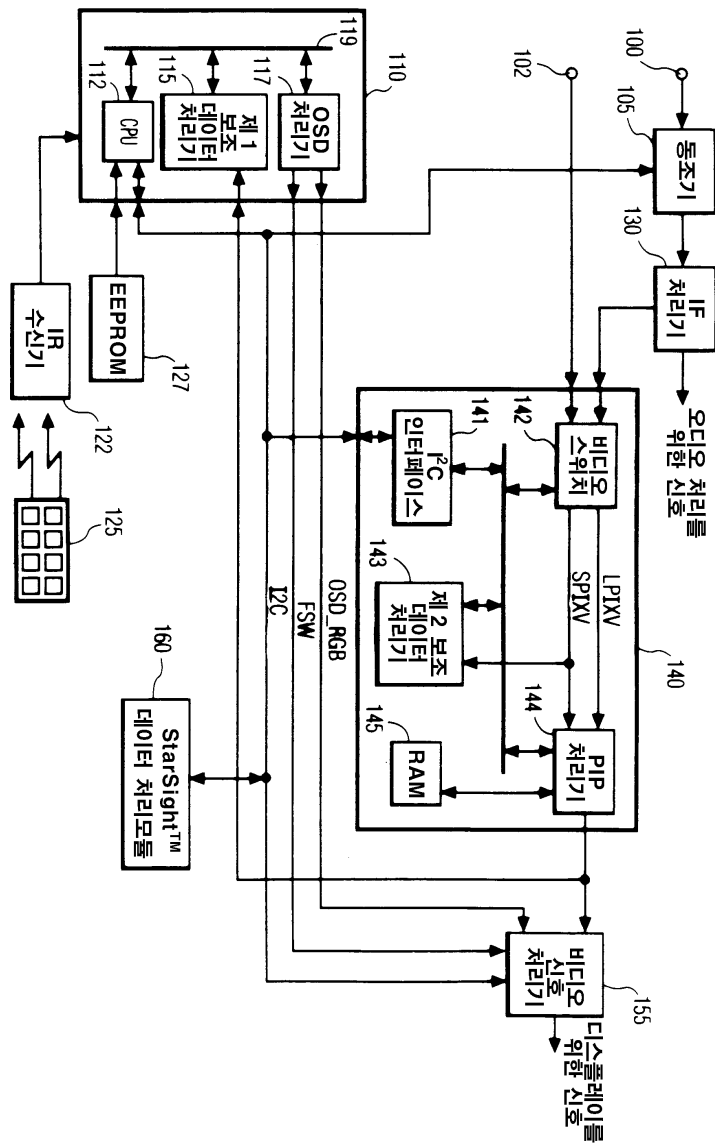
삭제

청구항 17.

삭제

도면

도면1



도면3

