



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I463570 B

(45)公告日：中華民國 103 (2014) 年 12 月 01 日

(21)申請案號：098135432

(22)申請日：中華民國 98 (2009) 年 10 月 20 日

(51)Int. Cl. : H01L21/336 (2006.01)

H01L21/306 (2006.01)

H01L21/28 (2006.01)

(30)優先權：2008/10/22 日本

2008-271598

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：須澤英臣 SUZAWA, HIDEOMI (JP)；笹川慎也 SASAGAWA, SHINYA (JP)；村岡
大河 MURAOKA, TAIGA (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200733398

TW 200839847

審查人員：邱智強

申請專利範圍項數：28 項 圖式數：29 共 121 頁

(54)名稱

半導體裝置之製造方法

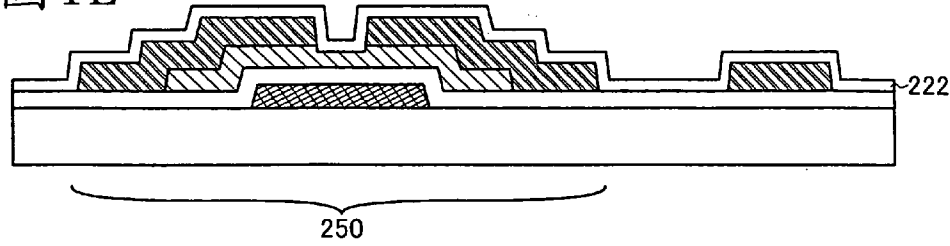
METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57)摘要

本發明之目的在於建立製造使用氧化物半導體的半導體裝置的處理技術。在基板上方形成閘極電極，在閘極電極上方形成閘極絕緣層，在閘極絕緣層上方形成氧化物半導體層，藉由濕式蝕刻來處理氧化物半導體層以形成島狀氧化物半導體層，形成導電層以覆蓋島狀氧化物半導體層，藉由第一乾式蝕刻來處理導電層以形成源極電極和汲極電極，並且藉由第二乾式蝕刻來去除島狀氧化物半導體層的一部分、或者藉由乾式蝕刻來處理導電層以形成源極電極和汲極電極，並且藉由該乾式蝕刻來去除島狀氧化物半導體層的一部分以在島狀氧化物半導體層中形成凹陷部分。

An object is to establish a processing technique in manufacture of a semiconductor device in which an oxide semiconductor is used. A gate electrode is formed over a substrate, a gate insulating layer is formed over the gate electrode, an oxide semiconductor layer is formed over the gate insulating layer, the oxide semiconductor layer is processed by wet etching to form an island-shaped oxide semiconductor layer, a conductive layer is formed to cover the island-shaped oxide semiconductor layer, the conductive layer is processed by dry etching to form a source electrode, and a drain electrode and part of the island-shaped oxide semiconductor layer is removed by dry etching to form a recessed portion in the island-shaped oxide semiconductor layer.

圖 1E



222 . . . 保護絕緣層
250 . . . 薄膜電晶體

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98135432

※申請日：98年10月20日

※IPC分類：

H01L 21/376 (2006.01)
H01L 21/306 (2006.01)
H01L 21/28 (2006.01)

一、發明名稱：(中文／英文)

半導體裝置之製造方法

Method for manufacturing semiconductor device

二、中文發明摘要：

本發明之目的在於建立製造使用氧化物半導體的半導體裝置的處理技術。在基板上方形形成閘極電極，在閘極電極上方形成閘極絕緣層，在閘極絕緣層上方形成氧化物半導體層，藉由濕式蝕刻來處理氧化物半導體層以形成島狀氧化物半導體層，形成導電層以覆蓋島狀氧化物半導體層，藉由第一乾式蝕刻來處理導電層以形成源極電極和汲極電極，並且藉由第二乾式蝕刻來去除島狀氧化物半導體層的一部分、或者藉由乾式蝕刻來處理導電層以形成源極電極和汲極電極，並且藉由該乾式蝕刻來去除島狀氧化物半導體層的一部分以在島狀氧化物半導體層中形成凹陷部分。

三、英文發明摘要：

An object is to establish a processing technique in manufacture of a semiconductor device in which an oxide semiconductor is used. A gate electrode is formed over a substrate, a gate insulating layer is formed over the gate electrode, an oxide semiconductor layer is formed over the gate insulating layer, the oxide semiconductor layer is processed by wet etching to form an island-shaped oxide semiconductor layer, a conductive layer is formed to cover the island-shaped oxide semiconductor layer, the conductive layer is processed by dry etching to form a source electrode, and a drain electrode and part of the island-shaped oxide semiconductor layer is removed by dry etching to form a recessed portion in the island-shaped oxide semiconductor layer.

四、指定代表圖：

(一)、本案指定代表圖為：第 (1E) 圖。

(二)、本代表圖之元件符號簡單說明：

222：保護絕緣層

250：薄膜電晶體

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係有關使用氧化物半導體的半導體裝置的製造方法。

【先前技術】

近年來，用以使用氧化物半導體來形成薄膜電晶體（也稱為 TFT）並將薄膜電晶體應用於電子裝置等的技術備受關注。例如，專利文獻 1 和專利文獻 2 揭示了用於使用氧化鋅或 In-Ga-Zn-O 類的氧化物半導體作為氧化物半導體膜來形成影像顯示裝置等的切換元件的技術。

蝕刻處理是用以處理氧化物半導體的典型技術（見專利文獻 3 和專利文獻 4），但是存有問題。例如，濕式蝕刻不適合於元件的小型化，這是因為濕式蝕刻是各向同性蝕刻。另外，因為在濕式蝕刻中使用化學溶液，所以在可控性上有缺點。另一方面，乾式蝕刻具有小型化和可控性的優點；然而，其缺點在於蝕刻速率慢，使得要花很多時間來進行處理。另外，取決於所使用之裝置，有可能在要被蝕刻的表面中發生變動（variation）。

【參考文獻】

[專利文獻 1] 日本特開 2007-123861。

[專利文獻 2] 日本特開 2007-96055。

[專利文獻 3] 日本特開 2008-41695。

[專利文獻 4] 日本特開 2008-42067。

【發明內容】

如此，已經存在一些用以處理氧化物半導體的技術。然而，尚未建立滿足使用氧化物半導體來製造半導體裝置所需的條件的處理技術。

另外，稀有金屬，諸如銦，被使用於氧化物半導體。在包括蝕刻的習知處理技術中，氧化物半導體層的主要部分——其包括所沈積的這種昂貴金屬——被去除和浪費了。因此，難以降低藉由習知處理技術使用氧化物半導體來製造半導體裝置的成本。另外，需要應對資源節約問題的措施。

鑒於上述問題，本發明的目的在於建立一種使用氧化物半導體來製造半導體裝置的處理技術。另外，另一個目的在於提供一種對節約資源有用之用以製造半導體裝置的方法。

根據本發明的一個實施例，利用使用包括氯氣和氧氣的氣體的乾式蝕刻，來處理用做為主動層的島狀氧化物半導體層和覆蓋所述島狀氧化物半導體層的導電層。例如，利用乾式蝕刻來處理導電層以形成源極電極和汲極電極，並利用乾式蝕刻來去除氧化物半導體層的一部分以在所述島狀氧化物半導體層中形成凹陷部分。此時，較佳地，使用包括氧化矽的材料來形成位於島狀氧化物半導體層下方的閘極絕緣層。

替代地，利用濕式蝕刻來處理位於閘極絕緣層上方的

氧化物半導體層，以作為島狀氧化物半導體層。

以下說明其細節。

根據本發明的一個實施例，在基板上方形成閘極電極；在閘極電極上方形成閘極絕緣層；在閘極絕緣層上方形成氧化物半導體層；利用濕式蝕刻來處理氧化物半導體層以形成島狀氧化物半導體層；形成導電層以覆蓋島狀氧化物半導體層；利用第一乾式蝕刻來處理導電層以形成源極電極和汲極電極、並利用第二乾式蝕刻來去除島狀氧化物半導體層的一部分，或者利用乾式蝕刻來處理導電層以形成源極電極和汲極電極、並利用所述乾式蝕刻去除島狀氧化物半導體層的一部分。

根據本發明的另一個實施例，在基板上方形成閘極電極；在閘極電極上方形成閘極絕緣層；在閘極絕緣層上方形成第一氧化物半導體層；在第一氧化物半導體層上方形成導電率高於第一氧化物半導體層的導電率的第二氧化物半導體層；利用濕式蝕刻來處理第一氧化物半導體層和第二氧化物半導體層以形成第一島狀氧化物半導體層和第二島狀氧化物半導體層；形成導電層以覆蓋第二島狀氧化物半導體層；利用第一乾式蝕刻來處理導電層以形成源極電極和汲極電極、並利用第二乾式蝕刻來去除第一島狀氧化物半導體層的一部分和第二島狀氧化物半導體層的一部分以在第一島狀氧化物半導體層中形成凹陷部分，或者利用乾式蝕刻來處理導電層以形成源極電極和汲極電極、並且利用該乾式蝕刻來去除第一島狀氧化物半導體層的一部分。

和第一島狀氧化物半導體層的一部分以在第一島狀氧化物半導體層中形成凹陷部分。

在以上說明中，氧化物半導體層（包括第一氧化物半導體層和第二氧化物半導體層）可以包括銦、鎵、和鋅。另外，可以使用在乾式蝕刻中的蝕刻速率高於氧化物半導體層（包括第一氧化物半導體層和第二氧化物半導體層）所使用之材料的蝕刻速率的材料來形成導電層。

可以使用包括氯的氣體來進行上述乾式蝕刻。在該情況中，包括氧化矽的材料被較佳用於閘極絕緣層而所述包括氯的氣體較佳包括氧。另外，在所述包括氯的氣體中氧的含量可以為 15 體積 % 或更多。

另外，可以從濕式蝕刻之後獲得的廢棄溶液中收集金屬元素。

根據本發明的另一個實施例，在基板上方形成閘極電極；在閘極電極上方形成閘極絕緣層；在閘極絕緣層上方形成島狀氧化物半導體層；形成導電層以覆蓋島狀氧化物半導體層；利用使用包括氯和氧的氣體的乾式蝕刻來處理導電層以形成源極電極和汲極電極，並且（與此同時）利用所述乾式蝕刻來去除島狀氧化物半導體層的一部分以在島狀氧化物半導體層中形成凹陷部分。

在以上說明中，氧化物半導體層可以包括銦、鎵、和鋅。另外，可以使用在乾式蝕刻中的蝕刻速率高於氧化物半導體層所使用之材料的蝕刻速率的材料來形成導電層。包括氧化矽的材料被較佳用於閘極絕緣層。在所述包括氯

的氣體中氧的含量可以為 15 體積 % 或更多。

注意，“蝕刻速率”是指每單位時間被蝕刻的膜的量（所蝕刻的膜的量）。因此，“蝕刻速率高的膜”表示易於被蝕刻的膜，而“蝕刻速率低的膜”表示難以被蝕刻的膜。另外，“可以得到在 A 層和 B 層之間的蝕刻選擇性”是指當 A 層和 B 層被蝕刻時，A 層的蝕刻速率和 B 層的蝕刻速率之間有足夠的差別，例如，使得 A 層和 B 層的其中一個能夠比另一個更大量地被蝕刻。

注意，本說明書中所能使用的氧化物半導體的示例包括 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$)。此處，“M”為選自鎵（Ga）、鐵（Fe）、鎳（Ni）、錳（Mn）和鈷（Co）的金屬元素或多個金屬元素。例如，當 M 包括 Ga 時，只包括 Ga，或者除了 Ga 以外還包括以上金屬元素，例如，M 包括 Ga 和 Na、包括 Ga 和 Fe，等等。另外，在以上氧化物半導體中，除了所包括的作為 M 的元素外，作為雜質元素，還可以包括過渡金屬元素諸如 Fe 或 Ni、或者過渡金屬元素的氧化物。在本說明書中，在以上氧化物半導體之中，作為 M 至少包括鎵的氧化物半導體被稱作 In-Ga-Zn-O 類氧化物半導體；在某些情況下，使用所述材料的膜被稱作 In-Ga-Zn-O 類非單晶膜。

注意，本說明書中的半導體裝置是指所有利用半導體特性而發揮作用的裝置。顯示裝置、半導體電路、和電子裝置全部都是半導體裝置。

根據本發明的一個實施例，利用乾式蝕刻來處理用做

為主動層的島狀氧化物半導體層和覆蓋所述島狀氧化物半導體層的導電層，由此可以將半導體裝置小型化並改善半導體裝置的性能。另外，閘極絕緣層上方的氧化物半導體層被濕式蝕刻而處理成島狀氧化物半導體，從而能夠改善生產量。

另外，利用濕式蝕刻來實施相對不需要控制蝕刻速率的對閘極絕緣層上方的氧化物半導體層的蝕刻，而利用乾式蝕刻來實施需要小型化和控制蝕刻的通道蝕刻（channel-etch），使得能夠在整個製造過程中改善生產量並且實現半導體裝置的更高性能。

另外，當處理氧化物半導體層以具有島狀形狀時採用濕式蝕刻，而氧化物半導體層中所包括的材料諸如鈦被從蝕刻之後的廢棄溶液中收集和再利用，從而可以有效使用資源並且可以降低成本。

【實施方式】

結合附圖對實施例進行詳細說明。注意，本發明並不限於以下實施例的說明。本領域技術人員易於理解的是，可以在不偏離本發明的範圍和精神的前提下對實施模式和細節作出各種改變。不同實施例的任意結構都可以被適當地組合來實現。注意，相同的部分或者具有相似功能的部分被相同的附圖標記所標注，並且省略其重複說明。

[實施例 1]

在本實施例中，參照圖 1A 到 1E 來說明用以製造半導體裝置的方法的示例。

首先，在具有絕緣表面的基板 200 的上方形形成閘極電極 202，然後，在閘極電極 202 的上方形形成閘極絕緣層 204 和氧化物半導體層 206（見圖 1A）。

作為具有絕緣表面的基板 200，例如，可以使用被使用於液晶顯示裝置等的、具有可見光透射特性的玻璃基板。玻璃基板較佳為無鹼玻璃基板。作為無鹼玻璃基板，例如，使用玻璃材料諸如鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、或鋇硼矽酸鹽玻璃。另外，作為具有絕緣表面的基板 200，也可以使用如下基板：由絕緣體構成的絕緣基板，諸如陶瓷基板、石英基板、或藍寶石基板；由半導體材料諸如矽製成並且表面覆蓋有絕緣材料的半導體基板；由導體諸如金屬或不銹鋼製成並且表面覆蓋有絕緣材料的導電基板；等等。

導電基板被形成於基板 200 的整個表面上方，然後利用由微影法形成的抗蝕劑遮罩對導電層進行選擇性蝕刻，從而可以形成閘極電極 202。此時，為了改善稍後形成的閘極絕緣層 204 對閘極電極 202 的覆蓋性並且防止連接斷開，較佳以使閘極電極 202 的端部具有錐形形狀的方式來蝕刻閘極電極 202。注意，閘極電極 202 包括使用導電層形成的電極和佈線，諸如閘極佈線。

較佳使用低電阻導電材料諸如鋁（Al）或銅（Cu）來形成閘極電極 202。注意，在將鋁用於佈線和電極的情況

中，當只使用鋁時，鋁具有諸如耐熱性低和易於被腐蝕的缺點；因此，鋁較佳與耐熱導電材料組合使用。

作為耐熱導電材料，可以使用：選自鈦（Ti）、鉭（Ta）、鎢（W）、鉬（Mo）、鉻（Cr）、釹（Nd）、和鈾（Sc）的元素，包括以上元素作為其成分的合金，包括這些元素的組合的合金膜，或者包括以上元素作為其成分的氮化物。使用此類耐熱導電材料形成的膜和鋁（或銅）層疊起來，從而可以形成佈線和電極。

閘極絕緣層 204 可以使用氧化矽膜、氧氮化矽膜、氮化矽膜、氮氧化矽膜、氧化鋁膜、氧化鉭膜等形成。替代地，閘極絕緣層 204 可以使用這些膜的疊層形成。可以藉由濺射法等來形成為厚度為 50 nm 到 250 nm（含 50 nm 和 250 nm）的膜。例如，作為絕緣層 204，可以藉由濺射法來形成厚度為 100 nm 的氧化矽膜。

注意，在氧化物半導體層 206 被形成於閘極絕緣層 204 上方之前，閘極絕緣層 204 的表面可以受到電漿處理。可以利用電漿處理來去除附著在閘極絕緣層 204 的表面的灰塵。

可以如此地進行電漿處理，亦即：將惰性氣體諸如氬（Ar）氣導入到真空室中，並且對處理物件（此處是其上形成了閘極絕緣層 204 的基板 200）施加偏壓電壓，從而發生電漿態。在此情況下，在電漿中存在 Ar 的陽離子和電子，並且 Ar 的陽離子在陰極方向上（朝向基板 200 側）被加速。被加速了的 Ar 的陽離子與閘極絕緣層 204 的

表面碰撞，由此利用濺射法蝕刻閘極絕緣層 204 的表面從而改良。作為氬氣的替代，可以使用氮氣。替代地，電漿處理可以在添加了氧、氬、氮、和／或其他類似氣體的氬氣氛圍中進行。作為另一個替代，電漿處理可以在添加了 Cl_2 、 CF_4 、和／或其他類似氣體的氬氣氛圍中進行。在某些情況下，上述此類電漿處理也被稱為“反向濺射”。

氧化物半導體層 206 可以使用 In-Ga-Zn-O 類非單晶膜來予以形成。例如，藉由使用包括 In、Ga、和 Zn 的氧化物半導體靶材（ In_2O_3 ： Ga_2O_3 ： ZnO = 1：1：1）的濺射，以形成氧化物半導體層 206。例如，對於濺射可以採用下列條件：基板 200 和靶材之間的距離為 30 mm 到 500 mm；壓力為 0.1 Pa 到 2.0 Pa；DC 電源為 0.25 kW 到 5.0 kW（當使用直徑為 8 英寸大小的靶材時）；以及氛圍為氬氣氛圍、氧氣氛圍、或氬和氧的混合氛圍。

注意，較佳使用脈衝 DC 電源，因為可以減少灰塵並且使厚度均勻。另外，在不暴露於空氣中的前提下，執行上述電漿處理然後形成氧化物半導體層 206，從而可以防止灰塵或水分附著到閘極絕緣層 204 和氧化物半導體層 206 之間的介面。氧化物半導體層 206 的厚度可以為約 5 nm 到 200 nm。

作為上述濺射法，可以採用使用高頻電源作為濺射電源的 RF 濺射法、DC 濺射法、在脈衝中施加直流偏壓的脈衝 DC 濺射法等方法。

替代地，可以使用具有由彼此不同的材料製成的多個

靶材的多靶材濺射裝置。在多靶材濺射裝置中，可以在一個處理室中形成不同膜的疊層，或者可以藉由濺射在一個處理室中同時使用多種材料形成一個膜。替代地，也可以採用以下方法：使用在處理室內配置有磁場產生系統的磁控濺射裝置的方法（磁控管濺射法）、使用由微波產生的電漿的 ECR 濺射法、等等。作為又一個替代，可以採用以下方法：在膜形成時靶材物質和濺射氣體成分相互發生化學反應以形成它們的化合物的反應濺射法、在膜形成時還對基板施加電壓的偏壓濺射法、等等。

接下來，在氧化物半導體層 206 的上方形成抗蝕劑遮罩 208。然後使用抗蝕劑遮罩 208 對氧化物半導體層 206 進行選擇性蝕刻，從而形成島狀氧化物半導體層 210（見圖 1B）。

此處，利用使用 ITO07N（由關東化學株式會社製造）或者乙酸、硝酸、和磷酸的混合溶液的濕式蝕刻去除氧化物半導體層 206 的不需要的部分來形成島狀氧化物半導體層 210。注意，在上述蝕刻之後，抗蝕劑遮罩 208 被去除。另外，用於濕式蝕刻的蝕刻劑不只限於上述溶液，而是只要能使用所述抗蝕劑去除氧化物半導體層 206 就行。

作為上述蝕刻，較佳使用濕式蝕刻。這是因為藉由濕式蝕刻可以在短時間內均勻地處理大的區域。注意，當採用濕式蝕刻時，可以從蝕刻之後的廢棄溶液中收集和再利用諸如銦的材料。另外，考慮到有效使用資源，較佳使用濕式蝕刻作為上述蝕刻。另一方面，即使在採用乾式蝕刻

時，也能夠形成島狀氧化物半導體層 210。因此，上述蝕刻並不應排除乾式蝕刻。

接下來，在島狀氧化物半導體層 210 上方形成導電層 212（見圖 1C）。

導電層 212 能夠利用濺射法、真空蒸鍍等方法，使用包括選自鋁（Al）、銅（Cu）、鈦（Ti）、鉭（Ta）、鎢（W）、鉬（Mo）、鉻（Cr）、釹（Nd）、和釷（Sc）的元素的金屬、包括任意上述元素作為其成分的合金、或包括以上元素作為其成分的氮化物等材料來形成。注意，在導電層 212 形成之後執行熱處理（例如，在約 200℃ 到 600℃ 下的熱處理）的情況下，導電層 212 較佳具有給定的耐熱特性。

例如，可以利用鈦膜的單層結構形成導電層 212。替代地，可以利用疊層結構形成導電層 212。例如，可以利用鋁膜和鈦膜的疊層結構來形成導電層 212。作為又一個替代，可以採用鈦膜、包含釹的鋁膜（Al-Nd）、和鈦膜的三層結構。作為又一個替代，可以利用包含矽的鋁膜的單層結構來形成導電層 212。

接下來，在導電層 212 上方形成抗蝕劑遮罩 214a、214b、和 214c。然後，選擇性地蝕刻導電層 212 以形成導電層 216a、216b、218，並去除島狀氧化物半導體層 210 的一部分（靠近其表面的部分）（通道蝕刻），以在島狀氧化物半導體層 210 中形成凹陷部分 220（見圖 1D）。

藉由去除島狀氧化物半導體層 210 的所述一部分所形成的凹陷部分 220 對應於導電層 216a 和導電層 216b 之間的區域。因此，導電層 216a 用做為電晶體的源極電極和汲極電極的其中一個，而導電層 216b 用做為源極電極和汲極電極的另一個。如圖 1D 所示，藉由去除島狀氧化物半導體層 210 的所述一部分形成了凹陷部分 220，由此，導電層 216a 和導電層 216b 被彼此無誤地電絕緣開。另外，導電層 218 用做為電連接諸如電晶體之類元件的佈線。

注意，在上述蝕刻之後，去除抗蝕劑遮罩 214a、214b、和 214c。

作為此時的蝕刻，較佳採用乾式蝕刻。藉由採用乾式蝕刻，與使用濕式蝕刻的情況相比，佈線結構等可以被小型化。另外，因為採用乾式蝕刻的蝕刻可控性高，所以可以以高可控性進行所述部分島狀氧化物半導體層 210 的去除（凹陷部分 220 的形成）。

作為上述乾式蝕刻，具體地，較佳採用使用包括氯的氣體的乾式蝕刻。利用使用包括氯的氣體的蝕刻，與使用無氯的氣體的情況相比，可以減小表面中的蝕刻的偏差。

當加入氧時，上述包括氯的氣體是更佳的。這是因為，藉由使用包括氯和氧的氣體，容易得到閘極絕緣層 204 和島狀氧化物半導體層 210 之間的蝕刻選擇性並且還能充分減少對閘極絕緣層 204 的損害。注意，在此情況中，較佳使用包括諸如氧化矽、氧氮化矽、或氮氧化矽的矽氧化物的材料作為閘極絕緣層 204。另外，當蝕刻氣體中的氧

含量被設為 15 體積 % 或更多時，島狀氧化物半導體層 210 和閘極絕緣層 204 之間的蝕刻選擇性變大，從而可以有效減少對閘極絕緣層 204 的損害。

作為用於乾式蝕刻的氣體，可以使用：氯基氣體，諸如氯化硼 (BCl_3)、氯化矽 (SiCl_4)、或四氯化碳 (CCl_4)；氟基氣體，諸如四氟化碳 (CF_4)、氟化硫 (SF_6)、氟化氮 (NF_3)、或三氟甲烷 (CHF_3)；溴化氫 (HBr)；氧氣 (O_2)；添加了諸如氦 (He)、或氬 (Ar) 的稀有氣體的上述氣體中的任意氣體；或者其他類似氣體。也可以使用氯氣 (Cl_2)。

另外，作為用於導電層 212 的材料，較佳使用蝕刻速率高於島狀氧化物半導體層 210 的蝕刻速率的材料。這是因為當導電層 212 和島狀氧化物半導體層 210 被乾式蝕刻同時蝕刻時，讓島狀氧化物半導體層 210 的蝕刻速率小於導電層 212 的蝕刻速率，使得島狀氧化物半導體層 210 可以免於被過度蝕刻。因此，可以防止氧化物半導體層 210 的消失。

此後，較佳在 200°C 到 600°C 下、典型地在 300°C 到 500°C 下執行熱處理。此處，在 350°C 下氮氛圍中進行 1 小時熱處理。藉由該熱處理，對島狀氧化物半導體層 210 中所包括的 In-Ga-Zn-O 類氧化物半導體的原子能級進行重新配置。該熱處理（包括光退火等）是重要的，因為該熱處理能夠釋放變形，這種變形會打斷島狀氧化物半導體層 210 中的載子傳輸。注意，上述熱處理在時機上沒有特定

限制，只要在氧化物半導體層 206 形成之後執行熱處理即可。

另外，島狀氧化物半導體層 210 的暴露部分的凹陷部分 220 可以受到氧自由基處理 (oxygen radical treatment)。藉由執行氧自由基處理，島狀氧化物半導體層 210 為通道形成區的薄膜電晶體可以是正常關斷的。另外，藉由執行自由基處理，可以修復由於蝕刻造成的對島狀氧化物半導體層 210 的損害。較佳在如下氛圍下執行自由基處理：O₂ 氛圍；N₂O 氛圍；或包括氧的 N₂、He、或 Ar 氛圍等。另外，自由基處理可以在添加了 Cl₂ 和 / 或 CF₄ 的上述氛圍下執行。注意，較佳以不在基板 100 側施加偏壓電壓的方式來執行自由基處理。

接下來，形成保護絕緣層 222 以覆蓋包括閘極電極 202、島狀氧化物半導體層 210、導電層 216a、導電層 216b 等的薄膜電晶體 250 (見圖 1E)。保護絕緣層 222 可以藉由濺射法等方法使用包括氮化矽、氧化矽、氮氧化矽、氧氮化矽、氧化鋁、或氧化鉭等材料來形成。

此後，形成各種電極和佈線，從而完成半導體裝置。

如上所述，在本實施例中，利用乾式蝕刻來處理用做為主動層的島狀氧化物半導體層和覆蓋所述島狀氧化物半導體層的導電層，由此可以將半導體裝置小型化並改善半導體裝置的性能。替代地，利用濕式蝕刻將閘極絕緣層上方的氧化物半導體層處理成島狀氧化物半導體層，從而可以改善生產量。換句話說，利用濕式蝕刻執行對閘極絕緣

層上方的氧化物半導體層的蝕刻，該蝕刻相對地不需要蝕刻可控性；而利用乾式蝕刻執行通道蝕刻，該蝕刻需要小型化和蝕刻可控制性，從而能夠在整個製造過程中改善生產量並實現半導體裝置的更高性能。另外，當氧化物半導體層被處理以具有島狀形狀時採用濕式蝕刻，並且氧化物半導體層中所包括的材料諸如銦被從蝕刻之後的廢棄溶液中收集和再利用，使得資源可以被有效使用並且成本可以被降低。

根據本實施例，可以以低成本提供具有高特性的半導體裝置。注意，本實施例可以適當地結合任意其他實施例來實施。

[實施例 2]

在本實施例中，結合附圖說明與上述實施例的方法不同的用以製造半導體裝置的方法。注意，本實施例中，用以製造半導體裝置的方法的很多步驟與實施例 1 中的步驟相同。因此省略對相同步驟的重複說明，並在下文中對與實施例 1 中不同的步驟作出說明。

首先，在具有絕緣表面的基板 200 的上方形形成閘極電極 202，然後，在閘極電極 202 上方形成閘極絕緣層 204。此後，在其上層疊氧化物半導體層 206 和氧化物半導體層 207（見圖 2A）。

閘極電極 202、閘極絕緣層 204、和氧化物半導體層 206 的材料和製造方法可以參考實施例 1。

氧化物半導體層 207 可以使用 In-Ga-Zn-O 類非單晶膜形成。例如，可以利用使用包括 In、Ga、和 Zn 的氧化物半導體靶材（ $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ ）的濺射法，在氧化物半導體層 206 上方形成氧化物半導體層 207。此時，較佳地，氧化物半導體層 207 被連續形成使得氧化物半導體層 206 不被暴露於空氣中。

注意，氧化物半導體層 207 可以使用用以形成氧化物半導體層 206 的靶材（ $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ ）。作為濺射條件，例如，溫度可以為 20℃ 到 100℃，壓力可以為 0.1 Pa 到 2.0 Pa，功率可以為 250 W 到 3 kW（在 ϕ 為 8 英寸的情況下）。另外，以 40 sccm 的流速導入氬氣。藉由適當地控制靶材的成分比或其他濺射成形條件，可以控制晶粒的有無、密度等。晶粒的直徑可以為約 1 nm 到 10 nm。氧化物半導體層 207 的厚度可以約為 2 nm 到 20 nm。不用說，當晶粒被包括在膜中時，晶粒的尺寸不會超過膜的厚度。

此處，較佳地，氧化物半導體層 206 的形成條件不同於氧化物半導體層 207 的形成條件。例如，在氧化物半導體層 206 的形成條件中的氧氣對氬氣的流速比大於在氧化物半導體層 207 的形成條件中的氧氣對氬氣的流速比。具體地，對於氧化物半導體層 207 的形成條件，採用稀有氣體（氬、氦等）氛圍，或者包括 10% 或更少的氧氣和 90% 或更多的稀有氣體的氛圍。對於氧化物半導體層 206 的形成條件，採用氧氣氛圍，或者氧氣對稀有氣體的流速比

為 1 或更大的氛圍。

注意，氧化物半導體層 206 和氧化物半導體層 207 可以使用不同的材料形成。

接下來，在氧化物半導體層 207 上方形成抗蝕劑遮罩 208，並使用抗蝕劑遮罩 208 選擇性地蝕刻氧化物半導體層 206 和氧化物半導體層 207，從而形成島狀氧化物半導體層 210 和島狀氧化物半導體層 211（見圖 2B）。

此處，利用使用 ITO07N（由關東化學株式會社製造）或者乙酸、硝酸、和磷酸的混合溶液的濕式蝕刻來去除氧化物半導體層 206 和氧化物半導體層 207 的不需要的部分，從而形成島狀氧化物半導體層 210 和島狀氧化物半導體層 211。注意，在上述蝕刻之後，去除抗蝕劑遮罩 208。另外，用於濕式蝕刻的蝕刻劑不只限於上述溶液，而是只要能用所述抗蝕劑去除氧化物半導體層 206 和氧化物半導體層 207 就行。

作為上述蝕刻，較佳使用濕式蝕刻。這是因為藉由濕式蝕刻可以在短時間內均勻地處理大的區域。注意，當採用濕式蝕刻時，材料諸如銦可以被從蝕刻之後的廢棄溶液中收集和再利用。另外，考慮到有效使用資源，濕式蝕刻被較佳用作上述蝕刻。另一方面，即使當採用乾式蝕刻時，也能夠形成島狀氧化物半導體層 210 和島狀氧化物半導體層 211。因此，上述蝕刻不應排除乾式蝕刻。

接下來，在島狀氧化物半導體層 211 上方形成導電層 212（見圖 2C）。導電層 212 的材料和製造方法可以參考

實施例 1。

接下來，在導電層 212 上方形成抗蝕劑遮罩 214a、214b、和 214c。然後，選擇性地蝕刻導電層 212 以形成導電層 216a、216b、和 218；與此同時，蝕刻島狀氧化物半導體層 211 以形成高導電率的半導體區域 215a 和 215b，並去除島狀氧化物半導體層 210 的一部分（靠近其表面的部分）（通道蝕刻）（見圖 2D）。

由去除島狀氧化物半導體層 210 的所述一部分所形成的凹陷部分 220 對應於導電層 216a 和導電層 216b 之間的區域，該區域也在高導電率的半導體區域 215a 和高導電率的半導體區域 215b 之間。因此，導電層 216a 用做為電晶體的源極電極和汲極電極的其中一個，而導電層 216b 用做為源極電極和汲極電極的另一個。

注意，在上述蝕刻之後，去除抗蝕劑遮罩 214a、214b、和 214c。

作為此時的蝕刻，較佳採用乾式蝕刻。藉由採用乾式蝕刻，與使用濕式蝕刻的情況相比，佈線結構等可以被小型化。另外，因為採用乾式蝕刻的蝕刻可控性高，所以可以以高可控性進行島狀氧化物半導體層 210 的所述一部分的去除（凹陷部分 220 的形成）。

作為上述乾式蝕刻，具體地，較佳採用使用包括氯的氣體的乾式蝕刻。藉由使用包括氯的氣體的蝕刻，與使用無氯的氣體的情況相比，可以減小表面中的蝕刻的偏差。

上述包括氯的氣體當加入氧時是更佳的。這是因為，

藉由使用包括氯和氧的氣體，容易得到閘極絕緣層 204 和島狀氧化物半導體層 210（還有島狀氧化物半導體層 211）之間的蝕刻選擇性並且還能充分減少對閘極絕緣層 204 的損害。注意，在此情況中，包括諸如氧化矽、氧氮化矽、或氮氧化矽的矽氧化物的材料被較佳用作閘極絕緣層 204。另外，當蝕刻氣體中的氧氣含量被設為 15 體積 % 或更多時，島狀氧化物半導體層 210 和閘極絕緣層 204 之間的蝕刻選擇性變大，從而可以有效減少對閘極絕緣層 204 的損害。

作為用於乾式蝕刻的氣體，可以使用：氯基氣體，諸如氯化硼（ BCl_3 ）、氯化矽（ SiCl_4 ）、或四氯化碳（ CCl_4 ）；氟基氣體，諸如四氟化碳（ CF_4 ）、氟化硫（ SF_6 ）、氟化氮（ NF_3 ）、或三氟甲烷（ CHF_3 ）；溴化氫（ HBr ）；氧（ O_2 ）；添加了諸如氦（ He ）、或氬（ Ar ）的稀有氣體的上述氣體中的任意氣體；或者其他類似氣體。也可以使用氯氣（ Cl_2 ）。

另外，作為用於導電層 212 的材料，較佳使用蝕刻速率高於島狀氧化物半導體層 210 和島狀氧化物半導體層 211 的蝕刻速率的材料。這是因為當導電層 212、島狀氧化物半導體層 210、和島狀氧化物半導體層 211 被乾式蝕刻同時蝕刻時，使島狀氧化物半導體層 210 的蝕刻速率和島狀氧化物半導體層 211 的蝕刻速率小於導電層 212 的蝕刻速率，使得島狀氧化物半導體層 210 可以免於被過度蝕刻。具體地，當配置了蝕刻速率小於導電層 212 的蝕刻速

率的島狀氧化物半導體層 211 時，可以有效地防止島狀氧化物半導體層 210 被過度蝕刻。

較佳地，島狀氧化物半導體層 211 的蝕刻速率高於島狀氧化物半導體層 210 的蝕刻速率，這是因為這有利於高導電率的半導體區域 215a 和高導電率的半導體區域 215b 之間的分離以及所述部分島狀氧化物半導體層 210 的去除。

此後，較佳地，在 200℃到 600℃下、典型在 300℃到 500℃下執行熱處理。另外，島狀氧化物半導體層 210 的暴露部分的凹陷部分 220 可以受到氧自由基處理。其細節可以參考實施例 1。

接下來，形成保護絕緣層 222 以覆蓋包括閘極電極 202、島狀氧化物半導體層 210、島狀氧化物半導體層 211、導電層 216a、導電層 216b 等的薄膜電晶體 250（見圖 2E）。保護絕緣層 222 可以藉由濺射法等方法使用包括氮化矽、氧化矽、氮氧化矽、氧氮化矽、氧化鋁、或氧化鉬等的材料形成。

此後，形成各種電極和佈線，從而完成半導體裝置。

如上所述，在本實施例中，利用乾式蝕刻來處理用做為主動層的島狀氧化物半導體層和覆蓋所述島狀氧化物半導體層的導電層，由此可以將半導體裝置小型化並改善半導體裝置的性能。替代地，利用濕式蝕刻將閘極絕緣層上方的氧化物半導體層處理成島狀氧化物半導體層，從而可以改善生產量。換句話說，利用濕式蝕刻執行對閘極絕緣

層上方的氧化物半導體層的蝕刻，該蝕刻相對地不需要蝕刻可控性；而利用乾式蝕刻執行通道蝕刻，該蝕刻需要小型化和蝕刻可控制性，從而能夠在整個製造過程中改善生產量並實現半導體裝置的更高性能。另外，當氧化物半導體層被處理以具有島狀形狀時採用濕式蝕刻，並且氧化物半導體層中所包括的材料諸如銦被從蝕刻之後的廢棄溶液中收集和再利用，使得資源可以被有效使用並且成本可以被降低。

另外，在本實施例中，在島狀氧化物半導體層 210 和導電層 216a 之間形成了高導電率的半導體區域 215a，並且在島狀氧化物半導體層 210 和導電層 216b 之間形成了高導電率的半導體區域 215b。

注意，本實施例說明了在氧化物半導體層 206 上方形成氧化物半導體層 207 然後同時處理氧化物半導體層 206 和氧化物半導體層 207 的情況；然而，本實施例並不只限於該製造順序。例如，可以採用下列製程：形成氧化物半導體層 206（見圖 3A）然後將其處理成島狀氧化物半導體層 210（見圖 3B）；接著，形成氧化物半導體層 207 和導電層 212 以覆蓋島狀氧化物半導體層 210（見圖 3C）；以及同時處理氧化物半導體層 207 和導電層 212（見圖 3D 和 3E）。在該情況中，在蝕刻導電層 212 時可以減小對閘極絕緣層 204 的所要暴露的部分的損害。具體地，當配置了蝕刻速率小於導電層 212 的蝕刻速率的氧化物半導體層 207 時，可以有效減小對閘極絕緣層 204 的所要暴露

的 部 分 的 損 害 。

根 據 本 實 施 例 ， 可 以 以 低 成 本 提 供 具 有 高 特 性 的 半 導 體 裝 置 。 注 意 ， 本 實 施 例 可 以 適 當 地 結 合 任 意 其 他 實 施 例 來 實 施 。

[實 施 例 3]

在 本 實 施 例 中 ， 結 合 附 圖 說 明 用 以 製 造 顯 示 裝 置 的 方 法 ， 該 顯 示 裝 置 是 半 導 體 裝 置 的 使 用 方 式 的 示 例 。 注 意 ， 本 實 施 例 中 所 述 的 製 造 方 法 的 很 多 步 驟 與 實 施 例 1 或 實 施 例 2 中 的 那 些 步 驟 相 同 。 因 此 省 略 對 相 同 步 驟 的 重 複 說 明 ， 並 在 下 文 中 對 與 實 施 例 1 或 實 施 例 2 中 不 同 的 步 驟 進 行 說 明 。 注 意 ， 在 以 下 說 明 中 ， 圖 5A 到 5C 和 圖 6A 到 6C 為 剖 面 視 圖 ， 而 圖 7、圖 8、圖 9、和 圖 10 為 俯 視 圖 。

首 先 ， 在 具 有 絕 緣 表 面 的 基 板 200 上 方 形 成 佈 線 和 電 極 （ 包 括 閘 極 電 極 202、電 容 器 佈 線 108、和 第 一 端 子 121 的 閘 極 佈 線 ） （ 見 圖 5A 和 圖 7 ） 。

電 容 器 佈 線 108 和 第 一 端 子 121 可 以 被 同 時 並 使 用 與 閘 極 電 極 202 相 同 的 材 料 形 成 。 注 意 ， 閘 極 電 極 202 的 材 料 和 製 造 方 法 可 以 參 考 實 施 例 1 。

接 下 來 ， 在 閘 極 電 極 202 的 上 方 ， 隔 著 閘 極 絕 緣 層 204，形 成 島 狀 氧 化 物 半 導 體 層 210 和 島 狀 氧 化 物 半 導 體 層 211（ 見 圖 5B 和 圖 8 ） 。 島 狀 氧 化 物 半 導 體 層 210 和 島 狀 氧 化 物 半 導 體 層 211 的 材 料 和 製 造 方 法 可 以 參 考 實 施 例 1 和 2 。

接下來，在閘極絕緣層 204 中形成接觸孔 213 使得第一端子 121 被暴露。此後，形成導電層 212 形成以覆蓋閘極絕緣層 204、島狀氧化物半導體層 210、和島狀氧化物半導體層 211（見圖 5C）。

導電層 212 的材料和製造方法可以參考實施例 1。注意在本實施例中，導電層 212 和第一端子 121 經由接觸孔 213 而相互電連接。

接下來，在導電層 212 上方形成抗蝕劑遮罩 214。然後，選擇性地蝕刻導電層 212 以形成導電層 216a 和 216b、連接電極 120、和第二端子 122。與此同時，氧化物半導體層 211 被蝕刻以形成高導電率的半導體區域 215a 和 215b，並且島狀氧化物半導體層 210 地一部分（靠近其表面的部分）被去除以在氧化物半導體層 210 中形成凹陷部分 220（見圖 6A 和圖 9）。

可以形成第二端子 122 以電連接到源極佈線（包括導電層 216a 或導電層 216b 的源極佈線）。另外，可以形成連接電極 120 以經由形成於閘極絕緣層 204 中的接觸孔 213 直接連接到第一端子 121。

作為此時的蝕刻，較佳採用乾式蝕刻。藉由採用乾式蝕刻，與使用濕式蝕刻的情況相比，佈線結構等可以被小型化。另外，因為採用乾式蝕刻的蝕刻可控性高，所以可以以高可控性進行島狀氧化物半導體層 210 的所述一部分的去除（凹陷部分 220 的形成）。注意，用於乾式蝕刻的氣體等可以參考上述實施例。

此後，較佳在 200℃ 到 600℃ 下、典型地在 300℃ 到 500℃ 下執行熱處理。此處，在 350℃ 下在氮氣氛圍中進行 1 小時熱處理。藉由該熱處理，對島狀氧化物半導體層 210 中所包括的 In-Ga-Zn-O 類氧化物半導體的原子能級進行重新排列。該熱處理（包括光退火）是有效的，因為該熱處理能夠解除變形，這種變形會打斷載子的傳輸。注意，上述熱處理在時機上沒有特定限制，只要在氧化物半導體層 211 形成之後執行熱處理即可。例如，熱處理可以在形成像素電極之後進行。

另外，島狀氧化物半導體層 210 的暴露部分可以受到氧自由基處理。藉由執行氧自由基處理，島狀氧化物半導體層 210 是通道形成區的薄膜電晶體可以是正常關斷的。另外，藉由執行自由基處理，可以修復由於蝕刻造成的對島狀氧化物半導體層 210 的損害。較佳在 O₂ 氛圍或 N₂O 氛圍下、或較佳在包括氧的 N₂、He、或 Ar 氛圍下執行自由基處理。另外，自由基處理可以在添加了 Cl₂ 和 / 或 CF₄ 的上述氛圍下執行。

接下來，去除抗蝕劑遮罩 214，然後，形成保護絕緣層 222 以覆蓋薄膜電晶體 250。選擇性地蝕刻保護絕緣層 222，從而形成到達導電層 216b 的接觸孔 125、到達連接電極 120 的接觸孔 126、和到達第二端子 122 的接觸孔 127（見圖 6B）。

此後，形成電連接到導電層 216 的透明導電層 110、電連接到連接電極 120 的透明導電層 128、和電連接到第

二端子 122 的透明導電層 129（見圖 6C 和圖 10）。

透明導電層 110 用做為像素電極。透明導電層 128 和 129 用作為用以與 FPC 的連接的電極或佈線。具體地，形成於連接電極 120 上方的透明導電層 128 可以被用作為閘極佈線的輸入端子的連接端子電極。形成於第二端子 122 上方的透明導電層 129 可以被用作為源極佈線的輸入端子的連接端子電極。

另外，電容器佈線 108、閘極絕緣層 204、保護絕緣層 222、和透明導電層 110 可以構成儲存電容器。在該情況中，電容器佈線 108 和透明導電層 110 用作電極，而閘極絕緣層 204 和保護絕緣層 222 用作電介質。

透明導電層 110、128、和 129 可以利用濺射法、真空蒸鍍等方法，使用氧化銦（ In_2O_3 ）、氧化銦和氧化錫的合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，在下文中縮寫為 ITO）、氧化銦和氧化鋅的合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）等材料形成。例如，形成透明導電膜，然後在透明導電薄膜上方形成抗蝕劑膜。然後，利用蝕刻來去除不需要的部分，從而可以形成透明導電層 110、128 和 129。

圖 11A1 和 11A2 分別為閘極佈線的端子部分的剖面圖和俯視圖。圖 11A1 對應於沿圖 11A2 中 C1-C2 線截取的剖面圖。在圖 11A1 中，形成於保護絕緣層 222 上方的透明導電層 128 為用做為輸入端子的連接端子電極。另外，在圖 11A1 中，材料與閘極佈線的材料相同的第一端子 121、和材料與源極佈線的材料相同的連接電極 120 隔著

閘極絕緣層 204 彼此重疊，並在端子部分處彼此直接接觸以導通。另外，連接電極 120 和透明導電層 128 經由形成於保護絕緣層 222 中的接觸孔彼此直接接觸並導通。

圖 11B1 和 11B2 分別為源極線的端子部分的剖面圖和俯視圖。圖 11B1 對應於沿圖 11B2 中 D1-D2 線截取的剖面圖。在圖 11B1 中，形成於保護絕緣層 222 上方的透明導電層 129 係用做為輸入端子的連接端子電極。另外，圖 11B1 表示了將材料與閘極佈線的材料相同的電極 156 設置於電連接到源極佈線的第二端子 122 的下方並且在端子部分處隔著閘極絕緣層 204 與第二端子 122 重疊。電極 156 不被電連接到第二端子 122。如果電極 156 被設為電位與第二端子 122 的電位不同，例如，浮置、GND、或 0 V 等，那麼可以形成有助於對抗雜訊或靜電的電容器。另外，第二端子 122 被電連接到透明導電層 129，其間夾著保護絕緣層 222。

根據像素密度，配置多個閘極佈線、源極佈線、和電容器佈線。另外，包括具有與閘極佈線相同電位的第一端子、具有與源極佈線相同電位的第二端子、以及具有與電容器佈線相同電位的第三端子等的多個端子被配置在端子部分處。端子的相應的數量可以是由實施者適當設置的給定數量。

經過上述製程，可以用六個光遮罩完成諸如 n 通道底部閘極型薄膜電晶體和儲存電容器的元件。另外，這些元件被排列成矩陣以對應於各個像素，由此可以得到用以製

造主動矩陣型顯示裝置的基板。在本說明書中，爲了方便，將此類基板稱爲主動矩陣基板。

爲了製造主動矩陣型液晶顯示裝置，在主動矩陣基板和配置有對置電極（counter electrode）的對置基板（counter substrate）之間形成液晶層，然後，將主動矩陣基板和對置基板固定。注意，電連接到爲對置基板配置的對置電極的共用電極被形成於主動矩陣基板的上方。電連接到共用電極的第四端子被形成於端子部分處。該第四端子被用作爲將共用電極設定成具有固定電位、例如 GND 或 0 V 的端子。

本發明實施例所述的結構不限於圖 10 中的像素結構。結構的另一個示例如圖 12 所示。圖 12 表示了一種結構，其中像素電極和相鄰像素的閘極佈線用作爲電極，而保護絕緣層和閘極絕緣層用作爲電介質，從而形成沒有電容器佈線的儲存電容器。在該情況中，可以省略電容器佈線和連接到電容器佈線的第三端子。

注意，本實施例可以適當地結合任意其他實施例來實施。

[實施例 4]

在本實施例中，將說明在顯示裝置中，驅動電路的至少一部分和要暴露於像素部分中的薄膜電晶體被形成在一個基板的上方的示例。

根據實施例 3 形成要暴露於像素部分中的薄膜電晶體

。另外，實施例 3 中所述的薄膜電晶體為 n 通道 TFT。這樣，驅動電路中能夠使用 n 通道 TFT 形成的驅動電路的一部分被形成於與像素部分的薄膜電晶體相同的基板上。

圖 14A 為方塊圖示例，表示了作為顯示裝置的示例的主動矩陣型液晶顯示裝置。圖 14A 所示的顯示裝置在基板 5300 上方包括：像素部分 5301，其包括每個都配置有顯示元件的多個像素；掃描線驅動電路 5302，其選擇像素；和信號線驅動電路 5303，其控制輸入到所選像素的視頻信號。

另外，實施例 3 中所述的薄膜電晶體為 n 通道 TFT，並結合圖 15 說明了包括 n 通道 TFT 的信號線驅動電路。

圖 15 中所示的信號線驅動電路包括驅動 IC 5601、開關組 5602_1 到 5602_M、第一佈線 5611、第二佈線 5612、第三佈線 5613、和佈線 5621_1 到 5621_M。開關組 5602_1 到 5602_M 中的每一個都包括第一薄膜電晶體 5603a、第二薄膜電晶體 5603b、和第三薄膜電晶體 5603c。

驅動 IC 5601 被連接到第一佈線 5611、第二佈線 5612、第三佈線 5613、和佈線 5621_1 到 5621_M。開關組 5602_1 到 5602_M 中的每一個都被連接到第一佈線 5611、第二佈線 5612、和第三佈線 5613，並且開關組 5602_1 到 5602_M 分別被連接到佈線 5621_1 到 5621_M。佈線 5621_1 到 5621_M 中的每一個都藉由第一薄膜電晶體 5603a、第二薄膜電晶體 5603b、和第三薄膜電晶體

5603c 被連接到三根信號線（信號線 S_{m-2} 、信號線 S_{m-1} 、和信號線 S_m ($m = 3M$)）。例如，第 J 行的佈線 5621 $_J$ （佈線 5621 $_1$ 到 5621 $_M$ 中的任意一個）藉由開關組 5602 $_J$ 中所包括的第一薄膜電晶體 5603a、第二薄膜電晶體 5603b、和第三薄膜電晶體 5603c 被連接到信號線 S_{j-2} 、信號線 S_{j-1} 、和信號線 S_j ($j = 3J$)。

信號被輸入到第一佈線 5611、第二佈線 5612、和第三佈線 5613 中的每一個。

注意，驅動 IC 5601 較佳使用單晶半導體形成。開關組 5602 $_1$ 到 5602 $_M$ 被較佳形成於與像素部分相同的基板上。因此，驅動 IC 5601 和開關組合 5602 $_1$ 到 5602 $_M$ 被較佳經由 FPC 等連接起來。替代地，驅動 IC 5601 可以使用藉由諸如焊接法的方法形成在與像素部分相同的基板上的單晶半導體形成。

接下來，結合圖 16 的時序圖說明圖 15 所示的信號線驅動電路的操作。圖 16 的時序圖表示了選中第 i 級的掃描線 G_i 的情況。第 i 級的掃描線 G_i 的選擇周期被劃分成第一子選擇周期 T_1 、第二子選擇周期 T_2 、和第三子選擇周期 T_3 。另外，即使當選中另一級的掃描線時，圖 15 中的信號線驅動電路也如圖 16 所示那樣操作。

注意，圖 16 的時序圖表示了第 J 行中的佈線 5621 $_J$ 分別藉由第一薄膜電晶體 5603a、第二薄膜電晶體 5603b、和第三薄膜電晶體 5603c 被連接到信號線 S_{j-2} 、信號線 S_{j-1} 、和信號線 S_j 的情況。

圖 16 的時序圖表示了第 i 級的掃描線 G_i 被選中的時序，第一薄膜電晶體 5603a 的導通/關斷定時 5703a、第二薄膜電晶體 5603b 的導通/關斷定時 5703b、第三薄膜電晶體 5603c 的導通/關斷定時 5703c、和輸入到第 J 行的佈線 5621_J 的信號 5721_J。

在第一子選擇周期 $T1$ 、第二子選擇周期 $T2$ 、和第三子選擇周期 $T3$ 中，不同的視頻信號被輸入到佈線 5621_1 到 5621_M。例如，在第一子選擇周期 $T1$ 中輸入到佈線 5621_J 的視頻信號被輸入到信號線 S_{j-2} ，在第二子選擇周期 $T2$ 中輸入到佈線 5621_J 的視頻信號被輸入到信號線 S_{j-1} ，而在第三子選擇周期 $T3$ 中輸入到佈線 5621_J 的視頻信號被輸入到信號線 S_j 。另外，在第一子選擇周期 $T1$ 、第二子選擇周期 $T2$ 、和第三子選擇周期 $T3$ 中，輸入到佈線 5621_J 的視頻信號被分別用 $Data_{j-2}$ 、 $Data_{j-1}$ 、和 $Data_j$ 標記。

如圖 16 所示，在第一子選擇周期 $T1$ 中，第一薄膜電晶體 5603a 導通，而第二薄膜電晶體 5603b 和第三薄膜電晶體 5603c 關斷。此時，輸入到佈線 5621_J 的 $Data_{j-2}$ 經由第一薄膜電晶體 5603a 被輸入到信號線 S_{j-2} 。在第二子選擇周期 $T2$ 中，第二薄膜電晶體 5603b 導通，而第一薄膜電晶體 5603a 和第三薄膜電晶體 5603c 關斷。此時，輸入到佈線 5621_J 的 $Data_{j-1}$ 經由第二薄膜電晶體 5603b 被輸入到信號線 S_{j-1} 。在第三子選擇周期 $T3$ 中，第三薄膜電晶體 5603c 導通，而第一薄膜電晶體 5603a 和

第二薄膜電晶體 5603b 關斷。此時，輸入到佈線 5621_J 的 Data_j 經由第三薄膜電晶體 5603c 被輸入到信號線 Sj。

如上所述，在圖 15 的信號線驅動電路中，藉由將閘極選擇周期一分為三，能夠在一個閘極選擇周期中將視頻信號從一根佈線 5621 輸入到三根信號線。因此，在圖 15 的信號線驅動電路中，配置有驅動 IC 5601 的基板和配置有像素部分的基板的連接的數量可以約為信號線的數量的 $1/3$ 。藉由將連接數量減少到信號線數量的約 $1/3$ ，從而可以改善圖 15 的信號線驅動電路的可靠性、成品率等。

注意，在薄膜電晶體的排列、數量、以及驅動方法等方面沒有特定限制，只要如圖 15 所示那樣將一個閘極選擇周期劃分為多個子選擇周期並且視頻信號在各個子選擇周期中被從一根佈線輸入到多根信號線即可。

例如，當視頻信號在三個或更多個子選擇周期中的每一個中被從一根佈線輸入到三根或更多信號線中的每一根時，只需要增加薄膜電晶體和用於控制薄膜電晶體的佈線。注意當一個閘極選擇周期被劃分為四個或更多個子選擇周期時，一個子選擇周期變得更短。因此，一個閘極選擇周期被較佳被劃分為兩個或三個子選擇周期。

又例如，如圖 17 的時序圖所示，一個選擇周期可以被劃分成預充電周期 T_p 、第一子選擇周期 T_1 、第二子選擇周期 T_2 、和第三子選擇周期 T_3 。圖 17 所示的時序圖表示了第 i 級的掃描線 G_i 被選中的定時、第一薄膜電晶

體 5603a 的導通/關斷定時 5803a、第二薄膜電晶體 5603b 的導通/關斷定時 5803b、第三薄膜電晶體 5603c 的導通/關斷定時 5803c、和輸入到第 J 行的佈線 5621_J 的信號 5821_J。如圖 17 所示，第一薄膜電晶體 5603a、第二薄膜電晶體 5603b、和第三薄膜電晶體 5603c 在預充電周期 T_p 中導通。此時，輸入到佈線 5621_J 的預充電壓 V_p 分別經由第一薄膜電晶體 5603a、第二薄膜電晶體 5603b、和第三薄膜電晶體 5603c 被輸入到信號線 Sj-2、信號線 Sj-1、和信號線 Sj。在第一子選擇周期 T1 中，第一薄膜電晶體 5603a 導通，而第二薄膜電晶體 5603b 和第三薄膜電晶體 5603c 關斷。此時，輸入到佈線 5621_J 的 Data_j-2 經由第一薄膜電晶體 5603a 被輸入到信號線 Sj-2。在第二子選擇周期 T2 中，第二薄膜電晶體 5603b 導通，而第一薄膜電晶體 5603a 和第三薄膜電晶體 5603c 關斷。此時，輸入到佈線 5621_J 的 Data_j-1 經由第二薄膜電晶體 5603b 被輸入到信號線 Sj-1。在第三子選擇周期 T3 中，第三薄膜電晶體 5603c 導通，而第一薄膜電晶體 5603a 和第二薄膜電晶體 5603b 關斷。此時，輸入到佈線 5621_J 的 Data_j 經由第三薄膜電晶體 5603c 被輸入到信號線 Sj。

如上所述，在應用了圖 17 的時序圖的如圖 15 所示的信號線驅動電路中，可以將視頻信號高速寫入像素，因為可以藉由在子選擇周期之前提供預充電選擇周期將信號線預充電。注意，圖 17 中與圖 16 相似的部分用相同的附圖

標記標注，並省略了對相似部分和具有相似功能的部分的詳細說明。

下面，說明掃描線驅動電路的結構。掃描線驅動電路包括移位暫存器和緩衝器。另外，在有些情況中，掃描線驅動電路可以包括位準偏移器。在掃描線驅動電路中，當時鐘信號（CLK）和啓動脈衝信號（SP）被輸入到移位暫存器中時，產生選擇信號。所產生的選擇信號被緩衝器緩衝和放大，所得的信號被提供給相應的掃描線。一系列像素中的電晶體的閘極電極被連接到掃描線。另外，因為一系列像素中的電晶體的閘極電極必須被同時開啓，所以使用可以提供大電流的緩衝器。

結合圖 18 和圖 19 說明用於掃描線驅動電路的一部分的移位暫存器的一個模式。

圖 18 表示了移位暫存器的電路結構。圖 18 所示的移位暫存器包括多個正反器，亦即正反器 5701_1 到 5701_n。另外，藉由輸入第一時鐘信號、第二時鐘信號、啓動脈衝信號、和重定信號來操作移位暫存器。

下面說明圖 18 所示的移位暫存器的連接關係。第一級的正反器 5701_1 被連接到第一佈線 5711、第二佈線 5712、第四佈線 5714、第五佈線 5715、第七佈線 5717_1、和第七佈線 5717_2。第二級的正反器 5701_2 被連接到第三佈線 5713、第四佈線 5714、第五佈線 5715、第七佈線 5717_1、5717_2、和第七佈線 5717_3。

以相似方式，第 i 級的正反器 5701_i（正反器

5701₁ 到正反器 5701_n 中的任意一個) 被連接到第二佈線 5712 和第三佈線 5713 之一、第四佈線 5714、第五佈線 5715、第七佈線 5717_{i-1}、第七佈線 5717_i、和第七佈線 5717_{i+1}。此處，當“i”為奇數時，第 i 級的正反器 5701_i 被連接到第二佈線 5712；當“i”為偶數時，第 i 級的正反器 5701_i 被連接到第三佈線 5713。

第 n 級的正反器 5701_n 被連接到第二佈線 5712 和第三佈線 5713 之一、第四佈線 5714、第五佈線 5715、第七佈線 5717_{n-1}、第七佈線 5717_n、和第六佈線 5716。

注意，第一佈線 5711、第二佈線 5712、第三佈線 5713、和第六佈線 5716 可以分別被稱為第一信號線、第二信號線、第三信號線、和第四信號線。第四佈線 5714 和第五佈線 5715 可以分別被稱為第一電源線和第二電源線。

接下來，圖 19 表示了圖 18 所示的正反器的細節。圖 19 所示的正反器包括第一薄膜電晶體 5571、第二薄膜電晶體 5572、第三薄膜電晶體 5573、第四薄膜電晶體 5574、第五薄膜電晶體 5575、第六薄膜電晶體 5576、第七薄膜電晶體 5577、和第八薄膜電晶體 5578。第一薄膜電晶體 5571、第二薄膜電晶體 5572、第三薄膜電晶體 5573、第四薄膜電晶體 5574、第五薄膜電晶體 5575、第六薄膜電晶體 5576、第七薄膜電晶體 5577、和第八薄膜電晶體 5578 中的每一個都是 n 通道電晶體並在閘極-源極電壓 (V_{gs}) 超過閾值電壓 (V_{th}) 時導通。

另外，圖 19 所示的正反器包括第一佈線 5501、第二佈線 5502、第三佈線 5503、第四佈線 5504、第五佈線 5505、和第六佈線 5506。

注意，雖然此處所有薄膜電晶體都為增強型 n 通道電晶體，但是本發明並不限於此。例如，驅動電路可以用空乏型 n 通道電晶體。

接下來，下文將說明圖 18 所示的正反器的連接結構。

第一薄膜電晶體 5571 的第一電極（源極電極和汲極電極的其中一個）被連接到第四佈線 5504。第一薄膜電晶體 5571 的第二電極（源極電極和汲極電極的另一個）被連接到第三佈線 5503。

第二薄膜電晶體 5572 的第一電極被連接到第六佈線 5506 而第二薄膜電晶體 5572 的第二電極被連接到第三佈線 5503。

第三薄膜電晶體 5573 的第一電極和閘極電極被連接到第五佈線 5505 而第三薄膜電晶體 5573 的第二電極被連接到第二薄膜電晶體 5572 的閘極電極。

第四薄膜電晶體 5574 的第一電極被連接到第六佈線 5506，第四薄膜電晶體 5574 的閘極電極被連接到第一薄膜電晶體 5571 的閘極電極，而第四薄膜電晶體 5574 的第二電極被連接到第二薄膜電晶體 5572 的閘極電極。

第五薄膜電晶體 5575 的第一電極被連接到第五佈線 5505，第五薄膜電晶體 5575 的閘極電極被連接到第一佈

線 5501，而第五薄膜電晶體 5575 的第二電極被連接到第一薄膜電晶體 5571 的閘極電極。

第六薄膜電晶體 5576 的第一電極被連接到第六佈線 5506，第六薄膜電晶體 5576 的閘極電極被連接到第二薄膜電晶體 5572 的閘極電極，而第六薄膜電晶體 5576 的第二電極被連接到第一薄膜電晶體 5571 的閘極電極。

第七薄膜電晶體 5577 的第一電極被連接到第六佈線 5506，第七薄膜電晶體 5577 的閘極電極被連接到第二佈線 5502，而第七薄膜電晶體 5577 的第二電極被連接到第一薄膜電晶體 5571 的閘極電極。

第八薄膜電晶體 5578 的第一電極被連接到第六佈線 5506，第八薄膜電晶體 5578 的閘極電極被連接到第一佈線 5501，而第八薄膜電晶體 5578 的第二電極被連接到第二薄膜電晶體 5572 的閘極電極。

注意，連接了第一薄膜電晶體 5571 的閘極電極、第四薄膜電晶體 5574 的閘極電極、第五薄膜電晶體 5575 的第二電極、第六薄膜電晶體 5576 的第二電極、和第七薄膜電晶體 5577 的第二電極的點被稱為節點 5543。連接了第二薄膜電晶體 5572 的閘極電極、第三薄膜電晶體 5573 的第二電極、第四薄膜電晶體 5574 的第二電極、第六薄膜電晶體 5576 的閘極電極、和第八薄膜電晶體 5578 的第二電極的點被稱為節點 5544。

注意，第一佈線 5501、第二佈線 5502、第三佈線 5503、和第四佈線 5504 可以分別被稱為第一信號線、第

二信號線、第三信號線、和第四信號線。第五信號線 5505 和第六信號線 5506 可以分別被稱為第一電源線和第二電源線。

在第 i 級的正反器 5701 $_i$ 中，圖 19 中的第一佈線 5501 被連接到圖 18 中的第七佈線 5717 $_{i-1}$ 。圖 19 中的第二佈線 5502 被連接到圖 18 中的第七佈線 5717 $_{i+1}$ 。圖 19 中的第三佈線 5503 被連接到圖 18 中的第七佈線 5717 $_i$ 。圖 19 中的第六佈線 5506 被連接到第五佈線 5715。

如果“ i ”為奇數，那麼圖 19 中的第四佈線 5504 被連接到圖 18 中的第二佈線 5712；如果“ i ”為偶數，那麼圖 19 中的第四佈線 5504 被連接到圖 18 中的第三佈線 5713。另外，圖 19 中的第五佈線 5505 被連接到圖 18 中的第四佈線 5714。

注意，在第一級的正反器 5701 $_1$ 中，圖 19 中的第一佈線 5501 被連接到圖 18 中的第一佈線 5711。另外，在第 n 級的正反器 5701 $_n$ 中，圖 19 中的第二佈線 5502 被連接到圖 18 中的第六佈線 5716。

注意，信號線驅動電路和掃描線驅動電路可以只使用實施例 3 所述的 n 通道 TFT 形成。實施例 3 中所述的 n 通道 TFT 具有高遷移率，從而可以提高驅動電路的驅動頻率。另外，在實施例 3 所述的 n 通道 TFT 中，由於藉由使用 In-Ga-Zn-O 類非單晶薄膜形成的源極區和汲極區減小了寄生電容，所以頻率特性（稱為 f 特性）高。例如

，用實施例 3 所述的 n 通道 TFT 形成的掃描線驅動電路可以高速操作，從而可以提高框頻率並可以實現黑色影像（black image）的插入等。

另外，當增加掃描線驅動電路中電晶體的通道寬度或者配置多個掃描線驅動電路時，可以實現更高的框頻率。當配置多個掃描線驅動電路時，用於驅動偶數掃描線的掃描線驅動電路配置於一側，而用於驅動奇數掃描線的掃描線驅動電路配置於相對置的一側；因而，可以實現框頻率的提高。另外，由多個掃描線驅動電路向一條掃描線輸出信號具有增大顯示裝置尺寸的優點。

另外，當製造作為顯示裝置的示例的主動矩陣型發光顯示裝置時，在至少一個像素中配置了多個電晶體，因而較佳配置多個掃描線驅動電路。圖 14B 為表示主動矩陣型發光顯示裝置的示例的方塊圖。

圖 14B 所示的發光顯示裝置在基板 5400 上包括：像素部分 5401，其包括每個都配置有顯示元件的多個像素；選擇像素的第一掃描線驅動電路 5402 和第二掃描線驅動電路 5404；以及信號線驅動電路 5403，其控制輸入到所選像素的視頻信號。

當輸入到圖 14B 所示顯示裝置的像素的視頻信號為數位信號時，藉由切換電晶體的導通/關斷而使像素處於發光態或非發光態。這樣，可以使用面積比灰度驅動法（area ratio grayscale method）或時間比灰度驅動法（time ratio grayscale method）來顯示灰度。面積比灰度驅動法

是指這樣的驅動方法：利用該方法，一個像素被劃分成多個子像素並且基於視頻信號單獨驅動每個子像素從而顯示灰度。此外，時間比灰度驅動法是指這樣的驅動方法：利用該方法，控制像素處於發光態的期間從而顯示灰度。

因為發光元件的反應速度高於液晶元件等元件，所以發光元件比液晶元件更適合於時間比灰度驅動法。在用時間灰度法顯示的情況中，一個框周期被劃分成多個子框周期。然後，根據視頻信號，像素中的發光元件在每個子框周期中被設為處於發光態或非發光態。藉由將一個框劃分成多個子框，可以用視頻信號控制一個框周期中像素發光的時間總長度，從而顯示灰度。

在圖 14B 所示的發光顯示裝置中，在兩個切換 TFT 被設置於一個像素中的情況下，第一掃描線驅動電路 5402 產生被輸入到用做為一個切換 TFT 的閘極佈線的第一掃描線的信號，而第二掃描線驅動電路 5404 產生被輸入到用做為另一個切換 TFT 的閘極佈線的第二掃描線的信號；然而，一個掃描線驅動電路可以產生全部兩個被輸入到第一掃描線的信號和被輸入到第二掃描線的信號。另外，例如，有可能在每個像素中配置多個用於控制切換元件的操作的掃描線，這取決於一個像素中所包括的切換 TFT 的數量。在該情況中，一個掃描線驅動電路可以產生所有被輸入到所述多條掃描線的信號，或者多個掃描線驅動電路可以產生被輸入到所述多條掃描線的信號。

另外，還是在發光顯示裝置中，可以在與像素部分的

薄膜電晶體相同的基板之上形成驅動電路中的可以包括 n 通道 TFT 的那部分驅動電路。替代地，信號線驅動電路和掃描線驅動電路可以只使用實施例 3 中所述的 n 通道 TFT 形成。

另外，上述驅動電路可以被用於使用被電連接到切換元件的元件來驅動電子墨水的電子紙，而不只限於應用於液晶顯示裝置或發光顯示裝置。電子紙也被稱為電泳顯示裝置（電泳顯示器），其優點在於：可讀性與普通紙相當；與其他顯示裝置具有更低的功耗；並且可以被製造得更輕更薄。

電泳顯示器可以具有各種模式。例如，電泳顯示器包括分散於溶劑或者溶質中的多個微囊，每個微囊包括帶正電的第一顆粒和帶負電的第二顆粒。在該情況中，藉由對微囊施加電場，微囊中的顆粒沿相互相反的方向移動並且只有聚集於一側上的顆粒的色彩可以被呈現出來。注意，第一顆粒和第二顆粒每個都包括色素（pigment）並且在沒有電場時不移動。另外，第一顆粒和第二顆粒的色彩（包括無色或無色素）彼此不同。

這樣，電泳顯示器是這樣的顯示器，它使用由電場等移動顆粒的系統。電泳顯示器不需要偏振器或對置基板，這在液晶顯示裝置中是必需的，據此，電泳顯示器的厚度和重量可以被顯著減小。

藉由將上述微囊分散遍佈於溶劑中而得到的溶液被稱為電子墨水。該電子墨水可以被印刷在玻璃、塑膠、布、

或紙等的表面上。另外，藉由使用濾色片（color filter）或具有色素的顆粒，還能夠進行彩色顯示。

當在主動矩陣基板上配置多個微囊並將微囊插在形成於主動矩陣基板之上的一個電極和另一電極之間時，就完成了主動矩陣型顯示裝置。主動矩陣型顯示裝置可以藉由將電場施加到微囊來進行顯示。作為主動矩陣基板，例如，可以使用使用了實施例 3 所得到的薄膜電晶體的主動矩陣基板。

注意，微囊中的第一顆粒和第二顆粒可以每個都由選自導電材料、絕緣材料、半導體材料、磁性材料、液晶材料、鐵電材料、電致發光材料、電致變色材料、或磁泳材料中的單一材料構成，或者由任意這些材料的複合材料構成。

經過上述製程，可以製造高可靠性的顯示裝置作為半導體裝置。

本實施例可以適當地結合任意其他實施例來實施。

[實施例 5]

本實施例中，製造了薄膜電晶體，並且可以使用用於像素部分和驅動電路的薄膜電晶體來製造具有顯示功能的半導體裝置（也被稱為顯示裝置）。另外，驅動電路的一部分或全部可以使用本發明實施例所述的薄膜電晶體而被形成於與像素部分相同的基板之上，由此可以得到面板上系統（system-on-panel）。

顯示裝置包括顯示元件。作為顯示元件，可以使用液晶元件（也被稱為液晶顯示元件）或者發光元件（也被稱為發光顯示元件）。發光元件的類別中包括亮度受電流或電壓控制的元件，並且具體地，包括無機電致發光（EL）元件、有機 EL 元件等。另外，可以使用對比度被電效應改變的顯示介質，諸如電子墨水。

另外，顯示裝置包括其中密封了顯示元件的面板，在面板上安裝了包括控制器等 IC 的模組。顯示裝置包括與在顯示裝置製造過程中完成顯示元件之前的一個模式對應的元件基板，且元件基板配置有用於向多個像素的每一個中的顯示元件供應電流的單元。具體地，元件基板可以處於以下狀態：只提供了顯示元件的像素電極的狀態；在形成了要成為像素電極的導電膜後且在導電膜被蝕刻以形成像素電極之前的狀態；或者其他任意狀態。

注意，本說明書中的顯示裝置是指影像顯示裝置、顯示裝置、或者光源（包括發光裝置）。另外，顯示裝置在其類別中包括任意下列模組：附著有諸如可撓性印刷電路（FPC）、捲帶式自動接合（TAB）帶、或者帶載封裝（TCP）的連接器的模組；具有在端部配置有印刷線路板的 TAB 帶或者 TCP 的模組；和具有利用玻璃上晶片接合（COG）法直接安裝在顯示元件上的積體電路（IC）的模組。

在本實施例中，以液晶顯示裝置作為半導體裝置的示例進行說明。結合圖 22A1 到 22B 說明作為本發明的半導體

體裝置的一個實施例的液晶顯示面板的外觀和剖面。圖 22A1 和 22A2 為面板的俯視圖，其中用密封劑 4005 將每個都包括 In-Ga-Zn-O 類非單晶膜的高可靠性的薄膜電晶體 4010 和 4011、和液晶元件 4013 密封於第一基板 4001 和第二基板 4006 之間。圖 22B 為沿圖 22A1 和 22A2 的 M-N 線截取的剖面圖。

提供密封劑 4005 以包圍配置在第一基板 4001 上的像素部分 4002 和掃描線驅動電路 4004。第二基板 4006 配置在像素部分 4002 和掃描線驅動電路 4004 上方。因此，利用第一基板 4001、密封劑 4005、和第二基板 4006，將像素部分 4002 和掃描線驅動電路 4004 與液晶 4008 一起密封起來。使用單晶半導體膜或者多晶半導體膜形成在單獨製備的基板之上的掃描線驅動電路 4003 被安裝在第一基板 4001 上的由密封劑 4005 所包圍區域以外的區域中。

注意，單獨形成的驅動電路的連接方法不受特定限制，可以使用 COG 法、打線接合法、或 TAB 法等。圖 22A1 表示了利用 COG 法安裝信號線驅動電路 4003 的示例，圖 22A2 表示了利用 TAB 法安裝信號線驅動電路 4003 的示例。

配置在第一基板 4001 之上的像素部分 4002 和掃描線驅動電路 4004 的每個都包括多個薄膜電晶體。圖 22B 表示了像素部分 4002 中所包括的薄膜電晶體 4010 和掃描線驅動電路 4004 中所包括的薄膜電晶體 4011。絕緣層 4020 和 4021 被配置於薄膜電晶體 4010 和 4011 上方。

薄膜電晶體 4010 和 4011 每個都對應於實施例 3 所述的高可靠性的薄膜電晶體，其中包括 In-Ga-Zn-O 類非單晶膜作為半導體層。在本實施例中，薄膜電晶體 4010 和 4011 為 n 通道薄膜電晶體。

液晶元件 4013 所包括的像素電極層 4030 被電連接到薄膜電晶體 4010。液晶元件 4013 的對置電極層 4031 被形成於第二基板 4006 上。像素電極層 4030、對置電極層 4031、和液晶層 4008 相互重疊的部分對應於液晶元件 4013。注意，像素電極層 4030 和對置電極層 4031 分別配置有每一個都用做為配向膜的絕緣層 4032 和絕緣層 4033，由絕緣層 4032 和 4033 夾著插入其間的液晶 4008。

注意，第一基板 4001 和第二基板 4006 可以使用玻璃、金屬（通常為不銹鋼）、陶瓷、或塑膠形成。作為塑膠的示例，可以使用纖維玻璃強化塑膠（FRP）板、聚氟乙烯（PVF）膜、聚酯膜、或丙烯酸樹脂膜。另外，可以使用具有將鋁箔夾在 PVF 膜或聚酯膜之間的結構的薄片。

附圖標記 4035 表示柱狀間隔件，它是藉由選擇性地蝕刻絕緣膜而得到的，用於控制像素電極層 4030 和對置電極層 4031 之間的距離（單元間隙）。另外，也可以使用球形間隔件。另外，對置電極層 4031 被電連接到在與薄膜電晶體 4010 相同的基板之上形成的共用電位線。對置電極層 4031 和共用電位線由共用連接部分相互電連接，其間夾著配置在該一對基板之間的導電顆粒。注意，導電顆粒包括在密封劑 4005 中。

替代地，可以使用無需配向膜的藍相液晶。藍相是液晶相中的一種，它是在膽甾相液晶的溫度增加時，恰好在膽甾相變成各向同性相之前產生的。因為藍相只產生於窄溫度範圍內，所以將混合有 5wt% 或更多的手性劑的液晶合成物用於液晶層 4008 以改進溫度範圍。包括藍相液晶和手性劑的液晶合成物具有這樣的特徵，亦即反應速度短到 10 μ s 到 100 μ s，所以因液晶合成物具有光學各向同性而無需配向過程，且視角依賴性小。

注意，本實施例的液晶顯示裝置為透射型液晶顯示裝置的示例；然而，本實施例所述的液晶顯示裝置可以被應用於反射式液晶顯示裝置和半透射式液晶顯示裝置。

本實施例中，說明了這樣的液晶顯示裝置的示例，其中將偏振片配置在比基板更靠外側的位置（觀視側），且用於顯示元件的色彩層和電極層配置在比基板更靠內側的位置；然而，偏振片可以被配置在比基板更靠內側的位置。偏振片和色彩層的疊層結構不限於本實施例，而可以根據偏振片和色彩層的材料或製造步驟的條件適當設定。另外，可以配置用做為黑色矩陣（black matrix）的遮光膜。

在本實施例中，用做為保護層的絕緣層和平坦化絕緣膜（絕緣層 4020 和 4021）覆蓋在實施例 3 中得到的薄膜電晶體，從而減小薄膜電晶體表面的變動性並提高薄膜電晶體的可靠性。注意，配置保護膜以防止諸如有機物質、金屬物質、或空氣中所包括的濕氣等污染物雜質的進入，

且該保護膜較佳為緻密膜（dense film）。保護膜可以利用濺射法由使用氧化矽膜、氮化矽膜、氧氮化矽膜、氮氧化矽膜、氧化鋁膜、氮化鋁膜、氧氮化鋁膜、和／或氮氧化鋁膜構成的單層或疊層形成。在本實施例中，保護膜由濺射法形成；然而，本實施例不特定受此限制。保護膜可以藉由各種方法中的任意方法形成。

此處，形成具有疊層結構的絕緣層 4020 作為保護膜。此處，利用濺射法形成氧化矽膜作為絕緣層 4020 的第一層。氧化矽膜被用作保護膜，其具有防止用於源極電極層和汲極電極層的鋁膜的小丘（hillock）的效果。

另外，形成絕緣層作為保護膜的第二層。此處，作為絕緣層 4020 的第二層，利用濺射法形成氮化矽膜。當使用氮化矽膜作為保護膜中的一層時，可以防止鈉等移動離子進入半導體區，從而可以抑制 TFT 的電特性上的變化。

另外，在形成保護膜後，可以將半導體層退火（在 300℃ 到 400℃ 下）。

另外，形成絕緣層 4021 作為用做為平坦化膜的絕緣膜。耐熱的有機材料，諸如聚醯亞胺、丙烯酸、苯並環丁烯、聚醯胺、或環氧樹脂，可以被用於絕緣層 4021。除了此類有機材料之外，還可以使用低介電常數材料（低 k 材料）、矽氧烷類樹脂、PSG（磷矽酸鹽玻璃）、或 BPSG（硼磷矽酸鹽玻璃）等。注意，可以藉由層疊由這些材料形成的多個絕緣膜形成絕緣層 4021。

注意，矽氧烷類樹脂是由作為原材料的矽氧烷類材料形成並具有 Si-O-Si 鍵的樹脂。矽氧烷類樹脂可以包括有機基團（例如烷基或芳基）或氟基團作為取代基。另外，有機基團可以包括氟基團。

在絕緣層的形成方法方面沒有特定限制，根據絕緣層 4021 的材料可以採用任意下列方法：CVD 法、濺射法、SOG 法、旋塗法、浸漬法、噴塗法、液滴釋放法（例如噴墨法、絲網印刷法、或膠印法等）、刮刀法、輥式塗敷器（roll coater）、簾幕式塗敷器（curtain coater）、以及刮刀式塗敷器（knife coater）等方法。當使用材料溶液形成絕緣層 4021 時，可以在絕緣層 4021 的烘焙步驟的同時將半導體層退火（在 300℃到 400℃下）。絕緣層 4021 的烘焙步驟也用作半導體層的退火步驟，並且可以有效地製造顯示裝置。

像素電極層 4030 和對置電極層 4031 可以使用發光導電材料諸如含氧化鎢的氧化銦、含氧化鎢的氧化銦鋅、含氧化鈦的氧化銦、含氧化鈦的氧化銦錫、氧化銦錫（以下稱為 ITO）、氧化銦鋅、或添加了氧化矽的氧化銦錫等材料來形成。

另外，可以將包含導電高分子（也稱為導電聚合物）的導電合成物用於形成像素電極層 4030 和對置電極層 4031。由導電合成物形成的像素電極較佳具有小於或等於 $1.0 \times 10^4 \Omega/\text{方塊}$ 的薄層電阻以及在 550 nm 波長處大於或等於 70% 的透光率。另外，導電合成物中所包含的導電高

分子的電阻率較佳小於或等於 $0.1 \Omega \cdot \text{cm}$ 。

作為導電高分子，可以使用所謂的 π 電子共軛導電高分子。作為其示例，可以給出聚苯胺或其衍生物、聚吡咯（polypyrrole）或其衍生物、聚噻吩或其衍生物、以及它們中的兩種或更多種的共聚物等。

另外，從 FPC 4018 將各種信號和電位供應到單獨形成的信號線驅動電路 4003、掃描線驅動電路 4004、或者像素部分 4002。

在本實施例中，使用與液晶元件 4013 中所包括的像素電極層 4030 相同的導電膜形成連接端子電極 4015，並使用與薄膜電晶體 4010 和 4011 的源極電極層和汲極電極層相同的導電膜形成端子電極 4016。

連接端子電極 4015 經由各向異性導電膜 4019 電連接到 FPC 4018 中所包括的端子。

注意，圖 22A1 到 22B 表示了信號線驅動電路 4003 被單獨形成和安裝於第一基板 4001 上的示例；然而，本實施例不限於此結構。掃描線驅動電路可以被單獨形成然後安裝，或者只有信號線驅動電路的一部分或掃描線驅動電路的一部分可以被單獨形成然後安裝。

圖 23 表示了 TFT 基板 2600 被用於對應於半導體裝置的一種模式的液晶顯示模組的示例。

圖 23 表示了液晶顯示模組的示例，其中 TFT 基板 2600 和對置基板 2601 被用密封劑 2602 相互固定，並且在基板之間配置包括 TFT 等的像素部分 2603、包括液晶

層的顯示元件 2604、著色層 2605、和偏振片 2606 以形成顯示區域。需要色彩層 2605 以進行彩色顯示。在 RGB 系統的情況中，為相應的像素提供對應於紅、黃、和藍色的色彩層。偏振片 2606 和 2607 以及擴散板 2613 被配置在 TFT 基板 2600 和對置基板 2601 的外側。光源包括冷陰極管 2610 和反射板 2611，而電路基板 2612 經由可撓性線路板 2609 被連接到 TFT 基板 2600 的佈線電路部分 2608 並且包括外部電路諸如控制電路或者電源電路。偏振片和液晶層可以夾著延遲板（retardation plate）被層疊起來。

對於液晶顯示模組，可以使用 TN（扭轉向列相）模式、IPS（平面內切換）模式、FFS（邊緣電場切換）模式、MVA（多象限垂直配向）模式、PVA（圖案化垂直配向）模式、ASM（軸對稱排列微胞）模式、OCB（光學補償雙折射）模式、FLC（鐵電液晶）模式、或 AFLC（反鐵電液晶）模式等。

經過上述製程，可以製造高可靠性的顯示裝置作為半導體裝置。

本實施例可以適當地結合任意其他實施例來實施。

[實施例 6]

本實施例中，以電子紙作為半導體裝置的示例進行說明。

圖 13 表示了主動矩陣電子紙作為半導體裝置的示例

。用於半導體裝置的薄膜電晶體 581 可以按與實施例 1 到 3 中任意所述的薄膜電晶體相似的方式製造。

圖 13 中的電子紙是使用扭轉球顯示系統 (twisting ball display system) 的顯示裝置的示例。扭轉球顯示系統是指這樣的方法，其中每個都著色成黑色和白色的球形顆粒被排列在顯示元件的第一電極層和第二電極層之間，並在第一電極層和第二電極層之間產生電位差以控制球形顆粒的配向，從而進行顯示。

形成於基板 580 之上的薄膜電晶體 581 為具有底閘極結構的薄膜電晶體，源極電極層或汲極電極層經由形成於絕緣層 583、584、和 585 中的接觸孔而被電連接到第一電極層 587。在第一電極層 587 和第二電極層 588 之間，配置每個都具有黑色區域 590a 和白色區域 590b 的球形顆粒 589，該球形顆粒 589 被填充了液體的空腔 594 包圍。圍繞球形顆粒 589 的空間被用填充物 595 諸如樹脂所填充 (見圖 13)。在圖 13 中，第一電極層 587 對應於像素電極，第二電極層 588 對應於共用電極。第二電極層 588 被電連接到配置於與薄膜電晶體 581 相同的基板之上的共用電位線。為基板 596 配置的第二電極層 588 和共用電位電極可以使用以上實施例中所述的共用連接部分相互電連接，在該一對基板之間插入有導電顆粒。

另外，作為扭轉球的替代，也可以使用電泳元件。在該情況中，使用直徑為大約 10 μm 到 200 μm 的微囊，其中密封了透明液體、帶正電的白色微粒、和帶負電的黑色

微粒。在配置於第一電極層和第二電極層之間的微囊中，當利用第一電極層和第二電極層施加電場時，白色微粒和黑色微粒朝相互相反的一側移動，從而顯示白色或黑色。使用該原理的顯示元件為電泳顯示元件並且通常被稱為電子紙。電泳顯示元件的反射率高於液晶顯示裝置，因而，不需要輔助光，功耗低，並且在暗處可以識別顯示部分。另外，即使在不向顯示部分供電時，影像一旦已經被顯示就能被保持。因此，即使具有顯示功能的半導體裝置（其可以被簡稱為顯示裝置或配置有顯示裝置的半導體裝置）遠離電波源，所顯示的影像也可以被儲存。

經過上述製程，可以製造高可靠性的顯示裝置作為半導體裝置。

本實施例可以適當地結合任意其他實施例來實施。

[實施例 7]

本實施例中，作為半導體裝置的示例說明了發光顯示裝置。作為顯示裝置中所包括的顯示元件，此處說明利用電致發光的發光元件。根據發光材料是有機化合物還是無機化合物對利用電致發光的發光元件分類。通常，前者被稱為有機 EL 元件，而後者被稱為無機 EL 元件。

在有機 EL 元件中，藉由對發光元件施加電壓，電子和電洞被分別從一對電極注入到包含發光有機化合物的層中，從而使電流流動。載子（電子和電洞）複合，從而激發發光有機化合物。發光有機化合物從激發態返回到基態

，由此發光。由於這種機制，該發光元件被稱為電流激發發光元件。

無機 EL 元件根據它們的元件結構被劃分成分散型無機 EL 元件和薄膜型無機 EL 元件。分散型無機 EL 元件具有發光層，其中發光材料的顆粒被分散在粘合劑中，並且它的發光機制為利用施體能級和受體能級的施體－受體複合型發光。薄膜型無機 EL 元件具有這樣的結構：在電介質層之間夾著發光層，其被進一步夾在電極之間；並且它的發光機制為利用金屬離子的內層電子躍遷的局部型（localized type）發光。注意，此處使用有機 EL 元件作為發光元件進行說明。

圖 20 表示了可以採用數位時間灰度驅動（digital time grayscale driving）的像素結構的示例，作為半導體裝置的示例。

下面說明可以採用數位時間灰度驅動的像素的結構和操作。在本示例中，一個像素包括每個都包括氧化物半導體層（In-Ga-Zn-O 類非單晶膜）作為通道形成區的兩個 n 通道電晶體。

像素 6400 包括切換電晶體 6401、驅動電晶體 6402、發光元件 6404、和電容器 6403。切換電晶體 6401 的閘極被連接到掃描線 6406，切換電晶體 6401 的第一電極（源極電極和汲極電極的其中一個）被連接到信號線 6405，而切換電晶體 6401 的第二電極（源極電極和汲極電極的另一個）被連接到驅動電晶體 6402 的閘極。驅動電晶體

6402 的閘極經由電容器 6403 被連接到電源線 6407，驅動電晶體 6402 的第一電極被連接到電源線 6407，而驅動電晶體 6402 的第二電極被連接到發光元件 6404 的第一電極（像素電極）。發光元件 6404 的第二電極對應於共用電極 6408。共用電極 6408 被電連接到形成於相同基板之上的共用電位線。其中共用電極 6408 和公用電位線被相互連接的共用連接部分可以具有如圖 1A、圖 2A、或圖 3A 所示的結構。

發光元件 6404 的第二電極（共用電極 6408）被設為低電源電位。注意，所述低電源電位為關於對電源線 6407 所設的高電源電位滿足低電源電位 < 高電源電位的電位。作為低電源電位，例如，可以採用 GND、或 0V 等。高電源電位和低電源電位之間的電位差被施加到發光元件 6404 並且電流被供應到發光元件 6404，使得發光元件 6404 發光。此處，為了讓發光元件 6404 發光，每個電位都被設定為使得高電源電位和低電源電位之間的電位差為正向閾值電壓或更高。

注意，驅動電晶體 6402 的閘極電容器可以被用於代替電容器 6403，從而可以省略電容器 6403。驅動電晶體 6402 的閘極電容器可以被形成於通道區和閘極電極之間。

在電壓輸入電壓驅動法的情況中，視頻信號被輸入到驅動電晶體 6402 的閘極使得驅動電晶體 6402 處於充分地導通和關斷這兩個狀態中的某一個狀態。亦即，驅動電晶

體 6402 操作在線性區。因為驅動電晶體 6402 操作在線性區，所以比電源線 6407 的電壓更高的電壓被施加到驅動電晶體 6402 的閘極。注意，比（電源線 + 驅動電晶體 6402 的 V_{th} 的電壓）更高或相等的電壓被施加到信號線 6405。

在進行類比灰度驅動而非數位時間灰度驅動的情況中，藉由改變信號輸入可以使用如圖 20 所示那樣的相同像素結構。

在進行類比灰度驅動的情況中，比（發光元件 6404 的正向電壓 + 驅動電晶體的 V_{th} ）更高或相等的電壓被施加到驅動電晶體 6402 的閘極。發光元件 6404 的正向電壓表示要獲得所需亮度時的電壓，並且至少包括正向閾值電壓。輸入使驅動電晶體 6402 操作在飽和區的視頻信號，使得電流可以被供應到發光元件 6404。為了讓驅動電晶體 6402 操作在飽和區，電源線 6407 的電位被設得高於驅動電晶體 6402 的閘極電位。當使用類比視頻信號時，可以將符合視頻信號的電流供應到發光元件 6404 並進行類比灰度驅動。

注意，像素結構並不限於圖 20 中所示。例如，可以對圖 20 所示的像素添加開關、電阻器、電容器、電晶體、或邏輯電路等。

接下來，結合圖 21A 到 21C 說明發光元件的結構。用 n 通道 TFT 作為示例說明像素的剖面結構。用於圖 21A 到 21C 所示的半導體裝置的驅動 TFT 7001、7011、和

7021 可以按與實施例 3 所述的薄膜電晶體相似的方式製造，並且是每個都包括 In-Ga-Zn-O 類非單晶膜作為半導體層的高可靠性的薄膜電晶體。

為了提取從發光元件發出的光，陽極和陰極中的至少一個需要透光。薄膜電晶體和發光元件被形成於基板上方。發光元件可以具有：頂部發光結構，其中經由與基板相對置的表面提取發光；底部發光結構，其中經由基板側上的表面提取發光；或者雙發光結構，其中經由與基板相對置的表面和基板側上的表面提取發光。本發明實施例的像素結構可以被應用於具有任意這些發光結構的發光元件。

結合圖 21A 說明具有頂部發光結構的發光元件。

圖 21A 為像素的剖面圖，其中驅動 TFT 7001 為 n 通道 TFT 並且光從發光元件 7002 發射到陽極 7005 側。在圖 21A 中，發光元件 7002 的陰極 7003 被電連接到驅動 TFT 7001，且發光層 7004 和陽極 7005 被按此順序層疊於陰極 7003 之上。陰極 7003 可以被使用各種導電材料形成，只要它們具有低功函數並且反射光即可。例如，較佳使用 Ca、Al、CaF、MgAg、或 AlLi 等。發光層 7004 可以使用單層或層疊的多層來形成。當使用多層形成發光層 7004 時，藉由將電子注入層、電子傳輸層、發光層、電洞傳輸層、和電洞注入層按此順序層疊於陰極 7003 之上來形成發光層 7004。不需要形成所有這些層。陽極 7005 使用發光導電材料諸如含氧化鎢的氧化銦、含氧化鎢的氧化銦鋅、含氧化鈦的氧化銦、含氧化鈦的氧化銦錫、氧化

銦錫（以下稱爲 ITO）、氧化銦鋅、或添加了氧化矽的氧化銦錫的膜來形成。

發光元件 7002 對應於在陰極 7003 和陽極 7005 之間夾著發光層 7004 的區域。在圖 21A 所示像素的情況中，光如箭頭所示那樣從發光元件 7002 發射到陽極 7005 側。

接下來，結合圖 21B 說明具有底部發光結構的發光元件。圖 21B 爲像素的剖面圖，是驅動 TFT 7011 爲 n 通道 TFT 並且光從發光元件 7012 發射到陰極 7013 側的情況。在圖 21B 中，發光元件 7012 的陰極 7013 被形成在電連接到驅動 TFT 7011 的發光導電膜 7017 上方，而發光層 7014 和陽極 7015 按此順序層疊於陰極 7013 上方。當陽極 7015 具有透光特性時，可以形成用於反射或阻擋光的遮光膜 7016 以覆蓋陽極 7015。對於陰極 7013，如圖 21A 的情況那樣可以使用各種材料，只要它們是具有低功函數的導電材料即可。陰極 7013 被形成爲可以透光的厚度（較佳地，爲約 5 nm 到 30 nm）。例如，可以將厚度爲 20 nm 的鋁膜用作陰極 7013。與圖 21A 的情況相似，發光層 7014 可以使用單層或層疊的多層來形成。陽極 7015 不需要透光，但可以使用如圖 21A 的情況那樣的透光導電材料來形成。作爲遮光膜 7016，例如可以使用反射光的金屬等；然而，並不限於金屬膜。例如，也可以使用添加了黑色素的樹脂等。

發光元件 7012 對應於發光層 7014 被夾在陰極 7013 和陽極 7015 之間的區域。在圖 21B 所示像素的情況中，

光如箭頭所示那樣從發光元件 7012 發射到陰極 7013 側。

接下來，結合圖 21C 說明具有雙發光結構的發光元件。在圖 21C 中，發光元件 7022 的陰極 7023 被形成於電連接到驅動 TFT 7021 的透光導電薄膜 7027 上方，而發光層 7024 和陽極 7025 被按此順序層疊於陰極 7023 上方。如圖 21A 的情況那樣，陰極 7023 可以使用各種材料來形成，只要它們是具有低功函數的導電材料即可。陰極 7023 被形成為可以透光的厚度。例如，可以將厚度為 20 nm 的鋁膜用作陰極 7023。與圖 21A 的情況相似，發光層 7024 可以使用單層或層疊的多層來形成。陽極 7025 可以使用如圖 21A 的情況那樣的透光導電材料來形成。

發光元件 7022 對應於陰極 7023、發光層 7024、和陽極 7025 相互重疊的區域。在圖 21C 所示像素的情況中，光如箭頭所示那樣從發光元件 7022 發射到陽極 7025 側和陰極 7023 側。

注意，雖然此處以有機 EL 元件作為發光元件進行了說明，但是也可以設置無機 EL 元件作為發光元件。

在本實施例中，說明了控制發光元件的驅動的薄膜電晶體（驅動 TFT）被電連接到發光元件的示例；然而，可以採用用於電流控制的 TFT 連接在驅動 TFT 和發光元件之間的結構。

本實施例所述的半導體裝置不限於圖 21A 到 21C 中所示的結構，而可以基於根據本發明所述技術的精神作出各種方式的修改。

下面，結合圖 24A 到 24B 說明作為本發明的半導體裝置的一個實施例的發光顯示面板（也被稱為發光面板）的外觀和剖面。圖 24A 為面板的俯視圖，其中用密封劑 4505 將形成在實施例 3 所述的第一基板 4501 上方且每個都包括 In-Ga-Zn-O 類非單晶膜作為半導體層的高可靠性的薄膜電晶體 4509 和 4510、以及和發光元件 4511 密封於第一基板 4501 和第二基板 4506 之間。圖 24B 為沿圖 24A 的 H-I 線截取的剖面圖。

提供密封劑 4505 以包圍配置於第一基板 4501 上方的像素部分 4502、信號線驅動電路 4503a 和 4503b、和掃描線驅動電路 4504a 和 4504b。另外，第二基板 4506 被配置於像素部分 4502、信號線驅動電路 4503a 和 4503b、和掃描線驅動電路 4504a 和 4504b 上方。因此，利用第一基板 4501、密封劑 4505、和第二基板 4506，將像素部分 4502、信號線驅動電路 4503a 和 4503b、和掃描線驅動電路 4504a 和 4504b 與填充物 4507 一起密封起來。較佳地，用具有高氣密性和低脫氣性的保護膜（諸如層壓膜（laminate film）或紫外線固化樹脂膜）或者覆蓋材料來封裝（密封）面板，如上所述，使得面板不被暴露於外部空氣。

形成於第一基板 4501 上方的像素部分 4502、信號線驅動電路 4503a 和 4503b、和掃描線驅動電路 4504a 和 4504b 的每個都包括多個薄膜電晶體，且像素部分 4502 所包括的薄膜電晶體 4510 和信號線驅動電路 4503a 所包

括的薄膜電晶體 4509 如圖 24B 的示例所示。

作為每個薄膜電晶體 4509 和 4510，可以使用實施例 3 所述的高可靠性的薄膜電晶體，其中包括 In-Ga-Zn-O 類非單晶膜作為半導體層。在本實施例中，薄膜電晶體 4509 和 4510 為 n 通道薄膜電晶體。

另外，附圖標記 4511 表示發光元件。作為發光元件 4511 所包括的像素電極的第一電極層 4517 被電連接到薄膜電晶體 4510 的源極電極層或汲極電極層。注意，發光元件 4511 的結構為第一電極層 4517、電致發光層 4512、和第二電極層 4513 的疊層結構，但是本發明不限於本實施例所述。發光元件 4511 的結構可以根據從發光元件 4511 提取光的方向等來適當改變。

使用有機樹脂膜、無機絕緣膜、或有機聚矽氧烷形成分隔壁 (partition wall) 4520。特別佳的是，分隔壁 4520 使用感光材料形成並且以使開口的側壁形成為具有連續曲率的傾斜表面的方式在第一電極層 4517 的上方形成開口。

電致發光層 4512 可以被形成為具有單層或層疊的多層。

保護膜可以被形成於第二電極層 4513 和分隔壁 4520 上方以防止氧、氫、濕氣、或二氧化碳等進入發光元件 4511。作為保護膜，可以使用氮化矽膜、氮氧化矽膜、或 DLC 薄膜等。

另外，將各種信號和電位從 FPC 4018a 和 4518b 供應

到信號線驅動電路 4503a 和 4503b、掃描線驅動電路 4504a 和 4504b、或者像素部分 4502。

在本實施例中，使用與發光元件 4511 所包括的第一電極層 4517 相同的導電膜形成連接端子電極 4515，而使用與薄膜電晶體 4509 和 4510 所包括的源極電極層和汲極電極層相同的導電膜形成端子電極 4516。

連接端子電極 4515 經由各向異性導電膜 4519 電連接到 FPC 4518a 所包括的端子。

位於從發光元件 4511 中提取光的方向上的第二基板需要具有透光特性。在該情況中，使用透光材料，諸如玻璃板、塑膠板、聚酯膜、或丙烯酸膜。

作為填充物 4507，除了惰性氣體諸如氮或氬之外，還可以使用紫外線固化樹脂或熱固性樹脂。例如，可以使用 PVC（聚氯乙烯）、丙烯酸、聚醯亞胺、環氧樹脂、矽酮樹脂、PVB（聚乙烯醇縮丁醛）、或者 EVA（~~乙~~烯-醋酸乙烯）。本實施例中，氮被用於填充物 4507。

另外，如果需要的話，可以適當地在發光元件的發光表面上配置光學膜，諸如偏振片、圓偏振片（包括橢圓偏振片）、延遲板（四分之一波板或半波板）、或者濾色片。另外，偏振片或者圓偏振片可以被配置有抗反射膜。例如，可以進行抗眩光處理，據此可以使反射光被表面上的凸起和凹陷所散射，以減少眩光。

信號線驅動電路 4503a 和 4503b 以及掃描線驅動電路 4504a 和 4504b 可以被配置作為使用單晶半導體膜或者多

晶半導體膜形成在單獨製備的基板上方的驅動電路。另外，只有信號線驅動電路或者其一部分、或者掃描線驅動電路或者其部分可以被單獨形成和安裝。本實施例不限於圖 24A 和 24B 中所示的結構。

經過上述製程，可以製造高可靠性的發光顯示裝置（顯示面板）作為半導體裝置。

本實施例可以適當地結合任意其他實施方式來實施。

[實施例 8]

本發明所述的半導體裝置可以被應用於電子紙。電子紙可以用於各個領域的電子裝置，只要它們能顯示資料即可。例如，根據本發明所述的電子紙可以被應用於電子書（e-book）閱讀器、海報、諸如火車等交通工具中的廣告、諸如信用卡的各種卡的顯示器等等。電子裝置的示例如圖 25A 和 25B 以及圖 26 所示。

圖 25A 表示了使用電子紙形成的海報 2631。在廣告媒介為印刷紙製品的情況中，廣告由人工來更換；但是，藉由使用電子紙，廣告的顯示可以在短時間內改變。另外，影像可以被穩定顯示而不會失真。注意，海報可以被構造成無線地發送和接收資料。

圖 25B 表示了諸如火車的交通工具中的廣告 2632。在廣告媒介為印刷品的情況中，廣告由人力替換；然而，藉由使用電子紙，廣告顯示可以在短時間內改變而不用大量人力。另外，影像可以被穩定顯示而不會失真。注意，

交通工具中的廣告可以被構造成無線發送和接收資料。

圖 26 表示了電子書閱讀器 2700 的示例。例如，電子書閱讀器 2700 包括兩個殼體，殼體 2701 和殼體 2703。殼體 2701 和殼體 2703 被用鉸鏈 2711 組合起來，從而可以以鉸鏈 2711 為軸打開和關閉電子書閱讀器 2700。用這樣的結構，電子書閱讀器 2700 可以像紙質書那樣操作。

顯示部分 2705 和顯示部分 2707 分別被包含在殼體 2701 和殼體 2703 中。顯示部分 2705 和顯示部分 2707 可以被構造為顯示一幅影像或不同的影像。在顯示部分 2705 和顯示部分 2707 顯示不同的影像的情況中，例如，右側的顯示部分（圖 26 中的顯示部分 2705）可以顯示文本而左側的顯示部分（圖 26 中的顯示部分 2707）可以顯示影像。

圖 26 表示了殼體 2701 配置有操作部分等的示例。例如，殼體 2701 配置有電源開關 2721、操作鍵 2723、以及揚聲器 2725 等。可以利用操作鍵 2723 來換頁。注意，在配置了顯示部分的殼體的表面上，可以配置鍵盤、或指向裝置等。另外，外部連接端子（諸如耳機端子、USB 端子、或可以連接到諸如 AC 適配器和 USB 電纜等各種電纜的端子）、或記錄媒體插入部分等可以被配置於殼體的背面或側面。另外，電子書閱讀器 2700 可以具有電子詞典的功能。

電子書閱讀器 2700 可以被構造成無線地發送和接收資料。可以採用從電子書伺服器上無線地購買和下載所需

書籍資料等的結構。

[實施例 9]

本發明所述的半導體裝置可以被應用於各種電子裝置（包括遊戲機）。電子裝置的示例包括電視機（也被稱為電視或電視接收機）、電腦的顯示器等、諸如數位相機或數位攝像機的相機、數位相框、移動式電話手機（也被稱為移動式電話或移動式電話裝置）、攜帶型遊戲機、攜帶型資訊終端、音頻再生裝置（audio reproducing device）、和大型遊戲機諸如小鋼珠遊戲機（pachinko machine）等。

圖 27A 表示了電視機 9600 的示例。在電視機 9600 中，顯示部分 9603 被包含在殼體 9601 中。顯示部分 9603 可以顯示影像。另外，殼體 9601 被機座 9605 支撐。

電視機 9600 可以用殼體 9601 的或遙控器 9610 的操作開關操作。頻道和音量可以用遙控器 9610 的操作鍵 9609 控制，從而可以控制顯示部分 9603 上顯示的影像。另外，遙控器 9610 可以配置有顯示部分 9607，用於顯示從遙控器 9610 輸出的資料。

注意，電視機 9600 係配置有接收器、以及數據機等。可以利用接收器來接收通常的電視廣播。另外，當藉由數據機將電視機 9600 有線或無線地連接到通信網路時，可以進行單向的（從發射器到接收器）或者雙向的（發射

器和接收器之間或接收器之間）資料通信。

圖 27B 表示了數位相框 9700 的示例。例如，在數位相框 9700 中，顯示部分 9703 被包含在殼體 9701 中。顯示部分 9703 可以顯示各種影像。例如，顯示部分 9703 可以顯示由數位相機等拍攝的影像資料，其功能就像普通相框那樣。

注意，數位相框 9700 係配置有操作部分、外部連接部分（USB 端子、可以連接到諸如 USB 電纜等電纜的端子）、或記錄媒體插入部分等。儘管這些部件可以被配置於配置有顯示部分的表面上，但是從數位相框 9700 的設計上考慮，較佳將它們配置側面或背面。例如，儲存由數位相機拍攝的影像資料的記憶體被插入到數位相框的記錄媒體插入部分中，由此可以傳輸影像資料然後顯示在顯示部分 9703 上。

數位相框 9700 可以被構造成無線地發送和接收資料。可以採用無線地傳輸所需的影像資料以進行顯示的結構。

圖 28A 為攜帶型遊戲機並且包括兩個殼體，亦即連結部分 9893 連接起來的殼體 9881 和殼體 9891，使得攜帶型遊戲機可以被打開或折疊。顯示部分 9882 被包含在殼體 9881 中，而顯示部分 9883 被包含在殼體 9891 中。另外，圖 28A 所示的攜帶型遊戲機配置有揚聲器部分 9884、記錄媒體插入部分 9886、LED 燈 9890、輸入單元（操作鍵 9885、連接端子 9887、以及感測器 9888（其具

有測量力、位移、位置、速度、加速度、角速度、轉數、距離、光、液體、磁力、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電功率、輻射線、流速、濕度、傾斜度、震動、氣味、或紅外線的功能)、和麥克風 9889) 等。不用說, 攜帶型遊戲機的結構不限於以上所述結構。攜帶型遊戲機可以具有適當地配置了額外的附屬裝置的結構, 只要至少配置了本發明所述的半導體裝置即可。圖 28A 所示的攜帶型遊戲機具有閱讀儲存於儲存媒體中的程式或資料以將其顯示在顯示部分上的功能、和藉由無線通信與另一個攜帶型遊戲機共用資訊的功能。注意, 圖 28A 所示的攜帶型遊戲機的功能不限於以上所述的那些功能, 並且攜帶型遊戲機可以具有各種功能。

圖 28B 表示了作為大型遊戲機的拉霸機(slot machine)9900 的示例。在拉霸機 9900 中, 顯示部分 9903 被包含在殼體 9901 中。另外, 拉霸機 9900 配置有操作構件諸如啟動桿和停止開關、投幣口、揚聲器等。不用說, 拉霸機 9900 的結構不限於以上所述結構。拉霸機可以具有適當地配置了額外的附屬裝置的結構, 只要至少配置了本發明所述的半導體裝置即可。

圖 29A 表示了移動式電話手機 1000 的示例。移動式電話手機 1000 係配置有包含在殼體 1001 中的顯示部分 1002、操作按鈕 1003、外部連接埠 1004、揚聲器 1005、以及麥克風 1006 等。

當圖 29A 所示的移動式電話手機 1000 的顯示部分

1002 被手指等觸摸時，資料可以被輸入到移動式電話手機 1000 中。另外，可以藉由用手指等觸摸顯示部分 1002 執行諸如打電話和發送文字資訊的操作。

顯示部分 1002 主要有三個螢幕模式。第一模式為顯示模式，其主要用於顯示影像。第二模式為輸入模式，其主要用於輸入資料例如文本。第三模式為顯示並輸入模式，其為兩種模式的組合，亦即，顯示模式和輸入模式的組合。

例如，在打電話或發送文字資訊的情況中，為顯示部分 1002 選擇主要用於輸入文本的文本輸入模式，從而可以輸入螢幕上顯示的字元。在該情況中，較佳在顯示部分 1002 的整個螢幕區域上顯示鍵盤或數字鍵。

當在移動式電話手機 1000 中係配置包括諸如陀螺儀或者加速度感測器的用以檢測傾斜度的感測器的檢測裝置時，顯示部分 1002 的螢幕上的顯示可以藉由判斷移動式電話手機 1000 的方向（移動式電話手機 1000 是否為了風景模式或人像模式而被水平放置或垂直放置）被自動改變。

藉由觸碰顯示部分 1002 或使用殼體 1001 的操作按鈕 1003 改變螢幕模式。替代地，可以根據顯示部分 1002 上顯示的影像類型改變螢幕模式。例如，當顯示部分顯示的影像信號為移動影像資料時，螢幕模式被改變到顯示模式。當信號為一種文本資料時，螢幕模式被改變到輸入模式。

另外，在輸入模式中，當有一段時間沒有執行藉由觸摸顯示部分 1002 的輸入，並檢測到由顯示部分 1002 中的光學感測器檢測的信號時，螢幕模式可以被控制以從輸入模式改變到顯示模式。

顯示部分 1002 可以用作影像感測器。例如，當用手掌或指紋觸摸顯示部分 1002 時，掌紋、或指紋等的影像資料被獲取，由此可以進行身份識別。另外，藉由在顯示部分中提供背光或發出近紅外光的感光源，可以獲取指靜脈、或掌靜脈等的影像資料。

圖 29B 也表示了移動式電話手機的示例。圖 29B 中的移動式電話手機包括顯示裝置 9410 和通信裝置 9400。顯示裝置 9410 具有包括顯示部分 9412 和操作按鈕 9413 的殼體 9411。通信裝置 9400 具有包括操作按鈕 9402、外部輸入端子 9403、麥克風 9404、揚聲器 9405、和當收到來電時發光的發光部分 9406 的殼體 9401。具有顯示功能的顯示裝置 9410 可以在箭頭所示的兩個方向上從通信裝置 9400 上分離。因此，顯示裝置 9410 和具有電話功能的通信裝置 9400 可以沿其短軸或長軸彼此附著。當只需要顯示功能時，可以單獨使用顯示裝置 9410 而將通信裝置 9400 從顯示裝置 9410 上分離。通信裝置 9400 和顯示裝置 9410 的每個都能藉由無線通信或有線通信發射和接收影像或輸入資訊，並且每個都具有可充電電池。

[實例 1]

在本實施例中，說明了藉由使用氬氣和氧氣，對氧化物半導體層和絕緣膜進行乾式蝕刻所得的結果。

下面說明本實施例中所用的樣品。作為第一氧化物半導體層，利用濺射法在玻璃基板上方形形成厚度為 150 nm 的 In-Ga-Zn-O 類非單晶膜。形成條件如下：壓力為 0.4 Pa，功率為 500 W，形成溫度為 25℃，氬氣的流速為 10 sccm，氧氣的流速為 5 sccm，且基板和靶材之間的距離為 170 mm。使用以 1 : 1 : 1 的比例包含 In_2O_3 、 Ga_2O_3 、和 ZnO (In : Ga : Zn = 1 : 1 : 0.5) 的靶材。由這些形成條件所得到的第一氧化物半導體層的組分藉由電感耦合電漿質譜法 (ICP-MS) 來測量。測量結果為 $\text{InGa}_{0.94}\text{Zn}_{0.40}\text{O}_{3.31}$ 。

接下來，利用濺射法在玻璃基板上方形形成厚度為 150 nm 的 In-Ga-Zn-O 類非單晶膜，作為導電率高於第一氧化物半導體層的導電率的第二氧化物半導體層。形成條件如下：壓力為 0.4 Pa，功率為 500 W，形成溫度為 25℃，氬氣的流速為 40 sccm，並且基板和靶材之間的距離為 170 mm。使用以 1 : 1 : 1 的比例包含 In_2O_3 、 Ga_2O_3 、和 ZnO (In : Ga : Zn = 1 : 1 : 0.5) 的靶材。由這些形成條件所得到的第二氧化物半導體層的組分藉由電感耦合電漿質譜法來測量。測量結果為 $\text{InGa}_{0.95}\text{Zn}_{0.41}\text{O}_{3.33}$ 。

接下來，作為絕緣膜，利用 CVD 法在玻璃基板上方形形成厚度為 200 nm 的氧氮化矽膜。形成條件如下：壓力為 39.99 Pa，形成溫度為 400℃，矽烷的流速為 4 sccm， N_2O 的流速為 800 sccm，RF 功率為 150 W，並且電極之

間的距離為 28 mm。

然後，測量第一氧化物半導體層、第二氧化物半導體層、和絕緣膜的各自的蝕刻速率。使用諸如光致抗蝕劑的遮罩，以留下每種膜的（半蝕刻）方式，來蝕刻已經形成的第一氧化物半導體層、第二氧化物半導體層、和絕緣膜。此後，利用臺階高度測量（step-height measurement）裝置來測量第一氧化物半導體層的蝕刻量、第二氧化物半導體層的蝕刻量、和絕緣薄膜的蝕刻量，然後，根據膜蝕刻量和蝕刻所需時間之間的關係計算出它們各自的蝕刻速率（nm/min）。

利用在 ICP 功率為 1500 W（電極尺寸：370 mm×470 mm）、RF 偏壓為 200 W、壓力為 1.5 Pa、且基板溫度為 -10℃的條件下的 ICP 蝕刻法進行蝕刻。在本蝕刻中，採用了在作為蝕刻氣體的氮氣和氧氣的不同流速下的四種不同條件（氮氣流速：氧氣流速 = 100 sccm：0 sccm、85 sccm：15 sccm、70 sccm：30 sccm、和 55 sccm：45 sccm）。計算所述條件的相應的蝕刻速率。

蝕刻速率計算結果如圖 4 所示。在圖 4 中，橫軸表示蝕刻氣體（氮氣和氧氣的總和）中氧氣的含量（體積%），左側的縱軸表示蝕刻速率（nm/min），而右側的縱軸表示選擇性。另外，在圖 4 中，圓圈表示第一氧化物半導體層的蝕刻速率，三角表示第二氧化物半導體層的蝕刻速率，方塊表示絕緣膜的蝕刻速率，而十字表示選擇性。注意，圖 4 所示的選擇性為第一氧化物半導體層的蝕刻速率相

對於絕緣膜的蝕刻速率。

根據圖 4 所示的結果，即使增大蝕刻氣體中氧氣的含量（體積 %），在第一氧化物半導體層和第二氧化物半導體層之間的蝕刻速率上也未發現顯著差別。另一方面，結果表明，當增大蝕刻氣體中氧氣的含量（體積 %）時，絕緣膜的蝕刻速率下降。具體地，結果表明，當蝕刻氣體中氧氣的含量為 15 體積 % 或更多時，絕緣膜的蝕刻速率下降。

另外，可以理解的是，確定了第一氧化物半導體層的蝕刻速率相對於絕緣膜的蝕刻速率的選擇性（第一氧化物半導體層的蝕刻速率相對於絕緣膜的蝕刻速率之比），其表明，向蝕刻氣體中加入氧氣時選擇性最大增加到 4.2，而不向蝕刻氣體加入氧氣時選擇性小於 1，如圖 4 所示。另外，在第一氧化物半導體層和第二氧化物半導體層之間的蝕刻速率上未發現顯著差別。因此，關於第二氧化物半導體層相對於絕緣膜的蝕刻速率的選擇性，其結果類似於第一氧化物半導體層的蝕刻速率相對於絕緣膜的蝕刻速率的選擇性所得的相關結果。

如上所述，可以理解的是，當增大蝕刻氣體中所加入的氧氣比例時，絕緣膜的蝕刻速率可以小於第一氧化物半導體層和第二氧化物半導體層的蝕刻速率。另外，可以理解，當蝕刻氣體中氧氣的含量為 15 體積 % 或更多時，能夠提高第一氧化物半導體層和第二氧化物半導體相對於絕緣膜的選擇性。這樣，藉由在蝕刻氣體中包含氧氣，可以

提高氧化物半導體層相對於絕緣膜的選擇性。因此，當去除形成於絕緣膜上方的氧化物半導體層的一部分（靠近氧化物半導體層表面的部分）（通道蝕刻）時，可以抑制對絕緣膜的暴露的部分的損害。

本說明書基於 2008 年 10 月 22 日向日本專利局提交的第 2008-271598 號日本專利申請，其整體內容都藉由引用被並入本文中。

【圖式簡單說明】

圖 1A、1B、1C、1D、和 1E 例舉依據實施例 1 的半導體裝置。

圖 2A、2B、2C、2D、和 2E 例舉依據實施例 2 的半導體裝置。

圖 3A、3B、3C、3D、和 3E 例舉用以製造依據實施例 2 的半導體裝置的方法。

圖 4 為顯示蝕刻速率和選擇性在氧氣含量上的相關性的圖表。

圖 5A、5B、和 5C 例舉用以製造依據實施例 3 的半導體裝置的方法。

圖 6A、6B、和 6C 例舉用以製造依據實施例 3 的半導體裝置的方法。

圖 7 例舉用以製造依據實施例 3 的半導體裝置的方法。

圖 8 例舉用以製造依據實施例 3 的半導體裝置的方法。

。

圖 9 例舉用以製造依據實施例 3 的半導體裝置的方法

。

圖 10 例舉依據實施例 3 的半導體裝置。

圖 11A1、11A2、11B1、和 11B2 例舉依據實施例 3 的半導體裝置。

圖 12 例舉依據實施例 3 的半導體裝置。

圖 13 例舉依據實施例 4 的半導體裝置。

圖 14A 和 14B 為顯示半導體裝置的方塊圖。

圖 15 為例舉信號線驅動電路的結構的方塊圖。

圖 16 為顯示信號線驅動電路的操作的時序圖。

圖 17 為顯示信號線驅動電路的操作的時序圖。

圖 18 為顯示移位暫存器的結構的圖形。

圖 19 為顯示圖 18 中的正反器的連接結構的圖形。

圖 20 為顯示依據實施例 6 的半導體裝置的像素的等效電路的圖形。

圖 21A、21B、和 21C 例舉依據實施例 6 的半導體裝置。

圖 22A1、22A2、和 22B 例舉依據實施例 5 的半導體裝置。

圖 23 例舉依據實施例 6 的半導體裝置。

圖 24A 和 24B 例舉依據實施例 6 的半導體裝置。

圖 25A 和 25B 例舉電子紙的使用模式的示例。

圖 26 為外部視圖，例舉電子書的示例。

圖 27A 為電視機的外部視圖，而圖 27B 為數位相框的外部視圖。

圖 28A 和 28B 為外部視圖，例舉遊戲機的示例。

圖 29A 和 29B 為外部視圖，例舉移動式電話的示例。

【主要元件符號說明】

- 200：基板
- 202：閘極電極
- 204：閘極絕緣層
- 206：氧化物半導體層
- 208：抗蝕劑遮罩
- 210：島狀氧化物半導體層
- 212：導電層
- 214a, 214b, 214c：抗蝕劑遮罩
- 216a, 216b：導電層
- 218：導電層
- 220：凹陷部分
- 222：保護絕緣層
- 250：薄膜電晶體
- 207：氧化物半導體層
- 211：島狀氧化物半導體層
- 215a, 215b：半導體區域
- 108：電容器佈線

121：第一端子
213：接觸孔
120：連接電極
122：第二端子
125：接觸孔
127：接觸孔
126：接觸孔
128：透明導電層
129：透明導電層
110：透明導電層
156：電極
5300：基板
5301：像素部分
5302：掃描線驅動電路
5303：信號線驅動電路
5601：驅動 IC
5602_1 到 5602_M：開關組
5603a：第一薄膜電晶體
5603b：第二薄膜電晶體
5603c：第三薄膜電晶體
5611：第一佈線
5612：第二佈線
5613：第三佈線
5621_1 到 5621_M：佈線

5703a, 5703b, 5703c : 時序

5701_1 到 5701_n : 正反器

5711 : 第一佈線

5712 : 第二佈線

5713 : 第三佈線

5714 : 第四佈線

5715 : 第五佈線

5716 : 第六佈線

5717_1, 5717_2, 5717_3 : 第七佈線

5571 : 第一薄膜電晶體

5572 : 第二薄膜電晶體

5573 : 第三薄膜電晶體

5574 : 第四薄膜電晶體

5575 : 第五薄膜電晶體

5576 : 第六薄膜電晶體

5577 : 第七薄膜電晶體

5578 : 第八薄膜電晶體

5501 : 第一佈線

5502 : 第二佈線

5503 : 第三佈線

5504 : 第四佈線

5505 : 第五佈線

5506 : 第六佈線

5400 : 基板

5401：像素部分
5402：第一掃描線驅動電路
5403：信號線驅動電路
5404：第二掃描線驅動電路
4001：第一基板
4002：像素部分
4003：信號線驅動電路
4004：掃描線驅動電路
4005：密封劑
4006：第二基板
4008：液晶
4010：薄膜電晶體
4011：薄膜電晶體
4013：液晶元件
4020：絕緣層
4021：絕緣層
4030：像素電極層
4031：對置電極層
4032：絕緣層
4033：絕緣層
4035：柱狀間隔件
4015：連接端子電極
4018：可撓性印刷電路(FPC)
4016：端子電極

4019：各向異性導電膜

2600：TFT基板

2601：對置基板

2602：密封劑

2603：像素部分

2604：顯示元件

2605：著色層

2606：偏振片

2607：偏振片

2608：佈線電路部分

2609：可撓性線路板

2610：冷陰極管

2611：反射板

2612：電路基板

2613：擴散板

580：基板

581：薄膜電晶體

583：絕緣層

584：絕緣層

585：絕緣層

587：第一電極層

588：第二電極層

589：球形顆粒

590a：黑色區域

590b：白色區域
594：空腔
596：基板
6400：基板
6401：切換電晶體
6402：驅動電晶體
6403：電容器
6404：發光元件
6405：信號線
6406：掃描線
6407：電源線
6408：共用電極
7001：驅動 TFT
7002：發光元件
7003：陰極
7004：發光層
7005：陽極
7011：驅動 TFT
7012：發光元件
7013：陰極
7014：發光層
7015：陽極
7016：遮光膜
7017：透光導電薄膜

7021：驅動 TFT

7022：發光元件

7023：陰極

7024：發光層

7025：陽極

7027：透光導電薄膜

4501：第一基板

4502：像素部分

4503a, 4503b：信號線驅動電路

4504a, 4504b：掃描線驅動電路

4505：密封劑

4506：第二基板

4507：填充物

4509：薄膜電晶體

4510：薄膜電晶體

4511：發光元件

4512：電致發光層

4513：第二電極層

4517：第一電極層

4520：分隔壁

4515：連接端子電極

4516：端子電極

4518a, 4518b：可撓性印刷電路 (FPC)

4519：各向異性導電膜

2631：海報

2632：廣告

2700：電子書閱讀器

2701：殼體

2703：殼體

2711：鉸鏈

2705：顯示部分

2707：顯示部分

2721：電源開關

2723：操作鍵

2724：揚聲器

9600：電視機

9601：殼體

9603：顯示部分

9605：機座

9607：顯示部分

9609：操作鍵

9610：遙控器

9700：數位相框

9701：殼體

9703：顯示部分

9881：殼體

9882：顯示部分

9883：顯示部分

9884：揚聲器部分

9885：操作鍵

9886：記錄媒體插入部分

9887：連接端子

9888：感測器

9889：麥克風

9890：LED燈

9891：殼體

9893：連結部分

9900：拉霸機

9901：殼體

9903：顯示部分

1000：移動式電話手機

1001：殼體

1002：顯示部分

1003：操作按鈕

1004：外部連接部分

1005：揚聲器

1006：麥克風

9400：通信裝置

9401：殼體

9402：操作按鈕

9403：外部輸入端子

9404：麥克風

9405：揚聲器

9406：發光部分

9410：顯示裝置

9411：殼體

9412：顯示部分

9413：操作按鈕

七、申請專利範圍：

1. 一種半導體裝置的製造方法，包含以下步驟：

在基板的上方形形成閘極電極；

在該閘極電極的上方形形成閘極絕緣層；

在該閘極絕緣層的上方形形成氧化物半導體層；

藉由濕式蝕刻來處理該氧化物半導體層以形成島狀氧化物半導體層；

在該島狀氧化物半導體層的上方形形成導電層；

藉由第一乾式蝕刻來處理該導電層以形成源極電極和汲極電極，以及

藉由第二乾式蝕刻來去除該島狀氧化物半導體層的一部分以在該島狀氧化物半導體層中形成凹陷部分。

2. 如申請專利範圍第 1 項所述之半導體裝置的製造方法，其中，該氧化物半導體層包括銦、鎵、和鋅。

3. 如申請專利範圍第 1 項所述之半導體裝置的製造方法，其中，使用在該乾式蝕刻中其蝕刻速率高於該氧化物半導體層所使用的材料之蝕刻速率的材料來形成該導電層。

4. 如申請專利範圍第 1 項所述之半導體裝置的製造方法，其中，使用包括氯的氣體以實施該乾式蝕刻。

5. 如申請專利範圍第 4 項所述之半導體裝置的製造方法，

其中，使用包括氧化矽的材料以形成該閘極絕緣層，並且

其中，包括氯的該氣體包括氧。

6. 如申請專利範圍第 5 項所述之半導體裝置的製造方法，包括氯的該氣體中氧的含量為 15 體積 % 或更多。

7. 一種半導體裝置的製造方法，包含以下步驟：

在基板的上方形形成閘極電極；

在該閘極電極的上方形形成閘極絕緣層；

在該閘極絕緣層的上方形形成氧化物半導體層；

藉由濕式蝕刻來處理該氧化物半導體層以形成島狀氧化物半導體層；

在該島狀氧化物半導體層的上方形形成導電層；

藉由乾式蝕刻來處理該導電層以形成源極電極和汲極電極，以及

藉由該乾式蝕刻來去除該島狀氧化物半導體層的一部分以在該島狀氧化物半導體層中形成凹陷部分。

8. 如申請專利範圍第 7 項所述之半導體裝置的製造方法，其中，該氧化物半導體層包括銦、鎵、和鋅。

9. 如申請專利範圍第 7 項所述之半導體裝置的製造方法，其中，使用在該乾式蝕刻中的蝕刻速率高於該氧化物半導體層所使用的材料之蝕刻速率的材料來形成該導電層。

10. 如申請專利範圍第 7 項所述之半導體裝置的製造方法，其中使用包括氯的氣體以實施該乾式蝕刻。

11. 如申請專利範圍第 10 項所述之半導體裝置的製造方法，

其中，使用包括氧化矽的材料以形成該閘極絕緣層，並且

其中，包括氮的該氣體包括氧。

12. 如申請專利範圍第 11 項所述之半導體裝置的製造方法，包括氮的該氣體中氧的含量為 15 體積 % 或更多。

13. 一種半導體裝置的製造方法，包含以下步驟：

在基板的上方形成閘極電極；

在該閘極電極的上方形成閘極絕緣層；

在該閘極絕緣層的上方形成第一氧化物半導體層；

在該第一氧化物半導體層的上方形成第二氧化物半導體層，其中，該第二氧化物半導體層的導電率高於該第一氧化物半導體層的導電率；

藉由濕式蝕刻來處理該第一氧化物半導體層和該第二氧化物半導體層以形成第一島狀氧化物半導體層和第二島狀氧化物半導體層；

在該第二島狀氧化物半導體層的上方形成導電層；

藉由第一乾式蝕刻來處理該導電層以形成源極電極和汲極電極；並且

藉由第二乾式蝕刻來去除該第一島狀氧化物半導體層的一部分和該第二島狀氧化物半導體層的一部分以在該第一島狀氧化物半導體層中形成凹陷部分。

14. 如申請專利範圍第 13 項所述之半導體裝置的製造方法，其中，該第一氧化物半導體層和該第二氧化物半

導體層各自都包括銮、錄、和鋅。

15. 如申請專利範圍第 13 項所述之半導體裝置的製造方法，其中，使用在該乾式蝕刻中的蝕刻速率高於該第二氧化物半導體層所使用的材料之蝕刻速率的材料來形成該導電層。

16. 如申請專利範圍第 13 項所述之半導體裝置的製造方法，其中，使用包括氮的氣體以實施該乾式蝕刻。

17. 如申請專利範圍第 16 項所述之半導體裝置的製造方法，

其中，使用包括氧化矽的材料以形成該閘極絕緣層，並且

其中，包括氮的該氣體包括氧。

18. 如申請專利範圍第 17 項所述之半導體裝置的製造方法，其中，包括氮的該氣體中的氧的含量為 15 體積 % 或更多。

19. 一種半導體裝置的製造方法，包含以下步驟：

在基板的上方形形成閘極電極；

在該閘極電極的上方形形成閘極絕緣層；

在該閘極絕緣層的上方形形成第一氧化物半導體層；

在該第一氧化物半導體層的上方形形成第二氧化物半導體層，其中，該第二氧化物半導體層的導電率高於該第一氧化物半導體層的導電率；

藉由濕式蝕刻來處理該第一氧化物半導體層和該第二氧化物半導體層以形成第一島狀氧化物半導體層和第二島

狀氧化物半導體層；

在該第二島狀氧化物半導體層的上方形成導電層；

藉由乾式蝕刻來處理該導電層以形成源極電極和汲極電極；並且

藉由該乾式蝕刻來去除該第一島狀氧化物半導體層的一部分和該第二島狀氧化物半導體層的一部分以在該第一島狀氧化物半導體層中形成凹陷部分。

20. 如申請專利範圍第 19 項所述之半導體裝置的製造方法，其中，該第一氧化物半導體層和該第二氧化物半導體層各自都包括銦、鎵、和鋅。

21. 如申請專利範圍第 19 項所述之半導體裝置的製造方法，其中，使用在該乾式蝕刻中的蝕刻速率高於該第二氧化物半導體層所使用之材料的蝕刻速率的材料來形成該導電層。

22. 如申請專利範圍第 19 項所述之半導體裝置的製造方法，其中，使用包括氯的氣體以實施該乾式蝕刻。

23. 如申請專利範圍第 22 項所述之半導體裝置的製造方法，

其中，使用包括氧化矽的材料以形成該閘極絕緣層，並且

其中，包括氯的該氣體包括氧。

24. 如申請專利範圍第 23 項所述之半導體裝置的製造方法，其中，包括氯的該氣體中的氧的含量為 15 體積 % 或更多。

25. 一種半導體裝置的製造方法，包含以下步驟：

在基板的上方形形成閘極電極；

在該閘極電極的上方形形成閘極絕緣層；

在該閘極絕緣層的上方形形成島狀氧化物半導體層；

在該島狀氧化物半導體層的上方形形成導電層；

藉由使用包括氧和氯的氣體的乾式蝕刻來處理該導電層以形成源極電極和汲極電極，以及

藉由該乾式蝕刻來去除該島狀氧化物半導體層的一部分以在該島狀氧化物半導體層中形成凹陷部分。

26. 如申請專利範圍第 25 項所述之半導體裝置的製造方法，其中，該島狀氧化物半導體層包括銦、鎵、和鋅。

27. 如申請專利範圍第 25 項所述之半導體裝置的製造方法，其中，使用在該乾式蝕刻中的蝕刻速率高於該島狀氧化物半導體層所使用的材料之蝕刻速率的材料來形成該導電層。

28. 如申請專利範圍第 25 項所述之半導體裝置的製造方法，其中，包括氯和氧的該氣體中的氧的含量為 15 體積 % 或更多。

圖 1A

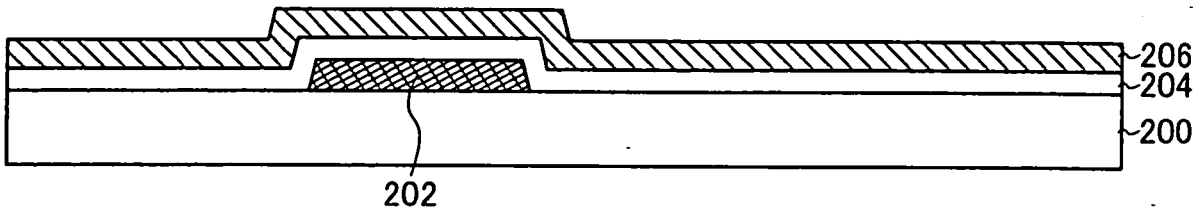


圖 1B

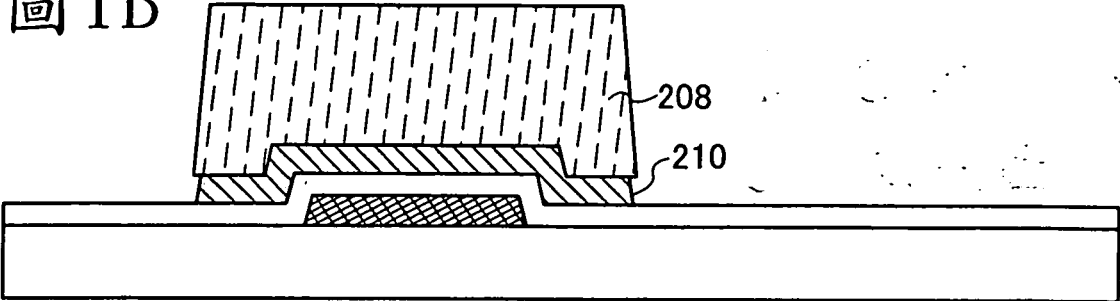


圖 1C

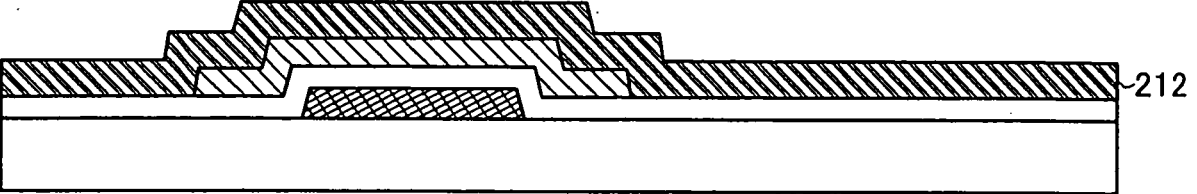


圖 1D

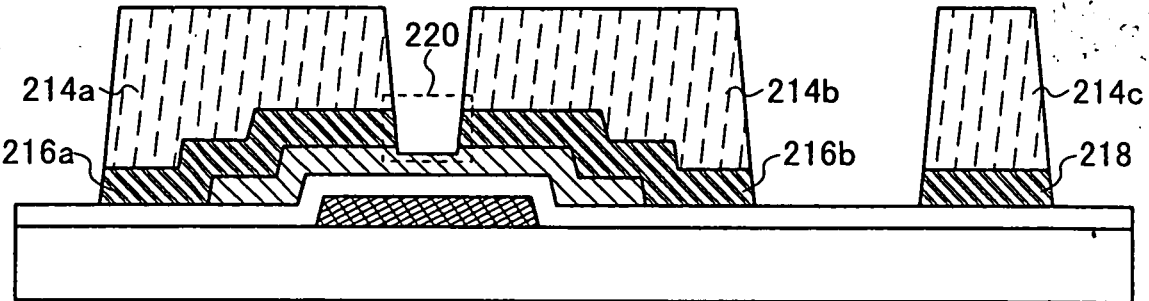


圖 1E

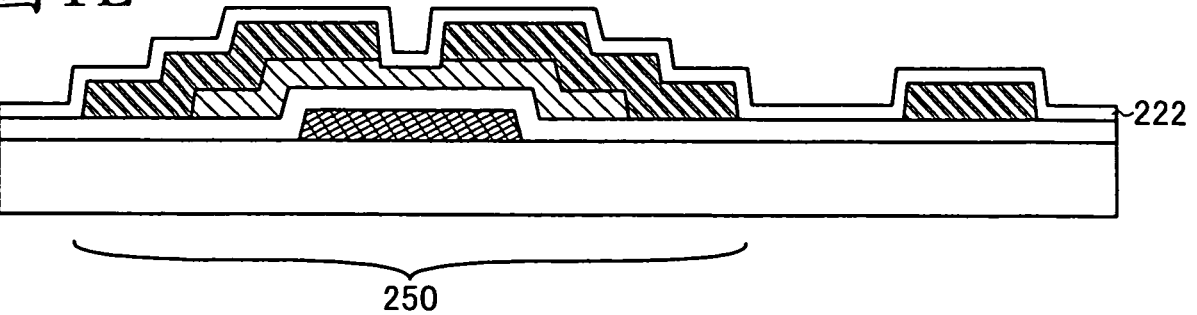


圖 2A

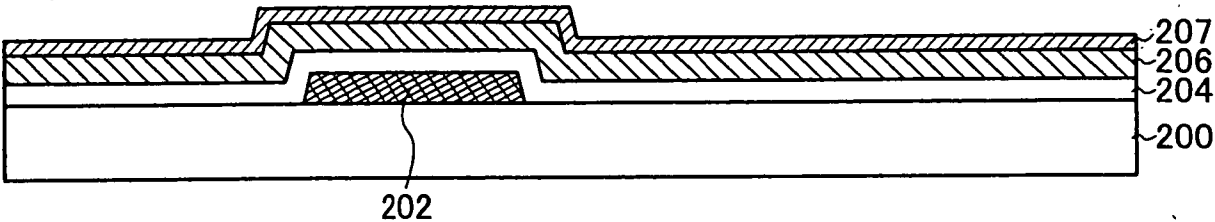


圖 2B

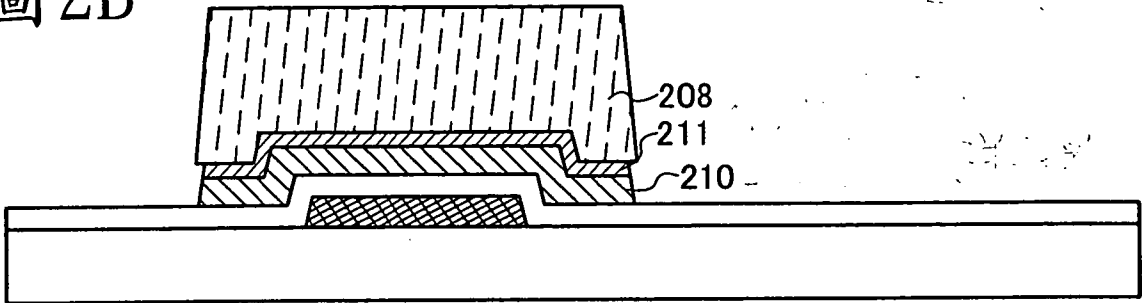


圖 2C

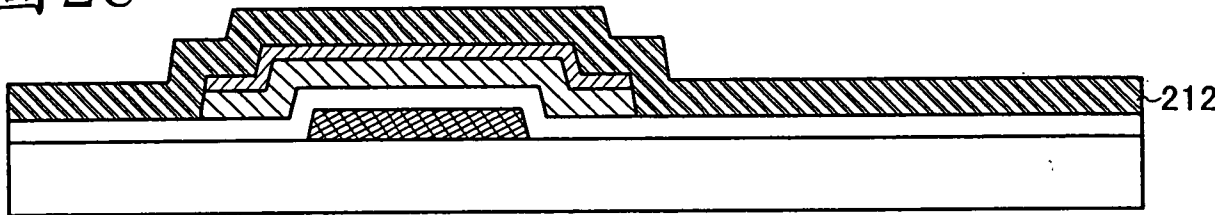


圖 2D

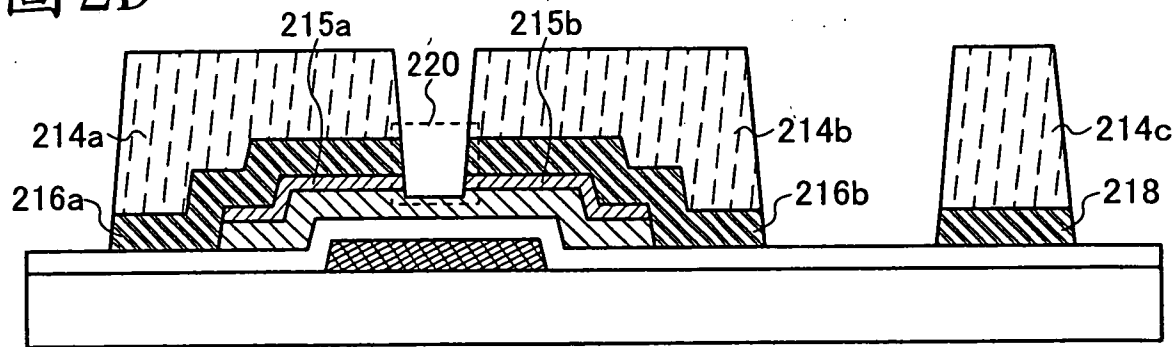


圖 2E

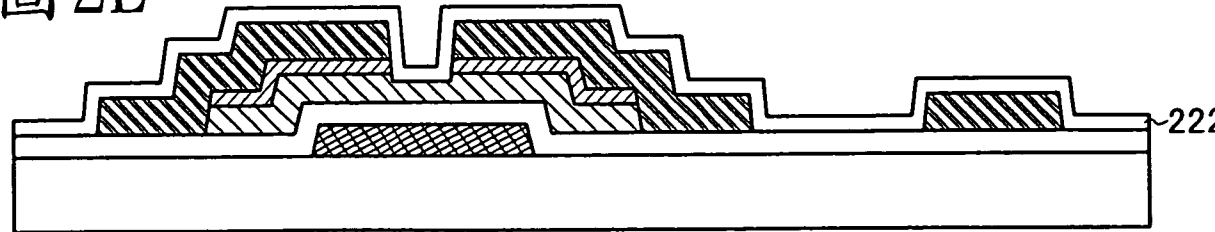


圖 3A

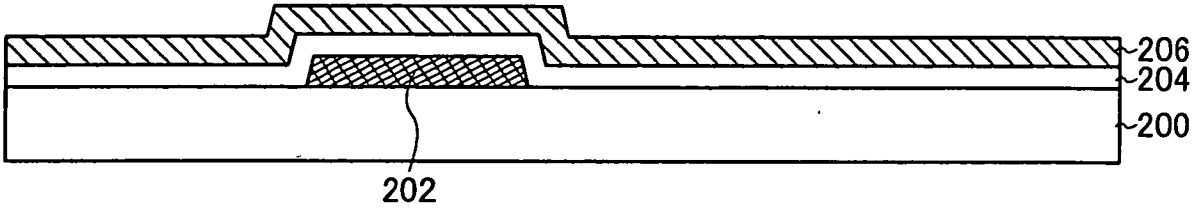


圖 3B

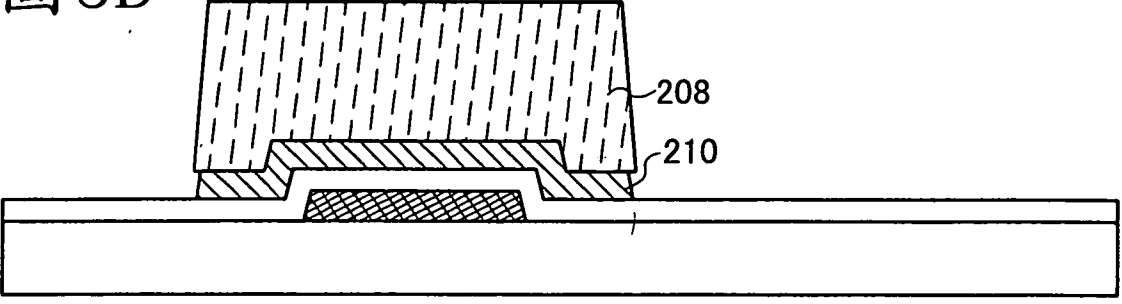


圖 3C

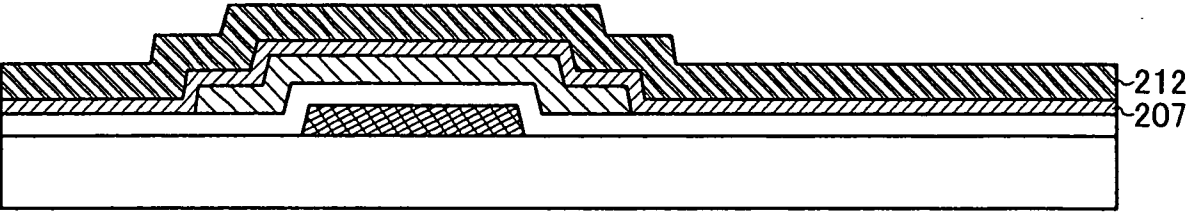


圖 3D

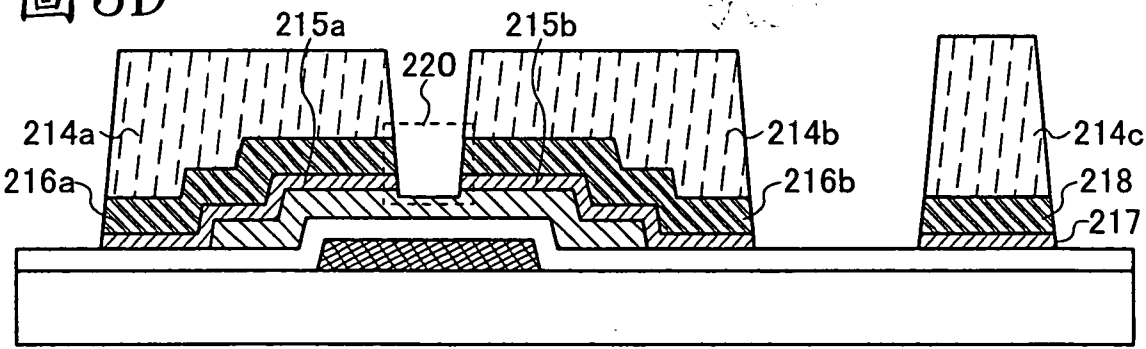


圖 3E

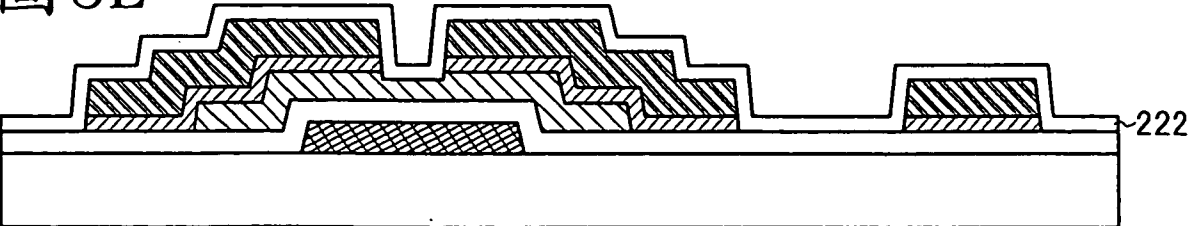


圖 4

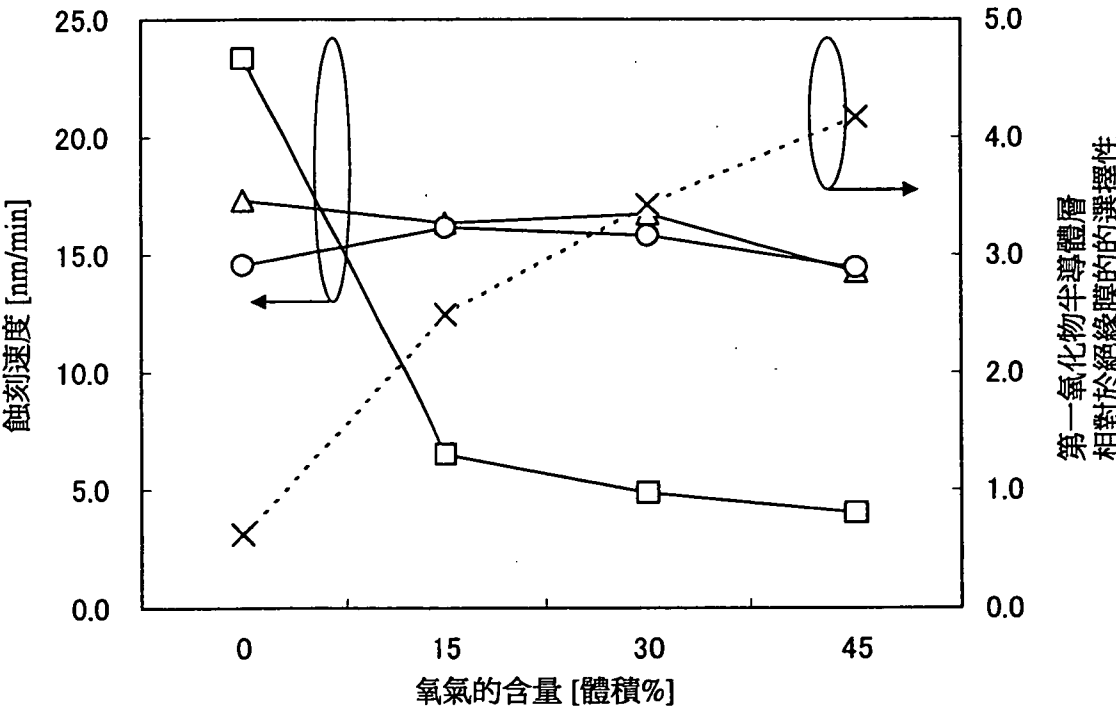
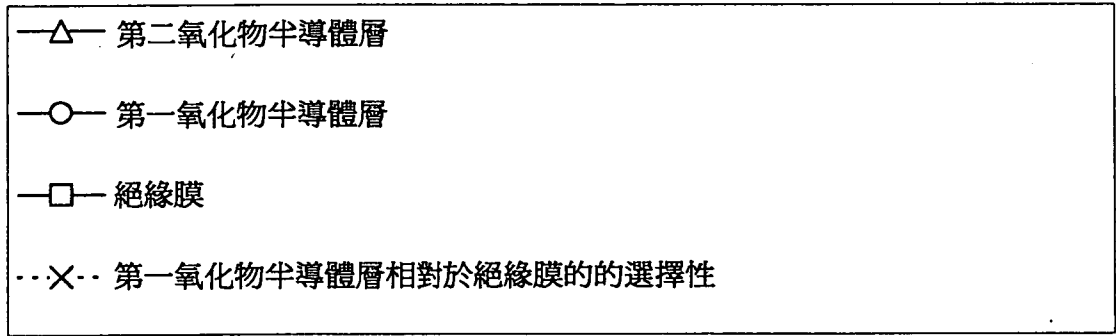


圖5A

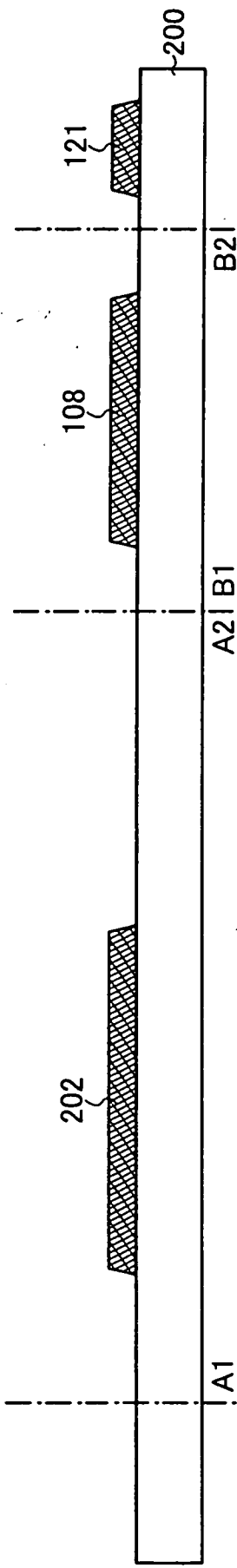


圖5B

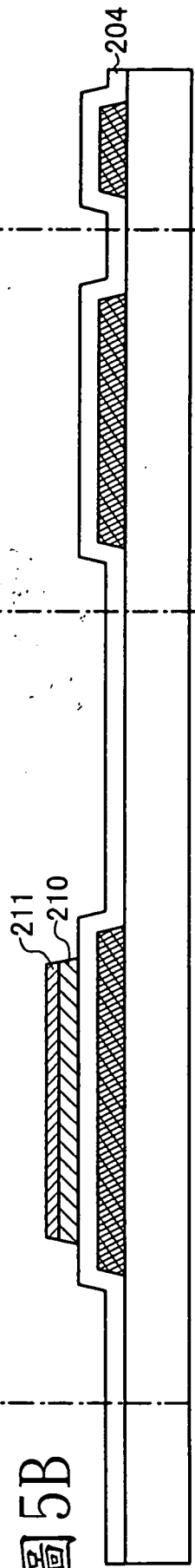


圖5C

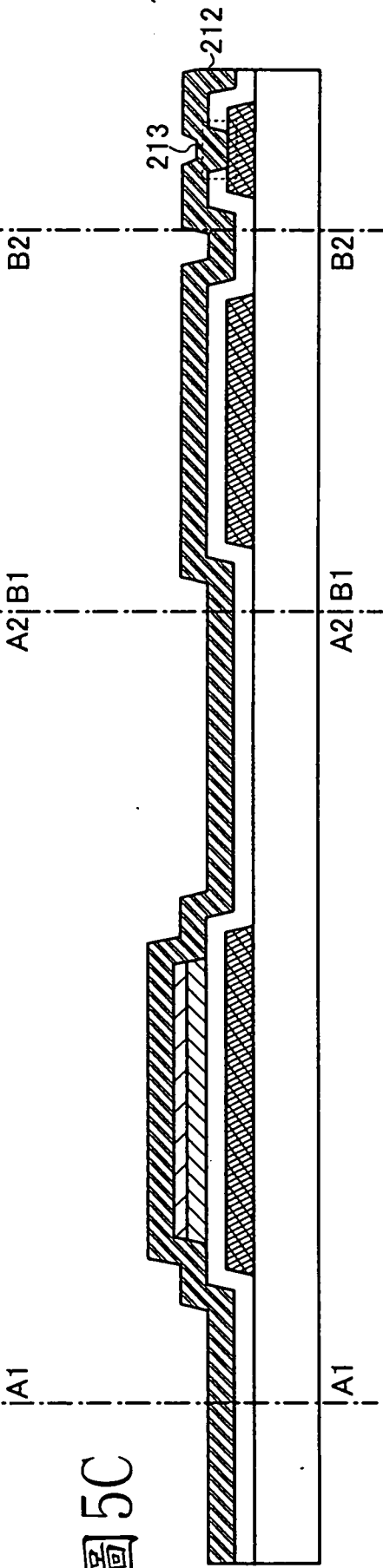


圖 6A

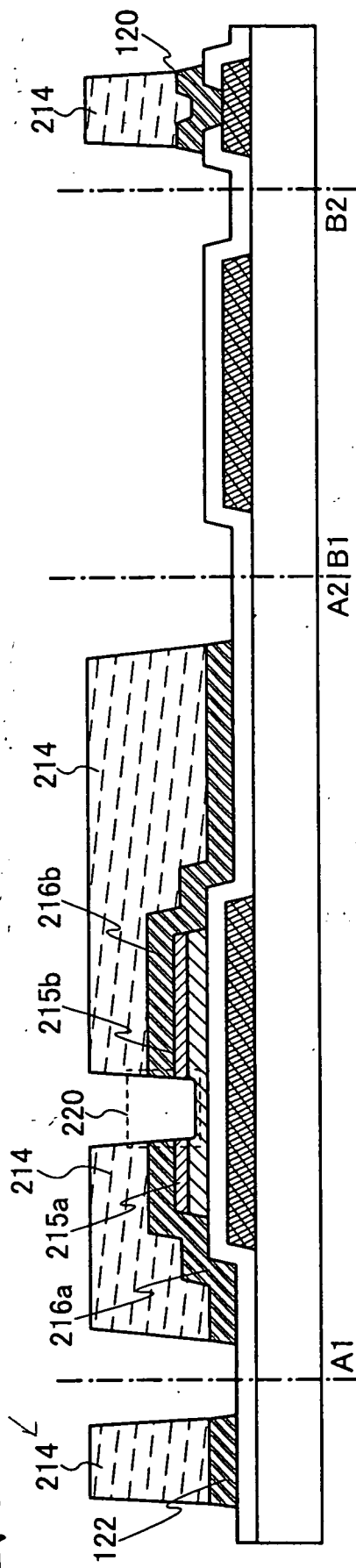


圖 6B

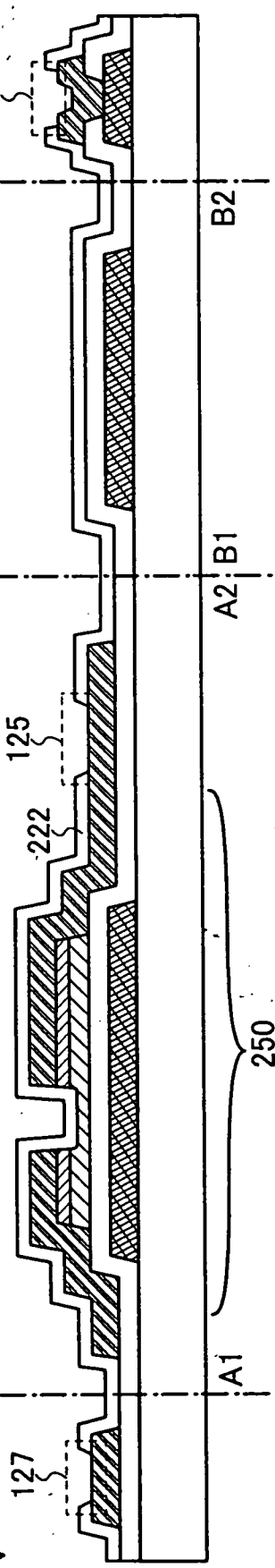


圖 6C

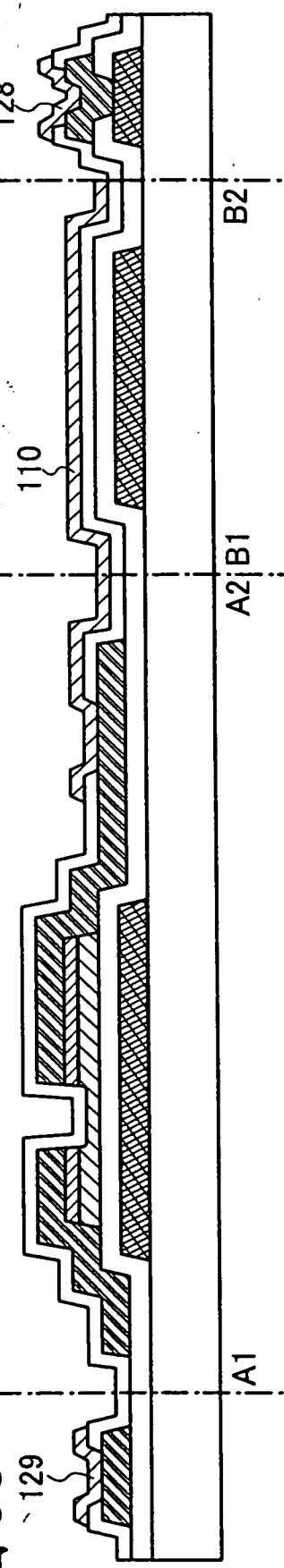


圖7

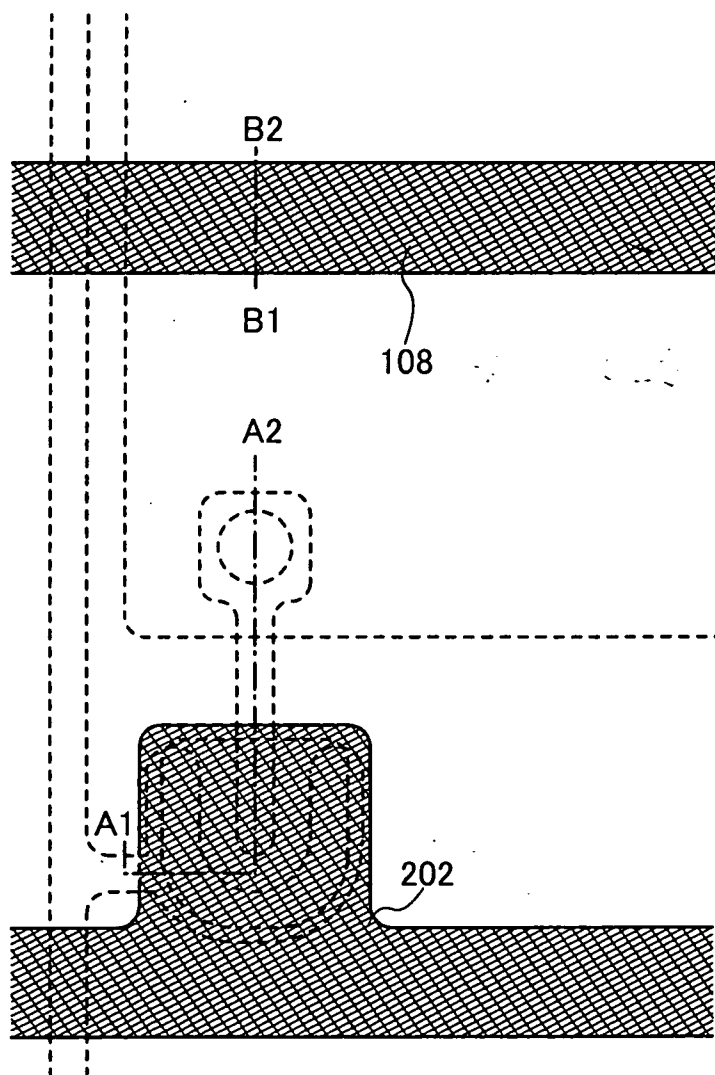


圖 8

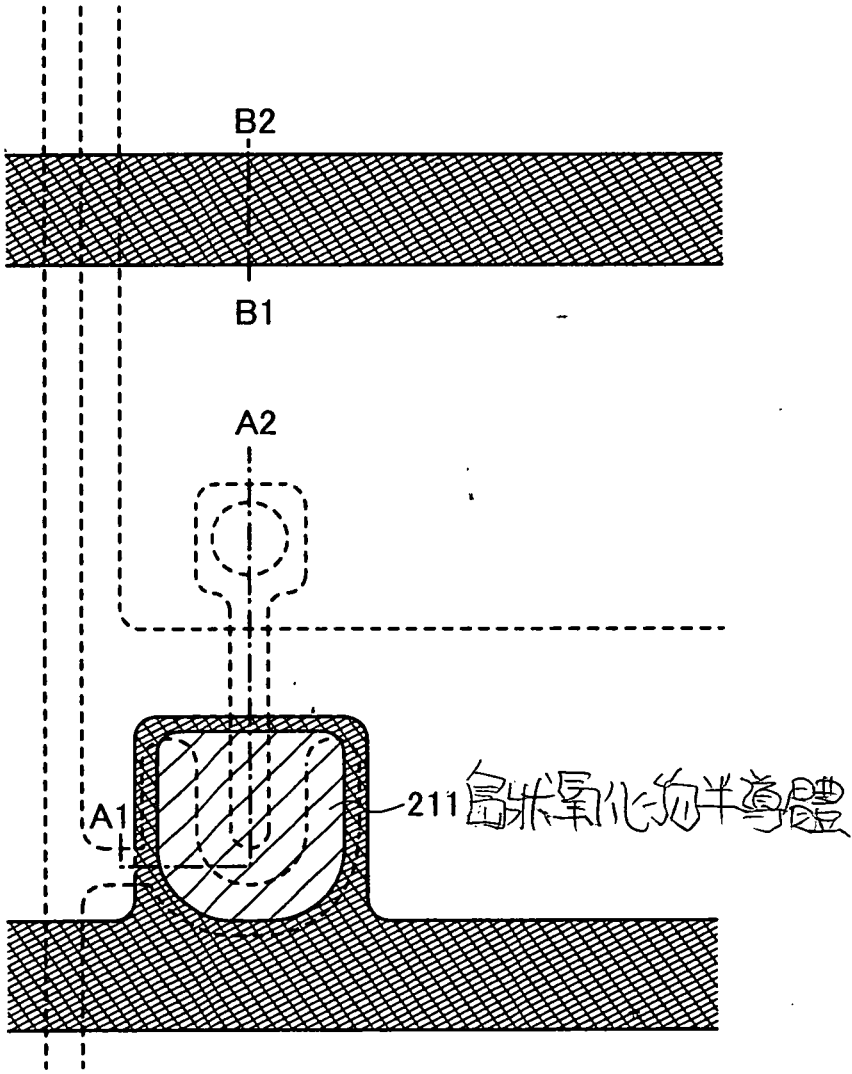


圖 9

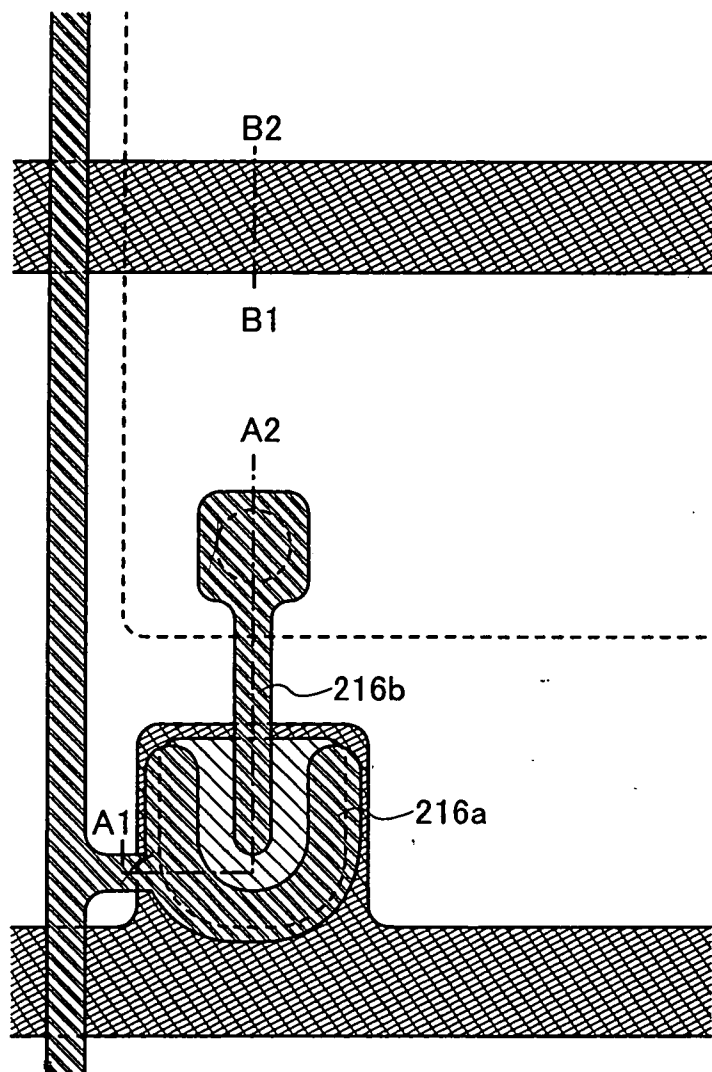


圖 10

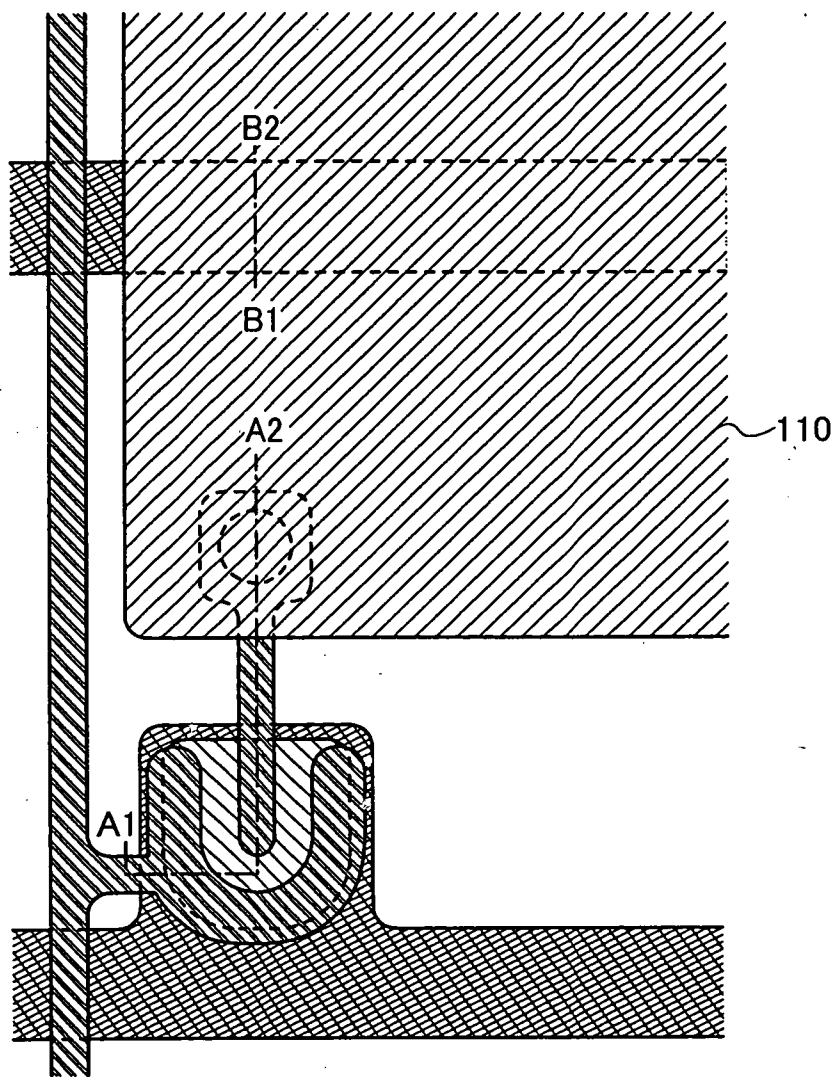


圖 11A1

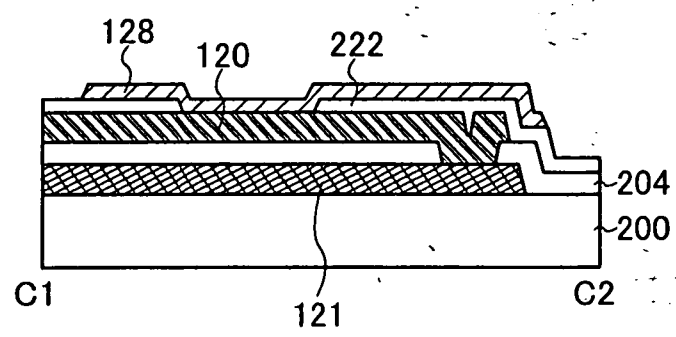


圖 11A2

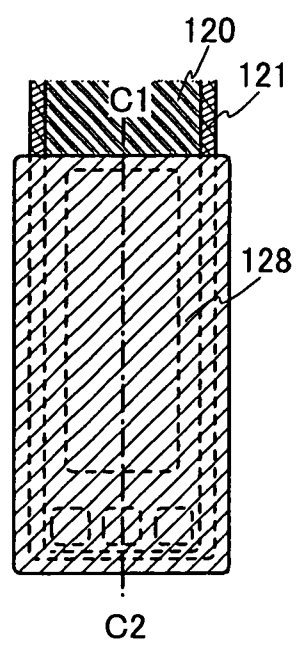


圖 11B1

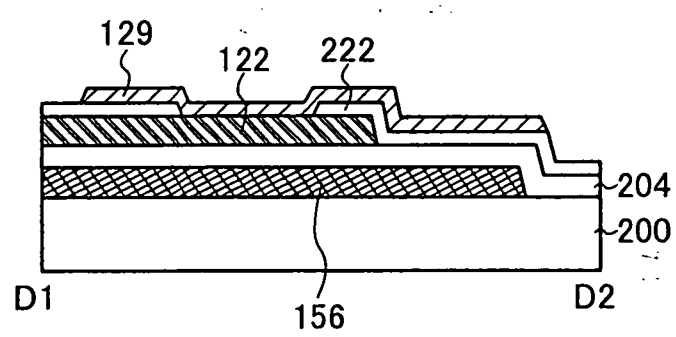


圖 11B2

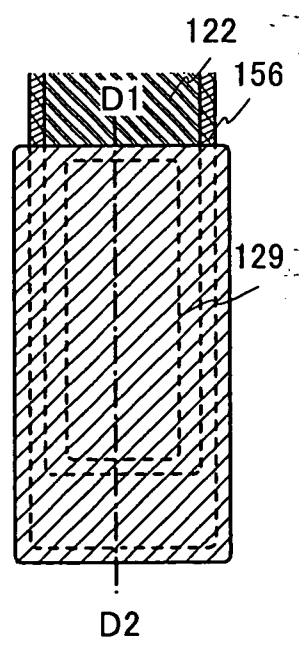


圖12

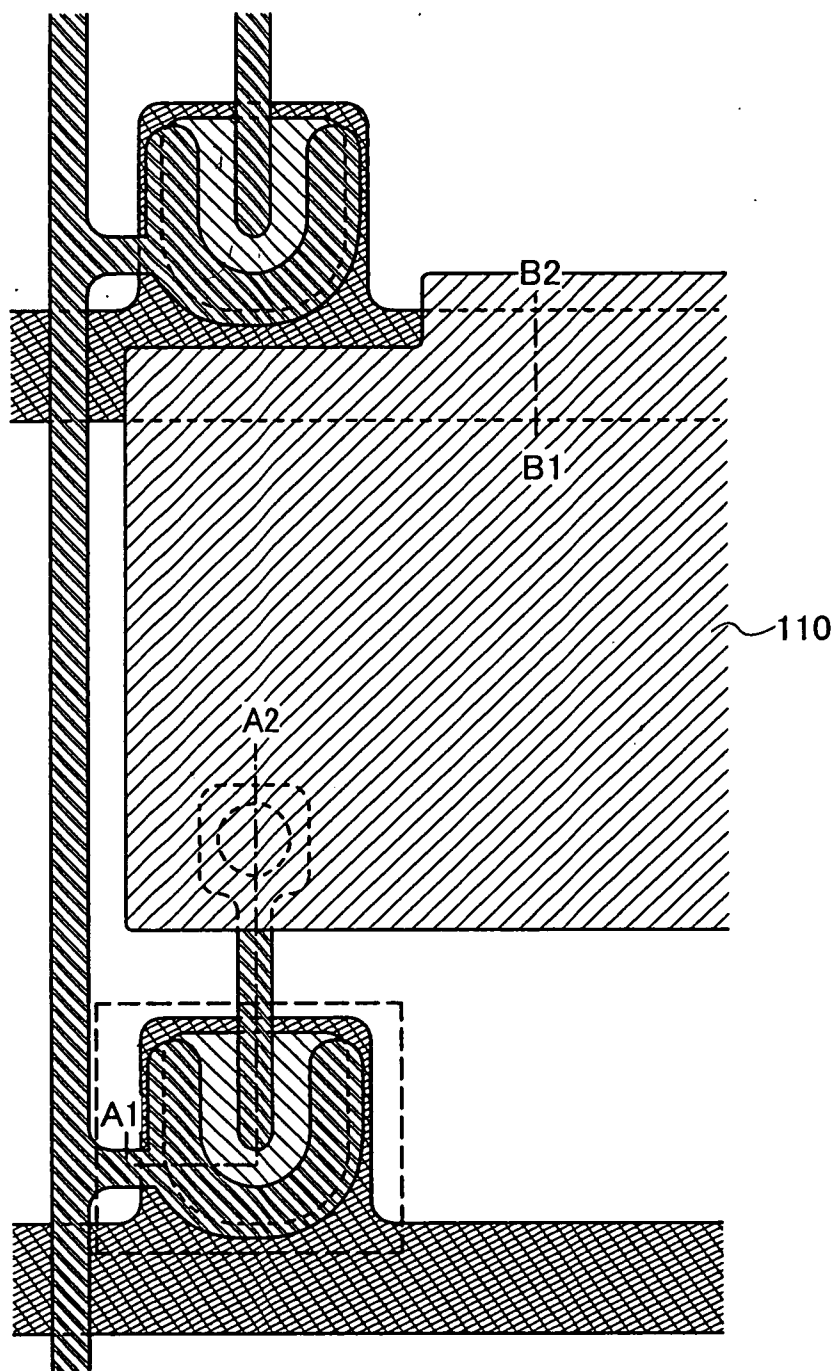


圖13

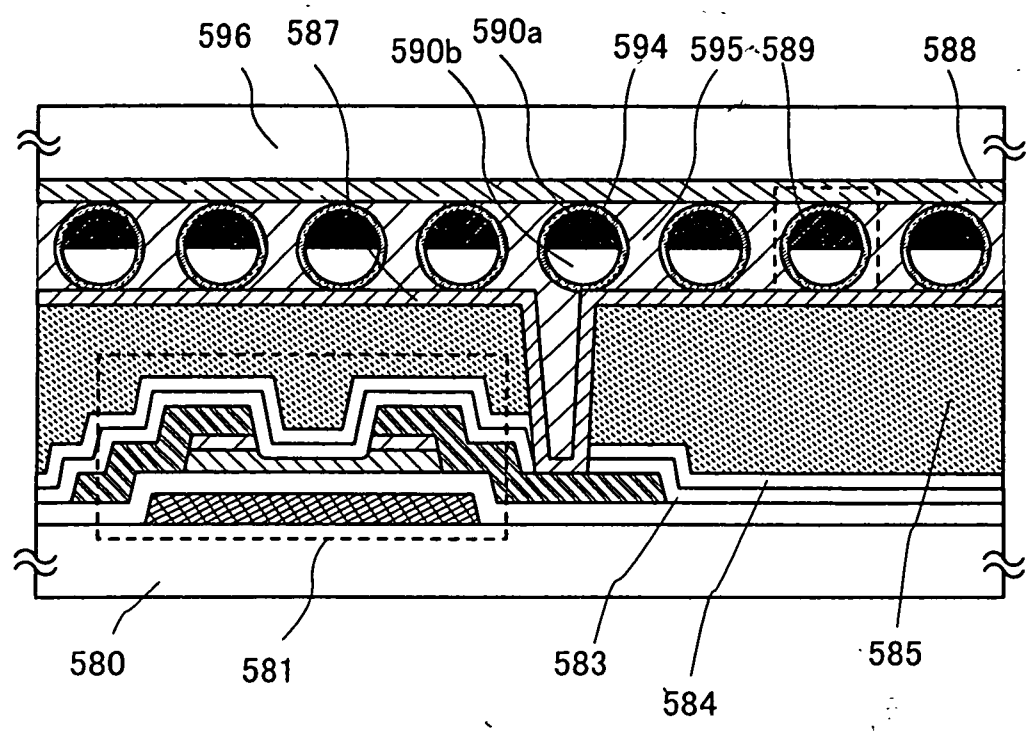


圖 14A

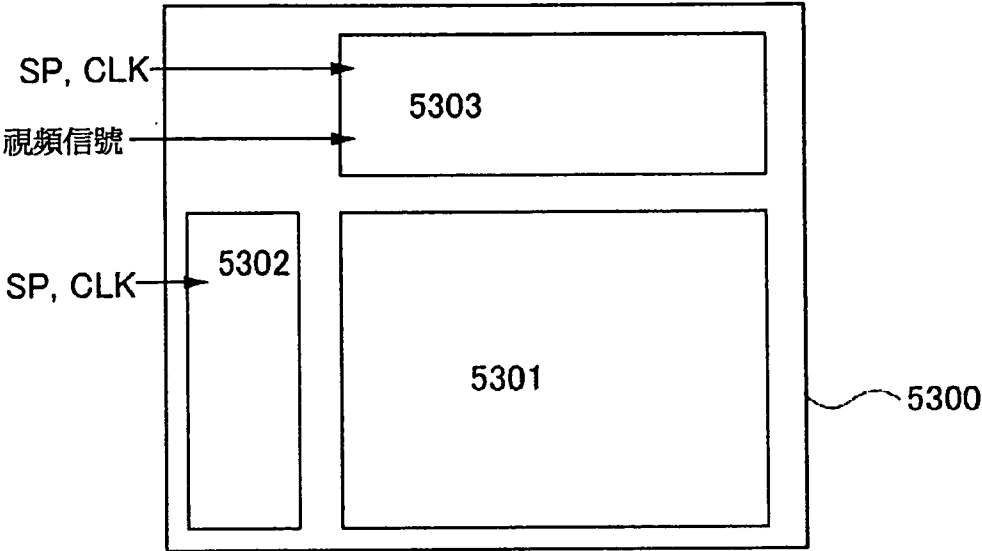


圖 14B

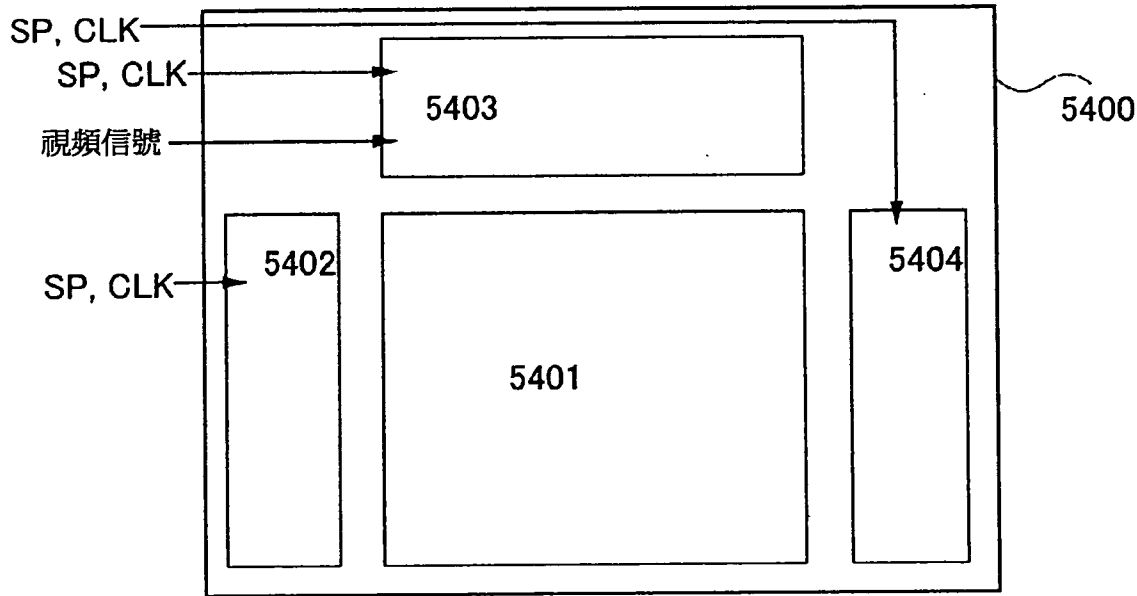


圖15

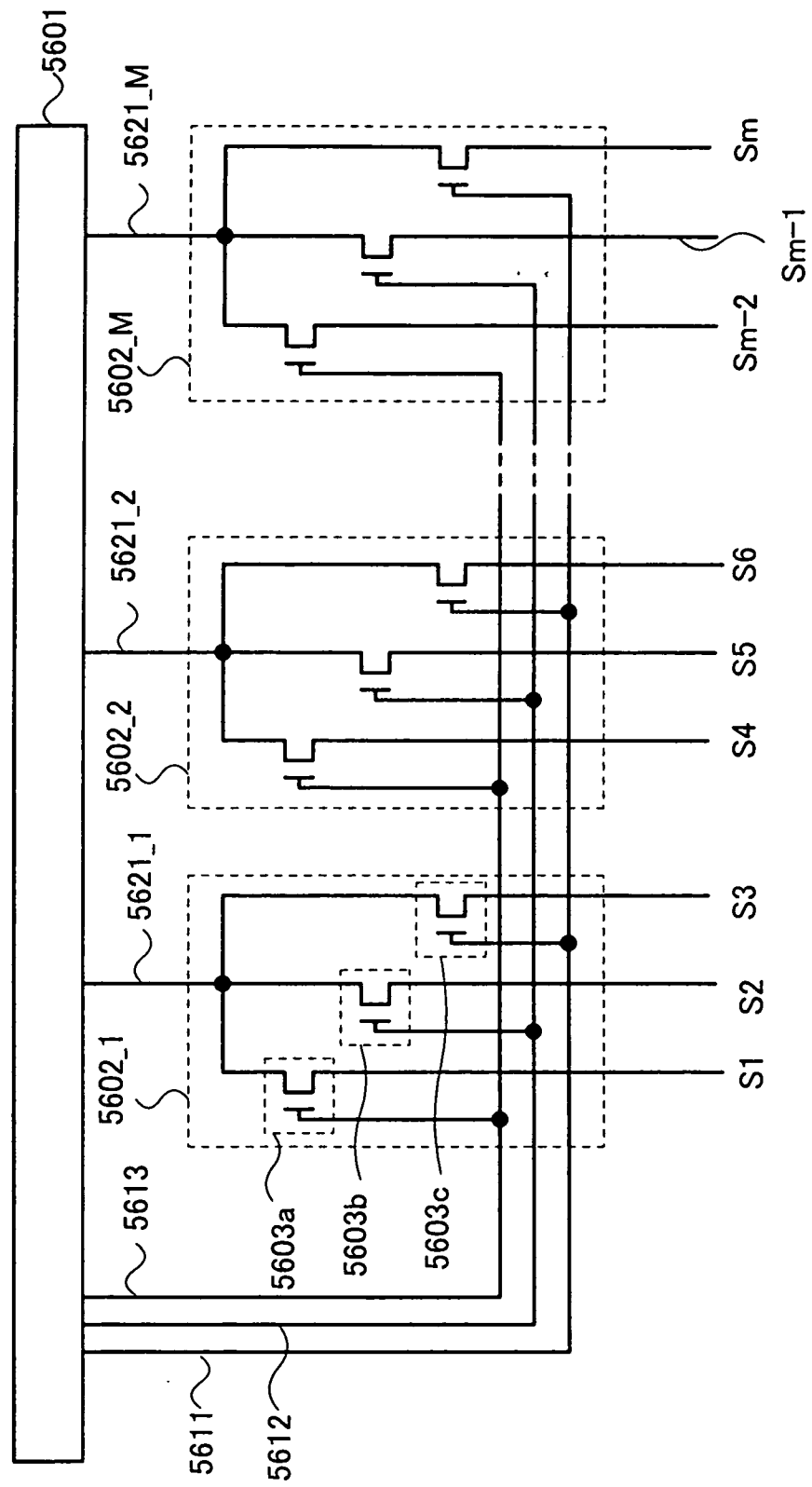


圖16

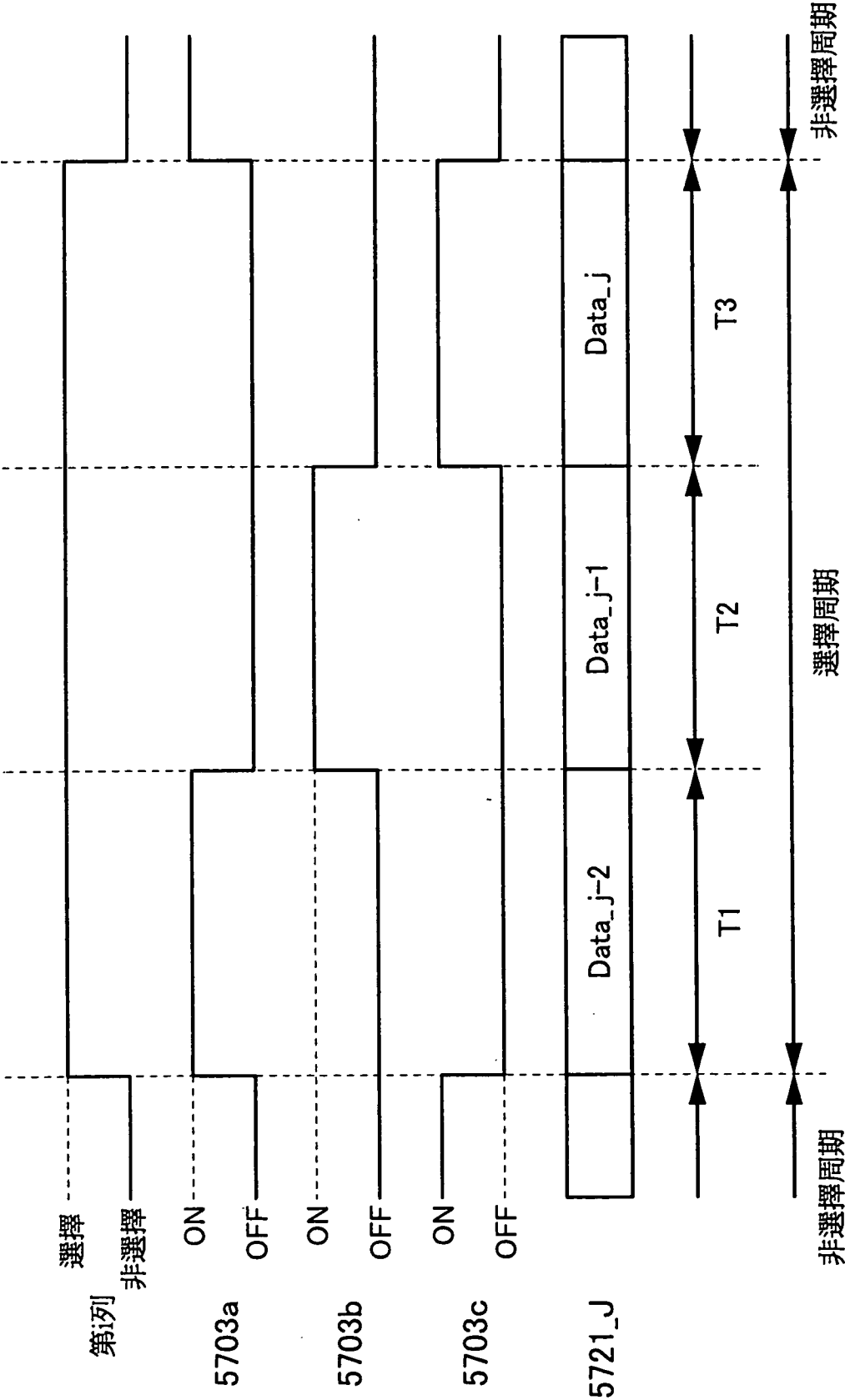


圖17

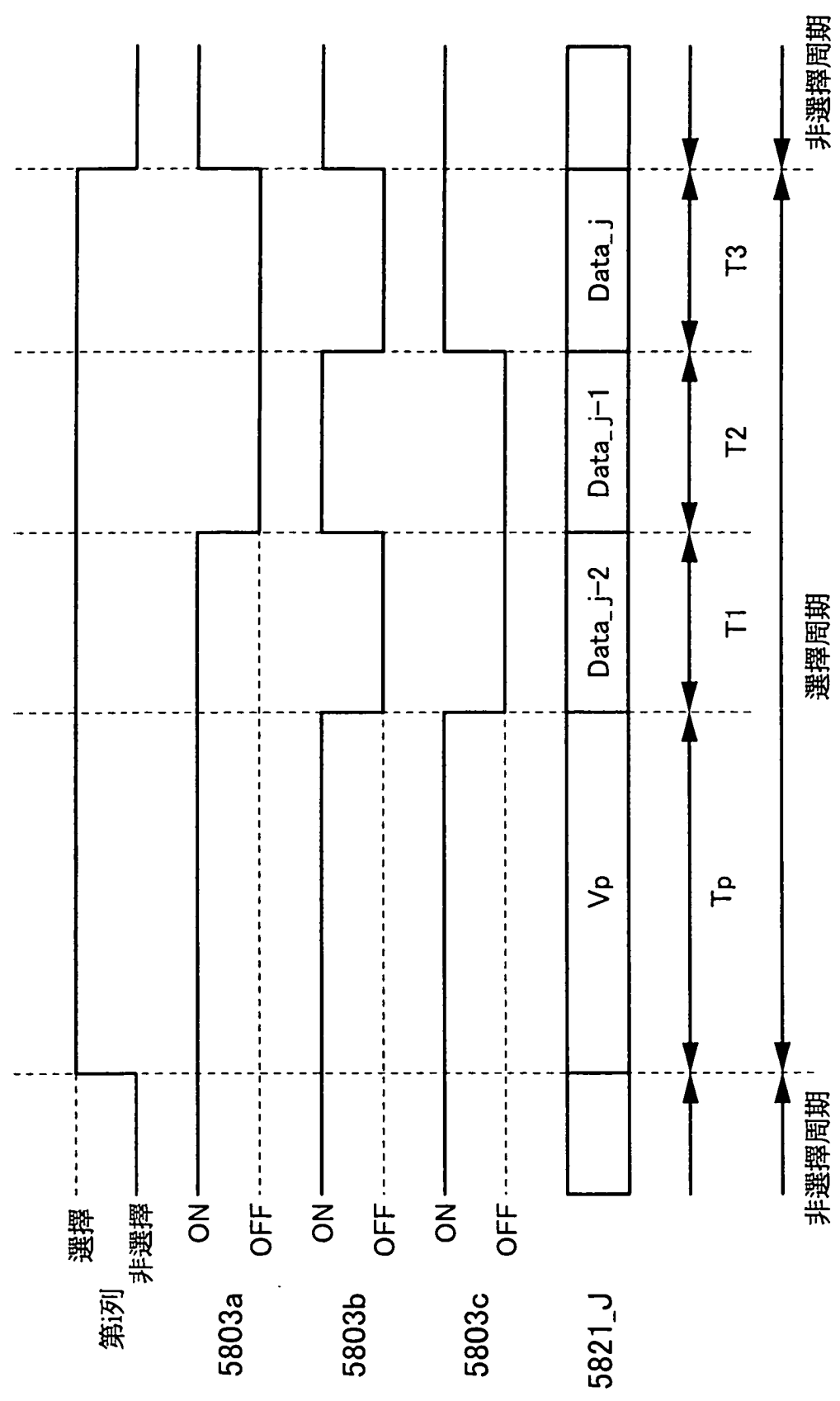


圖18

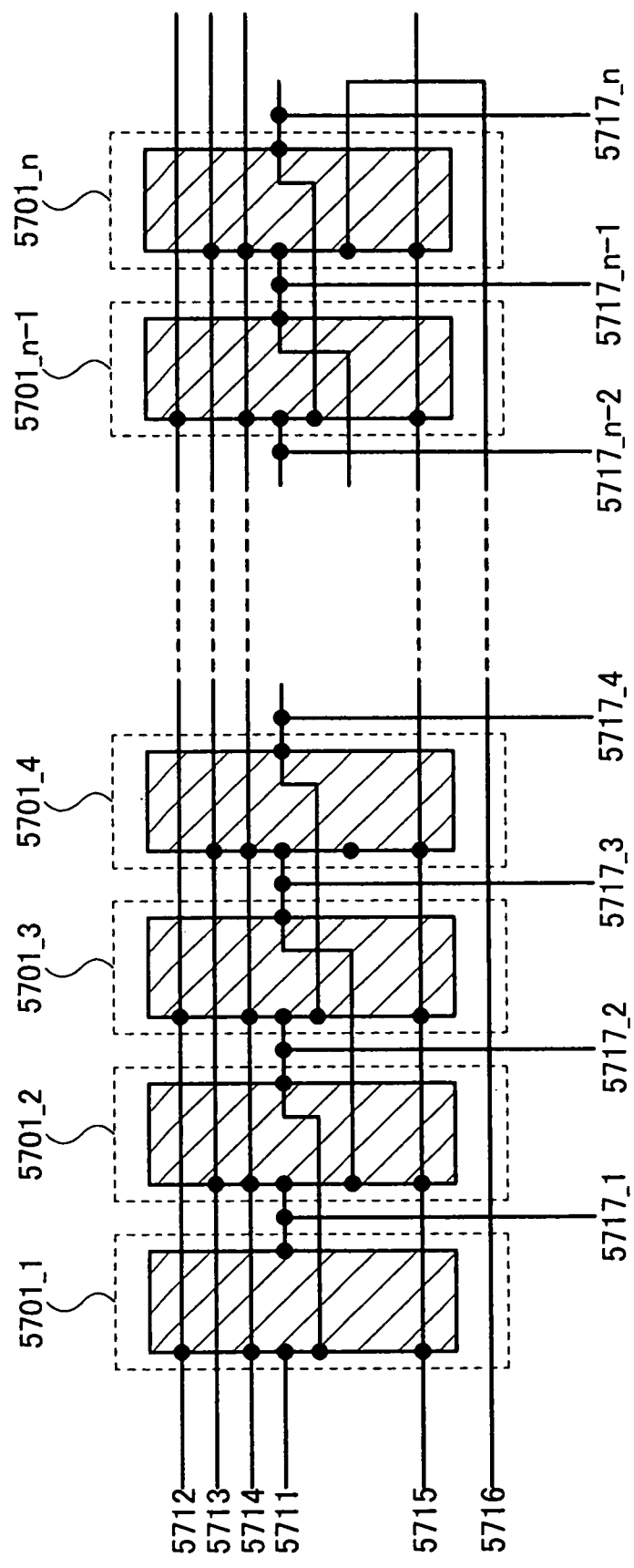


圖 19

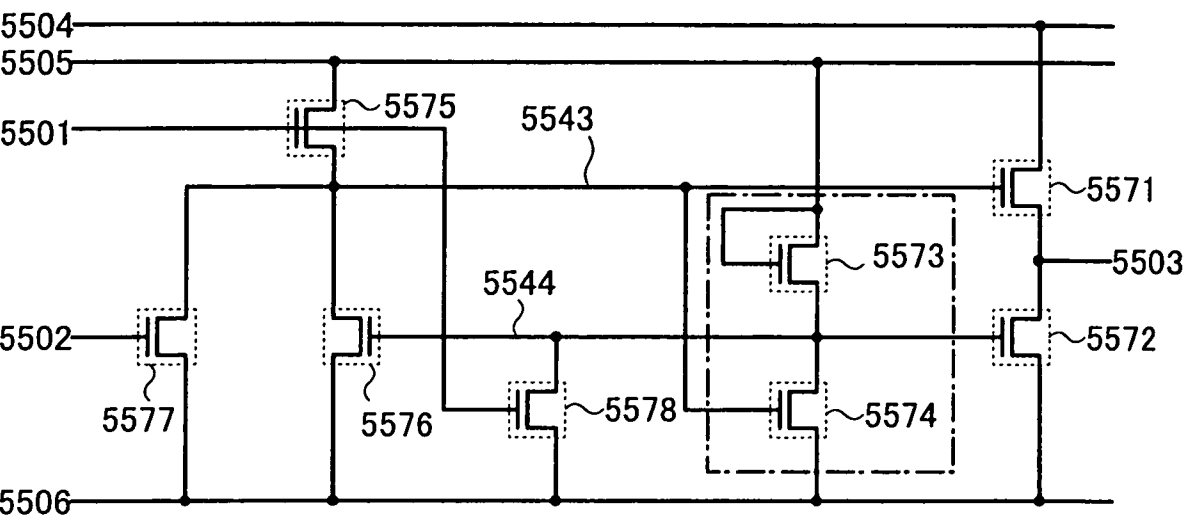


圖 21A

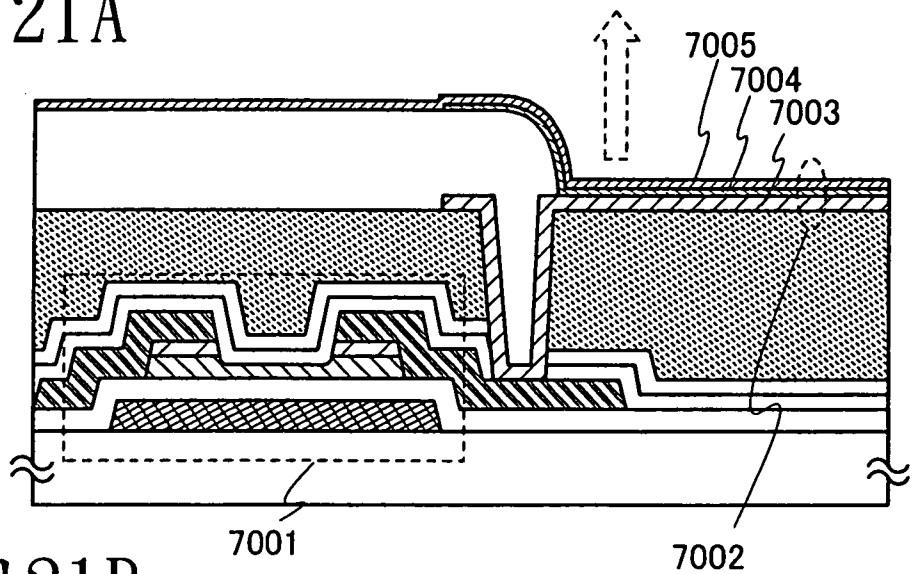


圖 21B

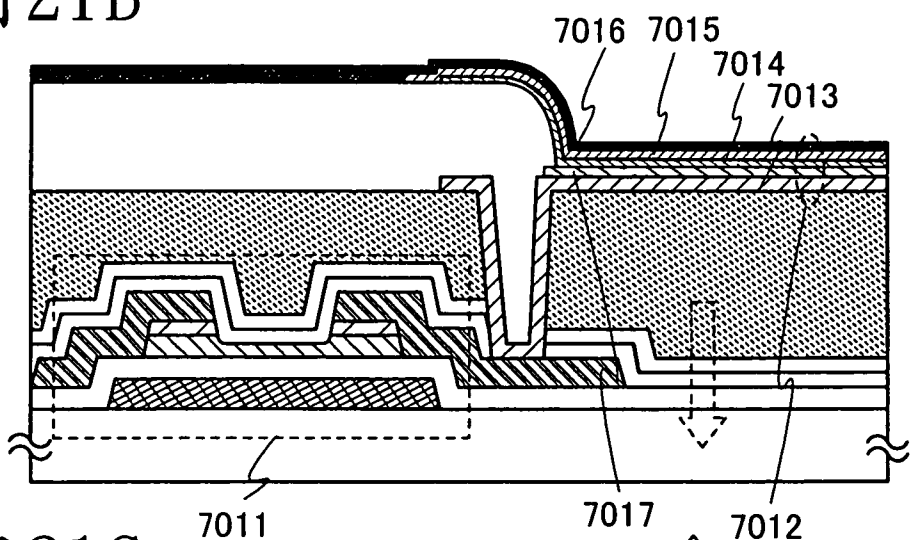


圖 21C

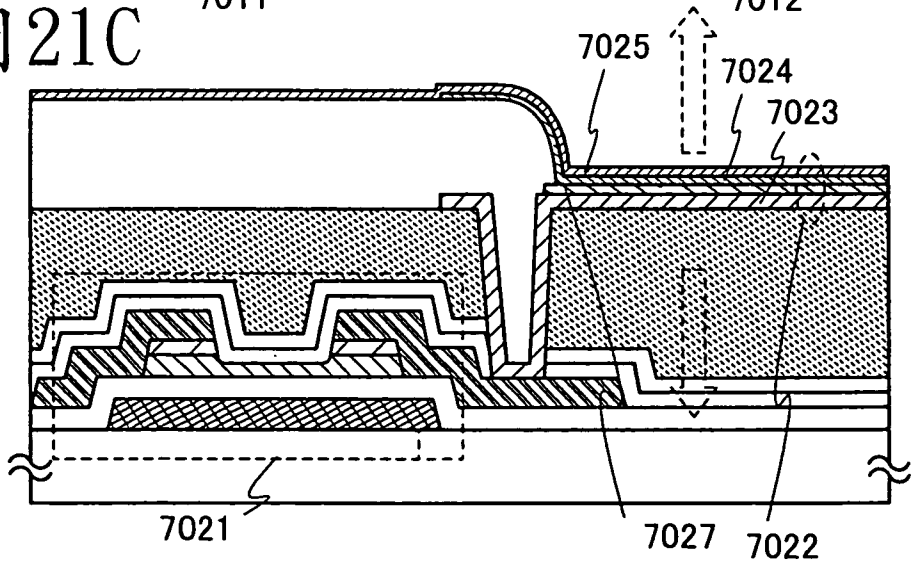


圖 22A2

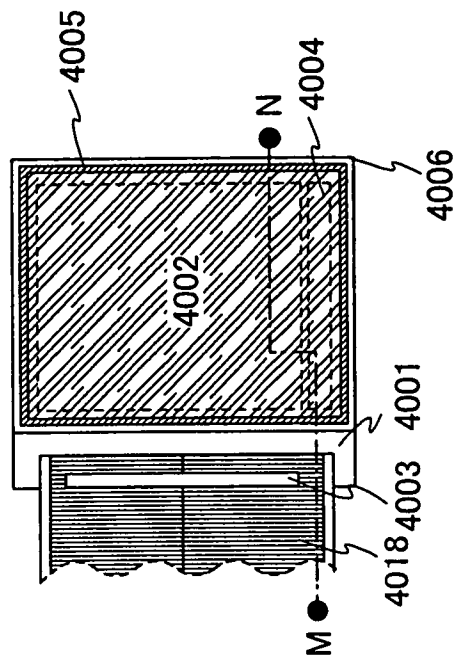


圖 22A1

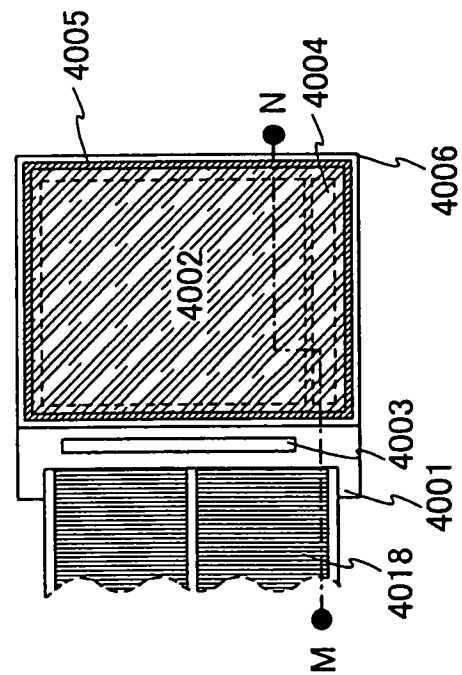


圖 22B

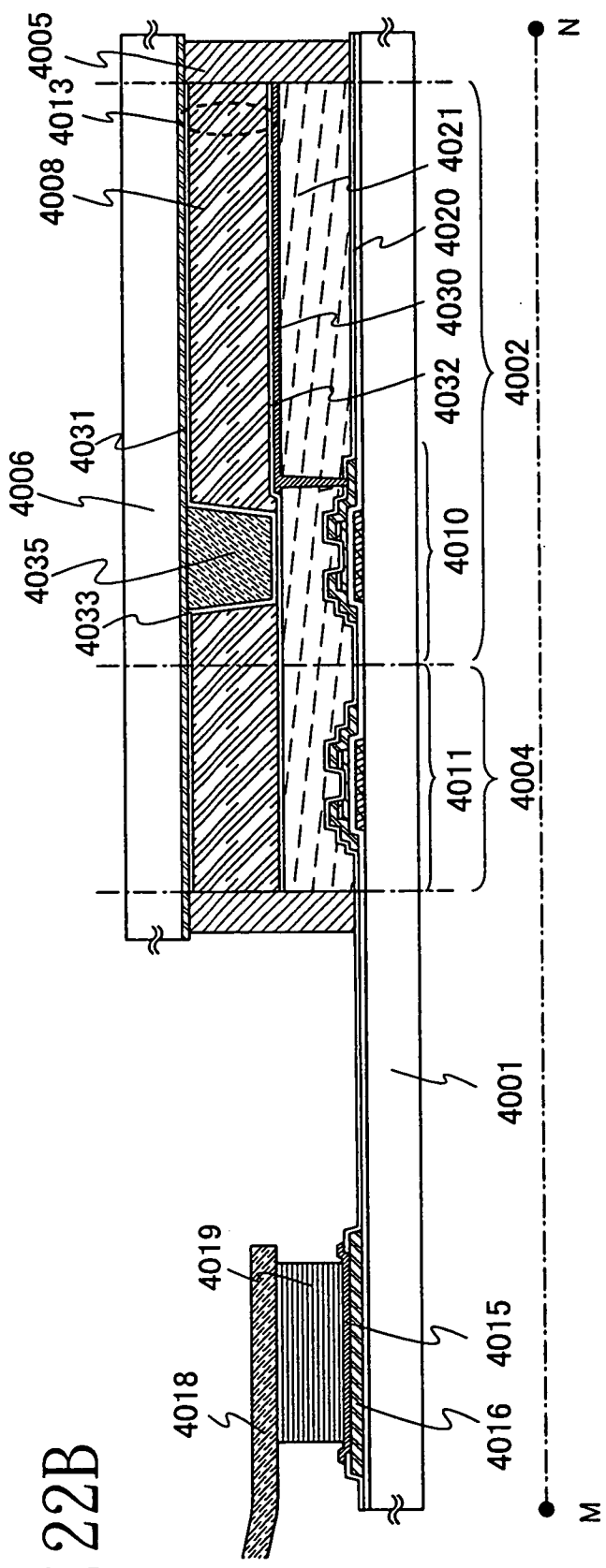


圖23

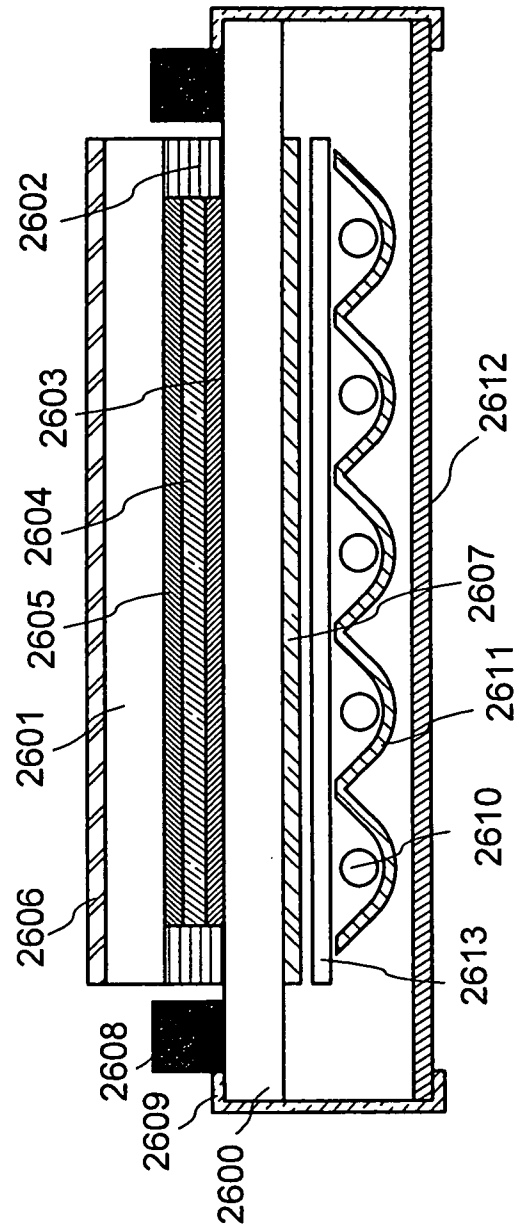


圖24A

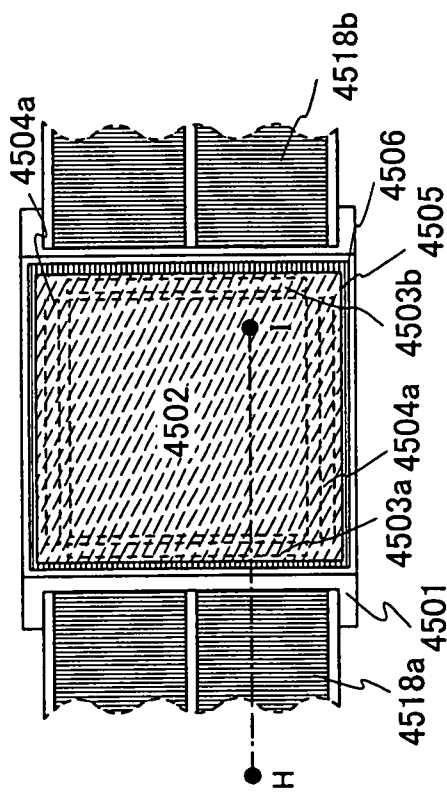


圖24B

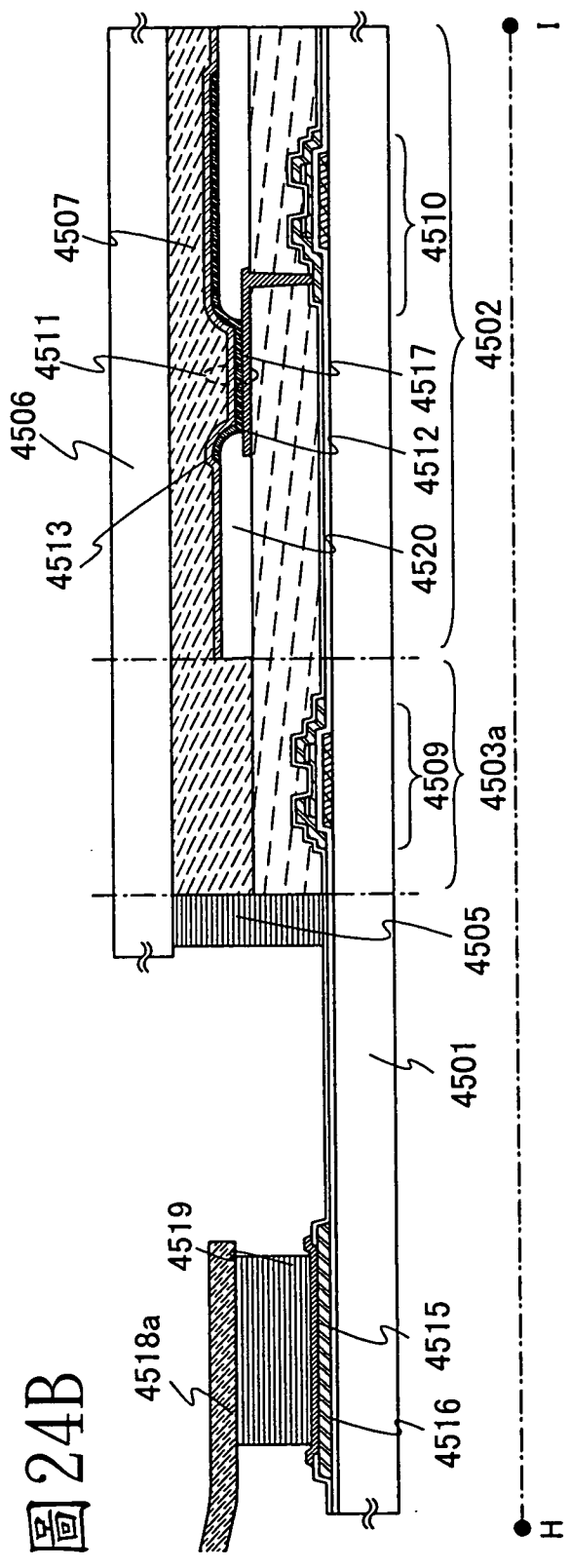


圖 25A

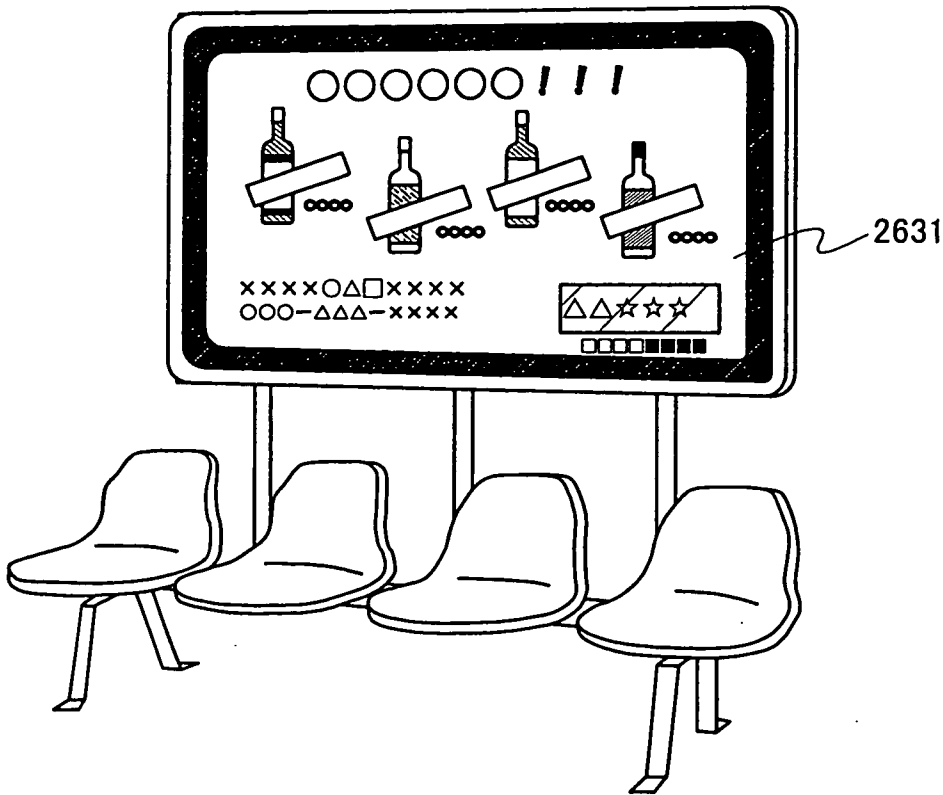


圖 25B

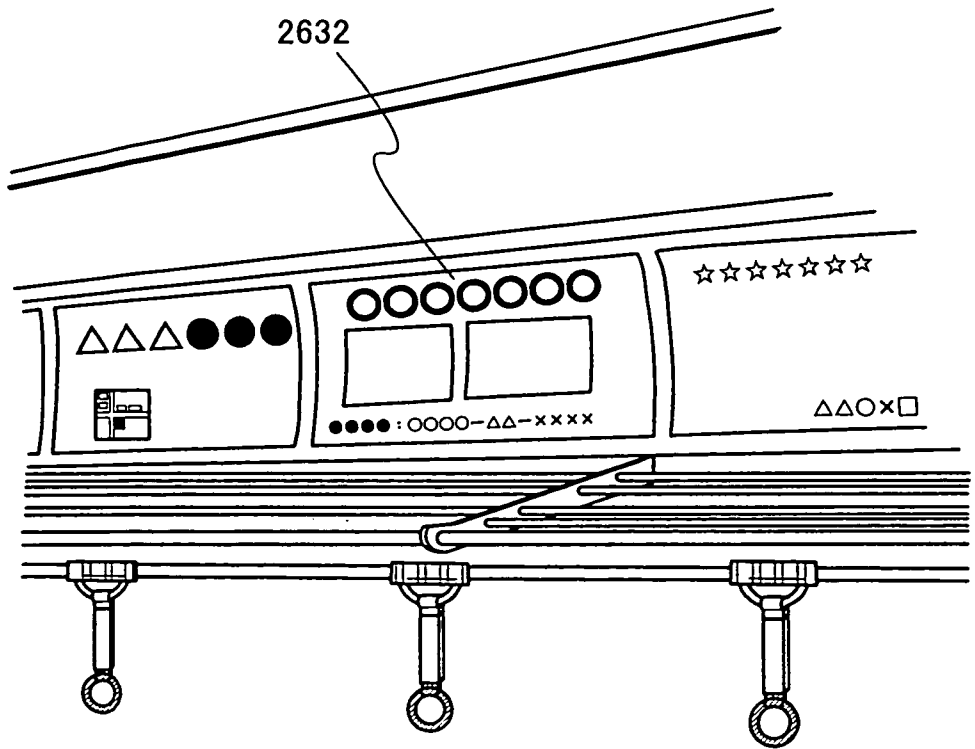


圖 26

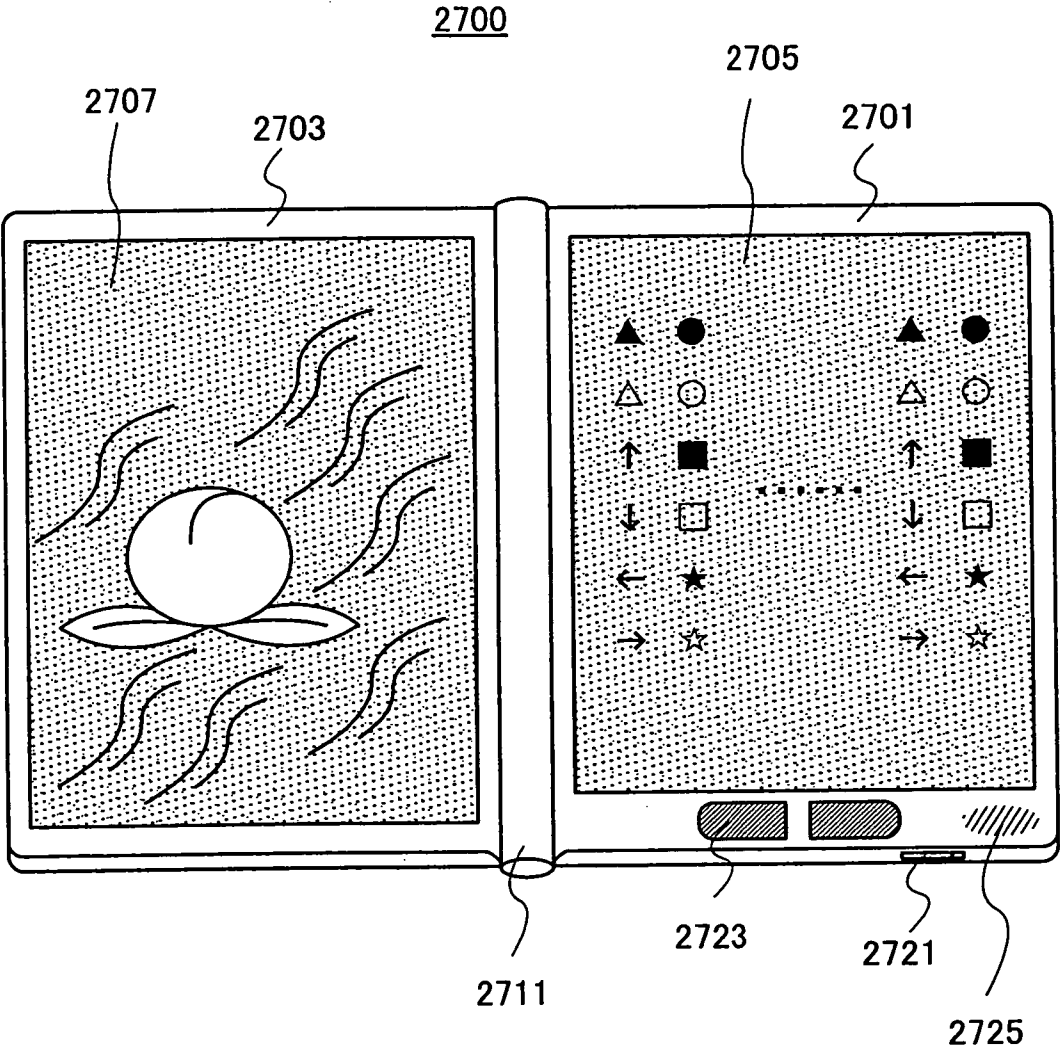


圖 27A

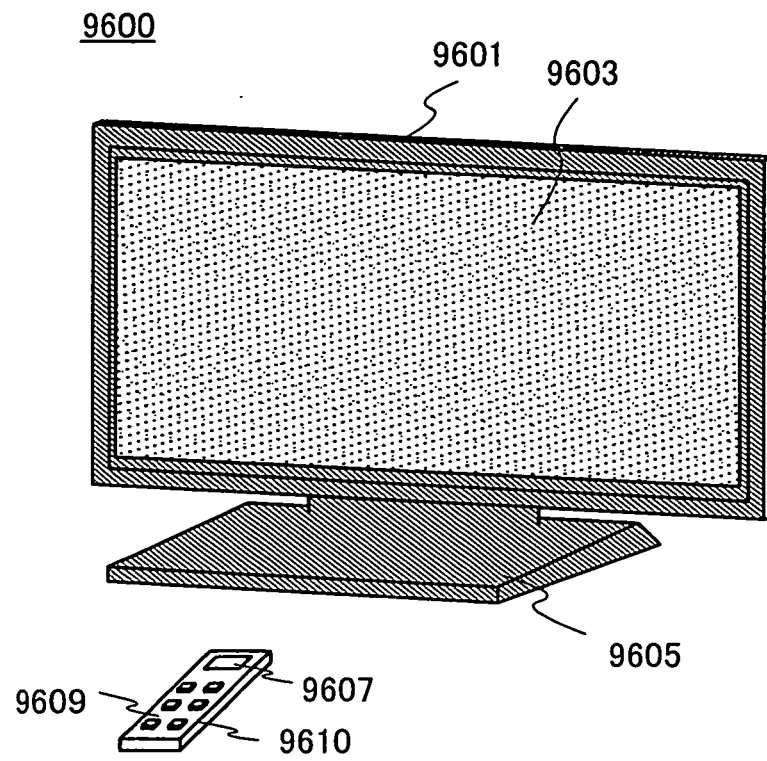


圖 27B

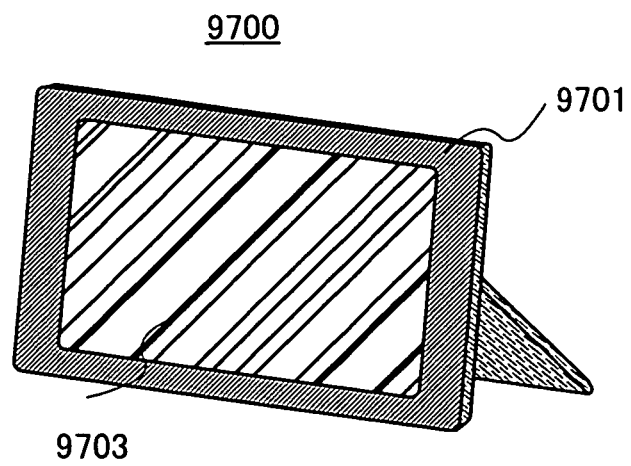


圖 28A

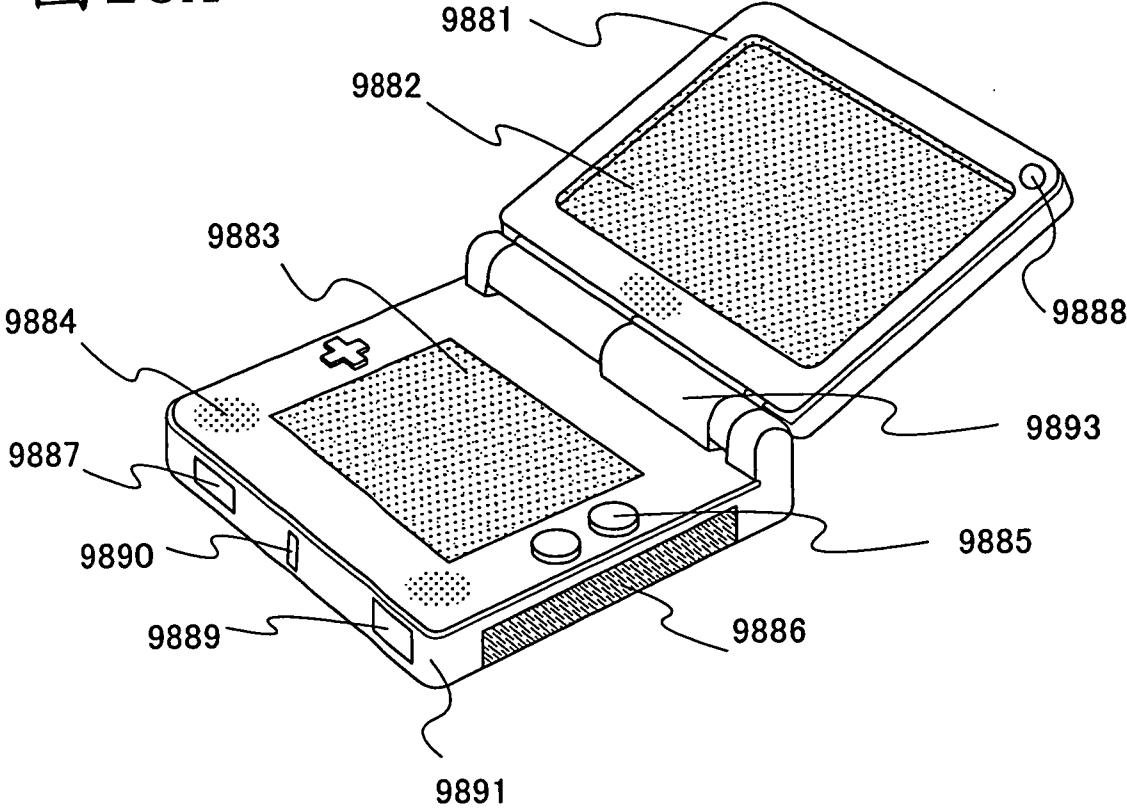


圖 28B

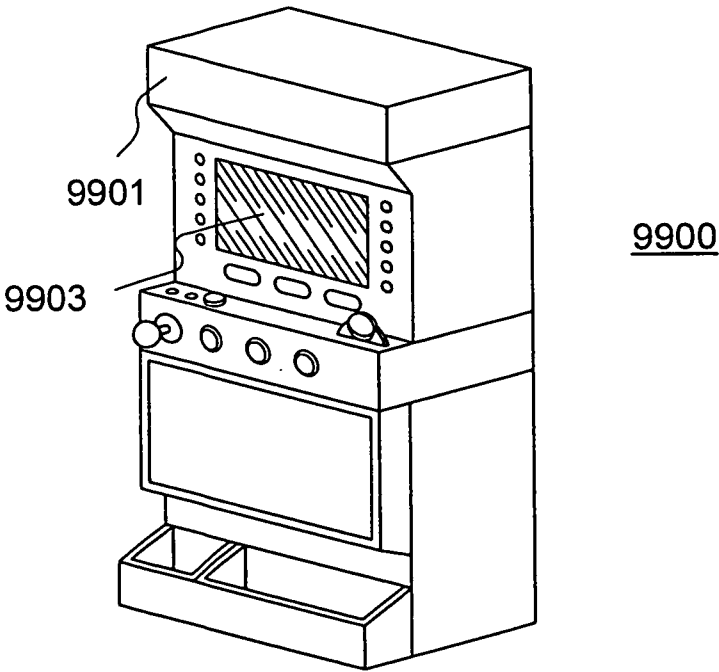


圖 29A

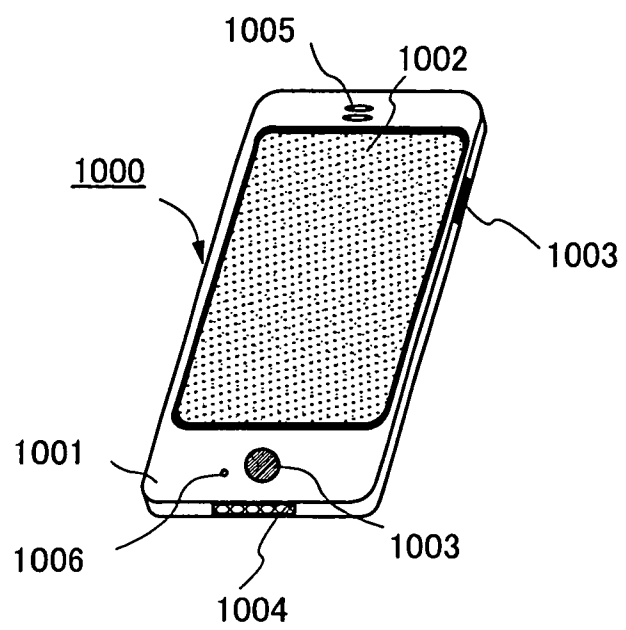


圖 29B

