

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5966009号  
(P5966009)

(45) 発行日 平成28年8月10日(2016.8.10)

(24) 登録日 平成28年7月8日(2016.7.8)

(51) Int.Cl.	F 1			
HO 1 L 25/04	(2014.01)	HO 1 L	25/04	Z
HO 1 L 25/18	(2006.01)	HO 1 L	23/12	Q
HO 1 L 23/12	(2006.01)	HO 1 L	21/60	3 1 1 S
HO 1 L 21/60	(2006.01)	HO 1 L	25/08	H
HO 1 L 25/065	(2006.01)	HO 1 L	27/10	4 9 5

請求項の数 10 (全 51 頁) 最終頁に続く

(21) 出願番号	特願2014-534602 (P2014-534602)	(73) 特許権者	309034272
(86) (22) 出願日	平成24年9月26日 (2012.9.26)	インヴェンサンス・コーポレイション	
(65) 公表番号	特表2014-530507 (P2014-530507A)	アメリカ合衆国 カリフォルニア州 95	
(43) 公表日	平成26年11月17日 (2014.11.17)	134、サン・ホセ、オーチャード・パー	
(86) 國際出願番号	PCT/US2012/057204	クウェイ 3025	
(87) 國際公開番号	W02013/052324	(74) 代理人	100099623
(87) 國際公開日	平成25年4月11日 (2013.4.11)	弁理士 奥山 尚一	
審査請求日	平成27年9月28日 (2015.9.28)	(74) 代理人	100096769
(31) 優先権主張番号	61/542,553	弁理士 有原 幸一	
(32) 優先日	平成23年10月3日 (2011.10.3)	(74) 代理人	100107319
(33) 優先権主張国	米国(US)	弁理士 松島 鉄男	
(31) 優先権主張番号	13/439,317	(74) 代理人	100114591
(32) 優先日	平成24年4月4日 (2012.4.4)	弁理士 河村 英文	
(33) 優先権主張国	米国(US)	(74) 代理人	100125380
		弁理士 中村 純子	

最終頁に続く

(54) 【発明の名称】パッケージ基板に対するワイヤボンドなしでアセンブリ内の信号端子の2重の組を使用するスタブ最小化

## (57) 【特許請求の範囲】

## 【請求項 1】

超小型電子パッケージであって、  
面と該面上の複数の素子コンタクトとを有する超小型電子素子であって、メモリ記憶アレイ機能を有する超小型電子素子と、  
互いに反対側の第1の表面及び第2の表面を有する基板であって、前記超小型電子素子の前記素子コンタクトに向きかつ該素子コンタクトに接合される、前記第1の表面上の基板コンタクトの組を有する、基板と、

前記超小型電子パッケージを該超小型電子パッケージの外部にある少なくとも1つの構成要素に接続するように構成される、前記基板の前記第2の表面上の複数の端子であって、該端子は、前記基板コンタクトに電気的に接続され、平行な第1のグリッド及び第2のグリッド内の場所に配置された第1の端子を含み、それぞれのグリッドは、軸のそれぞれの側に配置され、前記第1のグリッド及び前記第2のグリッドのそれぞれの前記第1の端子は、前記超小型電子素子内のメモリ記憶アレイの全ての利用可能なアドレス指定可能メモリ位置の中からアドレス指定可能メモリ位置を決定するのに前記超小型電子パッケージ内の回路によって使用可能なアドレス情報を運ぶように構成され、前記端子は、平行な第3のグリッド及び第4のグリッド内の場所に配置されかつ第2の情報を運ぶように構成された第2の端子を含み、該第2の情報は、前記第1の端子によって運ばれる情報以外の情報であり、該第2の情報は、データ信号を含み、前記第1のグリッド及び前記第2のグリッドは、前記第3のグリッド及び前記第4のグリッドを互いから分離する、複数の端子

10

20

と、  
を備え、

前記第1の端子は、信号割当てを有し、前記第1のグリッド内の前記第1の端子の信号割当ては、アドレス情報を運ぶように構成された該第1のグリッドの該第1の端子の信号割り当てのような、前記第2のグリッド内の前記第1の端子の信号割当てと、前記軸に関して対称であり、当該第1の端子のそれぞれは、当該第1の端子に関し、前記軸に関して対称な位置における前記第2のグリッドの前記第1の端子のうちの対応する端子と同じアドレス情報を運ぶように構成される、超小型電子パッケージ。

#### 【請求項2】

前記第1のグリッド及び前記第2のグリッドのそれぞれの前記第1の端子は、前記アドレス指定可能メモリ位置を決定するのに前記超小型電子パッケージ内の前記回路によって使用可能な前記アドレス情報の全てを運ぶように構成される、請求項1に記載の超小型電子パッケージ。 10

#### 【請求項3】

前記第1のグリッド及び前記第2のグリッド内の端子の列は、前記基板の対向する第1の縁部及び第2の縁部に平行な方向に延在し、前記軸は、前記基板の前記第1の縁部及び前記第2の縁部に平行でかつ前記基板の前記第1の縁部及び前記第2の縁部から等距離のラインから、前記第1のグリッド及び前記第2のグリッド内の前記端子の任意の2つの隣接する列間の最小ピッチの3.5倍以下の距離である、請求項1に記載の超小型電子パッケージ。 20

#### 【請求項4】

前記第1のグリッド及び前記第2のグリッドのそれぞれは、前記第1の端子の平行な第1の列及び第2の列を含む、請求項1に記載の超小型電子パッケージ。

#### 【請求項5】

前記第3のグリッド内の前記第2の端子の信号割当ては、前記第4のグリッド内の前記第2の端子の信号割当ての鏡像である、請求項1に記載の超小型電子パッケージ。

#### 【請求項6】

前記第2の端子の或る部分は第5のグリッド内に配置され、前記第2の端子の別の部分は第6のグリッド内に配置され、前記第5のグリッド及び前記第6のグリッド内の端子の列は、互いに平行であり、前記第1の端子及び前記第2の端子内の端子列が延在する第1の方向を横切る第2の方向に延在し。 30

前記第5のグリッド内の前記第2の端子の信号割当ては、前記第1のグリッドと前記2のグリッドとの間の軸について対称であり、前記第6のグリッド内の前記第2の端子の信号割当ては、前記第1のグリッドと前記2のグリッドとの間の前記軸に関して対称であり、前記軸は、前記基板の対向する第1の縁部及び第2の縁部から等距離にある、請求項1に記載の超小型電子パッケージ。

#### 【請求項7】

前記超小型電子素子は第1の超小型電子素子であり、前記基板コンタクトの組は基板コンタクトの第1の組であり、

前記超小型電子パッケージは、面と該面上の複数の素子コンタクトとを有する第2の超小型電子素子を更に備え、該第2の超小型電子素子は、メモリ記憶アレイ機能を有し。 40

前記基板は、前記第2の超小型電子素子の素子コンタクトに向きかつ該素子コンタクトに接合される、前記第1の表面上の基板コンタクトの第2の組を有し、前記端子は、基板コンタクトの前記第2の組に電気的に接続され、

前記第1のグリッド及び前記第2のグリッドのそれぞれの前記第1の端子は、前記第1の超小型電子素子及び前記第2の超小型電子素子内のメモリ記憶アレイの全ての利用可能なアドレス指定可能メモリ位置の中からアドレス指定可能メモリ位置を決定するのに前記超小型電子パッケージ内の回路によって使用可能なアドレス情報を運ぶように構成される、請求項1に記載の超小型電子パッケージ。

#### 【請求項8】

10

20

30

40

50

前記第1のグリッドの前記第1の端子は、前記第1の超小型電子素子に電気的に接続され、前記第2のグリッドの前記第1の端子は、前記第2の超小型電子素子に電気的に接続される、請求項7に記載の超小型電子パッケージ。

【請求項9】

前記第1のグリッド及び前記第2のグリッドの前記第1の端子は、前記第1の超小型電子素子及び前記第2の超小型電子素子のそれぞれに電気的に接続される、請求項8に記載の超小型電子パッケージ。

【請求項10】

前記第1のグリッドの前記第1の端子は、前記第1の超小型電子素子に電気的に接続され、前記第2の超小型電子素子には電気的に接続されず、前記第2のグリッドの前記第1の端子は、前記第2の超小型電子素子に電気的に接続され、前記第1の超小型電子素子には電気的に接続されない、請求項7に記載の超小型電子パッケージ。

【発明の詳細な説明】

【技術分野】

【0001】

(関連出願の相互参照)

本出願は、2011年10月3日に出願された米国仮特許出願第61/542,553号及び2012年2月17日に出願された米国仮特許出願第61/600,483号の出願日の利益を主張する2012年4月4日に出願された米国特許出願第13/439,317号の継続出願であり、それらの特許文献の開示は参考することにより本明細書の一部をなすものとする。

【0002】

本出願の主題は、超小型電子パッケージ及び超小型電子パッケージを組み込んだアセンブリに関する。

【背景技術】

【0003】

半導体チップは、一般に、個々のパッケージされたユニットとして提供される。標準的なチップは、平坦な方形の本体を有し、この本体は、チップの内部回路部に接続されたコンタクトを有する大きな前面を備えている。個々の各チップは、通常、チップのコンタクトに接続された外部端子を有するパッケージ内に含まれている。また、端子、すなわちパッケージの外部接続点は、プリント回路基板等の回路パネルに電気的に接続するように構成されている。多くの従来の設計では、チップパッケージは、チップ自体の面積よりもかなり大きな回路パネルの面積を占有する。「チップの面積」とは、この開示において、前面を有する平坦なチップに関して用いられるとき、前面の面積を指すものとして理解されるべきである。

【0004】

「フリップチップ」設計では、チップの前面は、パッケージ誘電体素子、すなわち、パッケージの基板の面に向き合い、チップ上のコンタクトは、はんだバンプ又は他の接続素子によってこの基板の面上のコンタクトに直接ボンディングされる。また、この基板は、当該基板の上に重なる外部端子を通じて回路パネルにボンディングすることができる。「フリップチップ」設計は、比較的コンパクトな構成を提供する。いくつかのフリップチップパッケージは一般に「チップスケールパッケージ」と呼ばれる。「チップスケールパッケージ」では、各パッケージは、例えば、本願と同一の譲受人に譲渡された米国特許第5,148,265号、同第5,148,266号、及び同第5,679,977号の或る特定の実施形態に開示されているように、チップの前面の面積に等しいか又はそれよりも僅かに大きな回路パネルの面積を占有する。これらの米国特許の開示内容は、参考することによって本明細書の一部をなすものとする。或る特定の革新的な実装技法が、従来のフリップチップボンディングのコンパクト性に匹敵するコンパクト性又はそれに等しいコンパクト性を提供する。

【0005】

10

20

30

40

50

チップのいかなる物理的構成においても、サイズは重要な考慮事項である。チップのより小型の物理的構成に対する要求は、携帯型電子デバイスの急速な発展により、更に強くなっている。単に例として、一般に「スマートフォン」と呼ばれるデバイスは、携帯電話の機能を、強力なデータプロセッサ、メモリ、並びに全地球測位システム受信機、電子カメラ及びローカルエリアネットワーク接続等の補助デバイスと、高解像度ディスプレイ及び関連する画像処理チップとともに一体化している。こうしたデバイスは、完全なインターネット接続、最大解像度の映像を含むエンターテイメント、ナビゲーション、電子銀行等の機能を、全てポケットサイズのデバイスで提供することができる。複雑な携帯型デバイスでは、多数のチップを小さい空間に詰め込む必要がある。さらに、チップのうちのいくつかは、一般に「I/O」と呼ばれる多くの入出力接続を有している。これらのI/Oを、他のチップのI/Oと相互接続しなければならない。相互接続を形成する構成要素は、アセンブリのサイズを大幅に増大させるべきではない。同様の必要性は、例えば、インターネット検索エンジンで使用されるもの等の、性能の増大及びサイズの低減が必要とされるデータサーバにおける用途等の、他の用途でも発生する。

#### 【0006】

メモリ記憶アレイ、特にダイナミックランダムアクセスメモリチップ(DRAM)及びフラッシュメモリチップを含む半導体チップは、一般に、單一チップ又は複数チップのパッケージ及びアセンブリにパッケージされる。各パッケージは、端子と、その中のチップとの間で信号を運び、電源及び接地を接続するために数多くの電気的接続を有する。それらの電気的接続は、チップのコンタクト支持面に対して水平方向に延在する水平導体、例えば、トレース、ビームリード等、及びチップの表面に対して垂直方向に延在するピア等の垂直導体、並びにチップの表面に対して水平及び垂直の両方向に延在するワイヤボンド等の、異なる種類の導体を含むことができる。

#### 【0007】

従来の超小型電子パッケージは、主としてメモリ記憶アレイ機能を提供するように構成される超小型電子素子、すなわち、メモリ記憶アレイ機能を提供する能動デバイスを他のいずれの機能よりも多く具現化する超小型電子素子を組み込むことができる。この超小型電子素子は、DRAMチップ、又はそのような半導体チップを積み重ねて電気的に相互接続したアセンブリとすることもできるし、それらを含むこともできる。通常、そのようなパッケージの端子の全ては、超小型電子素子が実装されるパッケージ基板の1つ又は複数の周縁部に隣接して数組の列に配置される。

#### 【0008】

例えば、図1に見られる1つの従来の超小型電子パッケージ12において、パッケージ基板20の第1の周縁部16に隣接して端子の3つの列14を配置することができ、パッケージ基板20の第2の周縁部22に隣接して端子の別の3つの列18を配置することができる。従来のパッケージにおけるパッケージ基板20の中央領域24には、端子の列は全くない。図1は更に、パッケージ内の、面28上に素子コンタクト26を有する半導体チップ11を示す。素子コンタクト26は、パッケージ基板20の中央領域24における開口部、例えばボンドウインドウ、を通って延在するワイヤボンド30を通じて、パッケージ12の端子の列14、18と電気的に相互接続されている。場合によっては、超小型電子素子11の面28と基板20との間に接着層32を配置して、ワイヤボンドが接着層32の開口部を通って延在する状態で、超小型電子素子と基板との機械的接続を補強することができる。

#### 【0009】

上記に鑑みて、特にそのようなパッケージと、そのようなパッケージを搭載し互いに電気的に相互接続することができる回路パネルとを含むアセンブリにおいて電気的性能を改善するために、超小型電子パッケージ上で端子の配置の改善をいからか行うことができる。

#### 【発明の概要】

#### 【0010】

10

20

30

40

50

本発明の態様によれば、超小型電子パッケージが、面及び該面において露出する複数の素子コンタクトを有する超小型電子素子と、互いに反対側の第1の表面及び第2の表面を有する基板と、前記超小型電子パッケージを該パッケージの外部にある少なくとも1つの構成要素に接続するように構成される、前記第2の表面において露出する複数の端子とを備えることができる。前記超小型電子素子はメモリ記憶アレイ機能を有することができる。前記基板は、前記超小型電子素子の素子コンタクトに向きかつ該素子コンタクトに接合される、第1の表面において露出する1組の基板コンタクトを有することができる。

#### 【0011】

前記端子は、前記基板コンタクトに電気的に接続することができ、複数の第1の端子を含むことができる。前記第1の端子は、理論的軸の第1の側に配置された第1の端子の第1の組と、前記第1の側と反対側の前記軸の第2の側に配置された前記第1の端子の第2の組とを含むことができる。前記第1の組及び前記第2の組のそれぞれは、前記超小型電子素子のメモリ記憶アレイの全ての利用可能なアドレス指定可能メモリ位置の中からアドレス指定可能メモリ位置を決定するのに前記超小型電子パッケージ内の回路によって使用可能なアドレス情報を運ぶように構成することができる。第1の組内の第1の端子の信号割当ては、第2の組内の第1の端子の信号割当ての鏡像とすることができる。

#### 【0012】

一例において、前記超小型電子素子は、メモリ記憶アレイ機能を提供する能動素子の数をいかなる他の機能よりも多く具体化することができる。例示的な実施形態において、第1の組及び第2の組のそれぞれの前記第1の端子は、前記アドレス指定可能メモリ位置を決定するのに前記超小型電子パッケージ内の前記回路によって使用可能な前記アドレス情報の全てを運ぶように構成することができる。一例において、第1の組及び第2の組のそれぞれの前記第1の端子は、前記超小型電子素子の動作モードを制御する情報を運ぶように構成することができる。特定の実施形態において、第1の組及び第2の組のそれぞれの前記第1の端子は、前記超小型電子パッケージに転送されるコマンド信号の全てを運ぶように構成することができ、前記コマンド信号は、ライトイネーブル（書き込み許可）、行アドレスストローブ、及び列アドレスストローブ信号である。

#### 【0013】

一実施形態において、第1の組及び第2の組のそれぞれの前記第1の端子は、前記超小型電子パッケージに転送されるクロック信号を運ぶように構成することができ、前記クロック信号は、前記アドレス情報を運ぶ信号をサンプリングするのに使用されるクロックである。特定の例において、第1の組及び第2の組のそれぞれの前記第1の端子は、前記超小型電子パッケージに転送されるバンクアドレス信号の全てを運ぶように構成することができる。一例において、前記素子コンタクトは、前記超小型電子素子の前面において露出する再分配コンタクトを含むことができる。各再分配コンタクトは、トレース又はビアの少なくとも一方を通して前記超小型電子素子のコンタクトパッドに電気的に接続することができる。

#### 【0014】

特定の例において、前記第1の組及び第2の組の前記第1の端子は、それぞれの第1のグリッド及び第2のグリッド内の場所に配置することができる。前記第1のグリッド及び前記第2のグリッド内の端子の列は、前記基板の対向する第1の縁部及び第2の縁部に平行な方向に延在することができる。前記軸は、前記基板の前記第1の縁部及び前記第2の縁部に平行でかつ前記基板の前記第1の縁部及び前記第2の縁部から等距離のラインから、前記第1の端子の任意の2つの隣接する列間の最小ピッチの3.5倍以下の距離とすることができる。一実施形態において、少なくともいくつかの第1の端子を含む特定の列の大部分の端子の中心を通って延在する列軸は、前記特定の列の端子の1つ又は複数の端子の中心を通って延在しないことができる。

#### 【0015】

一例において、前記列軸は、前記列の中央に置かれない前記1つ又は複数の端子の少なくとも1つの端子を通って延在しないことができる。特定の実施形態において、前記第1

10

20

30

40

50

の組及び前記第2の組の前記第1の端子は、それぞれの第1のグリッド及び第2のグリッド内の場所に配置することができ、前記第1のグリッド及び前記第2のグリッドのそれぞれは、前記第1の端子の平行な第1の列及び第2の列を含むことができる。例示的な実施形態において、前記第1のグリッド又は前記第2のグリッドの少なくとも一方のグリッドは、前記少なくとも一方のグリッドの平行な前記第1の列と前記第2の列との間に少なくとも1つの端子を含むことができる。一実施形態において、前記端子は第2の端子を含むことができる。前記第2の端子の少なくともいくつかは、アドレス情報以外の情報を運ぶように構成することができる。特定の例において、前記第1の組及び前記第2の組の前記第1の端子は、それぞれの第1のグリッド及び第2のグリッド内の場所に配置することができ、前記第2の端子は、前記第1のグリッド及び前記第2のグリッド内ではなく、前記第2の表面上の場所に配置することができる。一例において、前記第1の組及び前記第2の組の前記第1の端子は、それぞれの第1のグリッド及び第2のグリッド内の場所に配置することができ、前記第2の端子の少なくともいくつかは、前記第1のグリッド及び前記第2のグリッド内に配置することができる。

#### 【0016】

特定の実施形態において、前記第1の組及び前記第2の組の前記第1の端子は、それぞれの第1のグリッド及び第2のグリッド内の場所に配置することができ、前記第2の端子の1つの部分は第3のグリッド内に配置することができ、前記第2の端子の別の部分は第4のグリッド内に配置することができる。前記第3のグリッド及び前記第4のグリッド内の端子の列は、互いに、また、前記第1のグリッド及び前記第2のグリッド内の端子の列に平行にすることができます。前記第3のグリッド内の前記第2の端子の信号割当ては、前記第4のグリッド内の前記第2の端子の信号割当ての鏡像とすることができる。一例において、前記第1のグリッド及び前記第2のグリッドは、前記第3のグリッド及び前記第4のグリッドを互いから分離することができる。

#### 【0017】

例示的な実施形態において、前記第2の端子の或る部分は第5のグリッド内に配置することができ、前記第2の端子の別の部分は第6のグリッド内に配置することができる。前記第5のグリッド及び前記第6のグリッド内の端子の列は、互いに平行とすることができます、前記第1の端子及び前記第2の端子の端子列が延在する第1の方向を横切る第2の方向に延在することができる。前記第5のグリッド内の前記第2の端子の信号割当ては、前記第1のグリッドと前記2のグリッドとの間の軸について対称とすることができます、前記第6のグリッド内の前記第2の端子の信号割当ては、前記第1のグリッドと前記2のグリッドとの間の軸について対称とすることができます。前記軸は、前記基板の対向する第1の縁部及び第2の縁部から等距離にあることができる。一例において、前記パッケージの外部にある前記少なくとも1つの構成要素は回路パネルとすることができます。特定の例において、超小型電子パッケージは、前記基板の前記第1の表面に向く表面を有するバッファチップを更に備えることができる。前記バッファチップは、前記第1の組及び前記第2の組の少なくとも一方の組の前記第1の端子に電気的に接続することができる。前記バッファチップは、前記第1の端子で受信された前記アドレス情報の少なくとも一部を再生し、前記再生された信号を前記超小型電子素子に出力するように構成することができる。

#### 【0018】

一実施形態において、前記超小型電子素子は第1の超小型電子素子とすることができます、基板コンタクトの前記組は基板コンタクトの第1の組とすることができます。前記超小型電子パッケージは、面及び該面において露出する複数の素子コンタクトを有する第2の超小型電子素子を更に備えることができる。前記第2の超小型電子素子はメモリ記憶アレイ機能を有することができる。前記基板は、前記第2の超小型電子素子の素子コンタクトに向きかつ該第2の超小型電子素子の該素子コンタクトに接合される、前記第1の表面において露出する基板コンタクトの第2の組を有することができる。前記端子は、基板コンタクトの前記第2の組に電気的に接続することができる。前記第1の組及び前記第2の組のそれぞれの前記第1の端子は、前記第1の超小型電子素子及び前記第2の超小型電子素子の

10

20

30

40

50

少なくとも一方の超小型電子素子のメモリ記憶アレイの全ての利用可能なアドレス指定可能なメモリ位置の中からアドレス指定可能なメモリ位置を決定するのに前記超小型電子パッケージ内の回路によって使用可能なアドレス情報を運ぶように構成することができる。

【0019】

特定の例において、前記第1の超小型電子素子及び前記第2の超小型電子素子の前記面は、前記基板の前記第1の表面に平行な单一平面内に配置することができる。一実施形態において、前記第1の組の前記第1の端子は、前記第1の超小型電子素子に電気的に接続することができ、前記第2の組の前記第1の端子は、前記第2の超小型電子素子に電気的に接続することができる。特定の実施形態において、前記第1の組及び前記第2の組の前記第1の端子は、前記第1の超小型電子素子及び前記第2の超小型電子素子のそれぞれに電気的に接続することができる。

10

【0020】

一例において、前記第1の組の前記第1の端子は、前記第1の超小型電子素子に電気的に接続することができ、前記第2の超小型電子素子に電気的に接続しないことができる。前記第2の組の前記第1の端子は、前記第2の超小型電子素子に電気的に接続することができ、前記第1の超小型電子素子に電気的に接続しないことができる。例示的な実施形態において、前記基板は、誘電体素子の平面において30パーツパーミリオン／摂氏温度（「ppm／」）未満の熱膨張率（「CTE」）を有する、前記誘電体素子を含むことができる。一例において、前記基板は、12ppm／未満のCTEを有する素子を含むことができる。

20

【0021】

本発明の別の態様によれば、超小型電子パッケージが、面及び該面上の複数の素子コンタクトを有する超小型電子素子と、互いに反対側の第1の表面及び第2の表面を有する基板と、超小型電子パッケージを該パッケージの外部にある少なくとも1つの構成要素に接続させるために構成される前記第2の表面において露出する複数の端子とを備えることができる。前記超小型電子素子は、メモリ記憶アレイ機能を提供する能動素子の数をいかなる他の機能よりも多く具体化することができる。前記基板は、前記超小型電子素子の素子コンタクトに向きかつ素子コンタクトに接合される、第1の表面上の基板コンタクトの組を有することができる。

【0022】

30

前記端子は、前記基板コンタクトに電気的に接続することができ、平行な第1のグリッド及び第2のグリッド内の場所に配置された第1の端子を含むことができる。第1のグリッド及び第2のグリッドのそれぞれの前記第1の端子は、前記超小型電子素子内のメモリ記憶アレイの全ての利用可能なアドレス指定可能なメモリ位置の中からアドレス指定可能なメモリ位置を決定するのに超小型電子パッケージ内の回路によって使用可能なアドレス情報を大部分を運ぶように構成することができる。前記第1のグリッド内の前記第1の端子の信号割当ては、前記第2のグリッド内の前記第1の端子の信号割当ての鏡像とすることができる。特定の実施形態では、前記第1のグリッド及び前記第2のグリッドのそれぞれの前記第1の端子は、前記アドレス指定可能なメモリ位置を決定するのに超小型電子パッケージ内の回路によって使用可能なアドレス情報を少なくとも3/4を運ぶように構成することができる。

40

【図面の簡単な説明】

【0023】

【図1】DRAMチップを含む従来の超小型電子パッケージを示す断面図である。

【図2】回路パネルと、互いに反対側の第1の表面及び第2の表面に互いに対向して搭載された複数の超小型電子パッケージとを組み込んだ、超小型電子アセンブリ、例えばDIMMモジュールを示す概略図である。

【図3】図2に示すもの等のアセンブリにおける第1の超小型電子パッケージ及び第2の超小型電子パッケージと回路パネルとの電気的相互接続を更に示す断面図である。

【図4】図2に示すもの等のアセンブリにおける第1の超小型電子パッケージと第2の超

50

小型電子パッケージとの間の電気的相互接続を更に示す概略平面図である。

【図5】本発明の一実施形態による超小型電子パッケージにおける端子の配列と信号割り当てとを示す概略平面図である。

【図5A】図5の或る部分についての端子の代替の配置構成を示す部分図である。

【図6】図5に示す超小型電子パッケージを更に示す、図5の6-6線断面図である。

【図7】図5及び図6に示す実施形態による端子の配列を更に示す平面図である。

【図8A】本発明の一実施形態による超小型電子アセンブリ及びそれと電気的に相互接続された第1の超小型電子パッケージ及び第2の超小型電子パッケージを示す断面図である。

【図8B】本発明の一実施形態による超小型電子アセンブリ及びそれと電気的に相互接続された第1の超小型電子パッケージ及び第2の超小型電子パッケージを示す断面図である。

【図8C】本発明の一実施形態による超小型電子アセンブリ及びそれと電気的に相互接続された4つの超小型電子パッケージを示す断面図である。

【図8D】本発明の一実施形態による、回路パネルを備える超小型電子アセンブリ及びそれと電気的に相互接続された超小型電子パッケージ、例えばなかでもメモリモジュールを示す断面図である。

【図9】本発明の一実施形態による超小型電子パッケージにおける端子の配列と信号割り当てとを示す概略平面図である。

【図10】本発明の一実施形態による超小型電子パッケージにおける端子の配列と信号割り当てとを示す概略平面図である。

【図11】図5～図7に示す実施形態の変形形態によるウエハレベル超小型電子パッケージを示す断面図である。

【図12】本発明の一実施形態による超小型電子アセンブリ及びそれと電気的に相互接続された第1の超小型電子パッケージ及び第2の超小型電子パッケージを示す断面図である。

【図13】図5～図7に示す実施形態の変形形態による超小型電子パッケージを示す断面図である。

【図14】図5～図7に示す実施形態の変形形態による超小型電子パッケージを示す平面図である。

【図15】図13及び図14に示す実施形態の変形形態による超小型電子パッケージ上の端子の代替的な配列を示す平面図である。

【図16】図13及び図14に示す実施形態の変形形態による超小型電子パッケージ上の端子の別の代替的な配列を示す平面図である。

【図17】図5～図7に示す実施形態の変形形態による超小型電子パッケージを示す平面図である。

【図18】図13及び図14に示す実施形態の変形形態による超小型電子パッケージを示す平面図である。

【図19】図18に示す実施形態の変形形態による超小型電子パッケージを示す平面図である。

【図20】図19に示す実施形態の変形形態による超小型電子パッケージを示す平面図である。

【図21】本発明の一実施形態による、スタックした電気的に接続した半導体チップのアセンブリを含む超小型電子パッケージを示す断面図である。

【図22A】本発明の一実施形態による、スタックした電気的に接続した半導体チップのアセンブリを含む超小型電子パッケージを示す断面図である。

【図22B】図22Aに示す実施形態の変形形態による超小型電子パッケージを示す断面図である。

【図23】図22Aに示す実施形態の変形形態による超小型電子パッケージを示す断面図である。

10

20

30

40

50

【図24】図22Aに示す実施形態の別の変形形態による超小型電子パッケージを示す断面図である。

【図25】図22Aに示す実施形態の更に別の変形形態による超小型電子パッケージを示す断面図である。

【図26A】本発明の一実施形態による超小型電子パッケージにおける端子の配列と信号割り当てとを示す概略平面図である。

【図26B】図26Aに示す実施形態による端子の配列を更に示す平面図である。

【図26C】図26Aに示す超小型電子パッケージを更に示す、図26Aの26C-26C線断面図である。

【図26D】図26A～図26Cに示す実施形態の変形形態による超小型電子素子上のコンタクトの代替の配置を示す平面図である。 10

【図27】本発明の一実施形態による超小型電子アセンブリ及びそれと電気的に相互接続された第1の超小型電子パッケージ及び第2の超小型電子パッケージを示す断面図である。

【図28】本発明の一実施形態によるシステムを示す概略断面図である。

【図29】本発明の一実施形態によるシステムを示す概略断面図である。

**【発明を実施するための形態】**

**【0024】**

図1に関して説明する例示的な従来の超小型電子パッケージ12に鑑みて、本発明者は、メモリ記憶アレイチップを組み込む超小型電子パッケージ及びそのような超小型電子パッケージを組み込む超小型電子アセンブリの電気的性能を改善するのに役立てることができる、行うことができる改善を認識した。 20

**【0025】**

特に、図2～図4に示すもの等のアセンブリ内に設けられた場合の超小型電子パッケージの使用に関して改善を行うことができる。図2～図4において、パッケージ12Aが回路パネルの表面に搭載され、別の同様なパッケージ12Bが回路パネルの反対側の表面上に、それに向き合って搭載される。パッケージ12A、12Bは通常、機能的及び機械的に互いに同等である。機能的及び機械的に同等なパッケージの他の対12Cと12D、及び12Eと12Fもまた、通常同じ回路パネル34に搭載される。回路パネルとそれに取り付けられたパッケージとは、一般にデュアルインラインメモリモジュール（「DIMM」）と呼ばれるアセンブリの一部を形成することができる。対向して搭載されたパッケージの対それぞれにおけるパッケージ、例えばパッケージ12A、12Bは、回路パネルの反対に位置する表面上のコンタクトに接続し、それぞれの対におけるパッケージ同士が通常それぞれの面積の90%よりも多く互いに重なるようになっている。回路パネル34内のローカル配線は、端子、例えばそれぞれのパッケージ上の「1」、「5」とラベルがついた端子を回路パネル上のグローバル配線に接続する。グローバル配線は、位置I、II、及びIII等の回路パネル34上の接続位置にいくつかの信号を伝えるのに用いる、バス36の信号導体を含む。例えば、パッケージ12A、12Bは、接続位置Iに結合したローカル配線によってバス36に電気的に接続され、パッケージ12C、12Dは、接続位置IIに結合したローカル配線によってバスに電気的に接続され、パッケージ12E、12Fは、接続位置IIIに結合したローカル配線によってバスに電気的に接続される。 30 40

**【0026】**

回路パネル34は、パッケージ12Aの一方の縁部16近くの「1」とラベルがついた端子が回路パネル34を貫いてパッケージ12Bの同じ縁部16近くのパッケージ12Bの「1」とラベルがついた端子に接続する、十文字すなわち「シューレース（靴ひも）」パターンと同様に見えるローカル相互接続配線を用いて、パッケージ12A、12Bそれぞれの端子を電気的に相互接続する。しかし、回路パネル34に取り付けたパッケージ12Bの縁部16は、パッケージ12Aの縁部16から遠い。図2～図4は、パッケージ12Aの縁部22近くの「5」とラベルがついた端子が回路パネル34を貫いてパッケージ12Bの同じ縁部22近くのパッケージ12Bの「5」とラベルがついた端子に接続する 50

ということを更に示す。アセンブリ 3 8において、パッケージ 1 2 A の縁部 2 2 はパッケージ 1 2 B の縁部 2 2 から遠い。

【 0 0 2 7 】

回路パネルを貫く、各パッケージ、例えばパッケージ 1 2 A 上の端子と、その反対側に搭載されたパッケージ、すなわちパッケージ 1 2 B 上の対応する端子との間の接続は、かなり長いものである。図 3 において更にわかるように、同様の超小型電子パッケージ 1 2 A、1 2 B のそのようなアセンブリにおいて、回路パネル 3 4 は、バス 3 6 の信号導体を、バスからの同じ信号がそれぞれのパッケージに送信されることになっている場合には、「1」と印がついたパッケージ 1 2 A の端子及び「1」と印がついたパッケージ 1 2 B の対応する端子と電気的に相互接続することができる。同様に回路パネル 3 4 は、バス 3 6 の別の信号導体を、「2」と印がついたパッケージ 1 2 A の端子及び「2」と印がついたパッケージ 1 2 B の対応する端子と電気的に相互接続することができる。同じ接続の仕組みを、バスの他の信号導体及びそれぞれのパッケージの対応する端子にも当てはめることができる。

【 0 0 2 8 】

回路パネル 3 4 上のバス 3 6 と、パッケージのそれぞれの対、例えば、基板の接続位置 I におけるパッケージ 1 2 A、1 2 B (図 2)、のそれぞれのパッケージとの間のローカル配線は、非終端スタブの形とすることができます。そのようなローカル配線は、比較的長い場合には、場合によっては後述するようにアセンブリ 3 8 の性能に影響を及ぼす場合がある。さらに、回路パネル 3 4 はまたローカル配線に、他のパッケージ、すなわちパッケージの対 1 2 C 及び 1 2 D 並びにパッケージの対 1 2 E 及び 1 2 F の或る特定の端子をバス 3 6 のグローバル配線に電気的に相互接続するよう求め、そのような配線も、同じようにアセンブリの性能に影響を及ぼす可能性がある。

【 0 0 2 9 】

図 4 は更に、信号「1」、「2」、「3」、「4」、「5」、「6」、「7」、及び「8」を運ぶよう割り当てられた端子のそれぞれの対の超小型電子パッケージ 1 2 A と 1 2 B との間の相互接続を示す。図 4 においてわかるように、端子の、基板の表面の中央領域 2 4 内ではなく、列 1 4、1 8 の全ては各パッケージ 1 2 A、1 2 B それぞれの縁部 1 6、2 2 の近くに露出するので、端子の列 1 4、1 8 が延在する方向 4 2 を横切る方向 4 0 に回路パネル 3 4 を横切るのに必要な配線は、非常に長くなる可能性がある。DRAM チップの長さは、それぞれの辺において 1 0 ミリメートルの範囲にできることがあるということを認識すれば、或る信号が、2 つの対向して搭載されるパッケージ 1 2 A、1 2 B の対応する端子に同じ信号をルーティングするのに必要な、図 2 ~ 図 4 に見られるアセンブリ 3 8 における回路パネル 3 4 内のローカル配線の長さは、5 ミリメートルから 1 0 ミリメートルの間に及ぶ可能性があり、通常約 7 ミリメートルとすることができる。

【 0 0 3 0 】

場合によっては、パッケージの端子同士を接続する回路パネル上の非終端配線が比較的長くても、アセンブリ 3 8 の電気的性能にひどく影響を及ぼすことはない場合がある。しかし、図 2 に示すように、回路パネルのバス 3 6 から回路パネルに接続されたパッケージの多数の対のそれぞれに信号を転送する場合、バス 3 6 からそこに接続されたそれぞれのパッケージ上の端子まで延在するスタブ、すなわちローカル配線の電気長がアセンブリ 3 8 の性能に潜在的に影響を及ぼすということを本発明者らは認識している。非終端スタブ上の信号反射は、それぞれのパッケージの接続された端子から戻ってバス 3 6 上へと逆方向に伝わり、したがってバス 3 6 からパッケージに転送される信号を劣化させてしまう可能性がある。この影響は、現在製造される超小型電子素子を含むいくつかのパッケージについて許容できる場合がある。しかし、増大する信号スイッチング周波数もしくは低電圧スイッチング信号又はその両方で動作する現在又は将来のアセンブリにおいては、この影響は甚だしくなる可能性がある、ということを本発明者は認識している。これらのアセンブリについては、送信信号のセトリングタイム (整定時間)、リンク、ジッタ、又は符号間干渉が受け入れがたい程度まで増大する場合がある。

10

20

30

40

50

## 【0031】

本発明者らは、非終端スタブの電気長は通常、回路パネルのバス36を、そこに搭載されたパッケージの端子と接続するローカル配線よりも長いということを更に認識している。それぞれのパッケージ内の、パッケージ端子から内部の半導体チップまでの非終端配線によって、スタブ長さが増加する。

## 【0032】

特定の例において、バス36は、DIMM等の主流のメモリ記憶アレイ機能を有するアセンブリのコマンド・アドレスバスである。コマンド・アドレスバス36は、パッケージ内の回路、例えば、行アドレス及び列アドレスのデコーダ、並びにもしある場合にはバンク選択回路が使用して、パッケージにおける超小型電子素子内のメモリ記憶アレイの全ての利用可能なアドレス指定可能メモリ位置からアドレス指定可能メモリ位置を決定することができる、超小型電子パッケージに転送されるアドレス情報を運ぶように構成することができる。コマンド・アドレスバス36は、接続位置、例えば、図2に示す位置I、II、及びIIIに上述のアドレス情報を運ぶように構成することができる。これらの上述のアドレス情報は次に、ローカル配線によって、そこにパッケージ12A、12B、12C、12D、12E及び12Fが接続される回路パネルの互いに反対側の表面上のパネルコントラクトのそれぞれの組に分配することができる。

10

## 【0033】

特定の例において、超小型電子素子がDRAMチップであるかDRAMチップを含む場合、コマンド・アドレスバス36は、超小型電子パッケージに転送される超小型電子素子のコマンド・アドレスバスの1群の信号、すなわちコマンド信号、アドレス信号、バンクアドレス信号、及びクロック信号の全てを運ぶように構成することができ、このコマンド信号は、ライトイネーブル、行アドレスストローブ、及び列アドレスストローブ信号を含み、このクロック信号は、アドレス信号をサンプリングするのに用いるクロックである。クロック信号はさまざまなタイプとすることができますが、一実施形態において、これらの端子が運ぶクロック信号は、差動、すなわち、真の及び相補クロック信号として受け取られる差動クロック信号の1つ又は複数の対とすることができます。

20

## 【0034】

したがって、本明細書において説明する本発明の或る特定の実施形態は、そのような第1のパッケージ及び第2のパッケージが回路パネル、例えば回路基板、モジュール基板若しくはカード、又はフレキシブル回路パネルの互いに反対側の表面上に互いに対向して搭載される場合にスタブの長さを短くできるように構成した、超小型電子パッケージを提供する。回路パネル上に互いに対向して搭載される第1の超小型電子パッケージ及び第2の超小型電子パッケージを組み込むアセンブリは、それぞれのパッケージ間のスタブ長さを著しく低減することができる。こうしたアセンブリ内のスタブ長を低減することは、なかでも、整定時間、リンク、ジッタ、又は符号間干渉のうちの1つ又は複数を低減すること等によって電気性能を改善することができる。さらに、回路パネルの構造の単純化、又は回路パネルの設計若しくは製造の複雑性及びコストの低減、又は回路パネルの設計及び製造双方の複雑性及びコストの低減等、他の利点もまた得ることを可能にできる。

30

## 【0035】

本発明の或る特定の実施形態は、超小型電子素子、例えば半導体チップ又は半導体チップの積み重ねた配列が主としてメモリ記憶アレイ機能を提供するように構成された、パッケージ又は超小型電子アセンブリを提供する。そのような超小型電子素子において、メモリ記憶アレイ機能を提供するように構成され、すなわち組み立てられ他のデバイスと相互接続された、内部の能動素子、例えばトランジスタの数は、いかなる他の機能を提供するように構成された能動素子の数よりも多い。したがって、一例において、DRAMチップ等の超小型電子素子は、その主要な又は唯一の機能としてメモリ記憶アレイ機能を有することができる。代替的に、別の例において、そのような超小型電子素子は、混合した使用法を有することができ、メモリ記憶アレイ機能を提供するように構成した能動素子を組み

40

50

込むことができ、また、なかでもプロセッサ機能又は信号プロセッサもしくはグラフィックスプロセッサの機能等、別の機能を提供するように構成された他の能動素子も組み込むことができる。この場合、超小型電子素子は依然として、メモリ記憶アレイ機能を提供するように構成された能動素子の数を超小型電子素子のいかなる他の機能よりも多く有することができる。

#### 【0036】

超小型電子素子は、面上に素子コンタクトの複数の列を有する面を有する。いくつかの実施形態では、超小型電子素子はそれぞれ、基板にフリップチップ実装され、それにより、第1の超小型電子素子及び第2の超小型電子素子の素子コンタクトは、基板の第1の表面上の基板コンタクトのそれぞれの第1の組及び第2の組に向き、それぞれの第1の組及び第2の組に接合される。他の実施形態では、超小型電子素子は、基板に隣接し、基板に電気的に接続された第1の半導体チップと、第1の半導体チップに載り、第1の半導体チップに電気的に接続された1つ又は複数の第2の半導体チップとを備えることができ、第2の半導体チップはメモリ記憶アレイ機能を主に提供するように構成される。

10

#### 【0037】

超小型電子パッケージをパッケージの外部にある少なくとも1つの構成要素に接続するように構成される複数の端子を、基板の第2の表面上に設けることができる。基板コンタクトに電気的に接続される端子は、平行な第1のグリッド及び第2のグリッド内の場所に配置される第1の端子を含む。

#### 【0038】

20

本発明の或る特定の実施形態において、第1のグリッド及び第2のグリッドは、超小型電子パッケージに転送される超小型電子素子のコマンド-アドレスバスの1群の信号、すなわちコマンド信号、アドレス信号、バンクアドレス信号、及びクロック信号の全てを運ぶように構成され、このコマンド信号は、ライトイネーブル、行アドレスストローブ、及び列アドレスストローブ信号を含み、このクロック信号は、アドレス信号をサンプリングするのに用いるクロックである。クロック信号はさまざまなタイプとすることができますが、一実施形態において、これらの端子が運ぶクロック信号は、差動、又は、真の及び相補クロック信号として受け取られる差動クロック信号の1つ又は複数の対とすることができます。

#### 【0039】

30

回路パネル、例えばプリント回路基板、モジュールカード等の上で、コマンド-アドレスバスのこれらの上述の信号、すなわちコマンド信号、アドレス信号、バンクアドレス信号、及びクロック信号を、並列でそこに接続された多数の超小型電子パッケージに、バスにより伝達することができる。1つのグリッド内の信号割当てが他のグリッド内の信号割当ての鏡像である平行な第1のグリッド及び第2のグリッド内に第1の端子の2重の組を設けることによって、互いに対向して回路パネルに実装される第1の超小型電子パッケージ及び第2の超小型電子パッケージのアセンブリにおいてスタブの長さを低減することができる。

#### 【0040】

第1の超小型電子パッケージ及び第2の超小型電子パッケージが回路パネルの互いに反対側の実装表面に実装され、回路パネルがそれらのパッケージを電気的に相互接続する、第1のパッケージの第1のグリッドの第1の端子のそれぞれは、第1のグリッドの第1の端子が接続する第2のパッケージの第2の鏡像グリッドの対応する第1の端子の1ボールピッチの距離以内で位置合わせすることができる。すなわち、対応するグリッドは、回路パネルの実装表面の1つの実装表面に平行な直交するx及びy方向に、互いの1ボールピッチの距離以内で位置合わせすることができる。ボールピッチは、両方のパッケージ上の端子の任意の2つの隣接する平行な列間の最小ピッチより大きくない。加えて、第2のパッケージの第1のグリッドの第1の端子のそれぞれは、第1のグリッドの第1の端子が接続する第1のパッケージの第2の鏡像グリッドの対応する第1の端子の1ボールピッチの距離以内で位置合わせすることができる。結果として、第1のパッケージのそれぞれの

40

50

第1の端子は、第2のパッケージの対応する第1の端子に電気的に接続することができ、反対側の回路パネル表面上の端子の各対の実装位置は、回路パネルの表面の1つの表面に平行な直交するx及びy方向に、互いの1ボールピッチの距離以内で位置合わせされる。

#### 【0041】

場合によっては、互いに反対側の回路パネル表面上の接続された端子の各対の実装位置は、更に互いに一致する場合がある。したがって、第1のパッケージ及び第2のパッケージの電気的に接続された第1の端子の対間の回路パネルを通る電気接続の長さは、電気的に接続された第1の端子のこれらの対のそれぞれの対内の端子が、互いの上に載るか又は第1の回路パネル表面に沿って直交するx及びy方向に互いの1ボールピッチ以内で少なくとも位置合わせさせることができる点で、大幅に低減することができる。

10

#### 【0042】

回路パネル構成を、この構成を有するアセンブリにおいて同様に簡略化することができる。その理由は、第1の端子の電気的に接続された各対間のルーティングが、主に垂直方向、すなわち回路パネルの厚さを通り方向にあることができるからである。すなわち、回路パネルの互いに反対側の表面に実装されるパッケージの対応する第1の端子の各対を電気的に接続するには、回路パネル上の真っ直ぐな貫通ビア接続があれば十分とすることができる。

#### 【0043】

さらに、超小型電子パッケージのそれぞれの対が接続される接続位置間の、第1の端子によって運ばれる上述の信号、例えばコマンド・アドレスバス信号から信号をルーティングするのに必要な回路パネル上の配線のルーティング層の数を減らすことを可能にすることができる。具体的には、そのような信号を回路パネルに沿ってルーティングするのに必要なルーティング層の数は、場合によっては、2つ以下のルーティング層まで減らすことができる。しかし、回路パネル上に、上述のアドレス又はコマンド・アドレスバス信号を運ぶルーティング層の数よりも多い数の、他の信号を運ぶルーティング層が存在することができる。

20

#### 【0044】

超小型電子パッケージはまた、第1の端子以外の第2の端子も有することができ、そのような端子は通常、上述のアドレス又はコマンド・アドレスバス信号以外の信号を運ぶように構成されている。一例において、第2の端子は、データマスク及び並列終端をオン又はオフするのに用いる終端レジスタへのODTすなわち「オンダイターミネーション（オンダイ終端）」信号だけではなく、超小型電子素子への及び/又はそこからの一方向又は双方向のデータ信号、ならびにデータストローブ信号を運ぶのに用いる端子を含むことができる。チップセレクト、リセット、電源電圧、例えばVdd、Vddq、及び接地、例えばVss及びVssq等の信号又は基準電位は、第2の端子によって運ぶことができる。これらの信号又は基準電位のいずれも、第1の端子によって運ぶ必要はない。いくつかの実施形態において、上述のアドレス又はコマンド・アドレスバス信号以外の信号を運ぶように構成したいいくつかの又は全ての端子を第2の端子として配置することができる、パッケージ上のどちらの位置であっても配置することができる。

30

#### 【0045】

代替的に、いくつかの実施形態では、上記で述べたアドレス信号又はコマンド・アドレスバス信号以外の信号を運ぶように構成される一部又は全ての端子を、パッケージ上の端子の第1のグリッド及び第2の鏡像グリッド内に配置することが可能である。こうして、上述したように、対応する端子間で回路パネル上に設けられる電気接続のスタブ長を低減することを可能にすることができる。

40

#### 【0046】

他の実施形態では、上記で述べたアドレス信号又はコマンド・アドレスバス信号以外の信号を運ぶように構成される端子の一部又は全ては、パッケージ表面上の第3のグリッド内の第2の端子の組及び同じパッケージ表面上の第4のグリッド内の第2の端子の別の組として配置することができ、第3のグリッド内の第2の端子の信号割当ては第4のグリッ

50

ド内の第2の端子の信号割当ての鏡像である。こうして、上述した第1のパッケージ及び第2のパッケージの対応する第1の端子間の接続と同様に、第1のパッケージ及び第2のパッケージの電気的に接続された第2の端子の対間の回路パネルを通る電気接続の長さは、大幅に低減することができる。或る例では、電気的に接続された第2の端子の対は、互いの1ボールピッチ以内で位置合わせができる。特定の例では、電気的に接続された第2の端子のこれらの対のそれぞれの対内の端子は、互いの上に載る、すなわち、互いに一致することができる。さらに、スタブ長を低減し、第1のパッケージと第2のパッケージとの間の接続のための回路パネルの構成を簡略化するための上述した利益と同様の利益を、超小型電子パッケージの第2の端子がこうして配置されるときに得ることができる。

10

#### 【0047】

そのため、本発明の或る実施形態による超小型電子パッケージ100は、図5、図6、及び図7に示される。図に見られるように、一例では、パッケージ100は、それぞれがメモリ記憶アレイ機能を有する第1の超小型電子素子101及び第2の超小型電子素子103を含むことができる。しかし、特定の例では、各超小型電子素子を、メモリ記憶アレイ機能を主に提供するように構成することができる。後者の場合、第1の超小型電子素子及び第2の超小型電子素子のそれぞれは、メモリ記憶アレイ機能を提供する能動素子、例えばトランジスタの数をいかなる他の機能よりも多く有することができる。

#### 【0048】

第1の超小型電子素子及び第2の超小型電子素子は、そのそれぞれの面105に素子コンタクト111、113を有する。1つのタイプのこうした超小型電子素子101、103では、素子コンタクト111、113のいくつかのコンタクトの各コンタクトは、超小型電子素子に供給される複数のアドレス信号のそれぞれのアドレス信号を受信することに専用にされる。この場合、こうしたコンタクト111、113のそれぞれは、外部から超小型電子素子101、103に供給される複数のアドレス信号のそれぞれの1つのアドレス信号を受信することができる。

20

#### 【0049】

このタイプの超小型電子素子101、103の特定の一例において、それぞれの超小型電子素子が用いるクロックの縁部に対して、すなわち、異なる第1の電圧状態と第2の電圧状態との間でのクロックの遷移で、素子コンタクト111、113において存在する複数のアドレス信号のそれぞれをサンプリングすることができる。すなわち、それぞれのアドレス信号は、クロックのより低電圧の状態とより高電圧の状態との間の立ち上がり遷移において、又は、クロックのより高電圧の状態とより低電圧の状態との間の立ち下がり遷移においてサンプリングすることができる。したがって、複数のアドレス信号はクロックの立ち上がり遷移において全てサンプリングすることもできるし、そのようなアドレス信号はクロックの立ち下がり遷移において全てサンプリングすることもできるし、又は、別の例において、素子コンタクト111、113のうちの1つにおけるアドレス信号は、クロックの立ち上がり遷移においてサンプリングすることができ、別の1つの外部のコンタクトにおけるアドレス信号は、クロックの立ち下がり遷移においてサンプリングすることができる。

30

#### 【0050】

主としてメモリ記憶アレイ機能を提供するように構成した、別のタイプの超小型電子素子101、103において、その上のアドレスコンタクトのうちの1つ又は複数を多重方式で用いることができる。この例において、それぞれの超小型電子素子101、103の特定の素子コンタクト111、113は、外部から超小型電子素子に供給される2つ以上の互いに異なる信号を受け取ることができる。したがって、第1のアドレス信号は異なる第1の電圧状態と第2の電圧状態との間のクロックの第1の遷移（例えば、立ち上がり遷移）において、特定のコンタクト111、113においてサンプリングすることができ、第1のアドレス信号以外の信号は、第1の電圧状態と第2の電圧状態との間のクロックの、第1の遷移と反対の第2の遷移（例えば、立ち下がり遷移）において、特定のコンタク

40

50

トにおいてサンプリングすることができる。

【0051】

そのような多重方式において、それぞれの超小型電子素子101、103の同じ素子コンタクト111、113上で、クロックの同じサイクル内で2つの異なる信号を受け取ることができる。特定の場合において、この方法での多重化によって、それぞれの超小型電子素子101、103の同じ素子コンタクト111、113上で、同じクロックサイクル内で第1のアドレス信号とそれとは異なる信号とを受け取ることができる。更に別の例において、この方法での多重化によって、第1のアドレス信号と、異なる第2のアドレス信号とを、それぞれの超小型電子素子101、103の同じ素子コンタクト111、113上で同じクロックサイクル内で受け取ることができる。

10

【0052】

基板102は、誘電体素子122を含むことができ、誘電体素子は、場合によっては、本質的に、ポリマ材料、例えば、なかでも樹脂又はポリイミドからなることができる。代替的に、基板は、例えばB T樹脂又はF R - 4構成のガラス繊維強化エポキシ等の複合構成を有する誘電体素子を含むことができる。いくつかの例では、誘電体素子は、誘電体素子の平面内で、すなわち、基板102の第1の表面108に平行な方向に、最大30パーセントパーミリオン/摂氏温度(以降で「ppm/」)の熱膨張率を有する。別の例では、基板は、端子及び他の導電性構造がその上に配置される、12パーセントパーミリオン/摂氏温度未満の熱膨張率(「CTE」)を有する材料の支持要素を含むことができる。例えば、こうした低CTE素子は、本質的に、ガラス材料、セラミック材料、半導体材料、若しくは液晶ポリマ材料、又はこうした材料の組合せからなることができる。

20

【0053】

図6に見られるように、基板コンタクトの第1の組121及び第2の組123は、基板の第1の表面108において露出する。本明細書で使用されるように、導電性素子が、構造の表面「において露出する」という記述は、導電性素子が、構造の外側から表面に向かって表面に垂直な方向に移動する理論的な点に接触するために利用可能であることを示す。そのため、構造の表面において露出する端子又は他の導電性素子は、こうした表面から突出することができるか、こうした表面と同一平面上にあることができるか、又は、こうした表面に対して凹み、構造内の穴又は窪みを通して露出することができる。

30

【0054】

基板コンタクトの第1の組121は、第1の超小型電子素子の素子コンタクト111に向き、ボンドメタル、例えば、なかでもはんだ、錫、インジウム、共晶物、又は金か、他の導電性ボンド材料か、又はおそらくは考えられる構造の中でもとりわけ導電性バンプ又はマイクロビラー等の他の構造等によって、138にて素子コンタクト111に接合される。場合によっては、ダイ取付(ダイアタッチ)接着剤又はアンダーフィルを、超小型電子素子の面105と基板102の表面108との間に配置することができ、ダイ取付接着剤又はアンダーフィルは、超小型電子素子と基板との間の接続を機械的に強化することができ、超小型電子素子と基板との間の接合を機械的に支持することができる。

【0055】

基板コンタクトの第2の組123は、第2の超小型電子素子の素子コンタクト113に向き、素子コンタクト113に接合される。図6に特に示す実施形態では、第1の超小型電子素子101及び第2の超小型電子素子103の面105は、基板102の第1の平面108に平行な单一平面112内に配置することができる。

40

【0056】

図5に特に示すように、いくつかの実施形態では、超小型電子素子のコンタクトは、コンタクト111について示すように単一列で配置することができるか、又は、コンタクト113について示すように複数の列で配置することができる。各列は、方向134に沿う列の各垂直レイアウト位置にコンタクトを含むことができるか、又は、コンタクトは、コンタクト113の複数の列のうちの1つの列の場合のように、列の1つ又は複数の位置から欠落することができる。特定の実施形態では、コンタクトを、超小型電子素子の面10

50

5を覆ってエリアアレイで配置することができる。別の例では、超小型電子素子のコンタクトは、図5で超小型電子素子101、103の境界をマーク付けする破線で示す超小型電子素子の1つ又は複数の周辺縁部に隣接してコンタクトの1つ又は複数の組で配置することができる。特定の例では、超小型電子素子は單一半導体チップとすることができる、超小型電子素子上のコンタクト111又は113は、半導体チップのコンタクトである「チップコンタクト」とすることができる。別の例では、特定の超小型電子素子は、それぞれがチップコンタクトを有する1つ又は複数の半導体チップを含むことができ、コンタクト111又は113は、再分配コンタクトを含むことができ、再分配コンタクトは、超小型電子素子の面105上に形成され、また、例えばトレース及びビア等の導電性素子によってチップコンタクトに電気的に接続される。こうした超小型電子素子の例は、図26Dを参考して以下で述べられる。特に断らない限り、本明細書の例のそれぞれにおける超小型電子素子の「コンタクト」は、述べたこれらの方法の任意の方法で配置することができる。

#### 【0057】

超小型電子素子101、若しくは超小型電子素子103、又はそれらの両方は、素子コンタクトの列内に配置されない場合がある更なるコンタクトも含むことができる。これらの更なるコンタクトを、電源、グラウンドに接続するために、又は、試験をするために使用することができるようなプローピングデバイスとの接触のために利用可能なコンタクトとして使用することができる。

#### 【0058】

図5に見られるように、パッケージ100は、例えば回路パネル等の、パッケージ100の外部の構成要素にパッケージ100を電気的かつ機械的に接続する、表面110において露出する第1の端子104及び第2の端子106を有することができる。端子104、106は、導電性パッド、ポスト、又は他の導電性構造とすることができます。図6に見られる例では、端子は、場合によっては、なかでもはんだ、錫、インジウム、金、若しくは共晶材料等のボンドメタル又は他の導電性ボンド材料を含むことができるような接合要素130を含むことができ、また場合によっては、導電性パッド又はポスト等の基板の導電性構造に取り付けられる導電性バンプ等の更なる構造も含むことができる。第1の端子104及び第2の端子106は、例えばトレース及びビア等の基板上の導電性構造を通して基板コンタクト121、123に電気的に接続することができる。

#### 【0059】

第1の端子104の第1の組は、第1の表面108から反対の基板102の第2の表面110において露出する第1のグリッド114内の場所に配置することができる。第1の表面108及び第2の表面110は、反対方向に向き、したがって、互いに対し反対側にあり、「互いに反対側の表面」である。第1の端子104の第2の組は、基板の第2の表面110において露出する第2のグリッド124内の位置に配置することができる。図のいくつかでは、第1のグリッド及び第2のグリッドは、超小型電子素子の前面の外側境界を越えて延在するように示されるが、それは、必ずしも当てはまらない。本発明の或る特定の実施形態では、第1の端子の第1のグリッド及び第2のグリッド114、124のそれぞれは、コマンド-アドレスバスの或る特定の信号、すなわち、超小型電子パッケージ100内で動的メモリ記憶機能を提供するように構成される超小型電子素子101、103のアドレス信号の組の特に全ての信号を運ぶように構成することができる。

#### 【0060】

例えば、超小型電子素子101、103がDRAM半導体チップを含むかDRAM半導体チップである場合、第1のグリッド114及び第2のグリッド124のそれぞれにおける第1の端子は、パッケージ内の回路が、例えば、行アドレス及び列アドレスのデコーダ、並びにもしある場合にはバンク選択回路が使用して、パッケージにおける超小型電子素子内のメモリ記憶アレイの全ての利用可能なアドレス指定可能メモリ位置からアドレス指定可能メモリ位置を決定することができる、超小型電子パッケージ100に転送される十分なアドレス情報を運ぶように構成される。特定の実施形態において、第1のグリッド1

10

20

30

40

50

14及び第2のグリッド124のそれぞれにおける第1の端子は、そのようなメモリ記憶アレイ内のアドレス指定可能メモリ位置を決定するのに超小型電子パッケージ100内のそのような回路が用いるアドレス情報の全てを運ぶように構成することができる。

【0061】

そのような実施形態の変形形態において、第1のグリッド114及び第2のグリッド124のそれぞれにおける第1の端子は、そのようなメモリ記憶アレイ内のアドレス指定可能メモリ位置を決定するのに超小型電子パッケージ100内のそのような回路が用いるアドレス情報の大部分を運ぶように構成することができ、その場合には、超小型電子パッケージ上の上述の第2の端子106のうちの少なくともいくつか等、他の端子が、アドレス情報の残りの部分を運ぶように構成される。そのような変形形態において、特定の実施形態において、第1のグリッド114及び第2のグリッド124のそれぞれは、そのようなメモリ記憶アレイ内のアドレス指定可能メモリ位置を決定するのに超小型電子パッケージ100内のそのような回路が用いるアドレス情報の3/4以上を運ぶように構成される。

【0062】

特定の実施形態において、第1のグリッド114及び第2のグリッド124のそれぞれはチップセレクト情報、例えば、チップ内のメモリ記憶位置にアクセスするために超小型電子パッケージ100内の特定のチップを選択するのに利用できる情報を運ぶように構成されない場合がある。別の実施形態において、第1のグリッド114及び第2のグリッド124のうちの少なくとも1つは、実際にチップセレクト情報を運ぶことができる。

【0063】

通常、超小型電子パッケージ100内の超小型電子素子101、103がDRAMチップを含む場合には、一実施形態におけるアドレス信号は、パッケージの外部の構成要素、例えば、後述の回路パネル154等の回路パネルからパッケージに転送される全てのアドレス信号を含むことができ、それを用いて超小型電子パッケージ内のランダムアクセスアドレス指定可能メモリ位置を決定してそこに読み取りアクセス、又は読み取りアクセス又は書き込みアクセスのどちらかを行う。

【0064】

第2の端子106のうちの少なくともいくつかは、第1のグリッド114及び第2のグリッド124の第1の端子104によって運ばれるアドレス信号以外の信号を運ぶように構成することができる。チップセレクト、リセット、電源電圧、例えばVdd、Vddq、並びに接地、例えばVss及びVssq等の信号又は基準電位は、第2の端子106によって運ぶことができる。本明細書において参照される実施形態のいずれにおいても、別段の記載がない限り、これらの信号又は基準電位のいずれも、第1の端子104によって運ぶ必要はない。

【0065】

特定の実施形態において、各超小型電子パッケージの第1のグリッド114及び第2のグリッド124のそれぞれは、第1の超小型電子素子101及び第2の超小型電子素子103のうちの少なくとも1つの超小型電子素子の動作モードを制御する情報を運ぶように構成することができる。より具体的には、第1のグリッド114及び第2のグリッド124のそれぞれは、超小型電子パッケージ100に転送されるコマンド信号及び/又はクロック信号の特定の1組の全てを運ぶように構成することができる。そのような実施形態において、第1の端子104は、外部の構成要素から超小型電子パッケージ100に転送されるコマンド信号、アドレス信号、バンクアドレス信号、及びクロック信号の全てを運ぶように構成することができ、このコマンド信号は、行アドレスストローブ、列アドレスストローブ、及びライトイネーブルを含む。こうした実施形態では、例えば、図21に示す超小型電子素子901の1つの超小型電子素子等の複合構造を有する超小型電子素子内の第1のチップは、動作モードを制御する情報を再生するように構成することができる。それに対して代替的に又は付加的に、こうした複合超小型電子素子内の第1のチップは、超小型電子素子の動作モードを制御する情報を部分的に又は完全に復号化するように構成することができる。こうした実施形態では、それぞれの第2のチップは、アドレス情報、コ

10

20

30

40

50

マンド情報、又は、超小型電子素子の動作モードを制御する情報の1つ又は複数を完全に復号化するように構成することもしないこともできる。

【0066】

超小型電子素子のうちの1つ又は複数がダイナミックランダムアクセスメモリ（「DRAM」）半導体チップ又はDRAMチップのアセンブリによって提供されるもの等のダイナミックメモリ記憶アレイ機能を提供するように構成される一実施形態においては、コマンド信号は、ライトイネーブル、行アドレスストローブ、及び列アドレスストローブ信号である。ODT（オンダイターミネーション）、チップセレクト、クロックイネーブル等の他の信号は、第1のグリッド114及び第2のグリッド124が運ぶ必要のあるコマンド信号の一部ではない。クロック信号は、アドレス信号をサンプリングするのに超小型電子素子のうちの1つ又は複数が用いるクロックとすることができます。例えば、図7において見られるように、第1の端子104は、アドレス信号A0～A15（A0及びA15を含む）、及びバンクアドレス信号BA0、BA1及びBA2だけでなく、クロック信号CK及びCKB、行アドレスストローブRAS、列アドレスストローブCAS、及びライトイネーブル信号WEも含むことができる。

10

【0067】

この実施形態において、第2の端子106のうちの少なくともいくつかは、第1のグリッド114及び第2のグリッド124の第1の端子104によって運ばれる信号（コマンド信号、アドレス信号、及びクロック信号）以外の信号を運ぶように構成することができる。チップセレクト、リセット、電源電圧、例えばVdd、Vddq、並びに接地、例えばVss及びVssq等の信号又は基準電位は、第2の端子106によって運ぶことができる。本明細書において参照される実施形態のいずれにおいても、別段の記載がない限り、これらの信号又は基準電位のいずれも、第1の端子104によって運ぶ必要はない。

20

【0068】

別の実施形態において、超小型電子素子のうちの1つ又は複数が、例えばNANDフラッシュメモリ等、DRAM以外についての技術において実施されるメモリ記憶アレイ機能を提供するように構成される場合には、第1のグリッド114及び第2のグリッド124が運ぶ必要のある特定のコマンド信号は、DRAMの場合に運ぶ必要のある信号（ライトイネーブル、行アドレスストローブ、及び列アドレスストローブ信号）の群以外の、信号の異なる1組とすることができます。

30

【0069】

一実施形態では、アドレス信号以外の信号を運ぶように構成される第2の端子106の少なくともいくつかは、第1のグリッド114及び第2のグリッド124内の位置に配置することができる。一例では、コマンド信号、アドレス信号、及びクロック信号以外の信号を運ぶように構成される第2の端子106の少なくともいくつかは、第1のグリッド114及び第2のグリッド124内の位置に配置することができる。図面において、第2の端子106の特定の構成を示すが、図示の特定の構成は例示の目的のためであり、限定するよう意図するものではない。例えば、第2の端子106は、電源又は接地信号に接続するように構成される端子も含むことができる。

40

【0070】

パッケージの第1のグリッド114及び第2のグリッド124内の第1の端子の配置構成は、図5～図7に特に示される。一例では、各グリッド114、124は、端子の平行な第1の列及び第2の列136を含むことができる。各グリッド内の端子の平行な列136は互いに隣接することができる。代替的に、図5～図7に示さないが、少なくとも1つの端子を、端子の第1の列と第2の列との間に配置することができる。図5Aに見られる等の別の例では、グリッドは、列軸119が、列の端子104の大部分を通って延在する、すなわち、列の端子104の大部分に対して中央に置かれる、端子の列を含むことができる。しかし、こうした列では、端子の1つ又は複数は、端子104'の場合と同様に、列軸119に対して中央に置かれない場合がある。この場合、これらの1つ又は複数の端

50

子は、たとえこうした端子（複数可）が軸 119 に対して中央に置かれなくても、特定の列の一部と考えられる。その理由は、こうした端子が、任意の他の列の軸より、その特定の列の軸 119 に近いからである。列軸 119 は、列軸に対して中央に置かれないこれらの 1 つ又は複数の端子を通して延在することができるか、又は場合によっては、中央に置かれない端子は、列軸 119 が、列の中央に置かれないこれらの端子を通過しないように、列軸からより遠くにあることができる。1 つの列内に、又は更に、グリッド内のそれぞれの列の列軸に対して中央に置かれない 2 つ以上の列内に、1 つの、いくつかの、又は多くの端子が存在する場合がある。

#### 【0071】

さらに、端子のグリッドが、端子のリング、多角形、又は更に散乱分布のように形作られた配置構成等、列以外のグループ化で端子の配置構成を含むことが可能である。図 6 に示すように、封止剤 146 が、基板の第 1 の表面 108 上に載ることができ、そこで超小型電子素子 101、103 に接触することができる。場合によっては、封止剤は、基板 102 から離れる方を向く超小型電子素子の表面 145 上に載ることができる。

10

#### 【0072】

図 7 に見られるように、第 2 のグリッド 124 内の位置にある第 1 の端子の第 2 の組内の第 1 の端子の信号割当ては、第 1 のグリッド 114 内のそれぞれの位置にある第 1 の端子の第 1 の組の信号割当て 124 の鏡像である。第 1 の組内の第 1 の端子の信号割当ては、第 2 の組内の対応する第 1 の端子の信号割当てに対応し、その鏡像である。換言すれば、第 1 のグリッド及び第 2 のグリッド内の第 1 の端子の信号割当ては、第 1 のグリッド 114 と第 2 のグリッド 124 との間の理論的軸 132 について対称であり、軸 132 は、この場合、第 1 の端子の列 136 が延在する方向 134 に延在する。第 2 のグリッド 124 内の信号割当てが第 1 のグリッド 114 内の信号割当ての鏡像である状態で、信号 CK (クロック) を運ぶように割当てられる第 1 のグリッド 114 の第 1 の端子 104 は、信号 CK を運ぶように割当てられる第 2 のグリッド 124 の対応する第 1 の端子 104 とグリッド内で同じ相対的垂直位置に（方向 134 に）ある。しかし、第 1 のグリッド 114 が 2 つの列 136 を含み、信号 CK を運ぶように割当てられる第 1 のグリッド 114 の端子が、第 1 のグリッドの 2 つの列の中の左列内にあるので、鏡像配置構成は、信号 CK を運ぶように割当てられる第 2 のグリッド 124 の対応する端子が、第 2 のグリッドの 2 つの列の中の右列 136 内にあることを要求する。

20

#### 【0073】

それに従った別の例において、第 1 の端子の第 1 のグリッド 114 及び第 2 のグリッド 124 のそれぞれの「A3」として示す、アドレス情報を運ぶように割り当てられた端子は、パッケージ 100 (図 6) 内の 1 つ又は複数の超小型電子素子の対応する「A3」と名前のついた素子コンタクトを指定するということが明白である。したがって、情報が同じ名前、例えば「A3」を有する素子コンタクトに転送される場合に通る第 1 の端子の第 1 の組及び第 2 の組のそれぞれにおけるパッケージの外部のそのような対応する第 1 の端子は、たとえ第 1 の組及び第 2 の組における対応する第 1 の端子の名前が異なっていようと、鏡像の信号割り当てを有すると考えられる。したがって、一例において、第 1 の端子の第 1 の組及び第 2 の組のそれぞれにおいて、鏡像の信号割り当て、例えば、「A3」と指定された信号割り当てを有する第 1 の端子のそれぞれの組に割り当てられた信号が、超小型電子素子上の「A3」という名前を有する素子コンタクトに入力される情報を運ぶ端子を特定することができる。ただし、第 1 の組及び第 2 の組のそれぞれにおける対応する端子の名前は、例えば第 1 の組において A3L (A3 左) という名前を与え、第 2 の組において A3R (A3 右) と言う名前を与えることができる等、互いに異なることができる。

30

#### 【0074】

さらに、図 7 において「A3」で示す第 1 の端子の対応する対においてパッケージに提供されるアドレス情報は、場合によっては、超小型電子構造の外部の場所でのドライバ回路の同一の出力から生じることができる。その結果、信号「A3」を運ぶように割り当て

40

50

られた（すなわち、上述のように、情報を超小型電子素子の「A 3」と名前のついた素子コンタクトに転送するための）第1のグリッド114の第1の端子104は、信号「A 3」を運ぶように割り当てられた第2のグリッド124の対応する第1の端子104と同じ、グリッド内での相対的垂直位置（方向134）にある。

【0075】

この配列のもうひとつの結果は、信号WE（ライトイネーブル）を運ぶように割り当てられた端子もまた、第1のグリッド114及び第2のグリッド124のそれぞれにおいて同じ、グリッド内での相対的垂直位置にあるということである。しかし、第1のグリッド114において、WEを運ぶように割り当てられた端子は、第1のグリッドの2つの列136のうちの右側の列にあり、配列が鏡像であるためには、信号WEを運ぶように割り当てられた第2のグリッド124の対応する端子は、第2のグリッド124の2つの列のうちの左側の列136になければならない。図7においてわかることができるよう、第1のグリッド及び第2のグリッドのそれぞれにおけるそれぞれの第1の端子について、少なくとも、上述のコマンド-アドレスバス信号を運ぶように割り当てられたそれぞれの第1の端子について、同じ関係が当てはまる。

【0076】

第1の端子の信号割当てがその回りで対称である軸132は、基板上の種々の場所に位置することができる。特定の実施形態では、軸は、パッケージの中心軸であることができ、その中心軸は、特に、第1の端子の列136が縁部140、142に平行な方向に延在し、第1のグリッド及び第2のグリッドが、この中心軸について対称である位置に配置されるとき、基板の対向する第1の縁部及び第2の縁部140、142から等距離に位置付けられる。

【0077】

代替的に、この対称軸132は、縁部140と142との間で等距離である中心軸から水平方向135にオフセットすることができる。一例では、軸132は、基板102の第1の縁部140及び第2の縁部142に平行でかつそれらから等距離にある中心軸又はラインからオフセットすることができ、オフセット距離は、第1の端子104の任意の2つの隣接する列間の最小ピッチの3.5倍以下の距離である。特定の実施形態では、第1のグリッド114及び第2のグリッド124のそれぞれグリッドの端子の少なくとも1つの列は、基板102の第1の縁部140及び第2の縁部142に平行でかつそれらから等距離にある中心軸又はラインからオフセット距離内に配置することができ、オフセット距離は、第1の端子104の任意の2つの隣接する列間の最小ピッチの3.5倍の距離である。

【0078】

特定の例において、第1のグリッド114の第1の端子104は、第1の超小型電子素子101と電気的に接続することができ、第2のグリッド124の第1の端子104は、第2の超小型電子素子103と電気的に接続することができる。そのような場合、第1のグリッド114の第1の端子104はまた、第2の超小型電子素子103と電気的に接続しないことができ、パッケージ100の第2のグリッド124の第1の端子104はまた、第1の超小型電子素子101と電気的に接続しないことができる。更に別の例において、第1のグリッド114及び第2のグリッドのそれぞれの第1の端子104は、第1の超小型電子素子101及び第2の超小型電子素子103のそれぞれと電気的に接続することができる。

【0079】

上記で述べたように、第2の端子106は、コマンド-アドレスバスの上記で述べた信号以外の信号を運ぶように構成することができる。一例では、第2の端子106は、超小型電子素子への及び/又は超小型電子素子からの単方向又は双方向データ信号及びデータストローブ信号、並びに、データマスク信号及び終端抵抗に対して並列終端をオン又はオフにするために使用されるODT信号すなわち「オンダイ終端(on die termination)」信号を運ぶために使用される端子を含むことができる。チップセレクト、リセット、クロ

10

20

30

40

50

ツクイネーブル等の信号、並びに、電源電圧等の基準電位、例えばVdd、Vddq、又はグラウンド、例えばVss及びVssqは、第2の端子106によって運ぶことができ、信号又は基準電位はいずれも、第1の端子104によって運ばれる必要はない。いくつかの実施形態では、コマンド-アドレスバス信号以外の信号を運ぶように構成される一部又は全ての端子が、適切に設置することができる場所であればどこへでも、パッケージ上に第2の端子106として配置されることが可能である。例えば、第2の端子106の一部又は全ては、第1の端子104が配置される基板102上の同じグリッド114、124内に配置することができる。第2の端子106の一部又は全ては、第1の端子104の一部又は全てと同じ列内に又は異なる列内に配置することができる。場合によっては、1つ又は複数の端子は、その同じグリッド又は列内の第1の端子と散在することができる。

10

#### 【0080】

特定の例では、第2の端子106の一部又は全ては、基板の第2の表面110上の第3のグリッド116内に配置することができ、第2の端子の別の組は、パッケージ表面110上の第4のグリッド126内に配置することができる。特定の場合、第3のグリッド116内の第2の端子の信号割当ては、第1のグリッド及び第2のグリッドについて上述した方法と同様な方法で、第4のグリッド126内の第2の端子の信号割当ての鏡像とすることができる。第3のグリッド116及び第4のグリッド126は、場合によっては、第1のグリッド及び第2のグリッドが延在する方向134に延在することができ、また、互いに平行にすることができる。第3のグリッド及び第4のグリッドも、第1のグリッド114及び第2のグリッド124に平行とすることができる。代替的に、第3のグリッド116及び第4のグリッド126のそれぞれは、方向134を横切るか又は更にそれに直交する別の方135に延在することができる。

20

#### 【0081】

一例では、基板102の第2の表面110は、第1の縁部140及び第2の縁部142に隣接する第1の周辺領域及び第2の周辺領域をそれぞれ有することができ、中央領域が第1の周辺領域及び第2の周辺領域を分離する。こうした例では、第1のグリッド114及び第2のグリッド124は、第2の表面110の中央領域内に配置され、第3のグリッド116及び第4のグリッド126は、それぞれの第1の周辺領域及び第2の周辺領域内に配置することができる。

30

#### 【0082】

図8Aは、第1の超小型電子パッケージ100A及び第2の超小型電子パッケージ100Bのアセンブリ200を示し、超小型電子パッケージはそれぞれ、回路パネル154の互いに反対側の第1の表面150及び第2の表面152に実装された、上記図5～図7を参照して述べたような超小型電子パッケージ100である。回路パネルは、なかでも、デュアルインラインメモリモジュール(「DIMM」)で使用されるプリント回路基板、システム内の他の構成要素と接続される回路基板若しくはパネル、又はマザーボード等の種々のタイプとすることができる。第1の超小型電子パッケージ100A及び第2の超小型電子パッケージ100Bは、回路パネル154の第1の表面150及び第2の表面152において露出される対応するコンタクト160、162に実装することができる。

40

#### 【0083】

図8Aに特に示すように、各パッケージの第2のグリッド124内の第1の端子の信号割当てが、各パッケージの第1のグリッド114内の第1の端子の信号割当ての鏡像であるため、パッケージ100A、100Bが互いに対向する回路パネルに実装されると、第1のパッケージ100Aの第1のグリッド114A内のそれぞれの第1の端子は、第2のパッケージ100Bの第2のグリッド124B内の同じ信号割当てを有する対応する第1の端子と位置合わせされ、その対応する第1の端子に電気的に接続される。さらに、第1のパッケージ100Aの第2のグリッド124A内のそれぞれの第1の端子は、第1のグリッド114B内の同じ信号割当てを有する対応する第1の端子に位置合わせされ、その対応する第1の端子に電気的に接続される。

#### 【0084】

50

確かに、接続された端子の各対の位置合わせは、或る許容誤差以内にあり、それにより、接続された端子の各対は、回路パネル154の第1の表面150に沿って直交するx及びy方向に互いの1ボールピッチ以内で位置合わせすることができる。代替的に、回路パネルの対向する表面上の接続された端子は互いに一致することができる。特定の例では、それぞれの第1のパッケージ100A及び第2のパッケージ100Bの位置合わせしたグリッド(例えば、第1のパッケージの第1のグリッド114A及び第2のパッケージの第2のグリッド124B)の位置の大部分は、回路パネル154の第1の表面150に沿って直交するx及びy方向に互いに位置合わせすることができる。

#### 【0085】

そのため、図8Aに更に示すように、第1のパッケージ100Aのグリッド114A内で「A」と記号が付いた信号を運ぶ特定の第1の端子は、同じ信号「A」を運ぶ第2のパッケージ100Bのグリッド124Bの対応する第1の端子に位置合わせされる。同じことが、第1のパッケージ100Aのグリッド124A内で「A」と記号が付いた信号を運ぶ特定の第1の端子に関して同様に当てはまり、この第1の端子は、同じ信号「A」を運ぶ第2のパッケージ100Bのグリッド114Bの対応する第1の端子に位置合わせされる。

10

#### 【0086】

こうして、図8Aに更に見られるように、第1のパッケージ100A及び第2のパッケージ100Bの電気的に接続された第1の端子の各対間の回路パネルを通る電気接続の長さは、電気的に接続された第2の端子のこれらの対のそれぞれの対内の端子が、互いの上に載るか又は互いの1ボールピッチ以内で少なくとも位置合わせされることができる点で、大幅に低減することができる。これらの電気接続の長さの低減により、回路パネル及びアセンブリのスタブ長を低減することができ、スタブ長を低減することは、第1の端子によって運ばれ、第1のパッケージ及び第2のパッケージの両方のパッケージ内の超小型電子素子に転送される上記で述べた信号について、なかでも、整定時間、リング、ジッタ、又は符号間干渉を低減すること等、電気性能を改善するのに役立つことができる。さらに、回路パネルの構造を簡略化すること、又は、回路パネルを設計若しくは製造する複雑さ及びコストを低減すること等の他の利益も得ることを可能にすることができます。

20

#### 【0087】

図8Bに更に示すように、各パッケージ100A、100Bの第2の端子が、図5～図7に関して上述した特定の鏡像配置構成を有する第3のグリッド及び第4のグリッド内に配置されるとき、各パッケージの第3のグリッドのそれぞれの第2の端子は、他のパッケージの第4のグリッドの同じ信号割当てを有する対応する第2の端子に位置合わせすることができ、その対応する第2の端子に電気的に接続される。そのため、図8Bに見られるように、第1のパッケージ100Aの第3のグリッド116A内のそれぞれの第2の端子は、第2のパッケージ100Bの第4のグリッド126B内の同じ信号割当てを有する対応する第1の端子に位置合わせされ、その対応する第1の端子に電気的に接続される。さらに、第1のパッケージ100Aの第4のグリッド126A内のそれぞれの第1の端子は、第3のグリッド116B内の同じ信号割当てを有する対応する第1の端子に位置合わせされ、その対応する第1の端子に電気的に接続される。ここでもまた、接続された端子の各対の位置合わせは、或る許容誤差以内にあり、それにより、接続された端子の各対は、回路パネル154の第1の表面150に沿って直交するx及びy方向に互いの1ボールピッチ以内で位置合わせすることができる。

30

#### 【0088】

そのため、図8Bに更に示すように、第1のパッケージ100Aのグリッド116A内で「B」と記号が付いた信号を運ぶ特定の第1の端子は、第2のパッケージ100Bのグリッド126Bの同じ信号「B」を運ぶ対応する第1の端子に位置合わせされ、その対応する第1の端子に電気的に接続される。同じことが、第1のパッケージ100Aのグリッド126A内で「B」と記号が付いた信号を運ぶ特定の第1の端子に関して同様に当てはまり、その特定の第1の端子は、第2のパッケージ100Bのグリッド116Bの同じ信

40

50

号「B」を運ぶ対応する第1の端子に位置合わせされ、その対応する第1の端子に電気的に接続される。

【0089】

上述した第1のパッケージ及び第2のパッケージの対応する第1の端子104間の接続と同様に、この実施形態では、第1のパッケージ及び第2のパッケージの電気的に接続された第2の端子106の対間の回路パネルを通る電気接続の長さは、電気的に接続された第2の端子のこれらの対のそれぞれの対内の端子が、互いに一致するか、又は回路パネル表面に平行な、直交するx及びy方向に互いの1ボールピッチ以内で少なくとも位置合わせさせることができる点で、大幅に低減することができる。本明細書で使用されるとき、回路パネルの対向する表面におけるパッケージの端子のグリッドが、互いに「一致する(10 coincident)」とき、位置合わせは、通例の製作許容誤差以内とすることができるか、又は第1の回路パネル表面及び第2の回路パネル表面に平行な直交するx及びy方向に互いの1ボールピッチの1/2未満の許容誤差以内とすることができる。ボールピッチは上述したとおりである。

【0090】

さらに、スタブ長を低減し、第1のパッケージと第2のパッケージとの間の接続のために回路パネルの構成を簡略化することに関する上述した利益と同様の利益を、超小型電子パッケージの第2の端子、すなわち、コマンド-アドレスバスの上記で述べた信号以外の信号を運ぶように割り当てることができる端子がこうして配置されるときに得ることができる。

10

20

【0091】

図8Cは、それが上記で又は以降で述べる構成を有する超小型電子パッケージの2つ以上の対が、パッケージ100A、100Bと同様な配向で、回路パネル154、例えばデュアルラインメモリモジュール(「DIMM」)のボード上のそれぞのパネルコンタクトと電気的に相互接続することができることを更に示している。そのため、図8Cは、上述したように、互いに向き合う対向する配向で回路パネル154と電気的に相互接続されたパッケージ100A、100Bの更なる対を示す。パッケージ100A、100B、100C、及び100Dに加えて、パッケージの1つ又は複数の他の対も、上述したように、回路パネルと電気的に相互接続することができる。

【0092】

30

図8Dは、回路パネル、及び、回路パネルの互いに反対側の第1の表面及び第2の表面に対して互いに対向して実装された複数の超小型電子パッケージを組込む、例えば、なかでもDIMM等の超小型電子アセンブリを示す。図8Dに見られるように、上記で述べたアドレス信号又はコマンド-アドレスバス信号は、超小型電子パッケージ100A、100Bのそれぞれの対がそこで回路パネルの反対側に接続される接続部位I、II、又はIII間で、少なくとも一方143に、回路パネル又は回路ボード354上のバス36、例えばアドレスバス又はコマンド-アドレスバス上でルーティングすることができる。こうしたバス36の信号は、わずかに異なる時刻にそれぞれの接続部位I、II、又はIIIでパッケージの各対に達する。少なくとも1つの方向143は、各パッケージ100A又は100B内の少なくとも1つの超小型電子素子上の複数のコンタクトの少なくとも1つの列138が延在する方向142を横切るか又は方向142に直交することができる。こうして、回路パネル354上の(すなわち、その上の又はその内の)バス36の信号導体は、場合によっては、回路パネルに接続されたパッケージ100A又は100B内の超小型電子素子上のコンタクトの少なくとも1つの列138に平行である方向142に互いから離間することができる。

40

【0093】

そのような構成は、特に各超小型電子パッケージの第1の端子104A、104Bがそのような方向142に延在する1つ又は複数の列に配列される場合には、バス36の信号をルーティングするのに用いる回路パネル上の1つ又は複数のグローバルルーティング層の信号導体のルーティングを簡単にするのに役立つことができる。例えば、比較的少数の

50

第1の端子がそれぞれのパッケージ上の同じ垂直レイアウト場所に配置される場合には、回路パネル上のコマンド - アドレスバス信号のルーティングを簡単にすることを可能にすることができる。したがって、図7に示す例において、アドレス信号A3及びA1を受けるように構成された各グリッド114、124内の第1の端子等、それぞれのパッケージ上の同じ垂直レイアウト場所には、第1の端子が4つのみ配置される。

【0094】

一実施形態では、超小型電子アセンブリ354は、アセンブリ354の超小型電子パッケージ100A、100Bに転送される少なくとも一部の信号のバッファリングを実施するように構成される半導体チップを含むことができる超小型電子素子358を有することができる。バッファリング機能を有するこうした超小型電子素子358は、超小型電子アセンブリ354の外部の構成要素に関して超小型電子パッケージ100A及び100B内の超小型電子素子のそれれについてインピーダンス分離（インピーダンスアイソレーション）を提供するのに役立つように構成することができる。

10

【0095】

例示的な実施形態では、超小型電子アセンブリ354は、固体ドライブコントローラ等の論理機能を実施するように主に構成される半導体チップを含むことができる超小型電子素子358を有することができ、超小型電子パッケージ100A及び100B内の超小型電子素子の1つ又は複数はそれれ、不揮発性フラッシュメモリ等のメモリ記憶要素を含むことができる。超小型電子素子358は、システム1200（図28）等のシステムの中央処理ユニットを超小型電子素子に含まれるメモリ記憶素子への及びそこからのデータ転送の監視から解放するように構成された、専用プロセッサを含むことができる。ソリッドステートドライブコントローラを含むそのような超小型電子素子358は、システム1200等のシステムのマザーボード（例えば、図28に示す回路パネル1202）上のデータバスへの及びそこからの直接メモリアクセスを提供することができる。

20

【0096】

コントローラ機能及び/又はバッファリング機能を含む超小型電子素子358を有する超小型電子アセンブリ354のそのような実施形態において、コマンド - アドレスバス信号はそれれの接続位置I、II、又はIIIにおいて超小型電子素子358とパッケージ100A、100Bのそれれの対との間でルーティングすることができる。図8Dに示す特定の例において、接続位置I、II、又はIIIを通り越して延在するコマンド - アドレスバス36の一部は、方向143又は方向143を横切る別の方向に延在して超小型電子素子358のコンタクトに達することができる。一実施形態において、コマンド - アドレスバス36は、方向143に延在して超小型電子素子358のコンタクトに達することができる。

30

【0097】

図9は、パッケージ250のそれれの第1のグリッド214、224及び第2のグリッド216、226内の端子の特定の配置構成を示し、各グリッド内の隣接する列236、238内の同じ相対的垂直位置の端子を、実際には、パッケージの垂直レイアウト方向134に多少オフセットされた位置に配置することができることを示す。

40

【0098】

図10は、それれが端子の3つの隣接する列を含むことができる第1の並列グリッド244及び第2の並列グリッド254内の第1の端子の特定の配置構成を示す。図10に示すように、列は、素子コンタクト111、113が配置される超小型電子素子の面の部分に載ることができる。上記で述べたように、いくつかの実施形態では、上記で述べたコマンド - アドレスバス信号以外の信号が、特定のコマンド - アドレスバス信号を運ぶ同じグリッド内の端子にも割り当てられることが可能とすることができます。図10はその1つの可能な構成を示す。

40

【0099】

図5～図7に関して上記で示し述べた実施形態の変形形態である更なる実施形態（図示せず）では、上記で述べたコマンド - アドレスバス信号を運ぶように配置される第1の端

50

子が、端子の第1及び第2の個々の列内に設けられることが可能であり、それぞれの個々の列は、上記で述べたコマンド-アドレスバス信号の全てを運ぶように構成される第1の端子の組を含む。第1の端子は、第1の列及び第2の列と同じ方向でかつ個々の列間に延在する軸について信号割当てが対称であるという点で、第1の列内の信号割当てが第2の列内の信号割当ての鏡像であるように更に配置することができる。こうして、第1の列内の第1の端子の信号割当ては、パッケージ上での第2の列内の同じ相対的垂直位置における第1の端子の信号割当てと同じである。

【0100】

図11は、上記の実施形態の変形形態を示し、パッケージ300は、超小型電子素子101、103の面105上に形成される誘電体層302を有するウェハレベルパッケージとしてパッケージ300を実装することができる除いて、図5～図7に関して上述したパッケージと全ての点で同様とすることはできる。金属化ビア308は、例えば、各超小型電子素子の素子コンタクト111、113と接触状態で、導電性ペースト、導電性マトリクス材料等の金属材料又は導電性材料をめっきすること又は堆積させることによって形成される。ビア308は、誘電体層302の表面310に平行な方向に延在する導電性トレース309と一体的に形成することができる。ビア及びパッケージの導電性トレースの一部又は全ては、モノリシック金属層の一体部分とすることができます。特定の例では、1つの金属層又は2つ以上のこうした金属層は、超小型電子素子上に誘電体層302を形成した後に、めっき、印刷、分注(dispensing)、スクリーン印刷、刷込み、又は他の適切な技法のビルトアッププロセスによって形成することができる。ウェハレベルパッケージ300の構造及びそれを作るための技法は、本出願で示すか又は述べる他の実施形態の任意の実施形態に適用することができる。

【0101】

図12は、第1のパッケージ400A及び第2のパッケージ400Bのアセンブリを示し、各パッケージ内の第1のグリッド414及び第2のグリッド424は、ここでは、各超小型電子素子の素子コンタクト111、113に近い位置に配置される。上述した第3のグリッド及び第4のグリッド内に配置される場合があるか又はされない場合がある第2の端子の位置は、以下で述べる他の実施形態を示す図の場合にそうであるように、明確にするために図12から省略される。この場合、素子コンタクトに関するグリッド414、424内の第1の端子の近接性は、各パッケージ400A、400B内のスタブの長さを低減するのに同様に役立つことができる。パッケージ内の超小型電子素子の素子コンタクトに近接して中央領域内にパッケージ端子が配置されるパッケージ内でスタブ長を低減する種々の方法は、その開示が参考することにより本明細書の一部をなす、2011年10月3日に出願された「Stub Minimization for Assemblies without Wire bonds to Package Substrate」と題するRichard D.Crisp、Belgacem Haba、及びWael Zohniの本出願人の同時係属中の米国仮特許出願第61/542,488号(代理人整理番号TIP13.8-688)に記載されている。

【0102】

図13～図14は、図5～図7の上述した実施形態の変形形態による超小型電子パッケージ500を示し、第1の超小型電子素子501、第2の超小型電子素子503、第3の超小型電子素子505、及び第4の超小型電子素子507が超小型電子パッケージ500内に組み込まれる。パッケージは、コマンド-アドレスバス信号の上記で述べた信号を運ぶように割り当てられる第1の端子の4つのグリッド514、524、534、544を更に示す。グリッド516、526、536、及び546として図14に示される第2の端子は、明確にするために、図13から省略される。上述した例の場合と同様に、第1の端子の各グリッドは、超小型電子素子のうちの1つのみに電気的に接続することができる、又は超小型電子素子の2つ以上に接続することができる。図14は、第1の端子のグリッド514、524、534、544を示すパッケージ500の1つの考えられる配置構成並びに第2の端子のグリッド516、526、536、及び546の1つの考えられる配置構成を示す。

10

20

30

40

50

## 【0103】

図14に示すように、超小型電子素子のそれぞれは、通常、超小型電子素子上のコンタクトの1つ又は複数の列が延在する同じ方向又は異なる方向に延在することができる2つの第1の平行縁部510を有する。一例では、これらの第1の縁部はそれぞれ、各超小型電子素子の2つの第2の平行縁部512より長くすることができる。別の例では、これらの第1の縁部510は単にコンタクトの1つ又は複数の列と同じ方向に延在することができるが、実際には同じ超小型電子素子の第2の縁部512より短い。以下で述べるパッケージのそれぞれのパッケージ内の超小型電子素子の第1の縁部及び第2の縁部に対する参照はこれらの定義を組込む。

## 【0104】

10

図13及び図14に更に見られるように、この特定の変形形態では、第1の端子のグリッド524、534の2つは、超小型電子素子503、505を分離するパッケージの中心ライン530の近くに配置することができる、一方、第1の端子の他のグリッド514、544は、パッケージの周辺縁部550、552の近くに配置することができる。図13及び図14に示す実施形態では、第1の端子のグリッド524及び534を互いに分離させる端子が全く存在しない。

## 【0105】

認識されるように、上述した超小型電子素子501、503、505、及び507のうちの3つだけを含み、パッケージを回路パネル等のパッケージの外部の構成要素に接続する適切な数の第1の端子のグリッド及び第2の端子のグリッドを含むパッケージ（図示せず）を提供することが可能である。

20

## 【0106】

図15は、図14に示すパッケージの変形形態によるパッケージ560を示す平面図であり、パッケージ上の第1の端子のグリッドの位置が変動する。この場合、パッケージ560と図14のパッケージ500との差を観察すると、パッケージ560内のグリッド534の場所が、第2の端子のグリッド536の場所と交換され、それにより、グリッド536はこのとき、第1の端子のグリッド524と534との間に配置される。加えて、パッケージ560内のグリッド544の場所が、第2の端子のグリッド546の場所と交換され、それにより、グリッド546はこのとき、第1の端子のグリッド534と544との間に配置される。

30

## 【0107】

図16は、図14に示すパッケージの別の変形形態によるパッケージ570を示す平面図であり、第1の端子のグリッドの場所が変動する。この場合、パッケージ570と図14のパッケージ500との差を観察すると、パッケージ570内の第1の端子のグリッド524の場所が、第2の端子のグリッド526の場所と交換され、それにより、グリッド524はこのとき、グリッド514と526との間でかつそれらに隣接して配置される。加えて、パッケージ570内のグリッド534の場所が、第2の端子のグリッド536の場所と交換され、それにより、グリッド534はこのとき、グリッド536と544との間でかつそれらに隣接して配置される。

## 【0108】

40

図17は、図5～図7の上述した実施形態の更なる変形形態によるパッケージ600を示す平面図であり、第1の超小型電子素子601、第2の超小型電子素子603、第3の超小型電子素子605、及び第4の超小型電子素子607は基板上にマトリクスで配置され、各超小型電子素子は、通常、平行でありかつ基板に沿う第1の方向に延在する第1の縁部610と、通常、平行でありかつ基板に沿う第2の方向に延在する第2の縁部612とを有する。図17に見られるように、超小型電子素子は、超小型電子素子601、603の第1の縁部610が互いに隣接しかつ平行であり、超小型電子素子605、607の第1の縁部が同様に互いに隣接しかつ平行である状態で配置することができる。超小型電子素子を、超小型電子素子601の1つの第2の縁部612が他の超小型電子素子607の第2の縁部612に隣接しかつ平行であり、超小型電子素子603の1つの第2の縁部

50

612が他の超小型電子素子605の1つの第2の縁部612に隣接しつつ平行であるように配置することができる。超小型電子素子601の第1の縁部610のそれぞれは、場合によっては、超小型電子素子607の第1の縁部610と同一直線上にあることができる。同様に、超小型電子素子603の第1の縁部610のそれぞれは、場合によっては、超小型電子素子605の第1の縁部610と同一直線上にあることができる。

#### 【0109】

それぞれの超小型電子素子601、603、605、607の所定部分の上に載ることができ、それらに電気的に接続される第2の端子のグリッド651、653、655、657は、任意の適した配置構成で配置された端子を有することができ、これらの第2の端子をグリッド内に設置する必要が全く存在せず、グリッド651、653、655、又は657のうちの任意のグリッド内の信号割当ては、他のグリッド651、653、655、又は657のうちの任意のグリッド内の端子の信号割当ての鏡像である。

10

#### 【0110】

特定の例では、グリッド651、653、655、又は657のうちの任意のグリッド内の第2の端子の信号割当ては、グリッドのうちの任意の1つのグリッドの信号割当てが別のグリッドの信号割当てに対して垂直軸680について対称とすることができる、及び/又は、グリッドのうちの任意の1つのグリッドの信号割当てが別のグリッドの信号割当てに対して水平軸682について対称とすることができるという点で、グリッド651、653、655、又は657のうちの1つ又は2つの他のグリッド内の第2の端子の信号割当ての鏡像とすることができる。

20

#### 【0111】

例えば、図17に示すように、第3のグリッド651の信号割当ては、第4のグリッド653の信号割当てに対して垂直軸680について対称であり、垂直軸680は、示す例ではグリッド651と653との間にあって方向620に延在する。同様に、第3のグリッド651の信号割当ては、第6のグリッド657の信号割当てに対して水平軸682について対称であり、水平軸682は、示す例ではグリッド651と657との間にあって方向622に延在する。代替の配置構成では、グリッド651及び657のそれぞれは、水平軸682の両側で基板表面の部分まで延在することができ、上述した関係が別の形で存在することができる。

30

#### 【0112】

図17に示す特定の例では、第1のグリッド651及び第4のグリッド657の信号割当ては、それぞれの第2のグリッド653及び第3のグリッド655の信号割当てに対して垂直軸680について対称である。同様に、第1のグリッド651及び第2のグリッド653の信号割当ては、それぞれの第4のグリッド657及び第3のグリッド655の信号割当てに対して水平軸682について対称である。

#### 【0113】

図18は、上述した実施形態(図13～図14)の別の変形形態による超小型電子パッケージ700を示す平面図であり、第1の超小型電子素子701及び第2の超小型電子素子703の第1の縁部710は、端子担持基板表面704の縁部702に平行な第1の方向720に延在し、超小型電子素子701、703の第2の縁部712は、基板の端子担持基板表面704に平行な第2の方向722に延在する。パッケージ700は、第3の超小型電子素子705及び第4の超小型電子素子707の第1の縁部730は第2の方向722に延在し、第3の超小型電子素子705及び第4の超小型電子素子707の第2の縁部732は第1の方向720に延在する。

40

#### 【0114】

図18に更に見られるように、一例では、上記で述べたコマンド・アドレスバス信号を運ぶように配置される第1の端子の第1のグリッド714及び第2のグリッド724は、基板の周辺縁部740から離れた基板表面上の位置に設けることができる。第2のグリッド724内の第1の端子の信号割当ては、上述したように、第1のグリッド内の第1の端

50

子の信号割当ての鏡像とすることができます。図18に示す一例では、第1の端子の第1のグリッド714及び第2のグリッド724は、第1の超小型電子素子701及び第2の超小型電子素子703の隣接する第1の縁部710間に配置することができ、第3の超小型電子素子705及び第4の超小型電子素子707の一部分の上に載ることができます。第2の端子のグリッド751、753、755、757は、第2の端子が電気的に接続されるそれぞれの超小型電子素子701、703、705、707の上に少なくとも部分的に載ることができます。

## 【0115】

図18に見られるように、第4のグリッド753内の第2の端子の信号割当ては第3のグリッド751内の第2の端子の信号割当ての鏡像とすることができます、第3のグリッド751及び第4のグリッド753の信号割当ては、方向720に延在する垂直軸780について対称である。

## 【0116】

超小型電子素子705、707の一部分の上に載り、それらに電気的に接続することができます第2の端子の第5のグリッド755及び第6のグリッド757は、任意の適した配置構成で配置された端子を有することができ、これらの第2の端子をグリッド内に設置する必要が全く存在せず、グリッド755の1つグリッド内の信号割当ては、他のグリッド757内の端子の信号割当ての鏡像である。図18に示す特定の例では、第5のグリッド755内の信号割当ては第6のグリッド757の信号割当てに対して水平軸782について対称であり、水平軸782は、グリッド755と757との間で方向722に延在する。

## 【0117】

また、図18に示すように、第5のグリッド755における第2の端子の信号クラス割り当ては、垂直軸780について対称とすることができます、第6のグリッド757における第2の端子の信号クラス割り当ては、垂直軸780について対称とすることができます。本明細書において用いられるとき、2つの信号クラス割り当ては、それらの信号割り当てが同じ割り当てのクラスにある場合には、たとえそのクラス内での数値インデックスが異なつていようと、互いに関して対称とすることができます。例示的信号クラス割り当ては、データ信号、データストローブ信号、データストローブ相補信号、及びデータマスク信号を含むことができる。特定の例において、第5のグリッド755において信号割り当てDQS#及びDQS#L#を有する第2の端子は、たとえそれらの第2の端子が異なる信号割り当てを有していようと、データストローブ相補である自らの信号クラス割り当てについて垂直軸780について対称である。

## 【0118】

図18に更に示すように、例えばデータ信号DQ0、DQ1、...等についてのデータ信号の超小型電子パッケージ上の第2の端子の空間的位置への割り当ては、垂直軸780についてモジュロX対称性を有することができる。このモジュロX対称性は、1つ又は複数の対の第1のパッケージ及び第2のパッケージが互いに対向して回路パネルに搭載され、回路パネルは、対向して搭載されるパッケージの対の各々における第1のパッケージ及び第2のパッケージの対応する第2の端子の対を電気的に接続する、図8Aにおいて見られるようなアセンブリ300における信号インテグリティ(signal integrity)を保つのに役立つことができる。端子の信号割り当てが或る軸について「モジュロX対称性」を有する場合には、同じ指数(インデックス値)の「モジュロX」を有する信号を運ぶ端子が、その軸について対称である位置に配置される。したがって、図8A等におけるのようなアセンブリ300において、モジュロX対称性によって回路パネルを介した電気的接続を行うことができ、第1のパッケージの端子DQ0が回路パネルを介して同じ指数のモジュロX(この場合、Xは8)を有する第2のパッケージの端子DQ8に電気的に接続し、回路パネルの厚さを本質的に真っ直ぐ貫く、すなわちそれに垂直な方向に接続を行うようになっている。

## 【0119】

10

20

30

40

50

一例において、「X」は $2^n$ （2のn乗）という数字とすることができます。ただし $n$ は2以上である。又は、Xは $8 \times N$ とすることができます。ただしNは2以上である。したがって一例において、Xは1/2バイトにおけるビット数（4ビット）、1バイトにおけるビット数（8ビット）、複数バイトにおけるビット数（ $8 \times N$ 、ただしNは2以上）、ワードにおけるビット数（32ビット）、又は複数ワードにおけるビット数と等しくすることができます。そのようにして、一例において、図18に示すようにモジュロ8対称性がある場合には、データ信号DQ0を運ぶように構成されたグリッド755におけるパッケージ端子DQ0の信号割り当ては、データ信号DQ8を運ぶように構成された別のパッケージ端子の信号割り当てと垂直軸780について対称である。さらに、グリッド757におけるパッケージ端子DQ0及びDQ8の信号割り当てについても同じことが当てはまる。図18において更にわかるように、グリッド755におけるパッケージ端子DQ2及びDQ10の信号割り当ては、垂直軸についてモジュロ8対称性を有し、グリッド757についても同じことが当てはまる。本明細書において説明するものの等のモジュロ8対称性は、パッケージ端子DQ0～DQ15の信号割り当てのそれぞれについてグリッド755、757において見ることができる。10

#### 【0120】

図示してはいないが、モジュロ数「X」は $2^n$ （2のn乗）以外の数字とすることができます、2よりも大きい任意の数とすることに注意することが重要である。したがって、対称性が基づくモジュロ数Xは、パッケージが組み立てられる又は構成される対象のデータサイズにおいて存在するビット数によって決まることができる。例えば、データサイズが8ビットの代わりに10ビットである場合には、信号割り当てはモジュロ10対称性を有することができる。データサイズが奇数ビットを有する場合には、モジュロ数Xはそのような数を有することができる場合さえあってよい。20

#### 【0121】

グリッド714、724及びグリッド751、753及びグリッド755、757における端子の鏡像信号割当ては、図5～図7に対して上述した回路パネル内のスタブ長の上述した低減が、同様の構成の2つのパッケージ700が回路パネルの対向する表面上に互いに対向して実装されるときに達成されることを可能にすることができる。

#### 【0122】

図18は、第1の超小型電子素子701、第2の超小型電子素子703、第3の超小型電子素子705、及び第4の超小型電子素子707の隣接する縁部730と710との間のパッケージ700の領域内に配置される超小型電子素子として、1つ又は複数のバッファ要素750を設けることができることを示す。それぞれのこうしたバッファ要素は、特にパッケージの第1の端子で受信される上記で述べたコマンド・アドレスバス信号用のパッケージの端子と、パッケージ内の超小型電子素子の1つ又は複数との間に信号分離（信号アイソレーション）を提供するのに使用することができる。通常、1つ又は複数のバッファ要素は、第1の端子で受信されるか又は第2の端子で受信される信号を再生し、再生された信号をパッケージ内の超小型電子素子に転送する。30

#### 【0123】

それに対して代替的に又は付加的に、超小型電子素子の隣接する縁部710と730との間の基板702のエリアは、1つ又は複数のデカップリング（減結合）キャパシタが、パッケージ上で又はパッケージ内でこうしたエリア内に設けられることを可能にすることができます、1つ又は複数の減結合キャパシタは、パッケージの内部電源又はグラウンドバスに接続される。40

#### 【0124】

図19は、図18に見られる実施形態の変形形態を示し、第1のグリッド714及び第2のグリッド724の位置は、第1の超小型電子素子701及び第2の超小型電子素子703の少なくとも所定部分の上に載るように変動することができる。こうした場合、第3の超小型電子素子705及び第4の超小型電子素子707の位置も、第3の超小型電子素子705及び第4の超小型電子素子707の第1の縁部730の部分がパッケージの中心50

から離れて移動することができるよう変化することができる。この場合、第3の超小型電子素子及び第4の超小型電子素子の第1の縁部730は、第1の超小型電子素子及び第2の超小型電子素子の第2の縁部712の部分に平行に延びかつその部分から離間し、それにより、1つ又は複数のバッファ要素か、減結合キャパシタか、又は他のデバイスの接続に利用可能なパッケージの中心のエリア760の量を図18に示す量より大きくすることができる。

【0125】

図20は、上述した実施形態(図19)の変形形態による超小型電子パッケージ800を示す。この変形形態では、超小型電子素子801、803、805、及び807は、風車のような構成で配置され、超小型電子素子801、803の第1の縁部810は、超小型電子素子805、807の第2の縁部と同じ方向820に延在する。加えて、超小型電子素子805、807の第1の縁部830は、超小型電子素子801、803の第2の縁部812と同じ方向822に延在する。超小型電子素子801の第1の縁部810のうちの1つの第1の縁部の一部分は、超小型電子素子807の第2の縁部832のうちの1つの第2の縁部の一部分から離間しつつその部分に平行である。同様に、超小型電子素子805の第1の縁部のうちの1つの第1の縁部の一部分は、超小型電子素子801の第2の縁部のうちの1つの第2の縁部の一部分から離間しつつその部分に平行である。これらの関係は、超小型電子素子803の第1の縁部810のうちの1つの第1の縁部の一部分及び超小型電子素子805の第2の縁部832のうちの1つの第2の縁部の一部分並びに超小型電子素子807の第1の縁部のうちの1つの第1の縁部の一部分及び超小型電子素子803の第2の縁部のうちの1つの第2の縁部の一部分について、パッケージ内で繰り返すことができる。

【0126】

加えて、超小型電子素子801の第1の縁部810のうちの1つの第1の縁部を含み、別の超小型電子素子805の第1の縁部830に交差する、基板に垂直な平面840が存在することが更に見られる。同様に、超小型電子素子805の第1の縁部830のうちの1つの第1の縁部を含み、別の超小型電子素子803の第1の縁部810に交差する、基板に垂直な平面842が存在する。図20を点検することによって、超小型電子素子807の第1の縁部のうちの1つの第1の縁部を含む同様な平面が超小型電子素子801の第1の縁部に交差し、超小型電子素子803の第1の縁部のうちの1つの第1の縁部を含む同様な平面が超小型電子素子807の第1の縁部に交差することを見ることができる。

【0127】

図20は、鏡像信号割当てを有する第1の端子のグリッド814、824がそれぞれ、パッケージ800内の超小型電子素子の1つ又は複数の上に部分的に又は完全に載ることを更に示す。加えて、超小型電子素子の隣接する縁部間に配置され、かつ、超小型電子素子の面が上に全く配置されない基板の中央領域850は、図18～図19に關して述べた1つ又は複数のバッファ要素か、減結合キャパシタか、又は両方を収容することができる。

【0128】

図21は、上述したパッケージの任意のパッケージと同様の超小型電子パッケージ900を示し、パッケージ900内の超小型電子素子901は、複合構造であり、複合構造のそれぞれは、上下にスタッカブルかつ互いに電気的に相互接続される2つ以上の半導体チップを含むことができ、それぞれ基板コンタクト908によって接続されることができる。そのため、図21に見られる実施形態では、各超小型電子素子901は、基板の対応する基板コンタクト908に向きかつそれに接合したコンタクト906を有する第1の半導体チップ932と、シリコン貫通ビア(「TSV」)950によって、第1の半導体チップ932及び基板902に電気的に接続されたコンタクト910を有する第2の半導体チップ934とを備えることができる。TSV950は、第1の半導体チップ932の厚さ952の方向に、すなわち、チップ932の互いに反対側の第1の面938と第2の面942との間の方向に延在する。

10

20

30

40

50

## 【0129】

特定の実施形態では、T S V 9 5 0 は、第1の半導体チップ9 3 2の面9 4 2に沿って延在するトレース等によって、第1の半導体チップ9 3 2の素子コンタクト9 0 8に電気的に接続することができる。第1の半導体チップと第2の半導体チップとの間の任意の電気接続をこうして作製することができるが、こうした接続は、電力及びグラウンドを第1の半導体チップ及び第2の半導体チップに分配するのに好適である。別の例では、T S V 9 5 0 は、第1の半導体チップの厚さを部分的にのみ通って延在し、第1の半導体チップ9 3 2の面9 4 2上のトレースに接続されるか又は第1の半導体チップのコンタクトに直接接続されるのではなく、第1の半導体チップ9 3 2内の内部回路に接続されることができる。

10

## 【0130】

図21において見られる超小型電子パッケージ9 0 0において、第1の半導体チップ9 3 2及び第2の半導体チップ9 3 4のそれぞれは、そのような半導体チップがそれぞれ、メモリ記憶アレイ機能を提供する能動素子の数をいかなる他の機能よりも多く具体化するように構成することができる。例えば、第1の半導体チップ及び第2の半導体チップのそれぞれは、メモリ記憶アレイと、メモリ記憶アレイにデータを入力しメモリ記憶アレイからデータを出力するのに必要な全ての回路とを含むことができる。例えば、それぞれの半導体チップにおけるメモリ記憶アレイが書き込み可能な場合、それぞれの半導体チップは、パッケージの端子から外部データ入力を受け取るように構成された回路、及びそのような半導体チップからパッケージの端子にデータ出力を転送するように構成された回路を含むことができる。

20

## 【0131】

したがって、それぞれの第1の半導体チップ9 3 2及びそれぞれの第2の半導体チップ9 3 4は、そのような半導体チップ内のメモリ記憶アレイからデータを入出力しそのデータを受け取って超小型電子パッケージの外部の構成要素に送信することができる、ダイナミックランダムアクセスメモリ(「D R A M」)チップ又は他のメモリチップとすることができる。言い換えれば、そのような場合、それぞれのD R A Mチップ又は他のメモリチップ内のメモリ記憶アレイへの及びそこからの信号は、超小型電子パッケージ内の更なる半導体チップによるバッファリングを必要としない。

30

## 【0132】

代替的に、別の例において、1つ又は複数の第2の半導体チップ9 3 4は、メモリ記憶アレイ機能を提供する能動素子の数をいかなる他の機能よりも多く具体化することができるが、第1の半導体チップ9 3 2は異なるタイプのチップとすることができます。こうした場合、第1の半導体チップ9 3 2は、信号をバッファする、すなわち1つ又は複数の第2の半導体チップ9 3 4に転送するように端子で受け取った信号を再生するか、又は端子に転送するように第2の半導体チップ9 3 4のうちの1つ若しくは複数から受け取った信号を再生するか、又は端子から1つ若しくは複数の第2の半導体チップ9 3 4へ、及び1つ若しくは複数の半導体チップから超小型電子パッケージの端子への両方の方向に転送される信号を再生するように構成、例えば設計、組み立て、又は準備することができます。バッファ要素として動作する第1の半導体チップ9 3 2によって再生され、その後、1つ又は複数の第1の半導体チップに転送される信号は、例えば内部回路に接続されたT S Vを通してルーティングすることができる。

40

## 【0133】

代替的に、又は上述のように信号を再生することに加えて、特定の例において、第1の半導体チップ9 3 2は、第1の端子等の端子で受け取られるアドレス情報又はコマンド情報のうちの少なくとも一方を部分的に又は完全に復号化するように構成することができます。次に、第1のチップはそのような部分的な又は完全な復号化の結果を出力して、1つ又は複数の第2の半導体チップ9 3 4に転送することができる。

## 【0134】

特定の例において、第1の半導体チップ9 3 2は、アドレス情報、又は一例において、

50

1つ又は複数の第2の半導体チップ934に転送されるコマンド信号、アドレス信号、及びクロック信号をバッファするように構成することができる。例えば第1の半導体チップ932は、信号の他のデバイスへの、例えば1つ又は複数の第2の半導体チップ934への転送においてバッファリング機能を提供する能動素子の数をいかなる他の機能よりも多く具体化するバッファチップとすることができる。このとき、その1つ又は複数の第2の半導体チップ934は、メモリ記憶アレイは有するがなかでもバッファ回路、デコーダ、プレデコーダ、又はワード線ドライバ等のDRAMチップに共通の回路は省くことができる、機能を減らしたチップとすることができる。

#### 【0135】

こうした例において、第1のチップ932はスタックにおいて「マスター」チップとして第2の半導体チップ934のそれぞれにおける動作を制御するよう機能することができる。特定の例において、第2の半導体チップ934は、バッファリング機能を果たすことができないように構成することができる。その場合、第1の半導体チップ及び第2の半導体チップのスタックした配列は、超小型電子パッケージにおいて必要なバッファリング機能を第1の半導体チップ932によって果たすことができるよう、かつスタックした配列における第2の半導体チップ934のいずれによっても果たすことができないように構成することができる。

#### 【0136】

本明細書において説明した実施形態のいずれかにおいて、1つ又は複数の第2の半導体チップは、なかでも、以下の技術：DRAM、NANDフラッシュメモリ、RRAM（登録商標）（「抵抗性RAM」、又は「抵抗性ランダムアクセスメモリ」）、相変化メモリ（「PCM」）、例えば、トンネル接合デバイスを具現できるような磁気抵抗性ランダムアクセスメモリ、静的ランダムアクセスメモリ（SRAM）、スピントルクRAM、又は連想メモリのうちの1つ又は複数において実現することができる。

#### 【0137】

図22Aに示す実施形態に更に見られるように、超小型電子パッケージは、第2の半導体チップ934の1つ又は複数を部分的に又は完全に通って延在し且つ第1の半導体チップ932をも通って延在することができるシリコン貫通ビア960を含むことができる。特定の例では、第2の半導体チップ934のそれぞれは、第2の半導体チップの任意の他の第2の半導体チップと機能的かつ機械的に同等とすることができます。特定の例では、第1の半導体チップ932は、受信される情報又は信号を再生するか又は少なくとも部分的に復号化し、その後、再生された情報又は信号を、例えば、第1のチップ932と第2のチップ934との間のTSV960並びに第2のチップ934のスタック内のTSV960を通して、第2の半導体チップ934の1つ又は複数に転送する。

#### 【0138】

図22Bは、図22Aに示す超小型電子パッケージの変形形態を示す。図22Aに示すパッケージとは異なり、アドレス情報又は他の情報を再生又は少なくとも部分的に復号化する、例えば、パッケージ内の他の半導体チップに転送する信号を再生するように構成することができる半導体チップ964は、基板902の第1の表面108に隣接して配置されない。むしろこの場合、半導体チップ964は1つ又は複数の他の半導体チップ上に重なるパッケージ内の場所に配置することができる。例えば図22Bに示すように、チップ964は、基板902の第1の表面108に隣接して配置された半導体チップ962上に少なくとも部分的に重なるとともに、半導体チップ962の上に配置された半導体チップ963A及び963B上に少なくとも部分的に重なる。

#### 【0139】

一例において、半導体チップ962、963A、及び963Bはメモリ記憶アレイを含むことができる。上述の例においてのように、そのようなチップ962、963A、及び963Bはそれぞれ、そのようなチップに書き込むデータ若しくはそのようなチップから読み出すデータ又はその両方をバッファする、例えば一時的に記憶するように構成された回路を組み込むことができる。代替的に、チップ962、963A、及び963Bは機能

10

20

30

40

50

的により限定されている場合があり、そのようなチップに書き込むデータ若しくはそのようなチップから読み出すデータ又はその両方を一時的に記憶するように構成された少なくとも1つの他のチップと一緒に用いることが必要である場合がある。

【0140】

半導体チップ964は、導電性構造、例えば、基板902の第1の表面108において露出したコンタクトに接続するTSV972a及び972b(総称してTSV972)を介して、超小型電子パッケージの端子、例えば、第1の端子904及び第2の端子906が配置されるグリッドに電気的に接続することができる。導電性構造、例えばTSV972は、チップ964上のコンタクト938を介して、及びチップ964の面943に沿って若しくはチップ963Aの対向する面931に沿って又はチップ963A、964の両方の面931、943に沿って延在する導体(図示せず)を介して半導体チップ964に電気的に接続することができる。上述のように、半導体チップ964は導電性構造、例えばTSV972を介して受け取る信号又は情報を再生するか又は少なくとも部分的に復号化するように構成することができ、チップ962、963A、及び963B等、パッケージ内の他のチップにその再生した又は少なくとも部分的に復号化した信号又は情報を転送するように構成することができる。

【0141】

図22Bにおいて更にわかるように、半導体チップ962、963A、及び963Bは、そのようなチップのうちの1つ、2つ、又は3つ以上を貫いて延在することができる複数のシリコン貫通ビア(「TSV」)972、974、及び976によって、半導体チップ964と及び互いに電気的に接続することができる。そのようなTSVはそれぞれ、パッケージ内の配線、例えば、半導体チップ962、963A、963B、及び964のうちの2つ以上の導電性パッド又はトレースと電気的に接続することができる。特定の例において、信号又は情報は、TSV972aの第1のサブセットに沿って基板902からチップ964に転送することができ、信号又は情報は、TSV972bの第2のサブセットに沿ってチップ964から基板に転送することができる。一実施形態において、TSV972の少なくとも一部は、信号又は情報をチップ964と基板902との間で、その特定の信号又は情報によって決まるどちらか一方の方向に転送させるように構成することができる。一例(図示せず)において、シリコン貫通ビアは、全ての半導体チップ962、963A、963Bの厚さを貫いて延在することができるが、ただしそれぞれのシリコン貫通ビアは、該ビアが貫いて延在するそれぞれのそのような半導体チップと電気的に接続しない場合がある。

【0142】

図22Bにおいて更にわかるように、複数のフィン971を含むことができるヒートシンク又はヒートスプレッダ968が、なかでも熱接着剤、熱伝導性グリース、又ははんだ等の熱伝導性材料969等を介して、半導体チップ964の面、例えばその裏面933に熱的に結合することができる。

【0143】

図22Bに示す超小型電子アセンブリ995は、サイクル当たり指定数のデータビットを、基板上にそのために設けられた第1の端子及び第2の端子を介して超小型電子パッケージ上へ又はそこから転送することができるメモリモジュールとして動作するように構成することができる。例えば超小型電子アセンブリは、可能な構成の中でもとりわけ32データビット、64データビット、又は96データビット等の複数データビットを、端子904、906と電気的に接続することができる回路パネル等の外部構成要素に又はそこから転送するように構成することができる。別の例において、パッケージに及びそこから転送されたビットがエラー訂正コードビットを含む場合には、サイクル当たりパッケージへ又はそこから転送されるビット数は、例えば36ビット、72ビット、又は108ビットとすることができる。ここで具体的に説明するもの以外のデータ幅も可能である。

【0144】

図23は更に、図22Aにおいて見られる実施形態の変形形態による超小型電子パッケ

10

20

30

40

50

ージ 990 を示す。この場合、第 1 の半導体チップ 932 は、図 21 に対して上述したのと同じ方法で基板 902 と相互接続される。一方、1 つ又は複数の第 2 の半導体チップ 934 は、ワイヤボンド 925 を介して第 1 の半導体チップ 932 と電気的に相互接続することができる。ワイヤボンドは、図 23 に示すように、それぞれの第 2 のチップ 934 を第 1 の半導体チップ 932 に直接接続することができる。代替的に、場合によっては、ワイヤボンドは、一部のワイヤボンドが、隣接する第 2 のチップ 934 をともに接続し、他のワイヤボンドが、第 1 のチップに隣接する第 2 のチップ 934 に第 1 のチップを接続するが、第 1 のチップ 932 を第 2 のチップ 934 のそれぞれに必ずしも直接接続しない状態で縦続接続することができる。

## 【0145】

10

図 23 に示す例において、第 2 の半導体チップ 934 は、その前面とその上のコンタクト 931 とが上向き、すなわち、第 1 の半導体チップ 932 から遠い向きの状態で配置される。しかし、図 24 において見られる別の変形形態において、第 1 の半導体チップ 932 及び第 2 の半導体チップ 934 を一緒に超小型電子パッケージ内に搭載することができる別の方法は、第 1 の半導体チップ 932 及び第 2 の半導体チップ 934 それぞれが、それらの前面とコンタクト 931 とが下向き、すなわち、基板 902 に向く状態で配置される、というものである。そのようにして、コンタクト 931 はワイヤボンド 936 を介して第 1 の半導体チップ 932 の前面 942 上の対応するコンタクト 941 と電気的に接続することができる。この場合、素子コンタクト 939 と基板コンタクト 908 の間の接続が図 21 に対して上述したような状態で、コンタクト 941 は、第 1 の半導体チップ 932 の前面 942 に沿って延在するトレース 938 等によって、第 1 の半導体チップ 932 上の素子コンタクト 939 に電気的に接続することができる。図 24 に示すパッケージ内のそれぞれの第 2 のチップ 934 は、上述したように、第 1 のチップ 932 と第 2 のチップとの間に延在するワイヤボンドによって直接、又は、一連の縦続接続式ワイヤボンドを通して間接的に接続することができる。

## 【0146】

20

図 25 は、1 つ又は複数の第 2 の半導体チップ 934 のコンタクトと第 1 の半導体チップ 932 との間の接続が、超小型電子素子 930 の 1 つ又は複数の縁部に沿って、すなわち半導体チップ 932、934 の縁部に沿って、超小型電子素子内で延在するトレース 940 を含むことができる、図 22A に対して上述した実施形態の更なる変形形態による超小型電子パッケージを示す。半導体チップ 932 と 934 との間の電気的接続は、それぞれ第 1 の半導体チップ 932 及び第 2 の半導体チップ 934 の前面に沿って延在するトレース 944、946 を更に含むことができる。図 25 において更に示すように、第 2 の半導体チップの前面 942 は、基板 902 から遠い上向きとすることもできるし、基板 902 に向いて下向きとすることもできる。

30

## 【0147】

本発明の実施形態による超小型電子パッケージ 1000 が図 26A ~ 図 26C に示される。図で見られるように、パッケージ 1000 は、上記で示したように、超小型電子素子が、メモリ記憶アレイ機能を提供するように構成された能動素子、例えばトランジスタの数をいかなる他の機能よりも多く有する点で、メモリ記憶アレイ機能を主に提供するように構成される超小型電子素子 1001 を含むことができる。図 26A ~ 図 26C に示す超小型電子パッケージ 1000 は、メモリ記憶アレイ機能を主に提供するように構成される单一の超小型電子素子 1001 のみを超小型電子パッケージ 1000 が含むことを除いて、図 5 ~ 図 7 に示す超小型電子パッケージ 100 と同様である。

40

## 【0148】

図 26A に見られるように、第 2 のグリッド 1024 内の第 1 の端子の信号割当ては、第 1 のグリッド 1014 内の第 1 の端子の信号割当ての鏡像である。換言すれば、第 1 のグリッド及び第 2 のグリッド内の第 1 の端子の信号割当ては、第 1 のグリッド 1014 と第 2 のグリッド 1024 との間の軸 1032 について対称であり、軸 1032 は、この場合、第 1 の端子の列 1036 が延在する方向 1042 に延在する。

50

## 【0149】

図26Aに示すように、第2の端子106の一部又は全ては、基板1002の第2の表面1010上の第3のグリッド1016、第4のグリッド1017、第5のグリッド1018、及び第6のグリッド1019内に配置することができる。特定の場合、第3のグリッド1016内の第2の端子の信号割当ては、第1のグリッド及び第2のグリッドについて上述した方法と同様の方法で、第4のグリッド1017内の第2の端子の信号割当ての鏡像とすることができます。一例では、第5のグリッド1018及び第6のグリッド1019のそれぞれは、第1のグリッド、第2のグリッド、第3のグリッド、及び第4のグリッドが延在する方向1042を横切るか又は更にそれに直交する別の方向1035に延在することができる。図26A～図26Cに示す実施形態では、第3のグリッド1016、第4のグリッド1017、第5のグリッド1018、及び第6のグリッド1019はそれぞれ、基板1002の第2の表面1010の周辺1025に隣接して配置される。10

## 【0150】

超小型電子パッケージが、基板1002に隣接して配置され、基板1002に電気的に接続される単一の超小型電子素子1001を含むことができる図26A～図26Cに示す配置構成は、超小型電子素子1001を、2つ以上のスタック式半導体チップを含むことができる複合構造にすることによって修正されて、図21～図25に関して上記で示され述べられたような超小型電子パッケージを生成することができる。単一の複合超小型電子素子を含むこうした実施形態は、図21～図25に示す2つの複合超小型電子素子構造ではなく、1つの複合超小型電子素子構造のみが存在することを除いて、図21～図25に示す実施形態と同じとすることができる。20

## 【0151】

例えば、図26A～図26Cの超小型電子素子1001は、図21に示す超小型電子素子901の1つであることができ、超小型電子素子は、基板の対応する基板コンタクト908に向きかつそれに接合したコンタクト906を有する第1の半導体チップ932と、第1の半導体チップ932の厚さ952の方向に延在するシリコン貫通ビア（「TSV」）950によって、第1の半導体チップ932及び基板902に電気的に接続されたコンタクト910を有する第2の半導体チップ934とを備えることができる複合超小型電子素子である。30

## 【0152】

別の例では、図26A～図26Cの超小型電子素子1001は、図22Aに示す複合超小型電子素子の1つであることができ、超小型電子パッケージは、第2の半導体チップ934の1つ又は複数を部分的に又は完全に通って延在し、第1の半導体チップ932も通って延在するシリコン貫通ビア960を含むことができる。40

## 【0153】

特定の実施形態では、図26A～図26Cの超小型電子素子1001は、図23に示す複合超小型電子素子の1つであることができ、第1の半導体チップ932は、図21に関して上述したのと同じ方法で基板902に相互接続される。しかし、1つ又は複数の第2の半導体チップ934を、ワイヤボンド925を通して第1の半導体チップ932に電気的に相互接続することができる。ワイヤボンドは、図23に示すように、それぞれの第2のチップ934を第1の半導体チップ932に直接接続することができる。40

## 【0154】

一例では、図26A～図26Cの超小型電子素子1001は、図24に示す複合超小型電子素子の1つであることができ、第1の半導体チップ932及び第2の半導体チップ934を半導体パッケージ内にともに実装することができる別の方法は、第1の半導体チップ932及び第2の半導体チップ934のそれぞれが、それらの前面及びコンタクト931が下方に、すなわち、基板902の方に向いた状態で設置されることである。こうして、コンタクト931は、ワイヤボンド936を通して第1の半導体チップ932の前面942上の対応するコンタクト941に電気的に接続することができる。

## 【0155】

10

20

30

40

50

例示的な実施形態では、図26A～図26Cの超小型電子素子1001は、図25に示す複合超小型電子素子の1つであることができ、1つ又は複数の第2の半導体チップ934のコンタクトと第1の半導体チップ932のコンタクトとの間の接続は、超小型電子素子930の1つ又は複数の縁部に沿って、すなわち、超小型電子素子内の半導体チップ932、934の縁部に沿って延在するトレース940を含むことができる。

【0156】

図26Dは、超小型電子素子1090のコンタクトパッド1085を超小型電子素子の中央近くの、例えば超小型電子素子の中心軸1080に隣接する、1つ又は2つの列1092、1094内に配置することができる、図26A～図26Cに示す超小型電子素子1001の変形形態を示す。この例において、基板の対応するコンタクト1021(図26C)に接合される素子コンタクトは、超小型電子素子上の再分配コンタクト1088、1089とすることができます。コンタクトパッド1085に電気的に接続された再分配コンタクト1088、1089のうちの一部又は全ては、超小型電子素子の面に沿った1つ又は複数の方向1095、1096にコンタクトパッド1085からずらすことができる。

【0157】

一例において、再分配コンタクト1088、1089は、コンタクトパッド1085の列1092、1094よりも超小型電子素子の縁部1070、1072に近い複数の列1098、1099に配置することができる。特定の例において、再分配コンタクト1088、1089は超小型電子素子1090の表面1091において露出したエリアアレイに分配することができる。他の特定の例において、再分配コンタクト1088、1089は、第1の方向1095に延在する超小型電子素子の1つ又は複数の周縁部1070、1072に沿って分配することもできるし、方向1095を横切る第2の方向1096に延在する超小型電子素子の1つ又は複数の周縁部1071、1073に沿って分配することもできる。

【0158】

更に別の例において、再分配コンタクト1088、1089は超小型電子素子の周縁部170、171、172、173のうちの2つ以上に沿って分配することができる。このような例のいずれにおいても、再分配コンタクト1088、1089はコンタクトパッド1085と同じ超小型電子素子1090の面1091に配置することもできるし、コンタクトパッドと反対側の超小型電子素子の面に配置することもできる。一例において、それぞれのコンタクトパッド1085は再分配コンタクト1088、1089に接続することができる。別の例において、1つ又は複数のコンタクトパッドに接続する再分配コンタクトはない場合がある。そのような、再分配コンタクトに接続しない1つ又は複数のコンタクトパッド1085は、超小型電子素子1090が配置されるパッケージの1つ又は複数の対応する端子と電気的に接続することもしないこともできる。

【0159】

図27は、第1の超小型電子パッケージ1000A及び第2の超小型電子パッケージ1000Bのアセンブリ1100を示し、超小型電子パッケージ1000A、1000Bはそれぞれ、回路パネル1054の対向する第1の表面1050及び第2の表面1052に実装された、上記図26A～図26Cに関して述べた超小型電子パッケージ1000である。回路パネルは、なかでも、デュアルインラインメモリモジュール(「DIMM」)で使用されるプリント回路基板、システム内の他の構成要素と接続される回路基板若しくはパネル、又はマザーボード等の種々のタイプとすることができます。第1の超小型電子パッケージ1000A及び第2の超小型電子パッケージ1000Bは、回路パネル1054の第1の表面1050及び第2の表面1052において露出される対応するコンタクト1060、1062にそれぞれ実装することができる。図27に示す超小型電子アセンブリ1100は、超小型電子パッケージ1000A、1000Bのそれぞれが、メモリ記憶アレイ機能を主に提供するように構成される単一の超小型電子素子のみを含むことを除いて、図8Aに示す超小型電子パッケージ200と同様である。

【0160】

10

20

30

40

50

図5～図27を参照して上述した超小型電子パッケージ及び超小型電子アセンブリは、図28に示すシステム1200等、さまざまな電子システムの構造において利用することができる。例えば、本発明の更なる実施形態によるシステム1200は、他の電子構成要素1208及び1210とともに上述した超小型電子パッケージ及び/又は超小型電子アセンブリ等、1つ又は複数のモジュール又は構成要素1206を含むことができる。

#### 【0161】

図示の例示的システム1200において、システムは、フレキシブルプリント回路基板等の、回路パネル、マザーボード、又はライザーパネル1202を含むことができ、回路パネルは、モジュール又は構成要素1206、1208及び/又は1210を互いに相互接続する多数の導体1204を含むことができる。多数の導体1204のうち、1つのみを図28に示す。そのような回路パネル1202は、システム1200に含まれる超小型電子パッケージ及び/又は超小型電子アセンブリのそれぞれに又はそこから信号を伝達することができる。しかしこれは単に例示的なものであり、モジュール又は構成要素1206同士の間の電気的接続を行う任意の適切な構造も用いることができる。

10

#### 【0162】

特定の実施形態では、システム1200は、半導体チップ1208等のプロセッサも備えることができ、各モジュール又は構成要素1206は、クロックサイクルにおいてN個のデータビットを並列に転送するように構成することができ、プロセッサは、クロックサイクルにおいてM個のデータビットを並列に転送するように構成することができるようになっている。MはN以上である。

20

#### 【0163】

図28に示す例では、構成要素1208は半導体チップであり、構成要素1210はディスプレイスクリーンであるが、他の任意の構成要素をシステム1200において用いることができる。もちろん、説明を明瞭にするために、図28には2つの追加の構成要素1208及び1210しか示されていないが、システム1200は、任意の数のそのような構成要素を備えることができる。

#### 【0164】

モジュール又は構成要素1206並びに構成要素1208及び1210は、破線で概略的に示す共通のハウジング1201内に実装することができ、必要に応じて互いに電気的に相互接続して所望の回路を形成することができる。ハウジング1201は、例えば、携帯電話又は携帯情報端末において使用可能なタイプのポータブルハウジングとして示され、スクリーン1210は、このハウジングの表面において露出することができる。構成1206が撮像チップ等の光感知素子を備える実施形態では、光をこの構造体に送るレンズ1211又は他の光学デバイスも設けることができる。ここでも、図28に示す単純化したシステムは単なる例示にすぎず、デスクトップコンピュータ、ルータ等の固定構造と一般に考えられるシステムを含む他のシステムを、上記で議論した構造体を用いて作製することができる。

30

#### 【0165】

図5～図27を参照して上述した超小型電子パッケージ及び超小型電子アセンブリはまた、図29に示すシステム1300等の電子システムの構造においても利用することができる。例えば、本発明の更なる実施形態によるシステム1300は、構成要素1206を複数の構成要素1306と取り替えたということを除き、図28に示すシステム1200と同じである。

40

#### 【0166】

構成要素1306のそれぞれは、図5～図27を参照して上述した超小型電子パッケージ又は超小型電子アセンブリのうちの1つ又は複数とすることことができ、又はそれを含むことができる。特定の例において、構成要素1306のうちの1つ又は複数は、図8Aに示す超小型電子アセンブリ200の変形形態とすることことができ、回路パネル154は露出した縁部のコンタクトを含み、それぞれの超小型電子アセンブリ200の回路パネル154は、ソケット1305に挿入するのに適切とすることができます。

50

## 【0167】

それぞれのソケット1305は、ソケットの片側又は両側に複数のコンタクト1307を含むことができ、それにより、それぞれのソケット1305が、超小型電子アセンブリ200の上述の変形形態等、対応する構成要素1306の対応する露出した縁部のコンタクトとかみ合うのに適切となることができる。図示の例示的システム1300において、システムは、フレキシブルプリント回路基板等の第2の回路パネル1302又はマザーボードを含むことができ、第2の回路パネルは、構成要素1306を互いに相互接続する多数の導体1304を含むことができる。多数の導体1304のうち、1つのみを図29に示す。

## 【0168】

10

特定の例において、システム1300等のモジュールは複数の構成要素1306を含むことができ、それぞれの構成要素1306は超小型電子アセンブリ200の上述の変形形態である。それぞれの構成要素1306は、それぞれの構成要素1306に又はそこから信号を伝達するように、第2の回路パネル1302に搭載され電気的に接続することができる。システム1300の具体的な例は単に例示的なものであり、構成要素1306間の電気的接続を行う任意の適切な構造も用いることができる。

## 【0169】

上記で説明した超小型電子パッケージのいずれか又は全てにおいて、超小型電子素子のうちの1つ又は複数の背面は、製造の完了後に超小型電子パッケージの外表面において少なくとも部分的に露出させることができる。したがって、図5～図7に関して上述した超小型電子パッケージ100において、超小型電子素子のうちの1つ又は複数の背面は、完成した超小型電子パッケージ100内の封入材146の外表面において部分的又は全面的に露出させることができる。

20

## 【0170】

上述した実施形態のいずれかにおいて、超小型電子パッケージ及び超小型電子アセンブリは、任意の適した熱伝導性材料から部分的又は全体的に作製されるヒートスプレッダを備えることができる。適した熱伝導性材料の例には、金属、グラファイト、熱伝導性接着剤、例えば、熱伝導性エポキシ樹脂、はんだ等、又はそのような材料の組み合わせが含まれるが、これらに限定されるものではない。一例では、ヒートスプレッダは、実質的に連続した金属シートとすることができる。

30

## 【0171】

一実施形態では、ヒートスプレッダは、超小型電子素子のうちの1つ又は複数に隣接して配置された金属層を備えることができる。この金属層は、超小型電子パッケージの背面において露出することができる。代替的に、ヒートスプレッダは、超小型電子素子のうちの1つ又は複数の、少なくとも背面をカバーするオーバモールド又は封入材を含むことができる。一例では、ヒートスプレッダは、図6に示す超小型電子素子101及び103等の超小型電子素子のうちの1つ又は複数の、前面及び背面のうちの少なくとも一方と熱連通することができる。いくつかの実施形態では、ヒートスプレッダは、超小型電子素子のうちの隣接するものの隣接する縁部間に延在することができる。ヒートスプレッダは、周囲環境への放熱を改善することができる。

40

## 【0172】

特定の実施形態では、金属製又は他の熱伝導性材料製の事前に形成されたヒートスプレッダを、熱伝導性接着剤又は熱伝導性グリース等の熱伝導性材料を用いて、超小型電子素子のうちの1つ又は複数の背面に取り付けるか又は配置することができる。接着剤が存在する場合、この接着剤は、例えば、コンプライアントに取り付けられた素子間の熱膨張差を吸収するように、ヒートスプレッダと、このヒートスプレッダが取り付けられた超小型電子素子との間の相対的な移動を可能にするコンプライアント材料(柔軟材)とすることができます。ヒートスプレッダは、モノリシック構造とすることができます。代替的に、ヒートスプレッダは、互いに離間した複数のスプレッダ部を備えることができる。特定の実施形態では、ヒートスプレッダは、図6に示す超小型電子素子101及び103等の超小型

50

電子素子のうちの 1 つ又は複数の背面の少なくとも一部分に直接接合されたはんだの層とすることができるか、又はこのはんだの層を含むことができる。

【 0 1 7 3 】

上記の実施形態は、上記で明示的に述べるか又は示した以外の方法で組み合わせることができる。例えば、各パッケージは、ペア半導体チップか、垂直にスタックされ電気的に相互接続された半導体チップか、又は、再分配層をその上に有する 1 つ若しくは複数の半導体チップである、図 5 ~ 図 7、図 9、図 10、図 26A ~ 図 26C、又は、図 21、図 22、図 23、図 24、若しくは図 25 の任意のものに関して上記で示し述べたタイプの超小型電子素子の任意のものを組み込むことができる。

【 0 1 7 4 】

上記で論じた特徴のこれらの及び他の変形形態及び組合せが、本発明から逸脱することなく利用することができるので、好ましい実施形態の上記の説明は、特許請求の範囲によって規定される本発明の制限としてではなく例証として考えられるべきである。

【 0 1 7 5 】

様々な従属請求項及びそこに記載した特徴を、初期の請求項に提示したものとは異なる方法で組み合わせることができることが認識されるであろう。個々の実施形態に関して説明した特徴は、説明した実施形態の他のものと共有することができることも認識されるであろう。

【 産業上の利用可能性 】

【 0 1 7 6 】

本発明は、超小型電子パッケージ及び超小型電子パッケージを製造する方法を含むが、これらに限定されるものではない幅広い産業上の利用可能性を享有する。

なお、出願当初の特許請求の範囲は以下の通りである。

( 請求項 1 )

超小型電子パッケージであって、

面及び該面において露出する複数の素子コンタクトを有する超小型電子素子であって、  
メモリ記憶アレイ機能を有する、超小型電子素子と、

互いに反対側の第 1 の表面及び第 2 の表面を有する基板であって、前記超小型電子素子の前記素子コンタクトに向きかつ該素子コンタクトに接合される、前記第 1 の表面において露出する基板コンタクトの組を有する、基板と、

該超小型電子パッケージを該パッケージの外部にある少なくとも 1 つの構成要素に接続するように構成される、前記第 2 の表面において露出する複数の端子であって、該端子は、前記基板コンタクトに電気的に接続され、複数の第 1 の端子を含み、前記第 1 の端子は、理論的軸の第 1 の側に配置された前記第 1 の端子の第 1 の組と、前記第 1 の側と反対側の前記軸の第 2 の側に配置された前記第 1 の端子の第 2 の組とを含み、前記第 1 の組及び前記第 2 の組のそれぞれは、前記超小型電子素子のメモリ記憶アレイの全ての利用可能なアドレス指定可能メモリ位置の中からアドレス指定可能メモリ位置を決定するのに該超小型電子パッケージ内の回路によって使用可能なアドレス情報を運ぶように構成される、複数の端子と、

を備え、

前記第 1 の組内の前記第 1 の端子の信号割当ては、前記第 2 の組内の前記第 1 の端子の信号割当ての鏡像である、超小型電子パッケージ。

( 請求項 2 )

前記超小型電子素子は、メモリ記憶アレイ機能を提供する能動素子の数をいかなる他の機能よりも多く具体化する、請求項 1 に記載の超小型電子パッケージ。

( 請求項 3 )

請求項 1 に記載の超小型電子パッケージであって、前記第 1 の組及び前記第 2 の組のそれぞれの前記第 1 の端子は、前記アドレス指定可能メモリ位置を決定するのに該超小型電子パッケージ内の前記回路によって使用可能な前記アドレス情報の全てを運ぶように構成される、請求項 1 に記載の超小型電子パッケージ。

10

20

30

40

50

(請求項 4 )

前記第1の組及び前記第2の組のそれぞれの前記第1の端子は、前記超小型電子素子の動作モードを制御する情報を運ぶように構成される、請求項1に記載の超小型電子パッケージ。

(請求項 5 )

請求項3に記載の超小型電子パッケージであって、前記第1の組及び前記第2の組のそれぞれの前記第1の端子は、該超小型電子パッケージに転送されるコマンド信号の全てを運ぶように構成され、前記コマンド信号は、ライトイネーブル、行アドレスストローブ、及び列アドレスストローブ信号である、請求項3に記載の超小型電子パッケージ。

(請求項 6 )

請求項1に記載の超小型電子パッケージであって、前記第1の組及び前記第2の組のそれぞれの前記第1の端子は、該超小型電子パッケージに転送されるクロック信号を運ぶように構成され、前記クロック信号は、前記アドレス情報を運ぶ信号をサンプリングするのに用いられるクロックである、請求項1に記載の超小型電子パッケージ。

(請求項 7 )

請求項1に記載の超小型電子パッケージであって、前記第1の組及び前記第2の組のそれぞれの前記第1の端子は、該超小型電子パッケージに転送されるバンクアドレス信号の全てを運ぶように構成される、請求項1に記載の超小型電子パッケージ。

(請求項 8 )

前記素子コンタクトは、前記超小型電子素子の前面において露出する再分配コンタクトを含み、各再分配コンタクトは、トレース又はビアの少なくとも一方を通して前記超小型電子素子のコンタクトパッドに電気的に接続される、請求項1に記載の超小型電子パッケージ。

(請求項 9 )

前記第1の組及び前記第2の組の前記第1の端子は、それぞれの第1のグリッド及び第2のグリッド内の場所に配置され、前記第1のグリッド及び前記第2のグリッド内の端子の列は、前記基板の対向する第1の縁部及び第2の縁部に平行な方向に延在し、前記軸は、前記基板の前記第1の縁部及び前記第2の縁部に平行でかつ前記基板の前記第1の縁部及び前記第2の縁部から等距離のラインから、前記第1の端子の任意の2つの隣接する列間の最小ピッチの3.5倍以下の距離である、請求項1に記載の超小型電子パッケージ。

(請求項 10 )

少なくともいくつかの第1の端子を含む特定の列の大部分の端子の中心を通って延在する列軸は、前記特定の列の端子の1つ又は複数の端子の中心を通って延在しない、請求項1に記載の超小型電子パッケージ。

(請求項 11 )

前記列軸は、前記列の中央に置かれない前記1つ又は複数の端子の少なくとも1つの端子を通って延在しない、請求項10に記載の超小型電子パッケージ。

(請求項 12 )

前記第1の組及び前記第2の組の前記第1の端子は、それぞれの第1のグリッド及び第2のグリッド内の場所に配置され、前記第1のグリッド及び前記第2のグリッドのそれぞれは、前記第1の端子の平行な第1の列及び第2の列を含む、請求項1に記載の超小型電子パッケージ。

(請求項 13 )

前記第1のグリッド又は前記第2のグリッドの少なくとも一方のグリッドは、前記少なくとも一方のグリッドの平行な前記第1の列と前記第2の列との間に少なくとも1つの端子を含む、請求項12に記載の超小型電子パッケージ。

(請求項 14 )

前記端子は第2の端子を含み、前記第2の端子の少なくともいくつかは、アドレス情報を以外の情報を運ぶように構成される、請求項1に記載の超小型電子パッケージ。

(請求項 15 )

10

20

30

40

50

前記第1の組及び前記第2の組の前記第1の端子は、それぞれの第1のグリッド及び第2のグリッド内の場所に配置され、前記第2の端子は、前記第1のグリッド及び前記第2のグリッド内ではなく、前記第2の表面上の場所に配置される、請求項14に記載の超小型電子パッケージ。

(請求項16)

前記第1の組及び前記第2の組の前記第1の端子は、それぞれの第1のグリッド及び第2のグリッド内の場所に配置され、前記第2の端子の少なくともいくつかは、前記第1のグリッド及び前記第2のグリッド内に配置される、請求項14に記載の超小型電子パッケージ。

(請求項17)

10

前記第1の組及び前記第2の組の前記第1の端子は、それぞれの第1のグリッド及び第2のグリッド内の場所に配置され、前記第2の端子の1つの部分は第3のグリッド内に配置され、前記第2の端子の別の部分は第4のグリッド内に配置され、前記第3のグリッド及び前記第4のグリッド内の端子の列は、互いに平行であり、また、前記第1のグリッド及び前記第2のグリッド内の端子の列に平行であり、

前記第3のグリッド内の前記第2の端子の信号割当ては、前記第4のグリッド内の前記第2の端子の信号割当ての鏡像である、請求項14に記載の超小型電子パッケージ。

(請求項18)

前記第1のグリッド及び前記第2のグリッドは、前記第3のグリッド及び前記第4のグリッドを互いから分離する、請求項17に記載の超小型電子パッケージ。

20

(請求項19)

前記第2の端子の或る部分は第5のグリッド内に配置され、前記第2の端子の別の部分は第6のグリッド内に配置され、前記第5のグリッド及び前記第6のグリッド内の端子の列は、互いに平行であり、前記第1の端子及び第2の端子の端子列が延在する第1の方向を横切る第2の方向に延在し、

前記第5のグリッド内の前記第2の端子の信号割当ては、前記第1のグリッドと前記2のグリッドとの間の軸について対称であり、前記第6のグリッド内の前記第2の端子の信号割当ては、前記第1のグリッドと前記2のグリッドとの間の軸について対称であり、前記軸は、前記基板の対向する第1の縁部及び第2の縁部から等距離にある、請求項17に記載の超小型電子パッケージ。

30

(請求項20)

請求項1に記載の超小型電子パッケージであって、該パッケージの外部にある前記少なくとも1つの構成要素は回路パネルである、請求項1に記載の超小型電子パッケージ。

(請求項21)

前記基板の前記第1の表面に向く表面を有するバッファチップを更に備え、前記バッファチップは、前記第1の組及び前記第2の組の少なくとも一方の組の前記第1の端子に電気的に接続され、前記バッファチップは、前記第1の端子で受信された前記アドレス情報の少なくとも一部を再生し、前記再生されたアドレス情報を前記超小型電子素子に出力するように構成される、請求項1に記載の超小型電子パッケージ。

(請求項22)

40

請求項1に記載の超小型電子パッケージであって、前記超小型電子素子は第1の超小型電子素子であり、前記基板コンタクトの組は基板コンタクトの第1の組であり、

該超小型電子パッケージは、面及び該面において露出する複数の素子コンタクトを有する第2の超小型電子素子を更に備え、前記第2の超小型電子素子はメモリ記憶アレイ機能を有し、

前記基板は、前記第2の超小型電子素子の素子コンタクトに向きかつ該第2の超小型電子素子の該素子コンタクトに接合される、前記第1の表面において露出する基板コンタクトの第2の組を有し、前記端子は、基板コンタクトの前記第2の組に電気的に接続され、

前記第1の組及び前記第2の組のそれぞれの前記第1の端子は、前記第1の超小型電子素子及び前記第2の超小型電子素子の少なくとも一方の超小型電子素子のメモリ記憶アレ

50

イの全ての利用可能なアドレス指定可能メモリ位置の中からアドレス指定可能メモリ位置を決定するのに該超小型電子パッケージ内の回路によって使用可能なアドレス情報を運ぶように構成される、請求項 1 に記載の超小型電子パッケージ。

(請求項 2 3 )

前記第 1 の超小型電子素子及び第 2 の超小型電子素子の前記面は、前記基板の前記第 1 の表面に平行な单一平面内に配置される、請求項 2 2 に記載の超小型電子パッケージ。

(請求項 2 4 )

前記第 1 の組の前記第 1 の端子は、前記第 1 の超小型電子素子に電気的に接続され、前記第 2 の組の前記第 1 の端子は、前記第 2 の超小型電子素子に電気的に接続される、請求項 2 2 に記載の超小型電子パッケージ。

10

(請求項 2 5 )

前記第 1 の組及び前記第 2 の組の前記第 1 の端子は、前記第 1 の超小型電子素子及び第 2 の超小型電子素子のそれぞれに電気的に接続される、請求項 2 4 に記載の超小型電子パッケージ。

(請求項 2 6 )

前記第 1 の組の前記第 1 の端子は、前記第 1 の超小型電子素子に電気的に接続され、前記第 2 の超小型電子素子に電気的に接続されず、前記第 2 の組の前記第 1 の端子は、前記第 2 の超小型電子素子に電気的に接続され、前記第 1 の超小型電子素子に電気的に接続されない、請求項 2 2 に記載の超小型電子パッケージ。

(請求項 2 7 )

20

前記基板は、誘電体素子の平面において 30 パーツパーミリオン / 摂氏温度 ( ' ppm / ) 未満の熱膨張率 ( ' CTE ) を有する、前記誘電体素子を含む、請求項 1 に記載の超小型電子パッケージ。

(請求項 2 8 )

前記基板は、12 ppm / 未満の CTE を有する素子を含む、請求項 1 に記載の超小型電子パッケージ。

(請求項 2 9 )

超小型電子パッケージであって、面及び該面上の複数の素子コンタクトを有する超小型電子素子であって、メモリ記憶アレイ機能を提供する能動素子の数をいかなる他の機能よりも多く具体化する、超小型電子素子と、

30

互いに反対側の第 1 の表面及び第 2 の表面を有する基板であって、前記超小型電子素子の前記素子コンタクトに向きかつ該素子コンタクトに接合される、前記第 1 の表面上の 1 組の基板コンタクトを有する、基板と、

該超小型電子パッケージを該パッケージの外部にある少なくとも 1 つの構成要素に接続させるために構成される前記第 2 の表面上の複数の端子であって、前記端子は、前記基板コンタクトに電気的に接続され、平行な第 1 のグリッド及び第 2 のグリッド内の場所に配置された第 1 の端子を含み、前記第 1 のグリッド及び前記第 2 のグリッドのそれぞれの前記第 1 の端子は、前記超小型電子素子内のメモリ記憶アレイの全ての利用可能なアドレス指定可能メモリ位置の中からアドレス指定可能メモリ位置を決定するのに該超小型電子パッケージ内の回路によって使用可能なアドレス情報を大部分を運ぶように構成される、複数の端子と、

40

を備え、

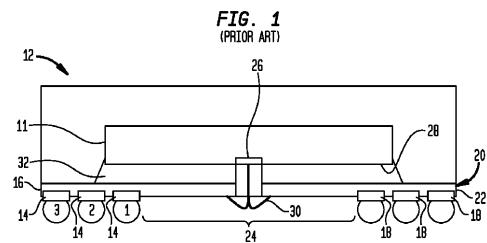
前記第 1 のグリッド内の前記第 1 の端子の信号割当ては、前記第 2 のグリッド内の前記第 1 の端子の信号割当ての鏡像である、超小型電子パッケージ。

(請求項 3 0 )

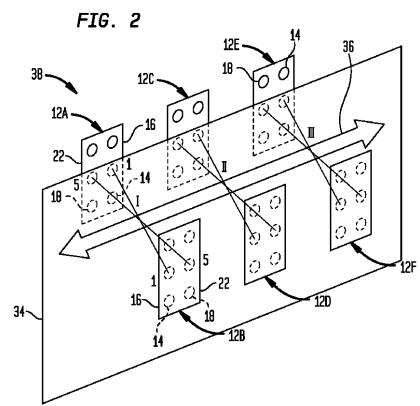
請求項 2 9 に記載の超小型電子パッケージであって、前記第 1 のグリッド及び前記第 2 のグリッドのそれぞれの前記第 1 の端子は、前記アドレス指定可能メモリ位置を決定するのに該超小型電子パッケージ内の回路によって使用可能なアドレス情報の少なくとも 3 / 4 を運ぶように構成される、請求項 2 9 に記載の超小型電子パッケージ。

50

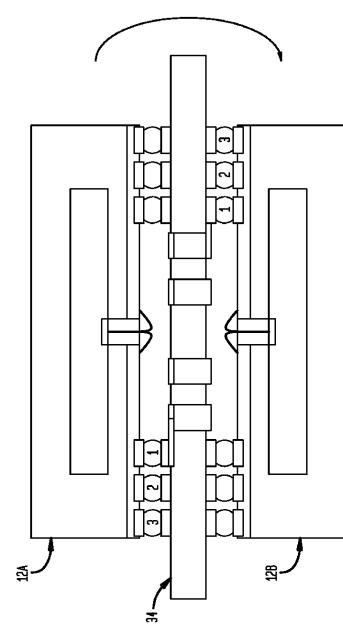
【図1】



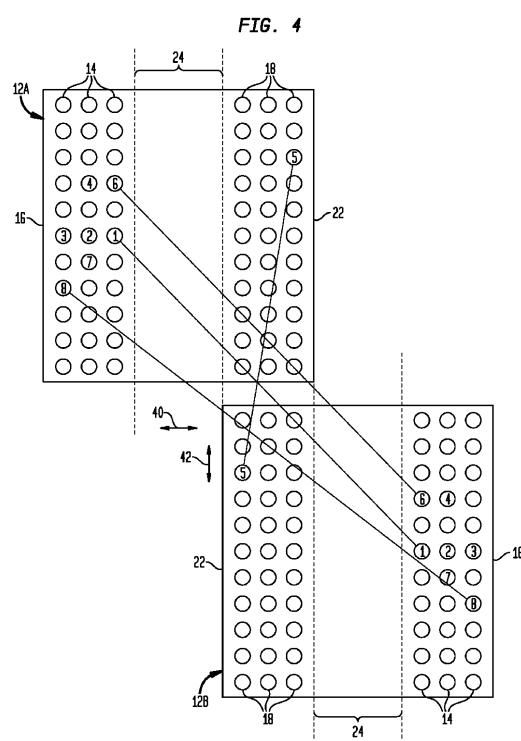
【図2】



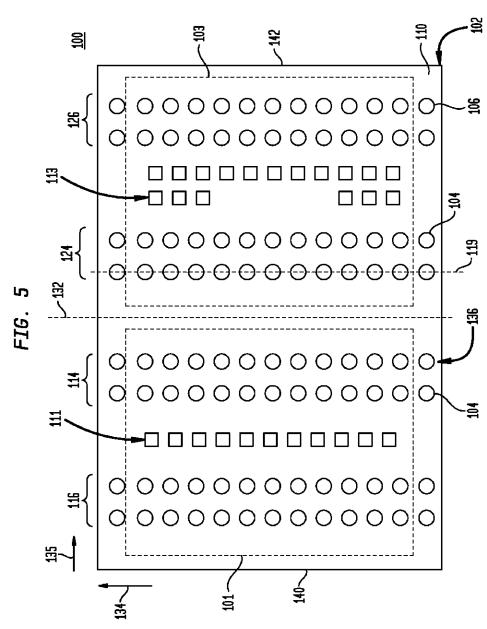
【図3】



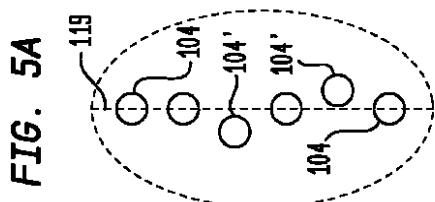
【図4】



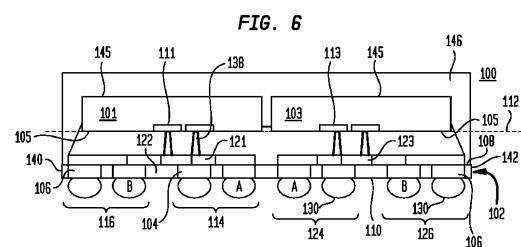
【図5】



【図 5 A】

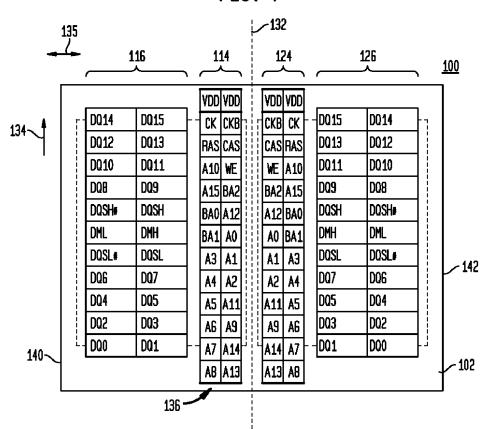


【図 6】

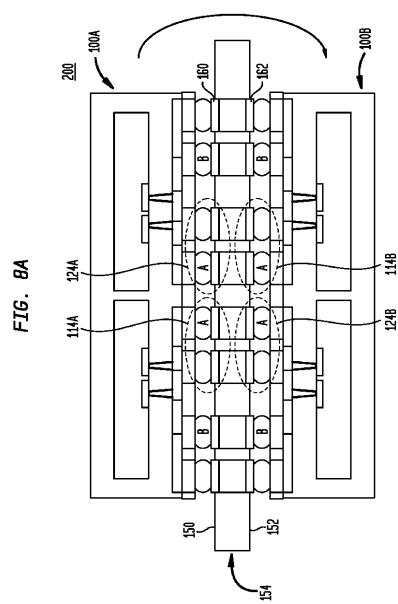


【図 7】

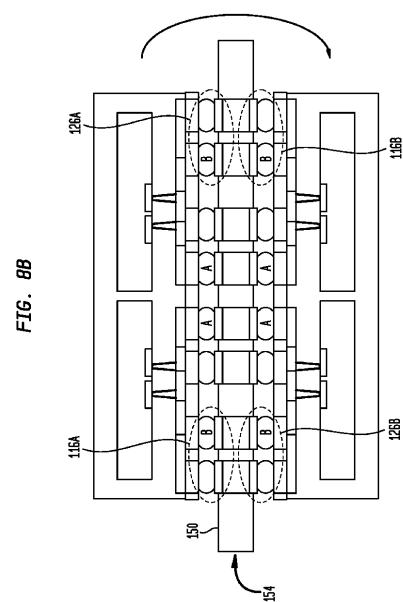
FIG. 7



【図 8 A】



【図 8 B】



【図 8 C】

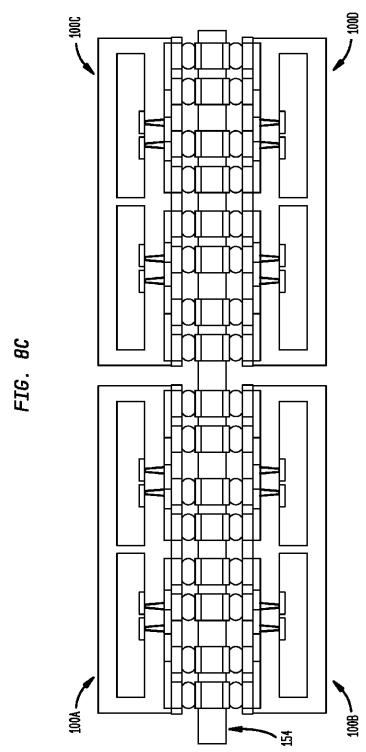
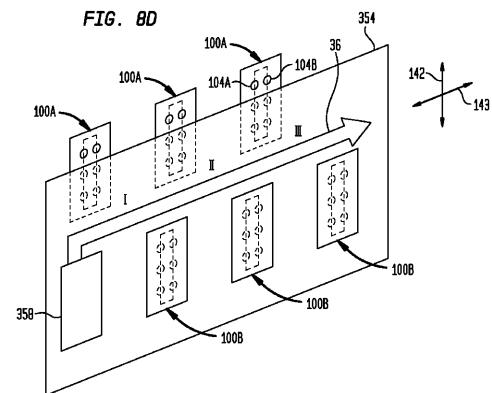


FIG. 8C

【図 8 D】



【図 9】

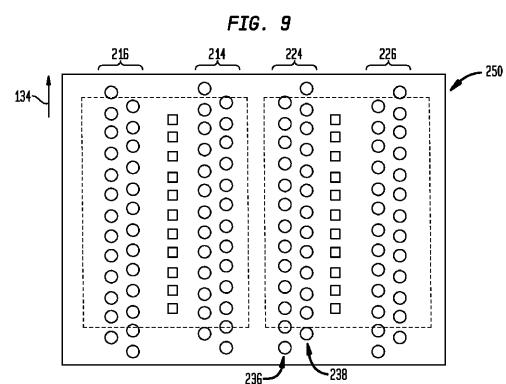


FIG. 9

【図 10】

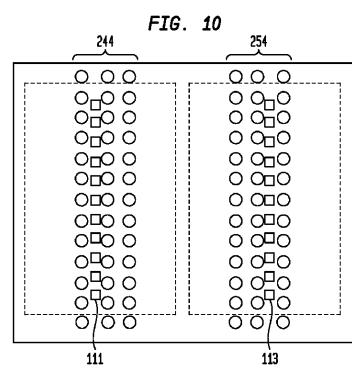


FIG. 10

【図 11】

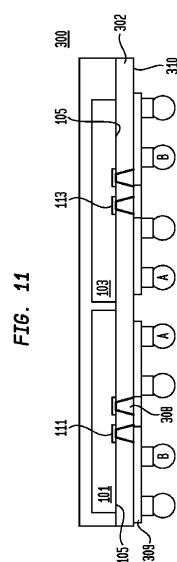
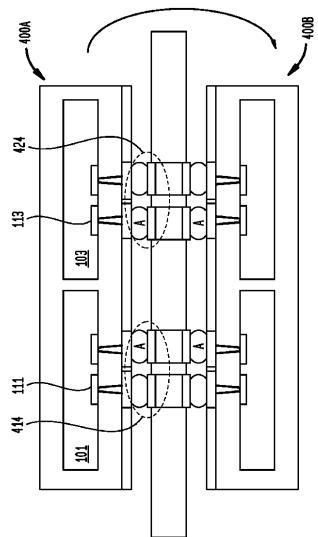


FIG. 11

【図12】

FIG. 12



【図13】

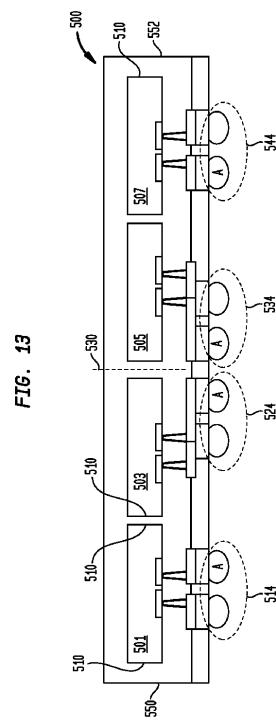
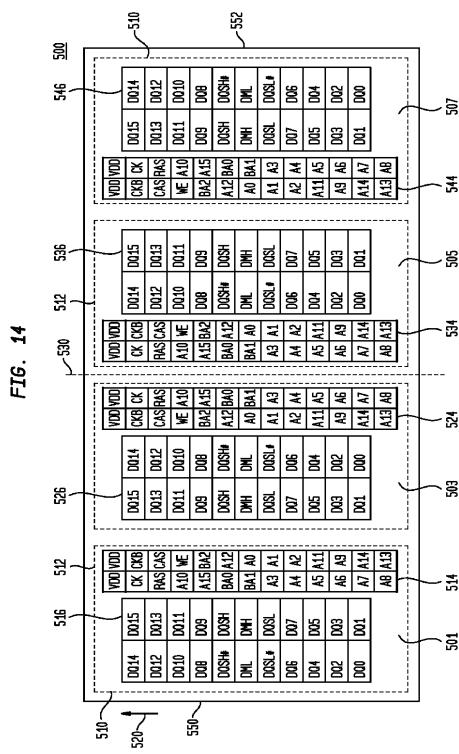


FIG. 13

【図14】



【図15】

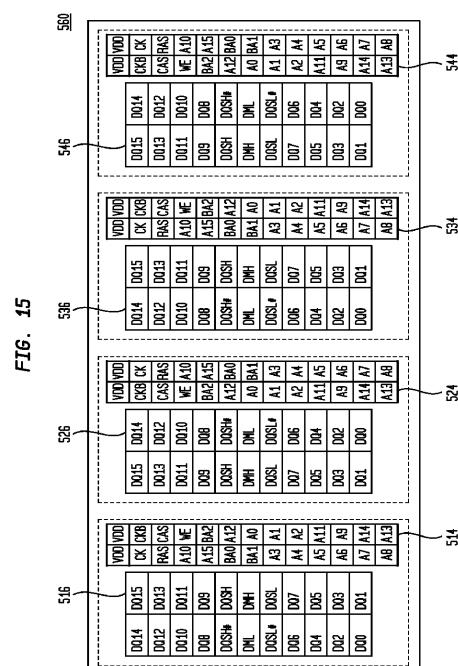
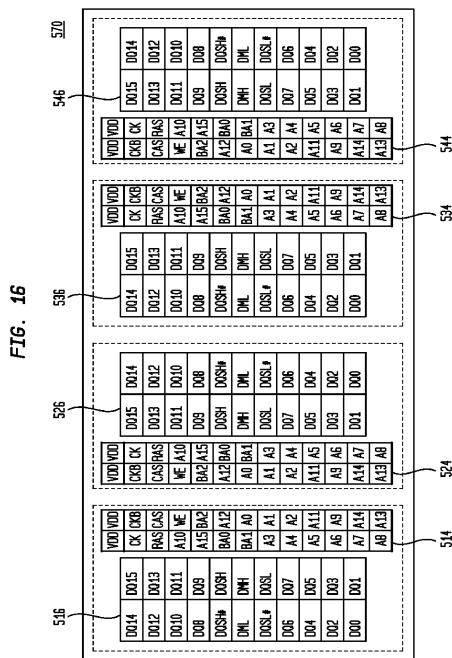
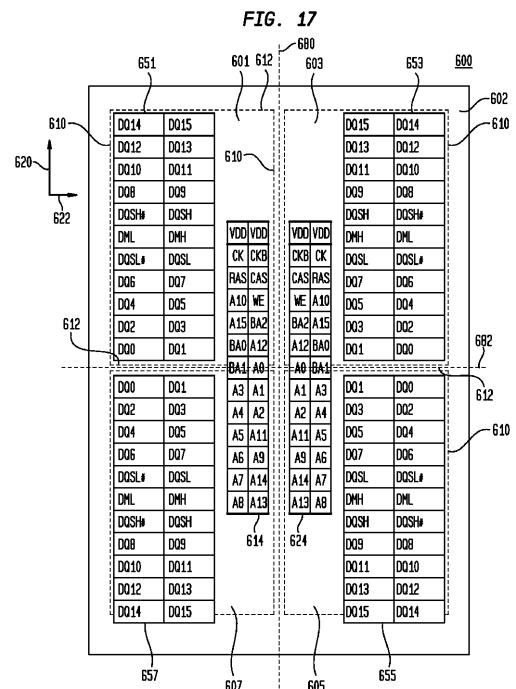


FIG. 15

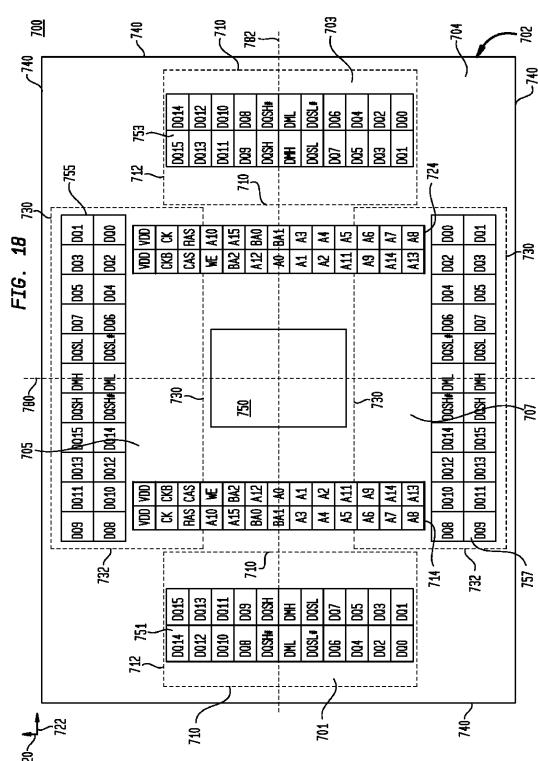
【 図 1 6 】



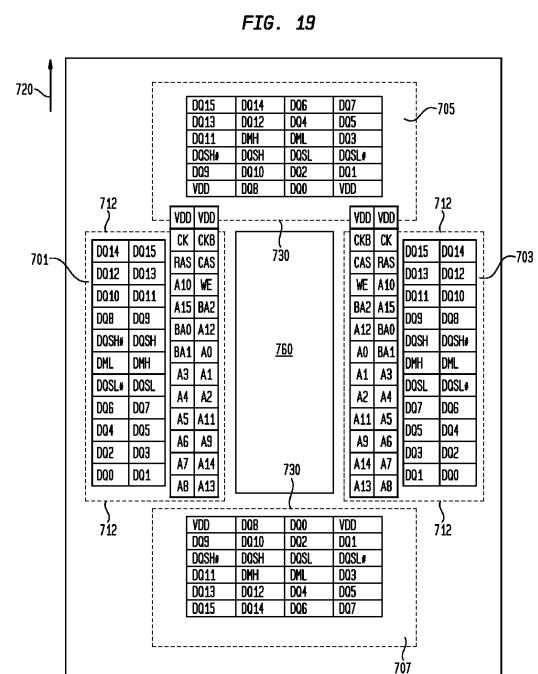
【図17】



【 四 1 8 】



【 図 1 9 】



【図20】

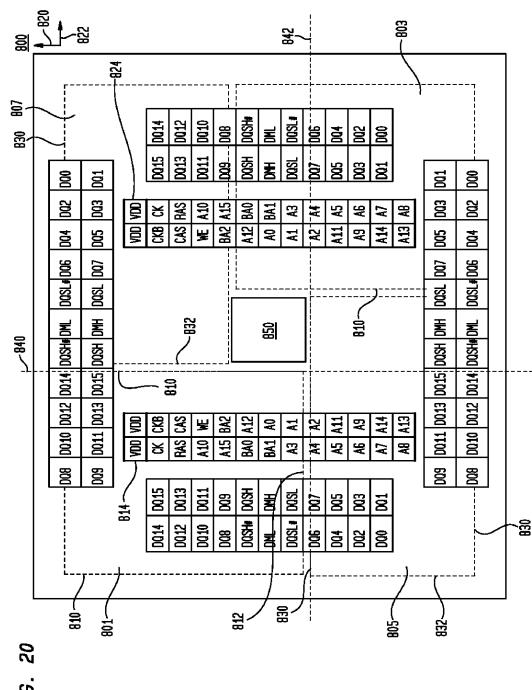


FIG. 20

### 【図21】

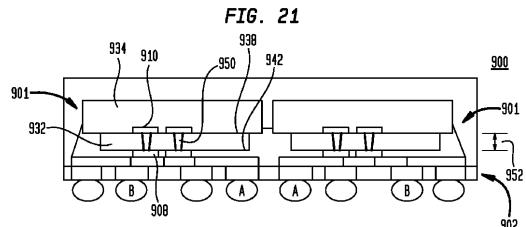


FIG. 21

【図22A】

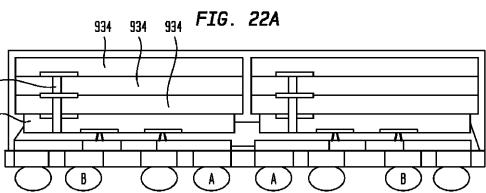


FIG. 22A

【図22B】

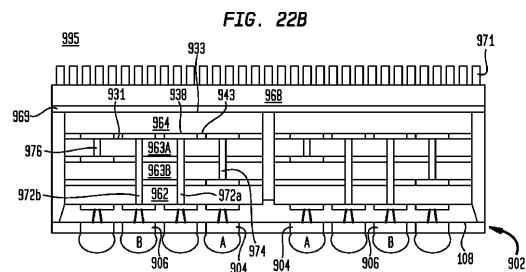
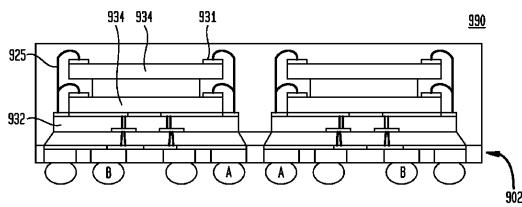


FIG. 22B

### 【図23】



### 【図24】

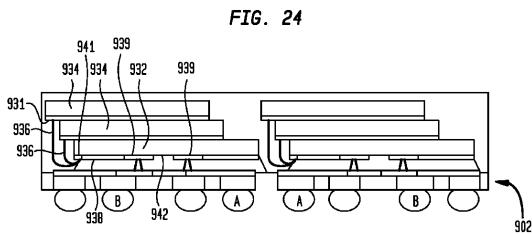


FIG. 24

【図25】

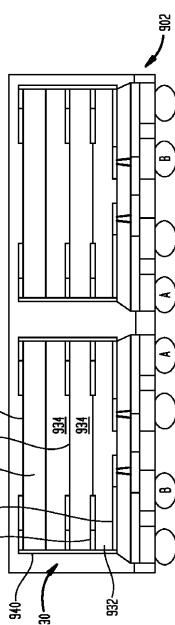
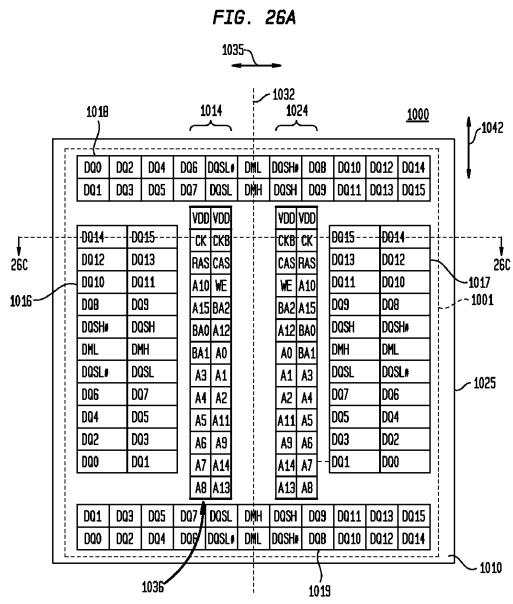
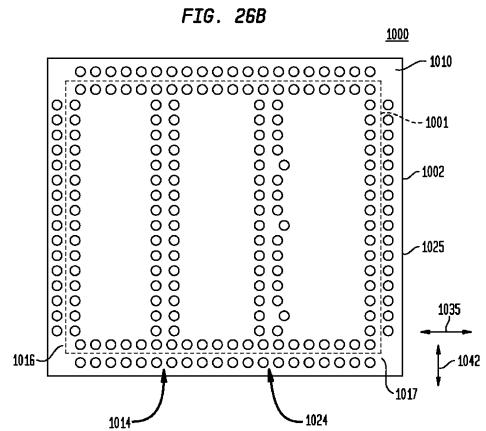


FIG. 25

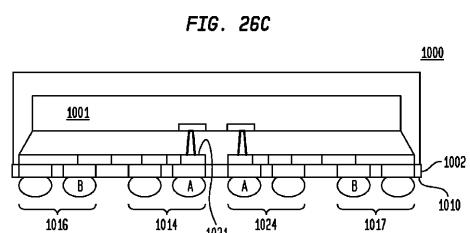
【図26A】



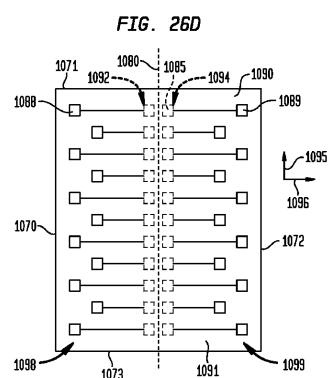
【図26B】



【図26C】

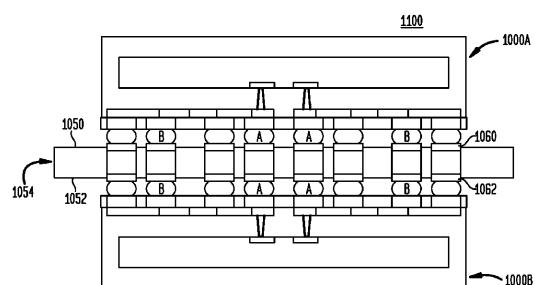


【図26D】

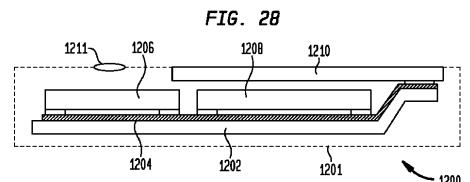


【図27】

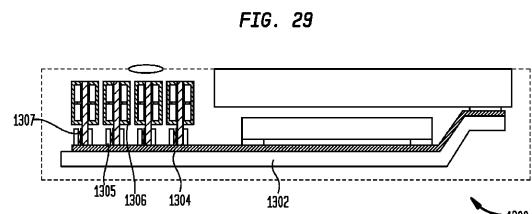
FIG. 27



【図28】



【図29】



## フロントページの続き

(51)Int.Cl.	F I
H 01 L 25/07 (2006.01)	G 11 C 5/00 303 A
H 01 L 27/10 (2006.01)	
G 11 C 5/00 (2006.01)	

(31)優先権主張番号 61/600,483  
 (32)優先日 平成24年2月17日(2012.2.17)  
 (33)優先権主張国 米国(US)

## 早期審査対象出願

(74)代理人 100142996  
 弁理士 森本 聰二  
 (74)代理人 100154298  
 弁理士 角田 恭子  
 (74)代理人 100166268  
 弁理士 田中 祐  
 (74)代理人 100170379  
 弁理士 徳本 浩一  
 (74)代理人 100161001  
 弁理士 渡辺 篤司  
 (74)代理人 100179154  
 弁理士 児玉 真衣  
 (74)代理人 100180231  
 弁理士 水島 亜希子  
 (74)代理人 100184424  
 弁理士 増屋 徹  
 (72)発明者 クリストフ・リチャード・デューイット  
 アメリカ合衆国カリフォルニア州95134,サン・ノゼ,オーチャード・パークウェイ 302  
 5  
 (72)発明者 ゾーニ,ワエル  
 アメリカ合衆国カリフォルニア州95134,サン・ノゼ,オーチャード・パークウェイ 302  
 5  
 (72)発明者 ハーバ,ベルガセム  
 アメリカ合衆国カリフォルニア州95070,サラトガ,ミラー・コート 19487  
 (72)発明者 ランブレクト,フランク  
 アメリカ合衆国カリフォルニア州94040,マウンテン・ビュー,カリフォルニア 2025,  
 #23

審査官 石坂 博明

(56)参考文献 特開平11-087640(JP,A)  
 特開2007-013146(JP,A)  
 特開2008-016666(JP,A)  
 特開2000-315776(JP,A)  
 特開2002-083897(JP,A)  
 特開2007-149977(JP,A)  
 特開2003-051545(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 01 L 21/60  
23/12 - 23/15  
25/00 - 25/07  
25/10 - 25/11  
25/16 - 25/18  
27/10  
G 11 C 5/00