

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3967002号

(P3967002)

(45) 発行日 平成19年8月29日(2007.8.29)

(24) 登録日 平成19年6月8日(2007.6.8)

(51) Int. Cl.	F I
<b>H03K 19/0175 (2006.01)</b>	H03K 19/00 101F
<b>G06F 1/26 (2006.01)</b>	G06F 1/00 330D
<b>G11C 11/417 (2006.01)</b>	G11C 11/34 305
<b>G11C 11/413 (2006.01)</b>	G11C 11/34 335A
<b>G11C 11/41 (2006.01)</b>	G11C 11/34 345
請求項の数 18 (全 76 頁) 最終頁に続く	

(21) 出願番号	特願平10-173363	(73) 特許権者	503121103
(22) 出願日	平成10年6月19日(1998.6.19)		株式会社ルネサステクノロジ
(65) 公開番号	特開平11-150469		東京都千代田区大手町二丁目6番2号
(43) 公開日	平成11年6月2日(1999.6.2)	(74) 代理人	100064746
審査請求日	平成17年6月10日(2005.6.10)		弁理士 深見 久郎
(31) 優先権主張番号	特願平9-246643	(74) 代理人	100085132
(32) 優先日	平成9年9月11日(1997.9.11)		弁理士 森田 俊雄
(33) 優先権主張国	日本国(JP)	(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100098316
			弁理士 野田 久登
		(74) 代理人	100109162
			弁理士 酒井 将行
		最終頁に続く	

(54) 【発明の名称】 半導体集積回路

(57) 【特許請求の範囲】

【請求項1】

第1のノードと出力ノードとの間に接続され、与えられた内部信号に従って前記出力ノードと前記第1のノードとを電気的に接続する第1の絶縁ゲート型電界効果トランジスタ、

第2のノードと前記出力ノードとの間に接続され、前記内部信号に従って前記第1の絶縁ゲート型電界効果トランジスタと相補的に導通状態となり、導通時、前記第2のノードと前記出力ノードとを電気的に接続する第2の絶縁ゲート型電界効果トランジスタ、

高入力インピーダンス有する入力部に基準電圧を受け、前記基準電圧と第1の電圧源の電圧との間の電圧レベルの一定電圧を生成する第1の電圧発生回路、

前記第1の電圧発生回路の出力電圧と前記第1のノードの電圧との差に従って前記第1の電圧源から前記第1のノードに電流を供給する第1の内部電源回路、

前記基準電圧を高入力インピーダンスの入力に受け、前記基準電圧と第2の電圧源の電圧との間の電圧レベルの一定電圧を生成する第2の電圧発生回路、

前記第2の電圧発生回路の出力電圧と前記第2のノード上の電圧の差に応じて前記第2のノードから前記第1の電圧源と異なる第2の電圧源へ電流を供給する第2の内部電源回路、

前記第1のノードに結合され、前記第1のノードの電圧を安定化するための第1の容量素子、および

前記第1の容量素子と別に設けられ、前記第2のノードに結合されて前記第2のノード

10

20

の電圧を安定化するための第 2 の容量素子を備える、半導体集積回路。

【請求項 2】

前記第 1 の内部電源回路は、

前記第 1 の電圧源ノードと前記第 1 のノードとの間に結合される第 3 の絶縁ゲート型電界効果トランジスタと、

前記第 1 の電圧発生回路の出力電圧と前記第 1 のノード上の電圧を比較し、該比較結果に応じた信号を前記第 3 の絶縁ゲート型電界効果トランジスタのゲートへ与える第 1 の比較回路とを備え、

前記第 2 の内部電源回路は、

前記第 2 の電圧源と前記第 2 のノードとの間に結合されかつ前記第 3 の絶縁ゲート型電界効果トランジスタと導電型の異なる第 4 の絶縁ゲート型電界効果トランジスタと、

前記第 2 のノード上の電圧と前記第 2 の電圧発生回路の出力電圧とを比較し、該比較結果に応じた信号を前記第 4 の絶縁ゲート型電界効果トランジスタのゲートへ与える第 2 の比較回路とを備える、請求項 1 記載の半導体集積回路。

【請求項 3】

前記第 1 の内部電源回路は、前記第 1 のノードと前記第 1 の電圧源との間に結合され、かつそのゲートに前記第 1 の電圧発生回路の出力電圧を受ける第 3 の絶縁ゲート型電界効果トランジスタを備え、

前記第 2 の内部電源回路は、前記第 2 のノードと前記第 2 の電圧源との間に結合されかつそのゲートに前記第 2 の電圧発生回路の出力電圧を受ける第 4 の絶縁ゲート型電界効果トランジスタを備える、請求項 1 記載の半導体集積回路。

【請求項 4】

前記第 1 の電圧発生回路は、

前記第 1 の電圧源と前記第 2 の電圧源との間に直列に接続される抵抗素子と少なくとも 1 個のダイオード接続される絶縁ゲート型電界効果トランジスタと前記基準電圧をそのゲートに受ける絶縁ゲート型電界効果トランジスタとの直列体とを備え、

前記第 1 の電圧源には前記第 1 の電源の電圧以上の電圧が与えられ、かつ前記第 2 の電圧源には前記第 2 の電源の電圧以下の電圧が与えられ、

前記第 1 のノードの電圧レベルを決定する電圧が、前記抵抗素子と前記少なくとも 1 個のダイオード接続される絶縁ゲート型電界効果トランジスタとの接続ノードに発生される、請求項 1 記載の半導体集積回路。

【請求項 5】

前記第 2 の電圧発生回路は、

前記第 1 の電圧源と前記第 2 の電圧源との間に直列に接続される、前記基準電圧をゲートに受ける絶縁ゲート型電界効果トランジスタと少なくとも 1 個のダイオード接続される絶縁ゲート型電界効果トランジスタと抵抗素子との直列体を備え、

前記第 1 の電圧源には前記第 1 の電源の電圧以上の電圧が供給され、かつ前記第 2 の電圧源には前記第 2 の電源の電圧以下の電圧が供給され、

前記第 2 の電圧源の電圧レベルを決定する電圧が、前記少なくとも 1 個のダイオード接続される絶縁ゲート型電界効果トランジスタと前記抵抗素子の接続ノードに発生される、請求項 1 記載の半導体集積回路。

【請求項 6】

前記第 1 の電圧発生回路は、

前記第 1 の内部電源回路の入力ノードに結合され、前記第 1 の内部電源回路の入力ノードに与えられる電圧に応じた電圧を発生する比較電圧発生器と、

前記基準電圧と前記比較電圧発生器の出力電圧とを比較する比較器と、

前記第 1 の電圧源の電圧以上の電圧が供給されるドライブノードと前記第 1 の内部電源回路の入力ノードとの間に接続され、前記比較器の出力信号に従って前記ドライブノードから前記第 1 の内部電源回路の入力ノードへ電流を供給するドライブ素子とを備える、請求項 1 記載の半導体集積回路。

10

20

30

40

50

## 【請求項 7】

前記第 2 の電圧発生回路は、

前記第 2 の内部電源回路の入力ノードに結合され、前記第 2 の内部電源回路の入力ノードの電圧に応じた電圧を発生する比較電圧発生器と、

前記基準電圧と前記比較電圧発生器の出力電圧とを比較する比較器と、

前記第 2 の電圧源の電圧以下の電圧が供給されるドライブノードと前記第 2 の内部電源回路の入力ノードとの間に接続され、前記比較器の出力信号に従って前記第 2 の内部電源回路の入力ノードから前記ドライブノードへ電流を流すドライブ素子を備える、請求項 1 記載の半導体集積回路。

## 【請求項 8】

10

行列状に配列される複数のスタックトキャパシタ型メモリセルと、

各前記行に対応して配置され、各々に対応の行のメモリセルに接続される複数のワード線と、

各前記列に対応して配置され、各々に対応の列のメモリセルに接続される複数の対のビット線とをさらに備え、

前記第 1 および第 2 の容量素子の各々は、

第 1 導電型の半導体基板領域と、

前記半導体基板領域表面に互いに離れて配置され、前記メモリセルの対応のビット線に電氣的に接続する領域に対応する第 1 の不純物領域と、前記メモリセルのキャパシタに電氣的に接続される領域に対応する第 2 の不純物領域とを含む複数の第 1 導電型の不純物領域と、

20

前記キャパシタの一方電極と同層に互いに離れて形成され、各々が前記第 2 の不純物領域にそれぞれ電氣的に接続される複数の第 1 導電配線と、

前記ビット線と同層に形成されかつ前記第 1 の不純物領域に電氣的に結合されるビット線相当導電配線と、

前記半導体基板領域上に前記ワード線と同一層に形成されるワード線相当導電配線と、

前記キャパシタの他方電極と同一層に前記第 1 の導電配線を覆うように形成される第 2 の導電配線とを備え、

前記半導体基板領域が前記容量素子の一方電極とされ、かつ前記第 2 の導電配線が前記容量素子の他方電極として用いられる、請求項 1 記載の半導体集積回路。

30

## 【請求項 9】

行列状に配列される複数のスタックトキャパシタ型メモリセルと、

各前記行に対応して配置され、各々が対応の行のメモリセルに接続される複数のワード線と、

各前記列に対応して配置され、各々が対応の列のメモリセルに接続される複数対のビット線とをさらに備え、

前記第 1 および第 2 の容量素子の各々は、

半導体基板領域と

前記半導体基板領域上に前記ワード線と同一層に形成されるワード線相当導電配線と、

前記ビット線と同層にかつ前記ワード線相当導電配線上に対向して形成されるビット線相当導電配線と、

40

前記ビット線相当導電配線上に互いに離れて前記メモリセルのキャパシタの一方電極層と同一層に形成されかつ前記ビット線相当導電配線に電氣的に接続される複数の第 1 導電配線と、

前記メモリセルのキャパシタの他方電極と同層に前記第 1 の導電配線を覆うように形成される第 2 の導電配線とを備え、

前記ビット線相当導電配線と前記半導体基板領域と前記複数の第 1 導電配線が電氣的に結合されて前記容量素子の一方電極を構成し、前記ワード線相当導電配線および前記第 2 導電配線が電氣的に結合されて前記容量素子の他方電極を構成する、請求項 1 記載の半導体集積回路。

50

## 【請求項 10】

行列状に配列される複数のスタックトキャパシタ型メモリセルと、  
各前記行に対応して設けられ、各々が対応の行のメモリセルに接続される複数のワード線と、

各前記列に対応して設けられ、各々が対応の列のメモリセルに接続する複数対のビット線とをさらに備え、

前記第 1 および第 2 の容量素子の各々は、

第 1 導電型の半導体基板領域と、

前記半導体基板表面周辺部に形成される第 2 導電型の第 1 の不純物領域と、

前記半導体基板領域の周辺部に前記第 1 の不純物領域に隣接して形成される第 1 導電型の第 2 の不純物領域と、

前記半導体基板領域上にわたって前記ワード線と同一層に形成されるワード線相当導電配線と、

前記ワード線相当導電配線上に互いに離れてかつ前記メモリセルのキャパシタの一方電極層と同一層に形成されかつさらに前記ワード線相当導電配線に電氣的に接続される複数の第 1 導電配線と、

前記メモリセルのキャパシタの他方電極と同層に前記第 1 導電配線を覆うように形成される第 2 の導電配線とを備え、

前記第 1 導電配線が前記容量素子の一方電極ノードに電氣的に接続され、前記第 2 導電配線ならびに前記第 1 および第 2 不純物領域が前記容量素子の他方電極ノードに電氣的に接続される、請求項 1 記載の半導体集積回路。

## 【請求項 11】

第 1 のノードと出力ノードとの間に接続され、与えられた内部信号に従って前記出力ノードと前記第 1 のノードとを電氣的に接続する第 1 の絶縁ゲート型電界効果トランジスタ、

第 2 のノードと前記出力ノードとの間に接続され、前記内部信号に従って前記第 1 の絶縁ゲート型電界効果トランジスタと相補的に導通状態となり、導通時、前記第 2 のノードと前記出力ノードとを電氣的に接続する第 2 の絶縁ゲート型電界効果トランジスタ、

高入力インピーダンス有する入力部に基準電圧を受け、前記基準電圧と第 1 の電圧源の電圧との間の電圧レベルの一定電圧を生成する第 1 の電圧発生回路、

前記第 1 の電圧発生回路の出力電圧と前記第 1 のノードの電圧との差に従って前記第 1 の電圧源から前記第 1 のノードに電流を供給する第 1 の内部電源回路、

前記基準電圧を高入力インピーダンスの入力に受け、前記基準電圧と第 2 の電圧源の電圧との間の電圧レベルの一定電圧を生成する第 2 の電圧発生回路、および

前記第 2 の電圧発生回路の出力電圧と前記第 2 のノード上の電圧の差に応じて前記第 2 のノードから前記第 1 の電圧源と異なる第 2 の電圧源へ電流を供給する第 2 の内部電源回路を備え、

前記出力ノードは、複数個設けられ、各前記出力ノードに対して、前記第 1 および第 2 の絶縁ゲート型電界効果トランジスタの対が配置されて対応の出力ノードに結合され、

前記第 1 および第 2 のノードは、前記複数個設けられる出力ノードに対して共通に設けられる、半導体集積回路。

## 【請求項 12】

第 1 のノードと出力ノードとの間に接続され、与えられた内部信号に従って前記出力ノードと前記第 1 のノードとを電氣的に接続する第 1 の絶縁ゲート型電界効果トランジスタ、

第 2 のノードと前記出力ノードとの間に接続され、前記内部信号に従って前記第 1 の絶縁ゲート型電界効果トランジスタと相補的に導通状態となり、導通時、前記第 2 のノードと前記出力ノードとを電氣的に接続する第 2 の絶縁ゲート型電界効果トランジスタ、

高入力インピーダンス有する入力部に基準電圧を受け、前記基準電圧と第 1 の電圧源の電圧との間の電圧レベルの一定電圧を生成する第 1 の電圧発生回路、

10

20

30

40

50

前記第1の電圧発生回路の出力電圧と前記第1のノードの電圧との差に従って前記第1の電圧源から前記第1のノードに電流を供給する第1の内部電源回路、

前記基準電圧を高入力インピーダンスの入力に受け、前記基準電圧と第2の電圧源の電圧との間の電圧レベルの一定電圧を生成する第2の電圧発生回路、

前記第2の電圧発生回路の出力電圧と前記第2のノード上の電圧の差に応じて前記第2のノードから前記第1の電圧源と異なる第2の電圧源へ電流を供給する第2の内部電源回路、および

当該半導体集積回路が形成される半導体チップの外部に個別的に配置される第1および第2の容量素子を、それぞれ前記第1および第2のノードに結合するための接続ノードを備える、半導体集積回路。

10

【請求項13】

第1の電圧源上の電圧よりも低い電圧を発生して第1のノードへ伝達する第1の電圧発生回路、

第2の電圧源上の電圧よりも高い電圧を発生して第2のノードへ伝達する第2の電圧発生回路、

前記第1および第2のノードの間に接続され、与えられた内部信号に従って前記第1および第2のノードの電圧の一方の電圧を出力ノードへ伝達する出力回路、

前記第1のノードに結合され、前記第1のノードの電圧を安定化するための第1の容量素子、

前記第2のノードに結合され、前記第2のノードの電圧を安定化するための第2の容量素子、および

20

前記第1および第2のノードの間に接続される第3の容量素子を備える、半導体集積回路。

【請求項14】

前記第1および第2の容量素子は、容量値が互いに等しい、請求項13記載の半導体集積回路。

【請求項15】

前記第1のノードに結合される、前記第1の容量素子と同一の容量値を有する第4の容量素子と、

前記第2のノードに結合される、前記第2の容量素子と同一の容量値を有する第5の容量素子をさらに備え、

30

前記第1および第2の容量素子は、容量値が互いに等しい、請求項13記載の半導体集積回路。

【請求項16】

第1の電圧源上の電圧よりも低い電圧を発生して第1のノードに伝達する第1の電圧発生回路、

第2の電圧源上の電圧よりも高い電圧を発生して第2のノードに伝達する第2の電圧発生回路、

前記第1および第2のノードの電圧を動作電源電圧として受け、与えられた内部信号に従って出力ノードを駆動する出力回路、

40

前記第1のノードと前記第1の電圧源電圧と同一極性の電圧を受ける第1の基準ノードとの間に接続される第1の容量素子、

前記第2のノードと前記第2の電圧源電圧と同一極性の電圧を受ける第2の基準ノードとの間に接続される第2の容量素子、

前記第1のノードと前記第2の基準ノードとの間に接続される第3の容量素子、および前記第2のノードと前記第1の基準ノードとの間に接続される第4の容量素子を備える、半導体集積回路。

【請求項17】

複数のメモリセルを有するメモリセルアレイ、

前記メモリアレイの選択メモリセルとの間でデータを転送する複数の内部データバス線

50

、および

前記複数の内部データバス線を介して前記メモリアレイとデータの転送を行う処理回路をさらに備え、

前記出力回路が、前記複数の内部データバス線各々に対応して前記メモリアレイと前記処理回路との間に設けられる、請求項 1 3 または 1 6 に記載の半導体集積回路。

【請求項 1 8】

第 1 のノードと出力ノードとの間に接続され、与えられた内部信号に従って前記出力ノードと前記第 1 のノードとを電氣的に接続する第 1 の絶縁ゲート型電界効果トランジスタ

、  
第 2 のノードと前記出力ノードとの間に接続され、前記内部信号に従って前記第 1 の絶縁ゲート型電界効果トランジスタと相補的に導通状態となり、導通時、前記第 2 のノードと前記出力ノードとを電氣的に接続する第 2 の絶縁ゲート型電界効果トランジスタ、

高入力インピーダンス有する入力部に基準電圧を受け、前記基準電圧と第 1 の電圧源の電圧との間の電圧レベルの一定電圧を生成する第 1 の電圧発生回路、

前記第 1 の電圧発生回路の出力電圧と前記第 1 のノードの電圧との差に従って前記第 1 の電圧源から前記第 1 のノードに電流を供給する第 1 の内部電源回路、

前記基準電圧を高入力インピーダンスの入力に受け、前記基準電圧と第 2 の電圧源の電圧との間の電圧レベルの一定電圧を生成する第 2 の電圧発生回路、

前記第 2 の電圧発生回路の出力電圧と前記第 2 のノード上の電圧の差に応じて前記第 2 のノードから前記第 1 の電圧源と異なる第 2 の電圧源へ電流を供給する第 2 の内部電源回路、

複数のメモリセルを有するメモリセルアレイ、

前記メモリアレイの選択メモリセルとの間でデータを転送する複数の内部データバス線、および

前記複数の内部データバス線を介して前記メモリアレイとデータの転送を行う処理回路を備え、

前記第 1 および第 2 の絶縁ゲート型電界効果トランジスタの対で構成される出力手段が前記複数の内部データバス線各々に対応して前記メモリアレイと前記処理回路との間に設けられる、半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、論理回路および/または記憶回路を含む半導体装置における出力回路に関し、特に、半導体集積回路チップの出力段に設けられて、高速かつ安定に信号を伝達するための出力回路の構成に関する。

【0002】

【従来の技術】

半導体集積回路の動作が高速化されるに従い、複数の集積回路装置間で伝達される信号も応じて高速で転送される。この場合、転送される信号の遷移時間（上昇時間および下降時間）を短くする必要がある。信号振幅が大きい場合、信号線間の容量結合に起因するクロストークノイズ、信号のリングングを生じさせるスイッチングノイズ、信号線の高速充放電に伴う電磁放射、および消費電力増大などの問題が顕著となる。このような問題を解決するために、信号振幅を小さくして信号を伝送する方法が種々考えられており、信号入力側に終端抵抗を設け、この終端抵抗により信号振幅を小さくする方法が知られている。このような信号振幅を抑制する方法として、SSTL 3 (Stub Series Terminated Logic for 3.3V) のクラス I 方式などが提案されている。

【0003】

また、このような振幅制限回路としては、特開平 6 - 3 2 6 5 9 1 号公報に示される回路がある。

【0004】

10

20

30

40

50

しかしながら、このような終端抵抗を用いて信号振幅を制限する場合、出力回路に含まれるトランジスタ（MOSトランジスタ）の導通時の抵抗（オン抵抗）と終端抵抗の抵抗比で信号レベルが決定されるが、この終端抵抗から伝送路を介して出力回路の導通状態のトランジスタを介して直流電流が流れ、消費電流が増加するという問題が生じる。

【0005】

また、終端抵抗の抵抗値は、伝送ラインの固有インピーダンスの値により決定されている（信号の反射による波形歪みが生じないようにインピーダンスマッチングを実現するためである）。したがって、信号振幅が決定された場合、この終端抵抗の抵抗値が予め定められているため、応じて必要とされる振幅制限を実現するために、この出力回路の最終出力段のトランジスタのオン抵抗がほぼ一意的に決定される。不飽和領域においてMOSトランジスタのドレイン電流とドレイン・ソース間電圧の比は、チャネル幅とチャネル長の比の関数で与えられる。したがって、オン抵抗が決定されると、この係数の値も決まり、応じてこの出力MOSトランジスタの電流駆動力も予め決定される。したがって、その出力回路のファンアウトが制限され、数多くの回路を高速で駆動することが困難となる。

10

【0006】

上述のような終端抵抗を用いて小振幅動作を実現する構成における問題点を解消するために、出力回路の動作電源電圧レベルを調整して、出力回路自身が出力信号振幅を制限する構成が提案されている（たとえば特開平6-326591号公報参照）。

【0007】

図65は、従来の半導体集積回路装置の出力部の構成を示す図であり、たとえば上述の先行技術文献に示されている。

20

【0008】

図65において、従来の半導体集積回路装置CHは、内部で生成された基準電圧 $V_{TT}$ に従って、電源電圧 $V_{CC}$ よりも低い内部電源電圧 $V_{CC1}$ を生成する電源回路PW1と、基準電圧 $V_{TT}$ に従って接地電圧 $V_{SS}$ よりも高い他方内部電源電圧 $V_{SS1}$ を生成する電源回路PW2と、この内部電源線CL上の内部電源電圧 $V_{CC1}$ および内部接地線SL上の他方電源電圧 $V_{SS1}$ を両動作電源電圧として動作し、内部からの信号NIに従って出力ノードNDを駆動して図示しない相手方チップへ伝達される出力信号OUTを生成する出力回路OBを含む。内部電源線CLと内部接地線SLの間には、安定化容量Cが接続される。

30

【0009】

出力回路OBは、pチャネルMOSトランジスタQaとnチャネルMOSトランジスタQbとからなるCMOインバータで構成される。

【0010】

電源回路PW1およびPW2が生成する内部電源電圧 $V_{CC1}$ および $V_{SS1}$ の電圧レベルは、相手方チップに設けられた終端抵抗の抵抗値とMOSトランジスタQaおよびQbのオン抵抗とこの出力信号OUTの出力電圧 $V_{OUT}$ および相手方チップにおける入力信号電圧 $V_{IN}$ の電圧から決定される。

【0011】

基準電圧 $V_{TT}$ は、電源電圧 $V_{CC}$ の中間電圧の $V_{CC}/2$ の電圧レベルに設定される（ $V_{SS}=0V$ ）。次に、この図65に示す半導体集積回路装置の信号出力動作を図66に示す信号波形図を参照して説明する。

40

【0012】

電源回路PW1は、電源電圧 $V_{CC}$ よりも低い内部電源電圧 $V_{CC1}$ を出力し、また電源回路PW2は、この接地電圧 $V_{SS}$ よりも高い他方内部電源電圧 $V_{SS1}$ を出力している。内部回路は、電源電圧 $V_{CC}$ および接地電圧 $V_{SS}$ を両動作電源電圧として動作しており、内部信号NIは、この電源電圧 $V_{CC}$ と接地電圧 $V_{SS}$ の間で変化する。

【0013】

内部信号NIがLレベルのときには、出力回路OBにおいて、MOSトランジスタQaがオン状態、MOSトランジスタQbがオフ状態にあり、出力信号OUTは、終端抵抗とこ

50

のM O SトランジスタQ aのオン抵抗とにより決定される電圧レベルに保持される。内部信号N IがLレベルからHレベルに立上がると、M O SトランジスタQ aがオフ状態へ移行し、M O SトランジスタQ bがオン状態へ移行する。この内部信号N Iと他方電源電圧V S S 1の電圧差がM O SトランジスタQ bのしきい値電圧よりも高くなると、出力ノードN Dの放電が開始され、出力信号O U Tの電圧レベルが低下する。最終的に、この出力信号O U Tは、終端抵抗とM O SトランジスタQ bのオン抵抗の比により決定される電圧レベルに落ちつく。終端抵抗が存在しない場合には、この出力信号O U TのHレベル( V O H )は、内部電源電圧V C C 1の電圧レベルであり、また終端抵抗が存在しない場合には、出力信号O U TのLレベル( V O L )の電圧レベルは他方内部電源電圧V S S 1の電圧レベルである。

10

#### 【0014】

この図65に示す半導体集積回路装置の構成において、終端抵抗が存在する場合においては、内部電源電圧V C C 1およびV S S 1の電圧レベルを適当な値に設定することにより、M O SトランジスタQ aおよびQ bのオン抵抗の値を調整している。

#### 【0015】

たとえば図67に示すように、相手方チップC H aの入力部が、終端抵抗R Tを介して入力信号V I N(図65に示す集積回路装置C Hの出力信号O U T)を負入力に受け、かつ入力信号V I Nを正入力に受ける差動増幅器D Aを含む構成を考える。この差動増幅器D Aの負入力は、基準電圧V T Tに保持される。終端抵抗R Tは、出力信号O U Tが伝送される伝送路の特性インピーダンスに合わせてその抵抗値が決定される。今、この終端抵抗R Tの抵抗値を50 とし、図65に示す出力信号O U Tおよび入力信号V I NのLレベルがV T T - 400mVとし、また図65に示す出力回路O BのトランジスタQ aおよびQ bのオン抵抗を25 とする。この場合、低電位内部電源電圧V S S 1の値は、V T T - 600mVに設定する。同様に、出力信号O U Tおよび入力信号V I NのHレベルがV T T + 400mVのときには、内部電源電圧V C C 1は、V T T + 600mVに設定される。この場合、M O SトランジスタQ aおよびQ bのオン抵抗に合わせて内部電源電圧V C C 1およびV S S 1の電圧レベルが決定される。逆に言えば、この内部電源電圧V C C 1およびV S S 1の電圧レベルを変更することにより、M O SトランジスタQ aおよびQ bのオン抵抗を変更し、応じて電流駆動力を調整する。これにより、必要なファンアウトを実現することを図る。

20

30

#### 【0016】

また、この終端抵抗R Tが設けられていない場合には、この終端抵抗R Tおよび出力回路O Bに含まれるオン状態のM O Sトランジスタと基準電圧V T T源(相手方チップC H a内)の間に直流電流が流れるのを防止することを図る。この場合においても、内部電源電圧V C C 1およびV S S 1によりその出力信号O U Tの電圧レベルが決定され、応じて小振幅動作の実現を図る。

#### 【0017】

#### 【発明が解決しようとする課題】

図68は、図65に示す電源回路P W 1の構成を示す図である。図68において、電源回路P W 1は、電源線V LとノードN D bの間に直列に接続される高抵抗の抵抗素子R aおよびR bと、ノードN D bにゲートおよびドレインが接続されるnチャネルM O SトランジスタQ cと、ドレインが電源線V Lに接続されかつゲートがノードN D aに接続されるnチャネルM O SトランジスタQ dを含む。M O SトランジスタQ cは、そのソースに基準電圧V T Tを受ける。M O SトランジスタQ dは、そのソースが内部電源線C Lに接続され、この内部電源線C L上に内部電源電圧V C C 1を出力する。

40

#### 【0018】

この図68に示す電源回路P W 1の構成において、高抵抗抵抗素子R aおよびR bには微小電流が流れ、応じて、M O SトランジスタQ cがダイオードモードで動作する。したがって、ノードN D bの電圧レベルは、V T T + | V t h | で与えられる。ここで、V t hは、M O SトランジスタQ cのしきい値電圧を示す。抵抗素子R aおよびR bの接続ノード

50



ド N D a の電圧レベルは抵抗素子 R a および R b の抵抗比により決定される。今、抵抗素子 R a および R b の抵抗値が等しい場合、ノード N D a の電圧レベルは接地電圧 V S S を基準として次式で与えられる。

【 0 0 1 9 】

$$(V_{CC} + V_{TT} + V_{th}) / 2 = (3 / 4) V_{CC} + (V_{th} / 2)$$

出力段の M O S トランジスタ Q d は、そのゲート電圧が電源電圧 V C C よりも低い (  $V_{th} < V_{TT} = V_{CC} / 2$  )、ソースフォロワモードで動作し、したがって内部電源線 C L 上の内部電源電圧 V C C 1 は次式で与えられる。

【 0 0 2 0 】

$$V_{CC1} = (3 / 4) V_{CC} - (1 / 2) V_{th}$$

10

抵抗素子 R a および R b の抵抗比を適当な値に設定することにより、上式で示す内部電源電圧 V C C 1 の値を調整することができる。この場合、内部電源電圧 V C C 1 は、電源電圧 V C C の電圧レベルに応じて変化する。電源回路 P W 2 の構成も、この図 6 8 に示す電源回路と同様の構成であり、電圧極性およびトランジスタの導電型を変更すれば、実現される。この場合、低電位内部電源電圧 V S S 1 は次式で与えられる：

$$V_{TT} / 2 + V_{thp} / 2 = V_{CC} / 4 + V_{thp} / 2$$

ここで、V t h p は、p チャネル M O S トランジスタのしきい値電圧の絶対値を示す。したがって、これらのしきい値電圧 V t h および V t h p が等しければ、基準電圧 V T T (  $= V_{CC} / 2$  ) を中心として、上下それぞれの振幅が  $V_{CC} / 4 - V_{th} / 2$  である信号が出力される。

20

【 0 0 2 1 】

しかしながら、この図 6 8 に示す電源回路の構成の場合、電源線 V L から抵抗素子 R a および R b ならびに M O S トランジスタ Q c を介して電流が流れ、この基準電圧 V T T の電圧レベルが変化し、したがって、正確に、所望の電圧レベルに内部電源電圧 V C C 1 および V S S / の電圧レベルを設定することができなくなる。また、信号の高レベルおよび低レベルの中心から振幅が異なり、信号振幅の対称性が壊れるため、入力信号確定タイミングも H レベルおよび L レベルで異なるため、最悪ケースを想定して、入力信号判定タイミングを決定する必要があり、高速動作を保証することができなくなる。

【 0 0 2 2 】

また、出力回路からは数多くの半導体集積回路装置へ信号が伝達されるため、大きな電流が流れる。この場合、図 6 5 に示す安定化容量 C により、この消費電流を補償することが要求される。しかしながら、ファンアウトが大きい場合、大きな消費電流を補償するためには、大きな容量を有する安定化容量が必要とされる。しかしながら、このような安定化容量を、半導体集積回路装置上の限られた領域内で実現するのが困難であり、安定に内部電源電圧を生成することができなくなるという欠点が生じる。

30

【 0 0 2 3 】

また、この先行技術の構成においては、電源電圧 V C C および接地電圧 V S S の中間電圧 V T T は、半導体集積回路装置内部で生成されており、電源電圧 V C C / 2 の電圧レベルに設定される。したがって、半導体集積回路装置 ( 半導体チップ ) に、その内部電源電圧の変動が生じた場合、各半導体集積回路装置 ( 半導体チップ ) の基準電圧レベルが異なり、半導体集積回路装置間で信号の授受を行なう場合、その基準電圧レベルが異なるため、正確な信号の送受を行なうことができなくなるという問題が生じる。

40

【 0 0 2 4 】

また、近年、プロセッサまたはロジックとメモリが同じ半導体チップ上に集積化されるシステム L S I が開発されている。このようなシステム L S I においては、プロセッサまたはロジック ( 以下、処理回路と称す ) とメモリの間のデータバスの幅は十分大きくとることができる ( 同一半導体チップ上にこれらが設けられており、ピン端子数の制限がなくなるためである )。これにより、高速でデータを処理回路とメモリとの間で転送することができる。このようなビット幅の大きなバスを駆動する場合、内部データバスを駆動する回路が数多く同時に動作するため、消費電流が大きくなり、電源電圧が低下し、電源電圧に

50

対する動作マージンが減少する可能性がある。これは、接地電圧についても同様である。また、システム L S I においては、内部データは、通常、クロック信号に同期して転送されるため、内部データバス線の充放電周波数が高く、半導体チップからのこの高速の充放電に起因する E M I (電磁放射) が大きくなり、近くで利用される電子機器の誤動作が生じる可能性がある。

【 0 0 2 5 】

また、このように消費電流が大きい場合、発熱量も大きくなり、システム L S I の信頼性が低下する(発熱による誤動作または内部配線の断線等)。

【 0 0 2 6 】

それゆえ、この発明の目的は常に安定に一定の電圧レベルを中心とした振幅を有する出力信号を生成することのできる半導体集積回路を提供することである。 10

【 0 0 2 7 】

この発明の他の目的は、電源電圧に依存しない電圧レベルを中心とした信号振幅を有する信号を出力することのできる半導体集積回路を提供することである。

【 0 0 2 8 】

この発明の他の目的は、面積効率に優れた安定化容量を備える出力信号振幅制限機能を実現する半導体集積回路を提供することである。

【 0 0 2 9 】

この発明のさらに他の目的は、信号出力時においても、安定に所望の電圧レベルの信号を出力することのできる半導体集積回路を提供することである。 20

【 0 0 3 0 】

この発明のさらに他の目的は、信号出力時においても、その動作電源電圧の変動が十分に抑制された安定に出力信号を生成することのできる半導体集積回路を提供することである。

【 0 0 3 1 】

この発明のさらに他の目的は、消費電流を増加させることなく安定にデータの転送を行なうことのできる処理回路およびメモリが集積化された半導体集積回路を提供することである。

【 0 0 3 2 】

【課題を解決するための手段】

請求項 1 に係る回路は、第 1 のノードと出力ノードとの間に結合され、内部信号に従って出力ノードと第 1 のノードとを電氣的に接続する第 1 の M O S トランジスタと、第 2 のノードと出力ノードとの間に結合され、この内部信号に従って第 1 の M O S トランジスタと相補的に導通して出力ノードと第 2 のノードとを電氣的に接続する第 2 の M O S トランジスタと、高入力インピーダンスを有する入力部に基準電圧を受け、この基準電圧と第 1 の電圧源ノードの電圧との間の一定電圧を生成する第 1 の電圧発生手段と、高入力インピーダンスを有する入力部に基準電圧を受け、この基準電圧と第 2 の電圧源ノードの電圧との間の一定電圧を生成する第 2 の電圧発生手段と第 1 の電圧発生手段の出力電圧と第 1 のノード上の電圧の差に応じて第 1 の電圧源から第 1 のノードへ電流を供給する第 1 の内部電源手段と、第 2 の電圧発生手段の出力電圧と第 2 のノード上の電圧との差に応じて第 2 のノードから第 1 の電圧源と異なる第 2 の電圧源へ電流を流す第 2 の内部電源手段とを備える。 30 40

【 0 0 3 3 】

請求項 1 に係る回路は、第 1 のノードに結合され、この第 1 のノードの電圧を安定化するための第 1 の容量素子と、第 2 のノードに結合され、この第 2 のノードの電圧を安定化するための第 1 の容量素子とは別に設けられる第 2 の容量素子をさらに備える。

【 0 0 3 4 】

請求項 2 に係る回路は、請求項 1 の第 1 の内部電源手段が、第 1 の電圧源と第 2 のノードの間に結合される第 3 の M O S トランジスタと、第 1 のノード上の電圧と第 1 の電圧発生手段からの電圧とを比較し、該比較結果を示す信号をこの第 3 の M O S トランジスタの 50

ゲートへ与える第1の比較回路とを備え、第2の内部電源手段が、第2のノードと第1の電圧源と異なる第2の電圧源との間に結合される第4のMOSトランジスタと、第2のノード上の電圧と第2の電圧発生手段の出力電圧とを比較し、その比較結果に従う信号を第4のMOSトランジスタのゲートへ印加する第2の比較回路を備える。

【0035】

請求項3に係る回路は、請求項1の内部電源手段が、第1のノードと第1の電圧源との間に接続され、第1の電圧発生手段からの電圧をゲートに受ける第3のMOSトランジスタを備え、第2の内部電源手段が、第2のノードと第1の電圧源と異なる第2の電圧源との間に結合され、第2の電圧発生手段の出力電圧をゲートに受ける第4のMOSトランジスタを備える。

10

【0036】

請求項4に係る回路は、請求項1の第1の電圧発生手段が、第1の電圧源の電圧以上の所定の電圧が供給される第1の電源ノードとこの第2の電圧源の電圧以下の電圧が供給される第2の電源ノードとの間に互いに直列に接続される、抵抗素子、少なくとも1個のダイオード接続されたMOSトランジスタの直列体および基準電圧をゲートに受けるMOSトランジスタを備える。抵抗素子と少なくとも1個のトランジスタの接続点から第1のノードの電圧を規定する電圧が出力される。

【0037】

請求項5に係る回路は、請求項1の第2の電圧発生手段が、第1の電圧源の電圧以上の所定電圧が供給される第1の電源ノードと第2の電圧源の電圧以下の電圧が供給される第2の電源ノードとの間に互いに直列に接続される基準電圧をゲートに受けるMOSトランジスタと、少なくとも1個のダイオード接続されたMOSトランジスタと、抵抗素子とを含む。少なくとも1個のトランジスタと抵抗素子との接続ノードから第2のノードの電圧を規定する電圧が出力される。

20

【0052】

請求項6に係る回路は、請求項1の第1の電圧発生手段が、第1の内部電源手段の入力ノードの電圧に対応する電圧を発生する比較電圧発生手段と、基準電圧とこの比較電圧発生手段の出力電圧とを比較する比較手段と、第1の電圧源の電圧以上の電圧が印加されるドライブノードと第1の内部電源手段の入力ノードの間に接続され、この比較手段の出力信号に従ってドライブノードから第1の内部電源手段の入力ノードへ電流を供給するドライブ素子を含む。

30

【0054】

請求項7に係る回路は、請求項1の第2の電圧発生手段が、第2の内部電源手段の入力ノードの電圧に対応する電圧を生成する比較電圧発生手段と、基準電圧とこの比較電圧発生手段の出力電圧とを比較する比較手段と、第2の電圧源の電圧以上の電圧が印加される電源ノードと第2の内部電源手段の入力ノードの間に接続され、この比較手段の出力信号に従って第2の内部電源手段の入力ノードから電源ノードへ電流を供給するドライブ素子を含む。

【0061】

請求項8に係る回路は、請求項1の回路がさらに、行列状に配列される複数のスタックトキャパシタ型メモリセルと、各行に対応して配置され、各々に対応の行のメモリセルが接続する複数のワード線と、各列に対応して配置され、各々に対応の列のメモリセルが接続する複数対のビット線とを有する。第1および第2の容量素子の各々は、第1導電型の半導体基板領域と、この半導体基板領域表面に互いに間をおいて形成される複数の第1導電型の不純物領域とを含む。これら複数の第1導電型の不純物領域は、メモリセルのビット線接続領域に相当する第1の不純物領域と、メモリセルのキャパシタが接続する不純物領域に相当する第2の不純物領域とを含む。

40

【0062】

この請求項8の回路は、請求項1の回路において、第1および第2の容量素子の各々がさらに、第1の不純物領域に電氣的に接続されかつビット線と同一層に形成されるビット

50

線相当導電配線と、キャパシタの一方電極と同一層に形成されかつ互いに離れて配置されかつ第2の不純物領域に電氣的に接続される複数の第1の導電配線と、基板領域上にワード線と同一層に形成されるワード線相当導電配線と、第1導電配線を覆うように形成されかつメモリセルのキャパシタの他方電極と同一層に形成される第2導電配線とを備える。この基板領域が容量素子の一方の電極として作用し、かつ第2の導電配線がこの容量素子の他方電極として作用する。

【0063】

請求項9に係る回路は、請求項1の回路が、さらに、行列状に配列される複数のスタックトキャパシタ型メモリセルと、各行に対応して配置され、各々に対応の行のメモリセルが接続する複数のワード線と、各列に対応して配置され、各々に対応の列のメモリセルが接続する複数の対のビット線とを備える。

10

【0064】

この請求項9に係る回路の第1および第2の容量素子の各々は、半導体基板領域と、この半導体基板領域上にわたってワード線と同一層に形成されるワード線相当導電配線と、このワード線相当導電配線上にかつこれと対向してビット線と同一層に形成されるビット線相当導電配線と、このビット線相当導電配線上に互いに間をおいてメモリセルのキャパシタの一方電極層と同一層に形成されかつこのビット線相当導電配線に電氣的に接続される複数の第1導電配線と、これら複数の第1導電配線を覆うようにメモリセルのキャパシタの他方電極と同一層に形成される第2導電配線とを備える。ビット線相当導電配線と基板領域とが相互接続されて容量素子の一方電極を形成しかつワード線相当導電配線と第2導電配線とが相互接続されてこの容量素子の他方電極を形成する。

20

【0065】

請求項10に係る回路は、請求項1の回路が、さらに、行列状に配列される複数のスタックトキャパシタ型メモリセルと、各行に対応して配置され、各々に対応の行のメモリセルが接続する複数のワード線と、各列に対応して配置され、各々に対応の列のメモリセルが接続する複数の対のビット線とを備える。

【0066】

この請求項10に係る回路における第1および第2の容量素子の各々が、第1導電型の半導体基板領域と、この半導体基板領域表面周辺部に形成される第2導電型の第1の不純物領域と、この半導体基板領域表面の周辺部に形成される第2導電型の第1の不純物領域と、この半導体基板領域表面の周辺部に第1の不純物領域に隣接して形成される第1導電型の第2の不純物領域と、この基板領域上にわたってワード線と同一層に形成されるワード線相当導電配線と、このワード線相当導電配線上に互いに離れてかつメモリセルのキャパシタの一方電極と同一層に形成されかつワード線相当導電配線に電氣的に接続される複数の第1導電配線と、この第1の導電配線を覆うようにかつメモリセルのキャパシタの他方電極と同一層に形成される第2導電配線を備える。この第1の導電配線が容量素子の一方電極を形成しかつ第2の導電配線ならびに第1および第2の不純物領域が、この容量素子の他方電極と電氣的に接続される。

30

請求項11に係る回路は、第1のノードと出力ノードとの間に接続され、与えられた内部信号に従って出力ノードと第1のノードとを電氣的に接続する第1の絶縁ゲート型電界効果トランジスタと、第2のノードと出力ノードとの間に接続され、内部信号に従って第1の絶縁ゲート型電界効果トランジスタと相補的に導通状態となり、導通時、第2のノードと前記出力ノードとを電氣的に接続する第2の絶縁ゲート型電界効果トランジスタと、高入力インピーダンス有する入力部に基準電圧を受け、この基準電圧と第1の電圧源の電圧との間の電圧レベルの一定電圧を生成する第1の電圧発生回路と、第1の電圧発生回路の出力電圧と第1のノードの電圧との差に従って第1の電圧源から第1のノードに電流を供給する第1の内部電源回路と、基準電圧を高入力インピーダンスの入力に受け、基準電圧と第2の電圧源の電圧との間の電圧レベルの一定電圧を生成する第2の電圧発生回路と、第2の電圧発生回路の出力電圧と第2のノード上の電圧の差に応じて第2のノードから第1の電圧源と異なる第2の電圧源へ電流を供給する第2の内部電源回路を備える。

40

50

出力ノードは、複数個設けられ、各出力ノードに対して、これらの第1および第2の絶縁ゲート型電界効果トランジスタの対が配置されて対応の出力ノードに結合される。第1および第2のノードは、これらの複数個設けられる出力ノードに対して共通に設けられる。

請求項12に係る半導体集積回路は、第1のノードと出力ノードとの間に接続され、与えられた内部信号に従って出力ノードと第1のノードとを電気的に接続する第1の絶縁ゲート型電界効果トランジスタと、第2のノードと出力ノードとの間に接続され、内部信号に従って第1の絶縁ゲート型電界効果トランジスタと相補的に導通状態となり、導通時、第2のノードと出力ノードとを電気的に接続する第2の絶縁ゲート型電界効果トランジスタと、高入力インピーダンス有する入力部に基準電圧を受け、この基準電圧と第1の電圧源の電圧との間の電圧レベルの一定電圧を生成する第1の電圧発生回路と、第1の電圧発生回路の出力電圧と第1のノードの電圧との差に従って第1の電圧源から第1のノードに電流を供給する第1の内部電源回路と、基準電圧を高入力インピーダンスの入力に受け、基準電圧と第2の電圧源の電圧との間の電圧レベルの一定電圧を生成する第2の電圧発生回路と、第2の電圧発生回路の出力電圧と第2のノード上の電圧の差に応じて第2のノードから第1の電圧源と異なる第2の電圧源へ電流を供給する第2の内部電源回路と、当該半導体集積回路が形成される半導体チップの外部に個別的に配置される第1および第2の容量素子を、それぞれ前記第1および第2のノードに結合するための接続ノードを備える。

#### 【0073】

請求項13に係る回路は、第1の電圧源の電圧よりも低い電圧を発生して第1のノードへ伝達する第1の電圧発生回路と、第2の電圧源の電圧よりも高い電圧を発生して第2のノードへ伝達する第2の電圧発生回路と、第1のノードと第2のノードとの間に接続され、与えられた内部信号に従って出力ノードへこの第1または第2のノード上の電圧の一方の電圧レベルの信号を伝達する出力回路と、第1のノードに接続される第1の容量素子と、第2のノードに接続される第2の容量素子と、第1のノードと第2のノードとの間に接続される第3の容量素子を備える。

#### 【0074】

請求項14に係る回路は、請求項13の第1および第2の容量素子の容量値が互いに等しくされる。

#### 【0075】

請求項15に係る回路は、請求項13の第1および第2の容量素子の容量値は互いに等しくされる。この請求項15に係る回路は、さらに、第1のノードに結合される、第1の容量素子と同じ容量値を有する第4の容量素子と、第2のノードに結合され、第2の容量素子と同じ容量値を有する第5の容量素子とを備える。

#### 【0080】

請求項16に係る回路は、第1の電圧源上の電圧よりも低い電圧を発生して第1ノードへ伝達する第1の電圧発生回路と、第2の電圧源上の電圧よりも高い電圧を発生して第2のノードへ伝達する第2の電圧発生回路と、第1および第2のノード上の電圧を両動作電源電圧として動作し、与えられた内部信号に従って出力ノードを駆動する出力回路と、第1のノードと第1の電圧源と同一極性の電圧を受ける第1基準ノードとの間に接続される第1の容量素子と、第2のノードと第2の電圧源の電圧と同じ極性の電圧を受ける第2の基準ノードとの間に接続される第2の容量素子と、第1のノードと第2の基準ノードとの間に接続される第3の容量素子と、第2のノードと第1の基準ノードとの間に接続される第4の容量素子とを備える。

#### 【0083】

請求項17に係る回路は、請求項13または16の回路が、さらに、複数のメモリアレイを有するメモリアレイと、このメモリアレイの選択メモリアレイとの間でデータを転送するための複数の内部データバス線と、これら複数の内部データバス線を介してメモリアレイとデータの転送を行う処理回路を備える。出力回路が、複数の内部データバス線それぞれ

に対応してメモリアレイと処理回路との間に配置される。

#### 【 0 0 8 4 】

請求項 1 8 に係る回路は、第 1 のノードと出力ノードとの間に接続され、与えられた内部信号に従って出力ノードと第 1 のノードとを電氣的に接続する第 1 の絶縁ゲート型電界効果トランジスタと、第 2 のノードと出力ノードとの間に接続され、内部信号に従って第 1 の絶縁ゲート型電界効果トランジスタと相補的に導通状態となり、導通時、第 2 のノードと前記出力ノードとを電氣的に接続する第 2 の絶縁ゲート型電界効果トランジスタと、高入力インピーダンス有する入力部に基準電圧を受け、この基準電圧と第 1 の電圧源の電圧との間の電圧レベルの一定電圧を生成する第 1 の電圧発生回路と、第 1 の電圧発生回路の出力電圧と第 1 のノードの電圧との差に従って第 1 の電圧源から第 1 のノードに電流を供給する第 1 の内部電源回路と、基準電圧を高入力インピーダンスの入力に受け、基準電圧と第 2 の電圧源の電圧との間の電圧レベルの一定電圧を生成する第 2 の電圧発生回路と、第 2 の電圧発生回路の出力電圧と第 2 のノード上の電圧の差に応じて第 2 のノードから第 1 の電圧源と異なる第 2 の電圧源へ電流を供給する第 2 の内部電源回路を備える。

10

この請求項 1 7 に係る回路は、さらに、複数のメモリセルを有するメモリアレイと、このメモリアレイの選択メモリセルとの間でデータを転送するための複数の内部データバス線と、これら複数の内部データバス線を介してメモリアレイとデータの転送を行う処理回路を備える。第 1 および第 2 の絶縁ゲート型電界効果トランジスタの対からなる出力手段が、複数の内部データバス線各々に対応してメモリアレイと処理回路との間に設けられる。

20

#### 【 0 0 9 2 】

高入力インピーダンスの入力部に基準電圧を受けて内部電源電圧を生成することにより、内部電源電圧発生動作が基準電圧に対し影響を及ぼすことがなく、応じて基準電圧が安定に所望の電圧レベルに保持され、これにより、安定に所望の電圧レベルを有する内部電源電圧を生成することができる。応じて、安定に所望の小振幅を有する出力信号を生成することができる。

#### 【 0 0 9 3 】

また、第 1 および第 2 のノード各々に対し並列に 2 つの容量素子を接続することにより、回路動作時においてこれら第 1 および第 2 のノードの電圧を安定化させることができ、安定に所望の電圧レベルの信号を出力することができる。

30

#### 【 0 0 9 4 】

#### 【 発明の実施の形態 】

#### 〔 実施の形態 1 〕

図 1 は、この発明の実施の形態 1 に従う半導体集積回路の信号出力部の構成を示す図である。図 1 において、この半導体集積回路 1 は、基準電圧  $V_{ref}$  を高入力インピーダンスを介して受け、この基準電圧  $V_{ref}$  に従って、基準電圧  $V_{ref}$  と電源電圧  $V_{CC}$  の間の電圧  $V_{Ca}$  を生成する第 1 の電圧発生回路 2 と、基準電圧  $V_{ref}$  を高入力インピーダンスを介して受け、この基準電圧  $V_{ref}$  に従って接地電圧  $V_{SS}$  と基準電圧  $V_{ref}$  の間の電圧  $V_{Sa}$  を生成する第 2 の電圧発生回路 3 と、電源電圧  $V_{CC}$  を供給する第 1 の電圧源  $V_{CC}$  (電圧源とその電圧を同じ符号で示す) と第 1 のノード 4 の間に接続され、この第 1 の電圧発生回路 2 から与えられる電圧  $V_{Ca}$  に従って内部電源電圧  $V_4$  を生成して第 1 のノード 4 に伝達する第 1 の電源回路 5 と、接地電圧  $V_{SS}$  を供給する第 2 の電圧源  $V_{SS}$  と第 2 のノード 7 の間に接続され、第 2 の電圧発生回路 3 からの電圧  $V_{Sa}$  に従って低電位内部電源電圧を生成して第 2 のノード 7 へ伝達する第 2 の電源回路 8 と、内部信号  $IN$  に従って、第 1 のノード 4 および第 2 のノード 7 上の電圧の一方を出力ノード 9 へ伝達する出力回路 10 を含む。

40

#### 【 0 0 9 5 】

第 1 の電源回路 5 は、第 1 の電圧源  $V_{CC}$  と第 1 のノード 4 の間に接続される p チャネル MOS トランジスタ 5 a と、第 1 の電圧発生回路 2 からの電圧  $V_{Ca}$  と第 1 のノード 4 上の高電位内部電源電圧  $V_4$  とを比較し、その比較結果に従って p チャネル MOS トランジ

50

スタ5 aのコンダクタンスを調整する比較回路5 bを含む。この比較回路5 bは、第1のノード4上の電圧V 4を正入力に受け、第1の電圧発生回路2からの電圧V C aを負入力に受ける差動増幅器で構成される。

【0096】

第2の電源回路8は、第2の電圧源V S Sと第2のノード7の間に接続されるnチャネルM O Sトランジスタ8 aと、第2の電圧発生回路3からの電圧V S aと第2のノード7上の電圧V 7とを比較し、その比較結果に従ってnチャネルM O Sトランジスタ8 aのコンダクタンスを調整する比較回路8 bを含む。比較回路8 bは、第2のノード7上の電圧V 7を正入力に受け、第2の電圧発生回路3からの電圧V S aを負入力に受ける差動増幅器で構成される。

10

【0097】

電圧V C aが第1のノード4上の電圧よりも高い場合には、比較回路5 bの出力信号がその電圧V C aおよびV 4の差に応じてLレベルとなり、M O Sトランジスタ5 aのコンダクタンスが増加し、第1の電圧源V C Cから第1のノード4へ電流を供給し、電圧V 4の電圧レベルを上昇させる。一方、電圧V 4が電圧V C aよりも高い場合には、この比較回路5 bの出力信号はHレベルとなり、M O Sトランジスタ5 aはオフ状態となり、第1の電圧源V C Cから第1のノード4への電流経路を遮断する。したがって、第1のノード4上の電圧V 4は、電圧V C aレベルに保持される。

【0098】

同様にして、第2のノード7上の電圧V 7が電圧V S aよりも高い場合には、比較回路8 bの出力信号がこの差に応じてHレベルとなり、M O Sトランジスタ8 aのコンダクタンスが大きくなり、第1のノード7から第2の電圧源V S Sへ電流を流し、電圧V 7の電圧レベルを低下させる。一方、電圧V 7が電圧V S aよりも低い場合には、この比較回路8 bの出力信号はLレベルとなり、M O Sトランジスタ8 aがオフ状態となり、第2のノード7から第2の電圧源V S Sへの電流経路は遮断される。したがって電圧V 7は電圧V S aの電圧レベルに保持される。

20

【0099】

出力回路10は、内部信号I Nを受けてバッファ処理して出力するバッファ前段回路11と、第1のノード4と出力ノード9の間に接続され、このバッファ前段回路11からの信号に従って導通し、第1のノード4と出力ノード9とを電気的に接続するpチャネルM O Sトランジスタ(第1のM O Sトランジスタ)12と、バッファ前段回路11からの信号に応答してこのM O Sトランジスタ12と相補的に導通し、出力ノード9と第2のノード7とを電気的に接続するnチャネルM O Sトランジスタ(第2のM O Sトランジスタ)13を含む。M O Sトランジスタ12は、導通時、出力ノード9を第1のノード4上の電圧レベルへ駆動する。M O Sトランジスタ13は、導通時、出力ノード9をこの第2のノード7上の電圧レベルへ駆動する。

30

【0100】

第1の電圧発生回路2は、第1の電圧源V C Cと第2の電圧源V S Sの間に直列に接続される抵抗素子24、ダイオード接続された $v$ 個( $v = 0, 1, 2 \dots$ )のnチャネルM O Sトランジスタ23および $x$ 個( $x = 0$ 以上の整数)のダイオード接続されたpチャネルM O Sトランジスタ22および基準電圧V r e fをゲートに受けるpチャネルM O Sトランジスタ21を含む。抵抗素子24の抵抗値は十分大きくされており、この第1の電圧発生回路2において第1の電圧源V C Cから第2の電圧源V S Sへ流れる電流は十分小さくされている。したがって、M O Sトランジスタ23および22は、ダイオードモードで動作し、それぞれそのしきい値電圧V T NおよびV T Pの絶対値の電圧降下を生じさせる。

40

【0101】

M O Sトランジスタ21は、そのゲートに基準電圧V r e fを受けている。M O Sトランジスタのゲートは、ゲート絶縁膜を介して内部ノードに接続されて、高入力インピーダンスを実現する。したがって、この第1の電圧発生回路2において第1の電圧源V C Cから第2の電圧源V S Sへ微小電流が流れても、この電流が、基準電圧V r e fには何ら影響

50

を及ぼすことはなく、基準電圧  $V_{ref}$  は安定に所望の電圧レベルに保持される。

【0102】

第2の電圧発生回路3は、第1の電圧源  $V_{CC}$  と第2の電圧源  $V_{SS}$  の間に直列に接続される  $n$  チャンネル  $MOS$  トランジスタ31、ダイオード接続された  $n$  チャンネル  $MOS$  トランジスタ32、ダイオード接続された  $p$  チャンネル  $MOS$  トランジスタ33、および抵抗素子34を含む。この第2の電圧発生回路3において  $y$  個 ( $y = 0, 1, \dots$  の整数) の  $n$  チャンネル  $MOS$  トランジスタ32および  $w$  個 ( $w = 0, 1, 2, \dots$ ) の  $p$  チャンネル  $MOS$  トランジスタ33は、高抵抗の抵抗素子34によりダイオードモードで動作し、それぞれしきい値電圧  $V_{TN}$  および  $V_{TP}$  の絶対値の電圧降下を生じさせる。 $MOS$  トランジスタ31はそのゲートに基準電圧  $V_{ref}$  を受けており、ソースフォロワモードで動作する。この第2の電圧発生回路3においても、基準電圧  $V_{ref}$  は  $MOS$  トランジスタ31のゲートへ与えられており、同様、高入力インピーダンスが実現されこの基準電圧  $V_{ref}$  に対し第2の電圧発生回路3における電流が影響を及ぼすことはなく、安定に一定の電圧レベルに基準電圧  $V_{ref}$  を保持することができる。

10

【0103】

この半導体集積回路装置1は、さらに、第1の電圧源  $V_{CC}$  と第1のノード4の間に接続される安定化容量15と、第2のノード7と第2の電圧源  $V_{SS}$  の間に接続される安定化容量18を含む。これらの安定化容量15および18の容量値は、装置外部の負荷容量19の容量値よりも十分大きく設定される。次に、この図1に示す回路の動作について説明する。

20

【0104】

第1の電圧発生回路2においては、抵抗素子24の抵抗値は、 $MOS$  トランジスタ21～23の等価抵抗値(オン抵抗)よりも十分大きく設定されており、 $MOS$  トランジスタ22および23はダイオードモードで動作し、また  $MOS$  トランジスタ21がソースフォロワモードで動作する。したがって、この抵抗素子24と  $MOS$  トランジスタ23の接続ノード2aから出力される電圧  $V_{Ca}$  は次式で表わされる：

$$V_{Ca} = V_{ref} + |V_{TP}| + x \cdot |V_{TP}| + v \cdot V_{TN} \dots (1)$$

ただし、 $x, v = 0, 1, 2, \dots$

$MOS$  トランジスタ5aは、そのゲート電位が、比較回路5bの出力信号に従って、電圧  $V_{Ca}$  および  $V_4$  の差に応じた電圧レベルに設定され第1のノード4へは、次式で示される電圧  $V_4$  が伝達される：

30

$$V_4 = V_{Ca} \dots (2)$$

同様、第2の電圧発生回路3においても、 $MOS$  トランジスタ31がソースフォロワモードで動作し、基準電圧よりしきい値電圧  $V_{TN}$  低い電圧を伝達し、 $MOS$  トランジスタ32および33が、ダイオードモードで動作し、それぞれのしきい値電圧  $V_{TN}$  および  $V_{TP}$  の絶対値の電圧降下を生じさせる。したがって  $MOS$  トランジスタ33と抵抗素子34の接続ノード3aからの電圧  $V_{Sa}$  は次式で表わされる：

$$V_{Sa} = V_{ref} - V_{TN} - y \cdot V_{TN} - w \cdot |V_{TP}| \dots (3)$$

ただし、 $y, w = 0, 1, 2, \dots$

$MOS$  トランジスタ8aは、第2のノード7の電圧  $V_7$  電圧  $V_{Sa}$  の電圧差に応じてそのゲート電圧が設定される。したがって第2のノード7へは、この第2の電源回路8による動作により、次式で表わされる電圧  $V_7$  が伝達される：

40

$$V_7 = V_{Sa} \dots (4)$$

出力回路10が、内部信号  $I_N$  に従って出力ノード9を駆動するとき、この第1のノード4上の電圧  $V_4$  または第2のノード7上の電圧  $V_7$  が出力ノード9へ伝達される。したがって、この出力ノード9に出力される信号の高レベルの電圧および低レベルの電圧は、上述の式(2)および(4)で示される値に設定される。第1の電圧発生回路2におけるダイオード接続される  $MOS$  トランジスタ22および23の数  $x$  の値を変更することにより、この第1のノード4上の電圧  $V_4$  の電圧レベルを  $V_{ref}$  から順に  $|V_{TP}|$  または  $V_{TN}$  の幅で段階的に変更することができる。また、第2のノードの電圧  $V_7$  も  $V_{TN}$  また

50



は  $|VTP|$  の幅で段階的に変更することができる。

#### 【0105】

図2は、2つの半導体集積回路の接続態様の一例を示す図である。図2において、半導体集積回路1aからの出力信号OUTが半導体集積回路1bへ転送される。この半導体集積回路1aに含まれる出力回路10の出力ノード9は、伝送路TMLを介して半導体集積回路1bに含まれる入力回路1baに結合される。この入力回路1baは、基準電圧Vrefと伝送路TMLを介して与えられる信号とを比較し、その比較結果に応じて内部信号を生成する。この入力回路1baは、差動増幅回路で構成される。すなわち、出力回路10が出力する信号OUTの振幅を決める基準電圧Vrefは、相手方半導体集積回路1bにおける入力回路における入力信号の論理判定レベルの基準として用いられる。この基準電圧Vrefはチップ外部から与えられる。

10

#### 【0106】

今、図1に示す構成において、第1の電圧発生回路2におけるダイオード接続されたpチャネルMOSトランジスタ22の数xが1、またnチャネルMOSトランジスタ23の数vが0であり、また第2の電圧発生回路3に含まれるダイオード接続されるnチャネルMOSトランジスタ32の数yが1かつpチャネルMOSトランジスタ33の数wが0の場合を考える。この場合、第1のノード4上の電圧V4および第2のノード7上の電圧V7は、次式で表わされる：

$$V4 = Vref + 2 \cdot |VTP|$$

$$V7 = Vref - 2 \cdot VTN$$

20

したがって、図3に示すように、この出力回路10から出力ノード9に出力される信号OUTの高レベルは、 $Vref + 2 \cdot |VTP|$  となり、低レベルは  $Vref - 2 \cdot VTN$  となる。したがって、出力信号OUTは基準電圧Vrefを中心として上方に  $2 \cdot |VTP|$ 、下方に  $2 \cdot VTN$  変化する。通常、pチャネルMOSトランジスタのしきい値電圧の絶対値  $|VTP|$  とnチャネルMOSトランジスタのしきい値電圧VTNの値はほぼ等しい。したがって基準電圧Vrefを中心にほぼ同じ大きさだけ変化する信号を出力することができる。

#### 【0107】

入力側半導体集積回路1bにおいては、入力回路1baが基準電圧Vrefを比較基準として、この伝送路TMLを介して与えられる信号の電圧レベルを判定する。伝送路TMLを介して伝送される信号OUTは、基準電圧Vrefを中心として上方向および下方向に同じ振幅値を有する。したがって、入力回路1baにおいても、この入力信号の高レベルおよび低レベルの確定タイミングが同じとなり、高速で正確に入力信号の電圧レベルを判定して内部信号を生成することができる。

30

#### 【0108】

この基準電圧Vrefは、上述の、SSTL-3のクラスI方式に示されるように、 $0.45VDDQ$  の電圧レベルに設定されてもよく、また  $VCC/2$  の電位レベルに設定されてもよい。SSTL-3のクラスI方式などとの互換性を保持するためには、基準電圧Vrefが、 $0.45VDDQ$  とするのが好ましい。ここで、電圧VDDQは、出力回路の最終段にのみ用いられる電源電圧である。

40

#### 【0109】

今、図4に示すように、各々に半導体集積回路が形成される半導体チップ 0 ~ n に対し、共通に基準電圧Vrefが外部から与えられる構成を考える。この場合、基準電圧Vrefは、これら半導体チップ 0 ~ n の動作状況にかかわらず一定の電圧レベルに保持される。また、仮に、基準電圧Vrefが変動しても、この半導体チップ 0 ~ n の出力回路が出力する信号は基準電圧Vrefを中心とした信号であり、同様その出力信号レベルも基準電圧Vrefの変化に応じて変化する。基準電圧Vrefは入力回路の比較基準電圧としても用いられている。したがって、たとえ基準電圧Vrefの電圧レベルが変動しても、正確に入力側の半導体集積回路装置においてその入力信号の論理レベルを判定することができ、基準電圧Vrefの変動時においても、入力信号の誤判定は生じず、

50

正確な回路動作を保証することができる。

【0110】

図1に示す回路において、出力ノード9には、負荷容量19が接続する。この負荷容量19の容量値は、出力回路10のファンアウトにより変化する。出力回路動作時には、MOSトランジスタ5aおよび8aを介して充放電が行なわれる。いま、MOSトランジスタ12が導通し、負荷容量19が高レベルに充電される動作を考える。この場合、高速動作のためには、この負荷容量19の高レベルへの充電は高速に行なう必要がある。このMOSトランジスタ5aは、そのゲート電圧が比較回路5bの出力信号で決定されており、安定状態ではオフ状態にある。リングングの発生を防止するため、比較回路5bの動作電流は比較的小さくされて応答速度は比較的遅くされており、MOSトランジスタ5aの急激な深いオン状態への移行は抑制される。このため、高速で第1の電圧源2から第1のノード4へ電流を供給するのが困難である。リングングを生じさせることなく高速に電流を供給するために、第1の容量素子(安定化容量)15が第1の電圧源VCCと第1のノード4との間に接続される。第1のノードの電圧が急激に低下するとき、この第1の容量素子(安定化容量)15から電荷が負荷容量19へ伝達される。このときの第1のノード4の電圧レベルは、容量15および19の容量分割により決定される。この電荷の移動により第1のノード4の電圧レベルが低下するのを抑制するために、安定化容量15の容量値は、この負荷容量19の容量よりも十分大きくするのが好ましい。実際上は、この安定化容量15の占有面積を考慮して、負荷容量19と安定化容量15の容量比は1対10以上、好ましくは1対100以上に設定する。これにより、リングングを生じさせることなく第1のノード4の電圧低下を抑制して高速で負荷容量19を所定電圧レベルに充電することができる。

10

20

【0111】

たとえば、高速のシステムにおいては、負荷容量19の容量値は $50\text{ pF}$  ( $50 \times 10^{-12}\text{ F}$ )程度であり、したがって、この安定化容量15の容量値は $5\text{ nF}$  ( $5 \cdot 10^{-9}\text{ F}$ )程度となる。負荷容量19の放電時においても、MOSトランジスタ8aは飽和領域で動作しており、その等価抵抗は比較的高く、この第2のノード7の電荷を高速で放電することは困難である。したがって、この場合には、安定化容量(第2の容量素子)18が与えられた電荷を吸収し、高速放電を実現する。したがって、この場合においても、安定化容量18の容量値は、負荷容量19の容量値よりも十分大きく、安定化容量15と同程度の容量値を有する。

30

【0112】

以上のように、この発明の実施の形態1に従えば、高入力インピーダンスを有する電圧発生回路を用いて基準電圧に従って内部電圧を生成して出力信号の振幅を決定する内部電源電圧を生成するように構成しているため、内部電圧発生動作が基準電圧に影響を及ぼすことがなく、安定にかつ所望の電圧レベルの内部電圧を正確に生成することができる。

【0113】

また、電源回路を比較回路と、この比較回路の出力信号によりコンダクタンスが調整されるドライブ素子とで構成しているため、正確に所定の電圧レベルの内部電源電圧を生成することができる。

40

【0114】

また、基準電圧を外部から複数の半導体集積回路に共通に与える構成により、集積回路動作時においても、基準電圧のレベルが影響を受けることはなく、安定に回路動作時における電源ノイズの影響を受けることなく正確に一定のレベルの内部電圧を生成することができる。

【0115】

また、出力信号の振幅の中心値を、入力信号の高レベルおよび低レベル判定基準となる基準電圧レベルに設定しているため、この基準電圧がたとえ変動しても、この基準電圧変動の影響を受けることなく安定に相手方において正確に入力信号の論理レベルを判定することができる。

50

## 【 0 1 1 6 】

さらに、内部電源電圧供給ノードである第1および第2のノードそれぞれに安定化容量を接続しているため、これらの安定化容量により、信号出力時高速で充放電を行なうことができ、確実に出力ノードの充放電を電源ノイズを抑制しつつ高速で行なうことができ、高速動作する出力回路を実現することができる。

## 【 0 1 1 7 】

## [ 実施の形態 2 ]

図5は、この発明の実施の形態2に従う半導体集積回路の出力部の構成を示す図である。この図5に示す構成においては、第1の電圧発生回路2において、抵抗素子として、そのゲートが接地電圧を受けるように結合されるpチャネルMOSトランジスタ25が第1の電圧源VCCと内部ノード2aの間に接続される。また、第2の電圧発生回路3において、内部ノード3aと第2の電圧源の間に、そのゲートが第1の電圧源VCCに接続されるnチャネルMOSトランジスタ35が抵抗素子として用いられる。他の構成は、図1に示す構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

10

## 【 0 1 1 8 】

この図5に示す構成においては、pチャネルMOSトランジスタ25およびnチャネルMOSトランジスタ35は、高いチャネル抵抗を有している。この高いチャネル抵抗は、チャネル領域の注入不純物量を少なくすることにより実現される。通常、ポリシリコンなどの抵抗素子に比べて、高いチャネル抵抗を有するpチャネルMOSトランジスタ25およびnチャネルMOSトランジスタ35を抵抗素子として利用することにより、抵抗素子の占有面積を低減することができ、応じてチップ面積を低減することができる(MOSトランジスタの単位面積あたりの抵抗値が通常のポリシリコンなどの抵抗素子に比べて大きいためである)。

20

## 【 0 1 1 9 】

以上のように、この発明の実施の形態2に従えば、電圧発生回路における微小電流供給のための抵抗素子として、MOSトランジスタを用いたため、抵抗素子の形成領域の占有面積を低減することができ、応じてチップ面積を低減することができる。

## 【 0 1 2 0 】

## [ 実施の形態 3 ]

図6は、この発明の実施の形態3に従う半導体集積回路の信号出力部の構成を示す図である。この図6に示す半導体集積回路は、図1に示す半導体集積回路と以下の点において異なっている。

30

## 【 0 1 2 1 】

すなわち、第1の電圧発生回路2は、内部ノード2aと基準電圧Vrefをゲートに受けるpチャネルMOSトランジスタ21の間に、x個のnチャネルMOSトランジスタ22aと、ダイオード接続されたv個のnチャネルMOSトランジスタ23を含む。ここで、x, vは、0, 1, 2...の整数である。

## 【 0 1 2 2 】

第2の電圧発生回路3においては、基準電圧Vrefをゲートに受けるnチャネルMOSトランジスタ31とノード3aの間に、y個のダイオード接続されたpチャネルMOSトランジスタ32aと、ダイオード接続されたw個のpチャネルMOSトランジスタ33が設けられる。ただし、y, wは、0, 1, 2, ...の整数である。他の構成は、図1に示す構成と同じであり、対応する部分には同一参照番号を付す。なお、第1の電圧発生回路2において、第1の電圧源VCCと内部ノード2aの間に接続される抵抗素子(Z)は、図1に示すようなポリシリコン抵抗であってもよく、またMOSトランジスタを用いてもよく、したがって参照符号24aで示す。同様、第2の電圧発生回路3においても、この内部ノード3aと第2の電圧源VSSの間の抵抗素子(Z)には、ポリシリコン抵抗およびMOSトランジスタいずれを用いられてもよく、またこの抵抗素子(Z)を符号34aで示す。

40

## 【 0 1 2 3 】

50

第1の電圧発生回路2から発生される内部電圧 $V_{Ca}$ は、次式で表わされる：

$$V_{Ca} = V_{ref} + |V_{TP}| + x \cdot V_{TN} + v \cdot V_{TN}$$

第2の電圧発生回路3からの内部電圧 $V_{Sa}$ は次式で表わされる：

$$V_{Sa} = V_{ref} - V_{TN} - y \cdot |V_{TP}| - w \cdot |V_{TP}|$$

したがって、第2のノード7上の電圧 $V_7$ は次式で表わされる：

$$V_7 = V_{ref} - V_{TN} - (y + w) \cdot |V_{TP}|$$

今、 $x = y = 1$ 、 $v = w = 0$ とすると、第1のノード上の電圧 $V_4$ および第2のノード7上の電圧 $V_7$ は次式で表わされる：

$$V_4 = V_{ref} + |V_{TP}| + V_{TN}$$

$$V_7 = V_{ref} - |V_{TP}| - V_{TN}$$

10

したがって、出力ノード9に出力される信号は、基準電圧 $V_{ref}$ を中心として上方向および下方向に $|V_{TP}| + V_{TN}$ の振幅を有する。したがって、基準電圧 $V_{ref}$ と高レベル電圧の電圧差と基準電圧と低レベル電圧の電圧差が等しくなり、MOSトランジスタとしては、任意の導電型のMOSトランジスタを用いることができる。第1の電圧発生回路2および第2の電圧発生回路3において、ダイオード接続されたMOSトランジスタの数が等しいという条件が満たされればよい。

#### 【0124】

以上のように、この発明の実施の形態3に従えば、第1および第2の電圧発生回路それぞれにおいて、レベル修正用のダイオード接続されたMOSトランジスタを同一導電型のMOSトランジスタで構成したため、所望の電圧レベルの内部電圧を容易に生成することができ、また、実施の形態1と同様の効果を得ることができる。

20

#### 【0125】

##### [実施の形態4]

図7は、この発明の実施の形態4に従う半導体集積回路の信号出力部の構成を示す図である。この図7に示す半導体集積回路は、図1に示す半導体集積回路と以下の点において異なっている。すなわち、第1の電圧発生回路2は、電源電圧 $V_{CC}$ より高い昇圧電圧 $V_{PP}$ を与える第3の電圧源 $V_{PP}$ と接地電圧 $V_{SS}$ を与える第2の電圧源 $V_{SS}$ の間に接続される。第2の電圧発生回路3は、電源電圧 $V_{CC}$ を供給する第1の電圧源と接地電圧 $V_{SS}$ よりも低い負の電圧 $V_{BB}$ を発生する第4の電圧源 $V_{BB}$ の間に結合される。他の構成は、図1に示す構成と同じであり、対応する部分には同一参照番号を付す。

30

#### 【0126】

第1の電圧発生回路2からの内部電圧 $V_{Ca}$ は、MOSトランジスタ21、22、および23がすべて導通状態となったときに安定に発生される。したがって、この第1の電圧発生回路2は、その一方動作電源電圧として、少なくとも $V_{TN} + |V_{TP}|$ の電圧が必要となる。また、内部電圧 $V_{Ca}$ は、 $V_{ref} + |V_{TP}|$ 以上の電圧レベルであり、この第1の電圧発生回路2は、この内部電圧 $V_{Ca}$ よりも高い電圧レベルの電圧を一方動作電源電圧として必要とする。

#### 【0127】

電源電圧 $V_{CC}$ は、この半導体集積回路の消費電流を低減しかつその内部動作を高速化する（内部信号線の充放電を高速で行なう）ため、2.2V、および1.2Vなどの低い電圧レベルに設定される傾向にある。このような低電源電圧下においては、MOSトランジスタ21、22および23のしきい値電圧の大きさによっては、この必要とされる電圧レベルの内部電圧を生成することができなくなることが考えられる。このような場合においても、この電源電圧 $V_{CC}$ よりも高い昇圧電圧 $V_{PP}$ を一方動作電源電圧として利用することにより、低電源電圧下においても、安定に所望の電圧レベルの内部電圧 $V_{Ca}$ を安定に生成することができ、この出力回路の動作電源電圧範囲を広くすることができる。

40

#### 【0128】

同様、第2の電圧発生回路3においても、内部電圧 $V_{Sa}$ は、 $V_{ref} - V_{TN}$ の電圧レベル以下の電圧レベルである。したがってこの場合においても、たとえば基準電圧 $V_{ref}$ が $V_{CC}/2$ の電圧レベルの場合において、低電源電圧下において、このMOSトランジ

50

スタ31、32および33のしきい値電圧レベルの値によっては、接地電圧 $V_{SS}$ を他方動作電源電圧として利用した場合、所望の電圧レベルの内部電圧 $V_{Sa}$ を生成することができなくなることが考えられる。このような場合においても、負電圧 $V_{BB}$ を用いることにより、MOSトランジスタ31、32および33をすべて導通状態に維持して、必要な電圧レベルの内部電圧 $V_{Sa}$ を生成することができ、低電源電圧下においても、安定に所望の電圧レベルの内部電圧 $V_{Sa}$ を生成することができ、応じて動作電源電圧 $V_{CC}$ の電圧範囲を容易に広げることができる。

#### 【0129】

なお、昇圧電圧 $V_{PP}$ および負電圧 $V_{BB}$ は、キャパシタのチャージポンプ動作を利用する一般的なチャージポンプ回路によりたとえ発生することができる。特に、この半導体集積回路が後に説明するようなダイナミック型半導体記憶装置の場合、ワード線を駆動するためおよび半導体基板領域へ印加するために昇圧電圧 $V_{PP}$ を発生する回路および負電圧 $V_{BB}$ を発生する回路が設けられており、これらの回路を利用することができる。しかしながら、これらの昇圧電圧 $V_{PP}$ および負電圧 $V_{BB}$ は、外部から与えられるように構成されてもよい。

10

#### 【0130】

以上のように、この発明の実施の形態4に従えば、内部電圧を発生するために電源電圧 $V_{CC}$ よりも高い昇圧電圧 $V_{PP}$ および接地電圧 $V_{SS}$ よりも低い負電圧 $V_{BB}$ を利用しているため、低電源電圧下においても、安定に所望の電圧レベルの内部電圧を生成することができ、応じて、低電源電圧下においても、安定に所望の電圧レベルの内部電源電圧（第1および第2のノード上の電圧）を生成することができ、動作電源電圧の範囲の広い出力回路を実現することができる。

20

#### 【0131】

##### [実施の形態5]

図8は、この発明の実施の形態5に従う半導体集積回路の信号出力部の構成を示す図である。この図8に示す半導体集積回路は、以下の点を除いて、図1に示す半導体集積回路の構成と実質的に同じであり、対応する部分には同一参照番号を付す。

#### 【0132】

この実施の形態5に従う半導体集積回路は、第1のノード4と第2の電圧源 $V_{SS}$ の間に抵抗素子41が接続され、また第2のノード7と第1の電圧源 $V_{CC}$ の間に抵抗素子42が接続される。これらの抵抗素子41および42の各々は、高抵抗値を有し、それぞれプルダウンス素子およびプルアップ素子として機能する。第1のノード4の電圧レベルが低下した場合、第1の電源回路5が、第1の電圧源 $V_{CC}$ から電流を供給してこの第1のノード4の電圧レベルを上昇させる。しかしながら、この第1のノード4の電圧レベルが所定電圧レベルよりも高くなった場合、第1の電源回路5内のMOSトランジスタ5aはオフ状態となるだけであり、また安定化容量15もこの電圧上昇は吸収しないため、この第1のノード4の上昇電圧が保持される。このような電圧の上昇はたとえば回路動作時大きな電流が消費されるときMOSトランジスタ5aを介して大きな電流が供給されたときまたMOSトランジスタ12が高速スイッチ動作を行ない、出力ノード9へ高レベルの信号を伝達した後オフ状態となったときなどに生じる。このような第1のノード4の電圧上昇時において、プルダウン用の高抵抗の抵抗素子41により、この第1のノード4の電圧レベルを低下させる。これにより、安定に第1のノード4を所望の電圧レベルに保持することができ、応じて所望の高レベル電圧を有する出力信号を生成することができる。

30

40

#### 【0133】

同様、第2のノード7の電圧レベルが高くなった場合には、第2の電源回路8が、この第2のノード7の電圧レベルを低下させる。しかしながら、この第2のノード7の電圧レベルが所定の電圧レベルよりも低くなったときには、第2の電源回路8内のMOSトランジスタ8aはオフ状態となり、第2のノード7の電圧レベルは低い値を保持する。第2のノード7の電圧レベルが所定電圧レベルよりも低くなる状態は、たとえばこの出力ノード9に付随するインダクタンス成分によりリングングなどが発生して、アンダーシュートが生

50

じた場合などがある。このような第2のノード7の電圧レベルが所定の電圧レベルよりも低くなったときには、高抵抗の抵抗素子42を介して第1の電圧源VCCから電流を供給して、第2のノード7の電圧レベルを上昇させる。抵抗素子42は高抵抗プルアップ素子として機能する。

#### 【0134】

この第1のノード4にプルダウン素子を接続しかつ第2のノード7にプルアップ素子を接続することにより、ソースフォロワモードでトランジスタにより内部電源電圧を第1および第2のノード上に生成する構成においても、安定に所望の電圧レベルの内部電源電圧を保持することができる。

#### 【0135】

10

#### [実施の形態6]

図9は、この発明の実施の形態6に従う半導体集積回路の要部の構成を示す図である。図9においては、半導体集積回路の出力回路10の構成が示される。

#### 【0136】

図9において、この出力回路10に含まれるバッファ前段回路11は、入力信号INの高レベル電圧を負電圧VBBレベルに変換して出力するレベル変換回路11aと、この入力信号INの低レベル電圧を昇圧電圧VPPレベルに変換するレベル変換回路11bを含む。

#### 【0137】

レベル変換回路11aは、第1の電圧源VCCとノード58の間に接続されかつそのゲートに入力信号INを受けるpチャネルMOSトランジスタ54と、第1の電圧源VCCとノード59の間に接続されかつそのゲートに入力信号INをインバータ51を介して受けるpチャネルMOSトランジスタ54と、ノード58と負電圧VBBを供給する第2の電圧源の間に結合されかつそのゲートがノード59に接続されるnチャネルMOSトランジスタ56と、ノード59と第4の電圧源VBBの間に接続されかつそのゲートがノード58に接続されるnチャネルMOSトランジスタ57を含む。ノード58が、出力段のMOSトランジスタ(第1のMOSトランジスタ)12のゲートに接続される。

20

#### 【0138】

レベル変換回路11bは、電源電圧VCCよりも高い昇圧電圧VPPを供給する第3の電圧源とノード64の間に接続されかつそのゲートがノード65に接続されるpチャネルMOSトランジスタ60と、第3の電圧源VPPとノード65の間に接続されかつそのゲートがノード64に接続されるpチャネルMOSトランジスタ61と、ノード64と第2の電圧源VSSの間に接続されかつそのゲートにインバータ51の出力信号を受けるnチャネルMOSトランジスタ62と、ノード65と第2の電圧源VSSの間に接続されかつそのゲートに入力信号INを受けるnチャネルMOSトランジスタ63を含む。ノード65が、出力段のMOSトランジスタ(第2のMOSトランジスタ)13のゲートに接続される。次に動作について説明する。

30

#### 【0139】

入力信号INは、電源電圧VCCと接地電圧VSSの間で変化する。入力信号INが電源電圧VCCレベルの高レベルのとき、レベル変換回路11aにおいては、MOSトランジスタ54がオフ状態、MOSトランジスタ55がオン状態となる。ノード59がMOSトランジスタ55を介して充電され、その電圧レベルが上昇し、応じてMOSトランジスタ56がオン状態へ移行する。これにより、ノード58の電圧レベルが低下し、MOSトランジスタ57がオフ状態へ移行する。ノード58の電圧レベルが負電圧VBBレベルに移行すると、MOSトランジスタ57が完全にオフ状態となり、ノード59は電源電圧VCCレベルに保持される。

40

#### 【0140】

MOSトランジスタ12は、そのゲートがノード58に接続されており、負電圧VBBをゲートに受ける。これにより、MOSトランジスタ12はより深いオン状態となり、高速で、第1のノード4から出力ノード9へ電流を供給する。一方、レベル変換回路11bに

50

においては、MOSトランジスタ63がオン状態、MOSトランジスタ62がオフ状態であり、ノード65は、接地電圧VSSレベルにされ、一方ノード64は、昇圧電圧VPPレベルに保持される。これにより、MOSトランジスタ13は、そのゲート電圧が第2のノード7の電圧レベルよりも低くなり、より深いオフ状態となる。MOSトランジスタ12は、より深いオン状態となり、出力ノード9の電圧レベルが高速で立上がる。

#### 【0141】

入力信号INがLレベルのときには、レベル変換回路11aにおいては、MOSトランジスタ54がオン状態、MOSトランジスタ55がオフ状態になり、ノード58が電源電圧VCCレベルに充電され、ノード59が負電圧VBBレベルに保持される。これにより、MOSトランジスタ12は、ソースの電圧V4よりも高い電源電圧VCCをそのゲートに受けて深いオフ状態となる。一方、レベル変換回路11bにおいては、MOSトランジスタ63がオフ状態、MOSトランジスタ62がインバータ51からの高レベルの信号を受けてオン状態となる。これにより、ノード64が、接地電圧VSSレベルに放電され、MOSトランジスタ61がオン状態となり、ノード65が、昇圧電圧VPPレベルに充電される。この状態においては、MOSトランジスタ13がより深いオン状態となり、その大きなコンダクタンスにより、電流を出力ノード9から第2のノード7へ放電する。これにより、出力ノード9の電圧レベルが高速に立下がる。

#### 【0142】

上述のように、レベル変換回路11aおよび11bを用いて、MOSトランジスタ12および13を導通時より深いオン状態とすることにより、これらMOSトランジスタ12および13のコンダクタンスを大きくして、出力ノード9の高速充放電を実現し、出力ノード9からの出力信号の変化速度を速くすることができる。

#### 【0143】

##### [実施の形態7]

図10は、この発明の実施の形態7に従う半導体集積回路の要部の構成を示す図である。図10においては、出力回路10の構成が示される。この図10に示す出力回路10において、出力段には、出力ノード充電用のnチャネルMOSトランジスタ12aおよび出力ノード放電用のnチャネルMOSトランジスタ13が用いられる。このnチャネルMOSトランジスタ12aにおけるしきい値電圧の損失を補償するために、昇圧電圧VPPと接地電圧VSSの間で変化する信号を出力するためのレベル変換回路11cが設けられる。

#### 【0144】

このレベル変換回路11cは、図9に示すレベル変換回路11bと同様の構成を備え、昇圧電圧VPPを供給する高(第3の)電圧源VPPとノード64aの間に接続されかつそのゲートがノード65aを介してnチャネルMOSトランジスタ12aのゲートに接続されるpチャネルMOSトランジスタ60aと、高電圧源VPPとノード65aの間に接続されかつゲートがノード64aに接続されるpチャネルMOSトランジスタ61aと、ノード64aと接地電圧VSSを供給する第2の電圧源との間に接続されかつそのゲートにインバータ51aを介して入力信号INを受けるnチャネルMOSトランジスタ62aと、ノード65aと接地電圧VSSを供給する第2の電圧源VSSの間に接続されかつそのゲートに入力信号INを受けるnチャネルMOSトランジスタ63aを含む。nチャネルMOSトランジスタ13のゲートへは、入力信号INがレベル変換されることなく与えられる。ノード65aがMOSトランジスタ12aのゲートに接続される。

#### 【0145】

このレベル変換回路11cの動作は、先の図9に示すレベル変換回路11bの動作と同じである。すなわち、入力信号INが電源電圧VCCレベルのHレベルのときには、MOSトランジスタ63aがオン状態、MOSトランジスタ62aがオフ状態となり、ノード65aの電圧レベルが接地電圧VSSレベルとなり、MOSトランジスタ12aはオフ状態を維持する。このときには、MOSトランジスタ13がオン状態となり、出力ノード9は、このオン状態のMOSトランジスタ13を介して放電される。

## 【0146】

一方、入力信号INがLレベルのときには、MOSトランジスタ63aがオフ状態、MOSトランジスタ62aがオン状態なり、ノード64aが接地電圧VSSレベルに放電される。これにより、MOSトランジスタ61aがオン状態となり、ノード65aは高電圧VCCレベルに上昇する。このノード65aはMOSトランジスタ12aのゲートに接続されており、MOSトランジスタ12aは、この第1のノード4上の電圧を、そのしきい値電圧の損失を生じさせることなく出力ノード9上に伝達する。

## 【0147】

なお、第1のノード4上の電圧レベルが、VCC - VTNよりも低い場合には、このMOSトランジスタ12aのゲートの電圧が電源電圧VCCレベルであっても、この第1のノード4上の電圧を出力ノード9上に伝達することができ、特にこのレベル変換回路11cを設ける必要はない。ただ、その場合でも、ゲート電圧が高くなるため、MOSトランジスタ12aの電流駆動力は大きくなり、高速充電は実現される（昇圧電圧を用いた場合）

10

## 【0148】

また、高速放電を実現するために、nチャネルMOSトランジスタ13に対しても、レベル変換回路11cと同様のレベル変換回路が設けられてもよい。

## 【0149】

出力段をともにnチャネルMOSトランジスタで構成することにより、CMOSインバータの構成と異なり、ウェル分離を行なう必要がなく、回路占有面積を低減することができる。またレベル変換回路を用いることにより、nチャネルMOSトランジスタのしきい値電圧損失を伴うことなく出力ノードの所定電圧レベルへの高速充電を実現することができる。

20

## 【0150】

## [実施の形態8]

図11は、この発明の実施の形態8に従う半導体集積回路の要部の構成を示す図である。図11においては、第1のノード4を所定電圧レベルに保持する第1電源回路5の構成が示される。

## 【0151】

図11において、第1の電源回路5は、第1の電圧発生回路2の出力インピーダンスよりも小さな出力インピーダンスを有し、この第1の内部電圧発生回路2からの内部電圧に従ってnチャネルMOSトランジスタ5cのゲート電圧を設定するインピーダンス変換回路50を含む。MOSトランジスタ5cは第1の電圧源VCCと第1のノードとの間に接続され、ソースフォロアモードで動作する。

30

## 【0152】

第1の内部電圧発生回路2は、第1の電圧源VCCとノード2aの間に接続される高抵抗の抵抗素子24と、ノード2aと基準電圧Vrefをゲートに受けるpチャネルMOSトランジスタ21の間に互いに直列に接続される各々がダイオード接続されたnチャネルMOSトランジスタ23、22aおよび22abを含む。抵抗素子24としては、先の実施の形態2におけるMOSトランジスタが抵抗素子として用いられてもよい。この抵抗素子24の抵抗値は、MOSトランジスタ23、22a、22abおよび21の有するオン抵抗よりも十分大きな値に設定される。この第1の電圧発生回路2は、高抵抗の抵抗素子24を介してノード2aに電流を供給し、したがって、このノード2aに対する出力インピーダンスが極めて大きい。

40

## 【0153】

インピーダンス変換回路50は、第1の電圧源VCCとノード50fの間に直列に接続されるnチャネルMOSトランジスタ50aおよびpチャネルMOSトランジスタ50bと、ノード50fと第2の電圧源VSSの間に接続される高抵抗の抵抗素子50cと、第1の電圧源VCCとMOSトランジスタ5のゲートノード50gの間に接続されかつそのゲートがノード2aに接続されるnチャネルMOSトランジスタ50dと、ノード50gと

50



第2の電圧源VSSの間に接続されかつそのゲートがノード50fに接続されるpチャネルMOSトランジスタ50eを含む。

【0154】

MOSトランジスタ50eはそのゲートがノード2aに接続され、またMOSトランジスタ50bは、そのゲートおよびドレインがノード50fに接続される。高抵抗抵抗素子50cの抵抗値は、MOSトランジスタ50aおよび50bのオン抵抗よりも十分大きな値に設定される。次に動作について説明する。

【0155】

第1の電圧発生回路2においては、ノード2a上には、次式で示される電圧V2aが生成される。

10

【0156】

$$V_{2a} = V_{ref} + |V_{TP}| + 3 \cdot V_{TN}$$

MOSトランジスタ50aは、ソースフォロワモードで動作し、そのゲート電圧からしきい値電圧V<sub>TN</sub>低い電圧をソースへ伝達する。MOSトランジスタ50bは、ダイオードモードで動作し、そのしきい値電圧の絶対値の電圧降下を生じさせる。したがって、ノード50fの電圧V<sub>50f</sub>は次式で表わされる。

【0157】

$$V_{50f} = V_{ref} + 3 \cdot V_{TN} + |V_{TP}| - V_{TN} - |V_{TP}| \\ = V_{ref} + 2 \cdot V_{TN}$$

MOSトランジスタ50dは、そのゲートがノード2aに接続されており、ノード50gに、次式で示される電圧を伝達する。

20

【0158】

$$V_{ref} + 2 \cdot V_{TN} + |V_{TP}|$$

一方、pチャネルMOSトランジスタ50eも、同様、ソースフォロワモードで動作し、このノード50gに、次式で示される電圧を伝達する。

【0159】

$$V_{ref} + 2 \cdot V_{TN} + |V_{TP}|$$

したがって、このノード50gの電圧V<sub>50g</sub>は、次式で表わされる：

$$V_{50g} = V_{ref} + 2 \cdot V_{TN} + |V_{TP}|$$

nチャネルMOSトランジスタ50dのゲート(ノード2a)とソース(ノード50g)の電圧差は、V<sub>TN</sub>である。また、pチャネルMOSトランジスタ50eのゲート(ノード50f)とソース(ノード50g)の電圧差は、|V<sub>TP</sub>|である。

30

【0160】

ノード50gの電圧レベルが上昇すると、MOSトランジスタ50dがオフ状態となり、一方、pチャネルMOSトランジスタ50eがオン状態となり、このノード50gの電圧レベルを低下させる。逆に、ノード50gの電圧レベルが低下すると、pチャネルMOSトランジスタ50eがオフ状態となり、一方nチャネルMOSトランジスタ50dがオン状態となり、ノード50gの電圧レベルを上昇させる。MOSトランジスタ50dおよび50eの導通時の抵抗は抵抗素子24の抵抗値に比べて十分小さい。

【0161】

40

したがって、このMOSトランジスタ50dおよび50eが同時にオン状態とされず、このMOSトランジスタ50dおよび50eを介して貫通電流は生じない。また、MOSトランジスタ50dおよび50eは、オン状態とオフ状態の境界状態に設定されており、その消費電流も極めて小さい。したがって、このインピーダンス変換回路50gにおける消費電流は極めて小さい。MOSトランジスタ50cは、電圧V<sub>50g</sub>をゲートに受けて、ソースフォロアモードで動作する。この図11に示す構成において、第1のノード4上に表われる電圧V<sub>4</sub>は、次式で表わされる：

$$V_4 = V_{50g} - V_{TN} = V_{ref} + V_{TN} + |V_{TP}|$$

したがって、基準電圧V<sub>ref</sub>よりもV<sub>TN</sub> + |V<sub>TP</sub>|だけ高い電圧が伝達される。

【0162】

50

M O S トランジスタ 5 c は、比較的大きな電流駆動力を必要とする（出力負荷を高速で充電する必要があるため）。したがって、この M O S トランジスタ 5 c のゲート容量は比較的大きい。消費電流を低減するためには、この第 1 の電圧発生回路 2 における抵抗素子 2 4 の抵抗値を十分大きくする必要がある。したがって、電源投入時、このノード 2 a を直接 M O S トランジスタ 5 c のゲートに接続した場合、その電圧レベルの上昇は遅くなり、電源投入から第 1 のノード 4 上の電圧が安定状態に達するまで時間を要し、早いタイミングで半導体集積回路を動作させることはできない。

【 0 1 6 3 】

一方、M O S トランジスタ 5 0 d および 5 0 e は、M O S トランジスタ 5 c のゲート容量を駆動することが要求されるだけである。この M O S トランジスタ 5 0 d および 5 0 e は、同時にオン状態となることなく、またそのインピーダンスは比較的小さい（導通時）。したがって、この M O S トランジスタ 5 0 d および 5 0 e は、M O S トランジスタ 5 c に比べて、十分小さなサイズのトランジスタで形成することができ、応じてこれらのゲート容量は十分小さくすることができる。したがって、内部ノード 2 a の負荷は小さく、高抵抗の抵抗素子 2 4 によりより充電する場合においても、電源投入後、高速でこの M O S トランジスタ 5 0 d をオン状態として、ノード 5 0 g の電圧レベルを上昇させることができ、応じて第 1 のノード 4 上の電圧レベルを高速で安定化させることができる。

【 0 1 6 4 】

また、高抵抗抵抗素子 5 0 c の充電により、この M O S トランジスタ 5 0 e のゲート電圧が所定の電圧レベルに到達する。この場合においても、M O S トランジスタ 5 0 e のゲート容量は小さく、高抵抗の抵抗素子 5 0 c を用いて低消費電力化を図っても、この M O S トランジスタ 5 0 a および 5 0 b からの電流により、M O S トランジスタ 5 0 e のゲート電圧は電源投入後高速で所定電圧レベルに到達することができ、応じて、このノード 5 0 g の電圧レベルを安定に一定電圧レベルに保持することができる。

【 0 1 6 5 】

また、このインピーダンス変換回路 5 0 において、充電用の M O S トランジスタ 5 0 d および放電用の M O S トランジスタ 5 0 e 両者を用いているため、M O S トランジスタ 5 c のゲート電圧が上昇および下降しても、M O S トランジスタ 5 0 d および 5 0 e の動作により、一定の電圧レベルに保持することができ、安定に第 1 のノード 4 上に所望の電圧レベルの内部電源電圧を伝達することができる。

【 0 1 6 6 】

図 1 2 は、第 2 の電源回路 8 の他の構成を示す図である。図 1 2 において、第 2 の電源回路 8 は、第 2 の電圧発生回路 3 と p チャネル M O S トランジスタ 8 c のゲートとの間に第 2 の電圧発生回路 3 の出力インピーダンスより小さな出力インピーダンスを有するインピーダンス変換回路 5 2 を有する。M O S トランジスタ 8 c は第 2 のノード 7 と第 2 の電圧源 V S S との間に接続され、かつそのゲートにインピーダンス変換回路 5 2 の出力信号を受ける。これらの回路 3 および 5 2 は図 1 3 と同様の構成を有し、同様に動作する。

【 0 1 6 7 】

以上のように、この発明の実施の形態 8 に従えば、内部電圧発生回路が有する出力インピーダンスよりも小さな出力インピーダンスを有するインピーダンス変換回路を用いて、ソースフォロワモードで動作して、第 1 および / または第 2 のノードの電圧レベルを設定する M O S トランジスタのゲート電圧を決定するように構成しているため、電源投入後高速でこれらの M O S トランジスタのゲート電圧を所定電圧レベルに到達させることができ、電源投入後早いタイミングで半導体集積回路を動作させることができる。また、インピーダンス変換回路の出力段に、充放電トランジスタを設けることにより、これらの第 1 および第 2 のノード電圧を設定する M O S トランジスタのゲート電圧を安定に所望の電圧レベルに保持することができる。

【 0 1 6 8 】

なお、図 1 1 に示す構成において、第 1 の電圧発生回路 2 およびインピーダンス変換回路 5 0 はそれぞれ、電源電圧 V C C に代えて昇圧電圧 V P P を用いてもよく、また図 1 2 に

10

20

30

40

50

示す構成において第2の電圧発生回路3およびインピーダンス変換回路52は、接地電圧に代えて負電圧 $V_{BB}$ を用いてもよい。この場合、動作電源電圧の範囲を広くすることができる。また、インピーダンス変換回路は特に設けられなくてもよい。

【0169】

[実施の形態9]

図13は、この発明の実施の形態9に従う半導体集積回路の要部の構成を示す図である。図13において、この半導体集積回路は、複数の互いに並列に設けられる出力回路10-1~10-nを含む。これらの出力回路10-1~10-nは、図13に示す出力回路10と同じ構成を備え、それぞれ内部から与えられる信号 $I_{N1} \sim I_{Nn}$ をバッファ処理して対応のノード9-1~9-nへ伝達する。すなわちこの半導体集積回路は、複数の出力信号を並列に出力する。これらの複数の出力回路10-1~10-nに対し共通に、第1のノード4および第2のノード7が配置される。これらの出力回路10-1~10-nは、第1のノード4および第2のノード7上の電圧に従って対応の出力ノード9-1~9-nを駆動する。

10

【0170】

第1のノード4に対しては、内部電圧 $V_{Ca}$ を図示しない基準電圧 $V_{ref}$ から生成する第1の電圧発生回路2と、その内部電圧 $V_{Ca}$ に従って第1のノード4上に所定の電圧レベルの電圧を生成する第1の電源回路5と、第1の電圧源 $V_{CC}$ と第1のノード4の間に接続される安定化容量15が設けられる。

【0171】

第2のノード7に対しては、図示しない基準電圧 $V_{ref}$ から内部電圧 $V_{Sa}$ を生成する第2の電圧発生回路3と、内部電圧 $V_{Sa}$ に従って第2のノード7上に所定の電圧レベルの電圧を伝達する第2の電源回路8と、第2のノード7と第2の電圧源 $V_{SS}$ の間に接続される安定化容量18が設けられる。第1の電源回路5および第2の電源回路8は、差動増幅器とMOSトランジスタの組合せ、およびソースフォロアMOSトランジスタのいずれであってもよい。

20

【0172】

この図13に示す構成において、並列に動作する出力回路10-1~10-nに対し、共通に電圧発生回路2および3、電源回路5および8ならびに安定化容量15および18を配置することにより、これらの電圧設定のための回路を出力回路10-1~10-nに対して共通に配置することができ、これらの電圧設定部の占有面積を低減することができる。ただし、複数の出力回路10-1~10-nを安定に駆動するため、MOSトランジスタ5および8ならびに安定化容量15および18の電流駆動力は、1つの出力回路のみを駆動する場合に比べて大きく設定される。

30

【0173】

以上のように、この実施の形態9に従えば、複数の出力回路に共通に、出力信号振幅を決定する電圧を設定する回路を共通に設けたため、この電圧設定部の占有面積を低減することができる。

【0174】

[実施の形態10]

図14は、この発明の実施の形態10に従う半導体集積回路の要部の構成を示す図である。この図14に示す半導体集積回路においては、MOSトランジスタ5のソースおよびドレインそれぞれに対し、外部に容量素子を接続するためのノード15aおよび15bが電気的に接続される。また、MOSトランジスタ8のソースおよびドレインに対し、容量素子を外部に接続するためのノード18aおよび18bが電気的に接続される。これらのノード15a、15b、18aおよび18bは、外部端子である。

40

【0175】

第1のノード4および第2のノード7の電圧レベルを安定化するための容量を、半導体集積回路1上に集積化せず、この半導体集積回路1の外部に個別的に配置して、ノード15aおよび15bの間ならびにノード18aおよび18bの間に個別部品としての容量素子

50

を安定化容量として接続する。この集積回路外部に安定化容量を配置する構成の場合、個別部品の容量素子を利用することができ、任意の大きさの容量値を有する容量素子を用いることができ、この出力ノード9の負荷容量に比べて十分大きな容量値を有する容量を安定化容量として利用することができる。したがって、図13に示すように、この半導体集積回路が、複数の出力端子を有し、これらの複数の出力端子を並列に駆動する場合においても、外部に配置された容量素子により、安定に電荷を供給することができ、高速で信号を変化させることができ、安定かつ高速に動作する半導体集積回路を実現することができる。また、半導体集積回路上に、比較的大きな占有面積を必要とする安定化容量を設ける必要がなく、チップ面積を低減することができる。

【0176】

10

[実施の形態11]

図15は、この発明の実施の形態11に従う半導体集積回路の要部の構成を示す図である。図15においては、高レベルの内部電源電圧を生成するための第1の電圧発生回路2の構成を示す。図15において、第1の電圧発生回路2は、MOSトランジスタ5のゲートの電圧レベルに対応する電圧を発生する比較電圧発生回路60と、この比較電圧発生回路60の出力電圧を基準電圧 $V_{ref}$ とを比較する差動増幅器62と、差動増幅器62の出力信号に従って第1の電圧源 $V_{CC}$ からノード2aに電流を供給するpチャネルMOSトランジスタ64を含む。ノード2aから、第1の電源回路5に与えられる内部電圧 $V_{Ca}$ が出力される。第1の電源回路5は図1および図11のいずれの構成であってもよい。以下の実施の形態の説明においても同様である。

20

【0177】

比較電圧発生回路60は、ノード2aとノード60eの間に直列に接続される各々がダイオード接続されるpチャネルMOSトランジスタ60aならびにnチャネルMOSトランジスタ60bおよび60cと、ノード60eと接地ノード(第2の電圧源)との間に接続される定電流源60dを含む。MOSトランジスタ60a~60cは、定電流源60dの駆動電流により、ダイオードモードで動作し、各々そのしきい値電圧の絶対値の電圧降下を生じさせる。

【0178】

差動増幅器62は、その負入力に基準電圧 $V_{ref}$ を受け、正入力にノード60e上の電圧を受ける。差動増幅器62は、周知のように、MOSトランジスタを構成要素として含み、その差動入力段には、基準電圧 $V_{ref}$ をゲートに受けるMOSトランジスタおよびノード60e上の電圧をゲートに受けるMOSトランジスタを含む。したがって、この差動増幅器62においても、高入力インピーダンスを介して基準電圧 $V_{ref}$ を受けており、この第1の電圧発生回路2の電圧発生動作が基準電圧 $V_{ref}$ に対し何ら悪影響を及ぼすことはない。

30

【0179】

差動増幅器62は、ノード60e上の電圧が基準電圧 $V_{ref}$ よりも高い場合には、高レベルの信号を出力し、MOSトランジスタ64をオフ状態に保持する。一方、ノード60e上の電圧が基準電圧 $V_{ref}$ よりも低い場合には、その差に応じた低レベルの信号を出力する。この差動増幅器62の出力信号に従ってMOSトランジスタ64のコンダクタンスが大きくなり、第1の電圧源 $V_{CC}$ からノード2aに電流を供給し、ノード2a上の電圧を上昇させ、応じてノード60eの電圧を上昇させる。したがって、この差動増幅器62により、ノード60eの電圧レベルが基準電圧 $V_{ref}$ の電圧レベルに保持される。

40

【0180】

MOSトランジスタ60a~60cはダイオードモードで動作しており、しきい値電圧の絶対値に等しい電圧降下をそれぞれ生じさせている。したがって、ノード2aからの内部電圧 $V_{Ca}$ は次式で表わされる：

$$V_{Ca} = V_{ref} + 2 \cdot V_{TN} + |V_{TP}|$$

第1のノード4上に伝達される高レベル内部電源電圧 $V_4$ は、第1の電源回路5の構成により異なるが、電圧 $V_{Ca}$ をゲートに受けるソースフォロワMOSトランジスタの場合、

50

以下の式で表わされる。

【 0 1 8 1 】

$$V_4 = V_{Ca} - V_{TN} \\ = V_{ref} + V_{TN} + |V_{TP}|$$

以上のように、この発明の実施の形態 1 1 に従えば、第 1 の電圧発生回路において、基準電圧と高レベル内部電源電圧を規定する内部電圧とを差動増幅器で比較し、その比較結果に従ってこの内部電圧のレベルを調整しているため、差動増幅器および電流供給トランジスタおよび比較電圧発生回路のフィードバックループにより、内部電源電圧を決定する内部電圧を安定に所定の電圧レベルに保持することができる。

【 0 1 8 2 】

10

[ 実施の形態 1 2 ]

図 1 6 は、この発明の実施の形態 1 2 に従う半導体集積回路の要部の構成を示す図である。この図 1 6 に示す半導体集積回路においては、第 1 の電圧発生回路 2 の部分の構成が示される。この図 1 6 に示す第 1 の電圧発生回路 2 は、以下の点において図 1 5 に示す第 1 の内部電圧発生回路の構成と異なっている。

【 0 1 8 3 】

すなわち、この図 1 6 に示す第 1 の内部電圧発生回路 2 は、内部ノード 2 a に電流を供給するドライバ素子としての p チャネル MOS トランジスタ 6 4 のソースが、電源電圧  $V_{CC}$  よりも高い昇圧電圧  $V_{PP}$  を供給する高電圧源  $V_{PP}$  に接続される。また、差動増幅器 6 2 は、その一方動作電源電圧として、昇圧電圧  $V_{PP}$  を受ける。他の構成は図 1 5 に示す構成と同じであり、対応する部分には同一参照符号を付す。

20

【 0 1 8 4 】

この図 1 6 に示す第 1 の電圧発生回路は、電源電圧  $V_{CC}$  よりも高い昇圧電圧  $V_{PP}$  を一方動作電源電圧として動作する。この半導体集積回路が低電源電圧駆動される場合においても、昇圧電圧  $V_{PP}$  により確実に比較電圧発生回路 6 0 を作動状態とすることができ、低電源電圧構成の場合においても、確実に所望の電圧レベルの内部電圧を生成することができる。

【 0 1 8 5 】

[ 実施の形態 1 3 ]

図 1 7 は、この発明の実施の形態 1 3 に従う半導体集積回路の要部の構成を示す図である。図 1 7 においては、第 2 のノード 7 上の低レベル内部電源電圧の電圧レベルを決定する内部電圧  $V_{Sa}$  を発生する第 2 の電圧発生回路 3 の部分の構成が示される。

30

【 0 1 8 6 】

図 1 7 において、第 2 の電圧発生回路 3 は、p チャネル MOS トランジスタ 8 のゲートに結合され、内部電圧  $V_{Sa}$  に対応する電圧レベルの電圧を発生する比較電圧発生回路 7 0 と、この比較電圧発生回路 7 0 からの電圧と基準電圧  $V_{ref}$  とを比較する差動増幅器 7 2 と、差動増幅器 7 2 の出力信号に従ってノード 3 a 上の電圧  $V_{Sa}$  の電圧レベルを調整する n チャネル MOS トランジスタ 7 4 を含む。MOS トランジスタ 7 4 は、ノード 3 a と接地ノード（第 2 の電圧源） $V_{SS}$  の間に結合され、そのゲートに差動増幅器 7 2 の出力信号を受ける。

40

【 0 1 8 7 】

比較電圧発生回路 7 0 は、電源ノード（第 1 の電圧源） $V_{CC}$  とノード 7 0 e の間に接続されて一定の電流を供給する定電流源 7 0 a と、ノード 7 0 e とノード 3 a の間に互いに直列に接続されかつ各々がダイオード接続される p チャネル MOS トランジスタ 7 0 b および 7 0 c ならびに n チャネル MOS トランジスタ 7 0 d を含む。ノード 7 0 e から比較電圧が出力される。

【 0 1 8 8 】

差動増幅器 7 2 は、比較電圧発生回路 7 0 からの比較電圧を正入力に受け、基準電圧  $V_{ref}$  を負入力に受ける。

【 0 1 8 9 】

50

比較電圧発生回路 70 において、定電流源 70a からの定電流に従って、MOS トランジスタ 70b ~ 70d は、それぞれダイオードモードで動作し、しきい値電圧の絶対値の電圧降下を生じさせる。したがってノード 70e の電圧  $V_{70e}$  は次式で表わされる：

$$V_{70e} = V_{Sa} + V_{TN} + 2 \cdot |V_{TP}|$$

差動増幅器 72 は、このノード 70e からの電圧  $V_{70e}$  と基準電圧  $V_{ref}$  を差動的に増幅する。電圧  $V_{70e}$  が基準電圧  $V_{ref}$  よりも高いときには、その電圧差に応じて差動増幅器 72 の出力信号がハイレベルとなり、MOS トランジスタ 74 のコンダクタンスが大きくなり、ノード 3a から第 2 の電圧源（接地ノード） $V_{SS}$  へ電流を流し、この内部電圧  $V_{Sa}$  の電圧レベルを低下させる。

【0190】

電圧  $V_{70e}$  が基準電圧  $V_{ref}$  よりも低い場合には、差動増幅器 72 の出力信号は低レベルとなり、MOS トランジスタ 74 はオフ状態を維持する。したがって、ノード 3a からの内部電圧  $V_{Sa}$  は、ノード 70e からの比較電圧  $V_{70e}$  は基準電圧  $V_{ref}$  と等しい電圧レベルに設定される。したがって、このノード 3a からの内部電圧  $V_{Sa}$  は次式で表わされる：

$$V_{Sa} = V_{ref} - 2 \cdot |V_{TP}| - V_{TN}$$

第 2 のノード 7 上の電圧  $V_7$  の電圧レベルは第 2 の電源回路 8 の構成に応じて異なる。第 2 の電源回路 8 は図 1 および図 12 のソースフォロワ MOS トランジスタ 8c のいずれでもよい。以下の実施の形態においても同様である。

【0191】

この図 17 に示す第 2 の内部電圧発生回路においても、差動増幅器 72 は、高入力インピーダンスを有する入力部に基準電圧  $V_{ref}$  を受けている。したがって、基準電圧  $V_{ref}$  の電圧レベルに何ら影響を及ぼすことなく、内部電圧  $V_{Sa}$  を生成することができる。また、内部電圧  $V_{Sa}$  が変動した場合、この比較電圧発生回路 70、差動増幅器 72 および MOS トランジスタ 74 のフィードバックループにより、高速で内部電圧  $V_{Sa}$  が所定の電圧レベルに駆動され、応じて、第 2 のノード 7 上の低レベル内部電源電圧  $V_7$  を安定に一定の電圧レベルに保持することができる。

【0192】

また、この図 17 に示す第 2 の電圧発生回路を図 15 に示す第 1 の電圧発生回路と組合せて用いた場合、この第 1 のノード 4 上の高レベル電源電圧  $V_4$  は、基準電圧  $V_{ref}$  よりも高い電圧レベルにあり、一方、第 2 のノード 7 上の低レベル内部電源電圧  $V_7$  は、基準電圧  $V_{ref}$  よりも低い電圧レベルにある。したがって、出力信号は、基準電圧  $V_{ref}$  を中心として、上下同じ振幅を有する。したがって、この差動増幅器 62（図 15 参照）および差動増幅器 72（図 17 参照）を用いて内部電圧を発生する構成においても、基準電圧  $V_{ref}$  を中心とした振幅を有する信号を生成することができる。

【0193】

[実施の形態 14]

図 18 は、この発明の実施の形態 14 に従う半導体集積回路の要部の構成を示す図である。この図 18 においては、第 2 の電圧発生回路 3 の部分の構成が示される。

【0194】

この図 18 に示す第 2 の電圧発生回路 3 は、図 17 に示す第 2 の電圧発生回路と、以下の点において異なっている。すなわち、この図 18 に示す第 2 の電圧発生回路 3 においては、内部電圧  $V_{Sa}$  の電圧レベルを調整するための n チャネル MOS トランジスタ 74 のソースが、接地電圧  $V_{SS}$  に代えて負電圧  $V_{BB}$  を受ける。残りの構成は図 17 に示す構成と同じであり、対応する部分には同一参照番号を付す。

【0195】

この図 18 に示すように、負電圧  $V_{BB}$  を利用することにより、低電源電圧下において、基準電圧  $V_{ref}$  の電圧レベルが低くなり、内部電圧  $V_{Sa}$  が接地電圧に近い電圧レベルとなっても、この内部電圧  $V_{Sa}$  を所望の電圧レベルに保持することができる。これにより、電圧発生回路の動作電源電圧の範囲を広くすることができる。

## 【 0 1 9 6 】

なお、負電圧  $V_{BB}$  が MOS トランジスタ 70 のソースに与えられているため、差動増幅器 72 は、電源電圧  $V_{CC}$  と負電圧  $V_{BB}$  を両動作電源電圧として動作する。これにより、確実に MOS トランジスタ 74 をオフ状態へ駆動する。

## 【 0 1 9 7 】

## [ 実施の形態 15 ]

図 19 は、この発明の実施の形態 15 に従う半導体集積回路の要部の構成を示す図である。図 19 においては、第 1 のノード 4 上の高レベル内部電源電圧  $V_4$  を生成するための内部電圧  $V_{Ca}$  を生成する第 1 の電圧発生回路 2 の部分の構成が示される。この図 19 に示す第 1 の電圧発生回路 2 の構成は、図 15 に示す第 1 の電圧発生回路 2 と以下の点において異なっている。すなわち、比較電圧発生回路 60 が、ノード 3a とノード 60h の間に接続される抵抗素子 60f と、ノード 60h と接地ノード（第 2 の電圧源） $V_{SS}$  の間に接続される定電流源 60g で構成される。他の点は、図 15 に示す構成と同じであり、対応する部分には同一参照番号を付す。

10

## 【 0 1 9 8 】

この図 19 に示す第 1 の電圧発生回路 2 の構成においては、ノード 60h の電圧レベルが、基準電圧  $V_{ref}$  に等しくなるように、差動増幅器 62 および p チャネル MOS トランジスタ 64 により制御が行なわれる。したがって、ノード 2a 上の内部電圧  $V_{Ca}$  の電圧レベルは次式で表わされる：

$$V_{Ca} = V_{ref} + I \cdot R$$

20

ここで  $I$  は、定電流源 60g が駆動する電流を示し、 $R$  は抵抗素子 60f の抵抗値を示す。この抵抗素子 60f の抵抗値  $R$  および定電流源 60g の駆動電流  $I$  の大きさを適当に調整することにより、内部電圧  $V_{Ca}$  は、基準電圧  $V_{ref}$  以上電源電圧  $V_{CC}$  以下の任意の電圧レベルに設定することができる。これにより、出力信号の振幅を、容易に最適化することが可能となる。

## 【 0 1 9 9 】

なお、この図 19 に示す第 1 の電圧発生回路 2 において、電源電圧  $V_{CC}$  に代えて、昇圧電圧  $V_{PP}$  が与えられてもよい（括弧内に示す）。

## 【 0 2 0 0 】

## [ 実施の形態 16 ]

図 20 は、この発明の実施の形態 16 に従う半導体集積回路の要部の構成を示す図である。図 20 においては、第 2 の電圧発生回路 3 の部分の構成が示される。この図 20 に示す第 2 の電圧発生回路 3 は、図 17 に示す第 2 の電圧発生回路と以下の点において異なっている。比較電圧発生回路 70 が、電源ノード（第 1 の電圧源） $V_{CC}$  とノード 70h の間に接続される定電流源 70f と、ノード 70h とノード 3a との間に接続される抵抗素子 70g を含む。他の構成は、図 17 に示す構成と同じであり、対応する部分には同一参照番号を付す。

30

## 【 0 2 0 1 】

この図 20 に示す第 2 の電圧発生回路の構成においては、ノード 3a からの内部電圧  $V_{Sa}$  は、ノード 70h の電圧レベルが基準電圧  $V_{ref}$  の電圧レベルと等しいため、次式で表わされる：

$$V_{Sa} = V_{ref} - I \cdot R$$

40

ここで  $I$  は、定電流源 70f を流れる電流を示し、 $R$  は抵抗素子 70g の抵抗値を示す。

## 【 0 2 0 2 】

この図 20 に示す第 2 の電圧発生回路の構成の場合、したがって、内部電圧  $V_{Sa}$  を基準電圧  $V_{ref}$  と接地電圧  $V_{SS}$  の間の任意の電圧レベルに設定することができる。この図 20 に示す第 2 の電圧発生回路 3 においても、接地電圧  $V_{SS}$  に代えて括弧内に示す負電圧  $V_{BB}$  が用いられてもよい。

## 【 0 2 0 3 】

また、図 19 および図 20 に示す電圧発生回路において、比較電圧発生回路 60 および 7

50

0における定電流源が供給する電流を同じとしかつ抵抗素子の抵抗値Rを同じとすれば、出力回路からの出力信号は、基準電圧V<sub>ref</sub>を中心として上側の振幅および下側の振幅が同じ出力信号を得ることができる。

【0204】

[実施の形態17]

図21は、この発明の実施の形態17に従う半導体集積回路の要部の構成を示す図である。図21においては第1の電圧発生回路の部分の構成が示される。この図21に示す第1の電圧発生回路2は、図19に示す第1の電圧発生回路と以下の点において異なっている。すなわち、ノード2aと抵抗素子60fの間にダイオード接続されたnチャネルMOSトランジスタ60iが設けられる。第1の電源回路5は、第1の電圧源V<sub>CC</sub>TO第1のノード4との間に接続され、そのゲートに電圧V<sub>Ca</sub>を受けるnチャネルMOSトランジスタ5cを含む。他の構成は図19に示す構成と同じであり、対応する部分には同一参照番号を付す。

【0205】

この図21に示す第1の電圧発生回路2においては、内部電圧V<sub>Ca</sub>は次式で表わされる：

$$V_{Ca} = V_{ref} + I \cdot R + V_{TN}$$

したがって、第1のノード4に出力される高レベル内部電源電圧V<sub>4</sub>は次式で表わされる：

$$V_4 = V_{ref} + I \cdot R$$

したがって、この図21に示す第1の電圧発生回路を用いた場合、第1のノード4に現れる高レベル内部電源電圧V<sub>4</sub>の電圧レベルは、MOSトランジスタ5cのしきい値電圧に依存せず、抵抗素子60fの抵抗値Rと定電流源60gの駆動する電流Iの大きさにより決定される。したがって、製造パラメータのばらつきによるしきい値電圧の変動の影響を受けることなく安定に所望の電圧レベルの高レベル内部電源電圧を生成することができる。

【0206】

なお、この図21に示す構成においても、第1の電圧発生回路2は、昇圧電圧V<sub>PP</sub>を一方動作電源電圧として受けるように構成されてもよい（この昇圧電圧V<sub>PP</sub>は図21において括弧内に示す）。

【0207】

[実施の形態18]

図22は、この発明の実施の形態18に従う半導体集積回路の要部の構成を示す図である。図22においては、第2の電圧発生回路の部分の構成が示される。この図22に示す第2の電圧発生回路は、図20に示す第2の電圧発生回路と以下の点において異なっている。すなわち、定電流源70fと抵抗素子70gの間に、ダイオード接続されたpチャネルMOSトランジスタ70iが配置される。第2の電源回路8は、第2の電圧源V<sub>SS</sub>と第2のノード7との間に接続されかつそのゲートに電圧V<sub>Sa</sub>を受けるpチャネルMOSトランジスタ8cを含む。他の構成は、図20に示す構成と同じであり、対応する部分には同一参照番号を付す。

【0208】

この図22に示す第2の電圧発生回路の構成においては、第2のノード7に伝達される低レベル内部電源電圧V<sub>7</sub>は、次式で表わされる：

$$\begin{aligned} V_7 &= V_{Sa} + |V_{TP}| \\ &= V_{ref} - I \cdot R \end{aligned}$$

したがってこの図22に示す第2の電圧発生回路を用いれば、第2のノード7に現れる低レベル内部電源電圧V<sub>7</sub>は、MOSトランジスタ8cのしきい値電圧に依存しない。したがって、製造パラメータのばらつきなどによりMOSトランジスタのしきい値電圧がばらついていても、その影響を受けることなく安定に所望の電圧レベルの低レベル内部電源電圧を生成することができる。



## 【0209】

この図22に示す第2の電圧発生回路3の構成においても、接地電圧VSSに代えて括弧内に示すように、負電圧VBBが用いられてもよい。また、この図22に示す第2の電圧発生回路は、図21に示す第1の電圧発生回路と組合せて用いられれば、高レベル内部電源電圧および低レベル内部電源電圧いずれも、MOSトランジスタのしきい値電圧に依存しない電圧レベルに設定することができる。

## 【0210】

## [実施の形態19]

図23は、この発明の実施の形態19に従う半導体集積回路の要部の構成を示す図である。図23においては、第1の電圧発生回路2の部分の構成が示される。この図23に示す第1の電圧発生回路2は、以下の点において、図19に示す第1の電圧発生回路の構成と異なっている。

10

## 【0211】

すなわち、ノード2aとノード60hの間に互いに直列に抵抗素子60fa、60fbおよび60fcが接続され、かつ抵抗素子60fbおよび60fcそれぞれと並列に溶断可能なリンク素子60lbおよび60lcが接続される。これらのリンク素子60lbおよび60lcは、アルミニウムまたは高融点金属を用いて形成される。他の構成は図19に示す第1の電圧発生回路の構成と同じであり、対応する部分には同一参照番号を付す。

## 【0212】

この図23に示す第1の電圧発生回路2においては、リンク素子60lbおよび60lcの溶断/非溶断により、ノード2aとノード60hの間の抵抗素子の合成抵抗値が決定される。リンク素子60lbおよび60lcがともに溶断された場合、ノード2aとノード60hの間に、3個の抵抗素子60fa、60fbおよび60fcの合成抵抗値を有する抵抗素子が配置される。一方、リンク素子60lbおよび60lcがともに非溶断の場合、抵抗素子60fbおよび60fcがこれらのリンク素子60lbおよび60lcにより短絡され、ノード2aとノード60hの間の抵抗値は、抵抗素子60faが有する抵抗値により与えられる。

20

## 【0213】

したがってこれらのリンク素子60lbおよび60lcを選択的に溶断/非溶断とすることにより、ノード2aとノード60hの間の抵抗値を調整することができ、応じて内部電圧Vcaを通して第1のノード4に現れる高レベル内部電源電圧V4の電圧レベルを調整することができる。これにより、製造パラメータのばらつきなどにより、高レベル内部電源電圧V4の電圧レベルが所望の電圧レベルと異なる場合においても、容易に所望の電圧レベルに調整することができる。

30

## 【0214】

このリンク素子60lbおよび60lcは、半導体集積回路がたとえば半導体記憶装置を含む場合、不良メモリセルを救済するための不良アドレスプログラム時に行なわれるリンク素子のプログラム(溶断/非溶断)と同一工程でそれらのプログラムを行なうことにより、製造工程を増加させることなく容易に高レベル内部電源電圧のレベル調整を行なうことができる。

40

## 【0215】

## [実施の形態20]

図24は、この発明の実施の形態20に従う半導体集積回路の要部の構成を示す図である。図24においては、第2の電圧発生回路の部分の構成が示される。この図24に示す第2の電圧発生回路3は、以下の点において、図20に示す第2の電圧発生回路の構成と異なっている。

## 【0216】

すなわち、定電流源70fとノード3aの間に互いに直列に抵抗素子70ga、70gbおよび70gcが接続され、かつこれらの抵抗素子70gbおよび70gcそれぞれと並列に溶断可能なリンク素子70lbおよび70lcが接続される。他の構成は図20に示

50

す第2の電圧発生回路の構成と同じであり、対応する部分には同一参照番号を付す。

#### 【0217】

この図24に示す第2の電圧発生回路3においても、リンク素子701bおよび701cは、アルミニウムまたは高融点金属で形成される。これらのリンク素子701bおよび701cの溶断/非溶断により、ノード70hとノード3aの間の抵抗値を調整することができ、応じて内部電圧V<sub>Sa</sub>を通して第2のノード7の低レベル内部電源電圧V<sub>7</sub>の電圧レベルを調整することができる。

#### 【0218】

これにより、製造パラメータのばらつきにより、第2のノード上の低レベル内部電源電圧の電圧レベルが所望値から変動している場合においても、これらのリンク素子701bおよび701cの溶断により、正確に所望の電圧レベルに設定することが可能となる。

10

#### 【0219】

##### [実施の形態21]

図25は、この発明の実施の形態21に従う半導体集積回路の全体の構成を概略的に示す図である。図25においては、この半導体集積回路1は、基準電圧V<sub>ref</sub>を発生する基準電圧発生回路80と、この基準電圧V<sub>ref</sub>に従って内部電源電圧V<sub>4</sub>およびV<sub>7</sub>を生成する内部電源回路82を含む。内部電源回路82は、先の実施の形態のいずれかの構成を備え、第1および第2の電圧発生回路2および3、内部電源電圧発生用のMOSトランジスタ5および7を含む。この内部電源回路82は、安定化容量15および18が、外部に設けられない場合には、これらの安定化容量15および18を含む。

20

#### 【0220】

出力回路10は、内部回路84からの出力信号I<sub>N</sub>を受けて、出力ノード（出力端子）9上に、電圧V<sub>4</sub>またはV<sub>7</sub>レベルの信号を伝達する。内部回路84は、電源電圧V<sub>CC</sub>および接地電圧V<sub>SS</sub>を両動作電源電圧として受けて動作する。

#### 【0221】

この図25に示すように、基準電圧発生回路80を、半導体集積回路1内に設けることにより、この基準電圧を受けるためのピン端子が不要となり、端子数を低減することができる。

#### 【0222】

図26は、図25に示す基準電圧発生回路80の構成の一例を示す図である。図26において、基準電圧発生回路80は、電源ノード（第1の電圧源）V<sub>CC</sub>とノード80gの間に接続される高抵抗の抵抗素子80aと、ノード80gとノード80iの間に接続されかつそのゲートがノード80gに接続されるnチャネルMOSトランジスタ80bと、ノード80iとノード80hの間に接続されかつそのゲートがノード80hに接続されるpチャネルMOSトランジスタ80cと、ノード80hと接地ノード（第2の電圧源）V<sub>SS</sub>の間に接続される高抵抗の抵抗素子80dと、電源ノードV<sub>CC</sub>と出力ノード80jの間に接続されかつそのゲートがノード80gに接続されるnチャネルMOSトランジスタ80eと、出力ノード80jと接地ノードV<sub>SS</sub>の間に接続されかつそのゲートがノード80hに接続されるpチャネルMOSトランジスタ80fを含む。次に、動作について説明する。

30

40

#### 【0223】

抵抗素子80aおよび80dの抵抗値は、MOSトランジスタ80bおよび80cそれぞれのオン抵抗よりも十分に大きくされており、MOSトランジスタ80bおよび80cは、ダイオードモードで動作する。また抵抗素子80aおよび80dの抵抗値は互いに等しくされており、したがってノード80iの電圧レベルはV<sub>CC</sub>/2となる。したがって、ノード80gの電圧V<sub>80g</sub>およびノード80hの電圧V<sub>80h</sub>は、それぞれ、次式で表わされる。

#### 【0224】

$$V_{80g} = V_{CC} / 2 + V_{TN}$$

$$V_{80h} = V_{CC} / 2 - |V_{TP}|$$

50

M O S トランジスタ 8 0 e は、そのゲート上の電圧  $V_{80g}$  が、ドレイン電圧  $V_{CC}$  よりも低いためソースフォロワモードで動作し、そのゲート上の電圧  $V_{80g}$  よりもしきい値電圧  $V_{TN}$  低い電圧を出力ノード 8 0 j に伝達する。一方、pチャネルM O S トランジスタ 8 0 f は、そのゲート上の電圧  $V_{80h}$  がドレイン電圧  $V_{SS}$  よりも高いため、ソースフォロワモードで動作し、この電圧  $V_{80h}$  よりもしきい値電圧の絶対値  $|V_{TP}|$  高い電圧を出力ノード 8 0 a に伝達する。したがって、基準電圧  $V_{ref}$  は、次式で表わされる。

【 0 2 2 5 】

$$V_{ref} = V_{CC} / 2$$

この図 2 6 に示す基準電圧発生回路 8 0 の構成において、高抵抗の抵抗素子 8 0 a および 8 0 d が用いられており、この抵抗素子 8 0 a、M O S トランジスタ 8 0 b および 8 0 c ならびに高抵抗抵抗素子 8 0 d の経路においては微小電流が流れるだけである。したがって出力回路動作時において、電源電圧  $V_{CC}$  が変化しても、この基準電圧発生回路 8 0 の応答速度は極めて遅く、ノード 8 0 i 上の電圧レベルの変化は遅く、電源ノイズ発生時においても、このノード 8 0 i の電圧レベルはほとんど変化せず、ほぼ電源電圧の急激な変化に依存しない安定な一定の電圧レベルの基準電圧  $V_{ref}$  を生成することができる。

【 0 2 2 6 】

また、M O S トランジスタ 8 0 g は、基準電圧  $V_{ref}$  が所定電圧レベル ( $V_{CC} / 2$ ) よりも低くなるとオン状態となり、出力ノード 8 0 j へ電流を供給する。このときには、pチャネルM O S トランジスタ 8 0 f はオフ状態にある。一方、基準電圧  $V_{ref}$  が所定電圧レベル ( $V_{CC} / 2$ ) よりも高くなると、pチャネルM O S トランジスタ 8 0 f がオン状態となり、出力ノード 8 0 j の電圧レベルを低下させる。このときには、M O S トランジスタ 8 0 e はオフ状態にある。したがって、このM O S トランジスタ 8 0 e および 8 0 f は、同時にオン状態とならず、貫通電流は生じない。また、これらのM O S トランジスタ 8 0 e および 8 0 f は、オン状態とオフ状態の境界領域にあり、その消費電流は極めて小さい。

【 0 2 2 7 】

以上のように、この発明の実施の形態 2 1 に従えば、半導体集積回路内部に基準電圧を発生する回路を設けたため、基準電圧を外部から受けるためのピン端子が不要となり、ピン端子数を低減することができ、応じてチップ面積を低減することができる。

【 0 2 2 8 】

[ 実施の形態 2 2 ]

図 2 7 は、この発明の実施の形態 2 2 に従う半導体集積回路の全体の構成を概略的に示す図である。図 2 7 に示す半導体集積回路は、以下の点において図 2 5 に示す半導体集積回路と異なっている。

【 0 2 2 9 】

すなわち、この図 2 7 に示す半導体集積回路は、内部に設けられた基準電圧発生回路 8 0 からの基準電圧  $V_{ref}$  と入力ノード 8 5 に与えられた入力信号  $V_{IN}$  を比較し、その比較結果に従って信号を出力する入力回路 8 6 を含む。この入力回路 8 6 は、基準電圧  $V_{ref}$  を負入力に受け、入力ノード 8 5 からの入力信号  $V_{IN}$  を正入力に受ける差動増幅器 8 6 a を含む。他の構成は、図 2 5 に示す構成と同じであり、対応する部分には同一参照番号を付す。

【 0 2 3 0 】

内部電源回路 8 2 および入力回路 8 6 両者にオンチップの基準電圧発生回路 8 0 からの基準電圧  $V_{ref}$  を与えておくことにより、この入力信号の論理レベルを判定するための基準電圧を外部から各チップに共通に与える必要はなく、また入力信号の高レベルおよび低レベルの判定基準が、出力回路 1 0 から出力ノード 9 へ出力される出力信号  $V_{OUT}$  の中心レベルと同じであり、各チップに同じ基準電圧発生回路を内蔵させておけば、入力信号および出力信号の中心レベルを同じ基準電圧  $V_{ref}$  に設定することができ、正確に信号を転送することができる。

10

20

30

40

50

## 【 0 2 3 1 】

図 2 7 に示す構成においては、入力ノード 8 5 は、出力ノード 9 と別に設けられている。しかしながら、この入力ノード 8 5 と出力ノード 9 は同じ外部端子に接続されていてもよい。

## 【 0 2 3 2 】

また上述の図 2 6 に示す基準電圧発生回路においては、基準電圧  $V_{ref}$  は、電源電圧  $V_{CC}$  の  $1/2$  の電圧レベルに設定されている。しかしながら、先に述べた  $SS\ TL\ 3$  のクラス I 方式等において用いられているように、この入力信号の高レベルおよび低レベル判定基準は、 $0.45 V_{DDQ}$  の電圧レベルに設定されてもよい。すなわち、基準電圧  $V_{ref}$  が、 $0.45 V_{DDQ}$  の電圧レベルに設定されてもよい。ここで、 $V_{DDQ}$  は、出力回路専用に外部から与えられる電源電圧を示す。この出力回路専用に外部から電源電圧を与え内部回路を動作させるための電源電圧と別の電源とすることにより、出力回路動作時における内部回路用の電源電圧の変動を抑制しかつ出力回路専用に電源電圧を与えることにより、出力回路は余裕を持って出力ノードを駆動することができ、安定に信号を出力することができる。

10

## 【 0 2 3 3 】

以上のように、この発明の実施の形態 2 2 に従えば、半導体集積回路内に基準電圧発生回路を設け、この基準電圧発生回路からの基準電圧を出力信号振幅を決定する内部電源回路へ与えかつ入力信号の高レベル / 低レベル判定基準となる基準電圧として用いるように構成しているため、ピン端子数を増加させることなく正確に入力信号および出力信号の中心レベルが一致した信号の転送を行なうことができる。特に、システム電源の変動時においてこのシステム内の半導体集積回路すべての電源電圧が同様に変動した場合、基準電圧も同様に変動するため、このようなシステム電源変動時においても、正確に信号の高レベル / 低レベルを判定して安定にかつ正確に信号転送を行なうことができる。

20

## 【 0 2 3 4 】

## [ 実施の形態 2 3 ]

図 2 8 は、この発明の実施の形態 2 3 に従う半導体集積回路の全体の構成を概略的に示す図である。この図 2 8 において、半導体集積回路 1 は、記憶素子としての  $DRAM$  (ダイナミック・ランダム・アクセス・メモリ) 回路 9 0 と、この  $DRAM$  回路 9 0 に格納されたデータと外部からのデータに対し所定の処理を行なうプロセサ 9 2 と、この集積回路外部と信号の授受を行なうための入出力インタフェース回路 9 4 を含む。プロセサ 9 2 および  $DRAM$  回路 9 0 は、この入出力インタフェース回路 9 4 とデータの授受を行なうことができる。

30

## 【 0 2 3 5 】

この半導体集積回路 1 では、プロセサ 9 2 と  $DRAM$  回路 9 0 とが集積化されている。同じ半導体チップ上にプロセサ 9 2 および  $DRAM$  回路 9 0 が載置されるため、この  $DRAM$  回路 9 0 は、ピン端子数を制限を受けることなく、所望のビット幅のデータバスを介してプロセサ 9 2 とデータの授受を行なうことができる。これにより、高速データ転送が可能となる。

## 【 0 2 3 6 】

入出力インタフェース回路 9 4 は、これまでに説明した、出力回路 1 0 と、この出力回路 1 0 の出力信号の振幅を制限する内部電源回路 8 2 を含む。入力インタフェース部は、基準電圧に従って入力信号の論理レベルの判定を行なう。

40

## 【 0 2 3 7 】

図 2 9 は、図 2 8 に示す  $DRAM$  回路 9 0 の構成を概略的に示す図である。図 2 9 において、 $DRAM$  回路 9 0 は、ダイナミック型メモリセルを複数個有する  $DRAM$  9 0 a と、この  $DRAM$  9 0 a に対し、プロセサ 9 2 または外部からの命令に従ってアクセス制御を行なう  $DRAM$  コントローラ 9 0 b を含む。 $DRAM$  コントローラ 9 0 b は、 $DRAM$  9 0 a へのデータの書込および読出を制御し、これにより、プロセサ 9 2 と  $DRAM$  9 0 a との間のデータ転送および入出力インタフェース回路 9 4 と  $DRAM$  9 0 a との間のデー

50

タ転送を実現する。

【0238】

図30は、図29に示すDRAM（ダイナミック・ランダム・アクセス・メモリ）の全体の構成を概略的に示す図である。図30において、DRAM90aは、行列状に配列される複数のメモリセルMCを有するメモリセルアレイ100を含む。このメモリセルアレイ100においては、メモリセルの各行に対応して配置され各々に対応の行のメモリセルが接続される複数のワード線と、メモリセルの各列に対応して配置され、各々に対応の列のメモリセルが接続される複数対のビット線が配置される。図30においては、1つのワード線WLと1つのビット線対BLPとを代表的に示す。ビット線対BLPはビット線BLと補のビット線/BLを含む。ワード線WLと1対のビット線BLPの交差部に対応して複数のメモリセルMCが配置される。図30においては、ビット線BLとワード線WLの交差部に対応して配置されるメモリセルMCを代表的に示す。

10

【0239】

メモリセルMCは、情報を電荷の形態で格納するためのメモリセルキャパシタMSと、ワード線WLの選択時導通し、メモリセルキャパシタMSのストレージノードSNを対応のビット線（図30においてはビット線BL）に接続するnチャネルMOSトランジスタで構成されるアクセストランジスタMTを含む。メモリセルキャパシタMSの他方電極ノード（セルプレート電極ノード）へは、中間電圧（セルプレート電圧）VCPが印加される。この中間電圧VCPは、DRAMの動作電源電圧VCCと接地電圧GNDの差の1/2の電圧レベルである。このDRAMの動作電源電圧は、この半導体集積回路1のプロセッサ92およびDRAM回路90に共通に与えられる電源電圧であってもよく、またDRAM内部で降圧して生成される内部電源電圧のいずれであってもよい。

20

【0240】

DRAM90aは、さらに、DRAM外部から与えられるアドレス信号を受けてバッファ処理して内部アドレス信号を生成するアドレスバッファ102と、アドレスバッファ102からの内部行アドレス信号に従ってメモリセルアレイ100のアドレス指定された行に対応するワード線を選択状態へ駆動する行選択回路104と、活性化時、ビット線対BLPの電位を差動的に増幅し、かつラッチするセンスアンプ回路106と、アドレスバッファ102からの内部列アドレス信号に従ってメモリセルアレイ100の列を選択する列選択回路108を含む。この列選択回路108により選択された列上のメモリセルに対し書込/読出回路110によりデータの書込/読出が行なわれる。この書込/読出回路110は、またDRAM外部とデータの入出力を行なう。

30

【0241】

DRAM90aは、さらに、図29に示すDRAMコントローラからの各種制御信号を受けて、内部動作に必要な制御信号を生成する制御回路112を含む。

【0242】

動作時においては、行選択回路104により、選択行に対応するワード線WLが選択状態へ駆動され、この選択ワード線WLに接続されるメモリセルのデータが対応のビット線上に読出される。ビット線BLおよび/BLの一方にメモリセルのデータが読出され、他方は所定のプリチャージ電位（ $V_{CC}/2$ ）の電圧レベルに保持され、メモリセルの読出データに対する基準電圧を与える。センスアンプ回路106が、次いで活性化され、各ビット線対BLPの電位を差動的に増幅しかつラッチする。次いで、列選択回路108が、このアドレスバッファ102からの内部列アドレス信号に従って選択列を選択し書込/読出回路110へ接続する。これにより、この選択列上のメモリセルに対して書込/読出回路110によりデータの書込/読出が行なわれる。

40

【0243】

メモリセルキャパシタMSは、小占有面積で大きな容量値を実現するために、そのキャパシタ絶縁膜は薄くされる。薄いキャパシタ絶縁膜を有するメモリセルキャパシタMSの耐圧を保証するために、中間電圧レベルのセルプレート電圧VCPがセルプレート電極ノードSCへ印加される。一方、ワード線WLの電位は、動作電源電圧レベルよりも高い電圧

50

レベルまで選択時に昇圧される。したがって、このアクセストランジスタMTのゲート絶縁膜は、その耐圧を保証するために、メモリセルキャパシタMSのそれよりも厚くする。

#### 【0244】

図31は、アクセストランジスタMTを用いるキャパシタ(ゲートキャパシタ)とメモリセルキャパシタMSの単位面積あたりの容量値とDRAMの記憶容量との関係を示す図である。図31において、横軸にDRAMの記憶容量を示し、縦軸に単位面積( $\mu\text{m}^2$ )あたりの容量値(単位fF)を示す。アクセストランジスタMTを用いるゲートキャパシタは、その耐圧は電源電圧以上である。このゲートキャパシタに用いられるトランジスタは周辺回路またはプロセッサ22(図28参照)に含まれる論理回路の構成要素であるMOSトランジスタと同様ののものであってもよい。したがって、図31においては、アクセストランジスタMTおよび周辺回路または論理回路の構成要素であるMOSトランジスタを用いたゲートキャパシタCgの単位容量値C0が示される。

10

#### 【0245】

一方、メモリセルキャパシタMSは、小占有面積で十分大きい容量値を実現するために、セルプレートが中間電圧VCP( $=VCC/2$ )の電圧レベルである。このメモリセルキャパシタMSの耐圧は、したがってVCC/2である。そのMOSトランジスタと同一用途にメモリセルキャパシタMSを利用する場合、この耐圧特性を電源電圧VCCとするために、2個のメモリセルキャパシタMSを直列に接続して用いる。この場合、その容量値の直列接続による低下を補償するために、メモリセルキャパシタMSの面積が2倍に設定される。したがって、メモリセルキャパシタMSを用いる場合、図31の曲線IIIに示すように、 $C0 = CS/4$ の関係が満たされる。ここで、CSは、実際のメモリセルキャパシタMSの容量値である。したがって、この図31に示す縦軸の値の1/4の値が実際のメモリセルキャパシタMSの容量値CSを与える(図31に示す縦軸の容量値C0は、単位面積あたりの容量値を示している)。

20

#### 【0246】

図31に示すように、MOSトランジスタを用いるゲートキャパシタおよびメモリセルキャパシタMSいずれにおいても、DRAMの記憶容量が増加するにつれて、その容量値CgおよびCSは増加する。ゲートキャパシタの場合、ゲート絶縁膜の膜厚およびチャネル幅/チャネル長がスケールリング則に沿ってスケールダウンされる。したがって、高集積化が進んでも、その容量値は増加するが、その増加の程度は比較的小さい(図31の曲線I参照)。一方、メモリセルキャパシタMSの場合、DRAMの記憶容量が増加するにつれて、その占有面積が低減されても、以下に述べる理由のために、ほぼ同じ大きさの容量値を実現するため、DRAMの記憶容量の増加に伴って、その単位容量値C0はMOSキャパシタ(ゲートキャパシタ)のそれに比べて急速に増加する(図31の曲線II参照)。

30

#### 【0247】

DRAMにおいては、メモリセルMCの記憶情報の読出は、ビット線BL(または/BL)に現れる電圧(読出電圧) Vをセンスアンプにより検知増幅することにより行なわれる。この読出電圧 Vは、メモリセルキャパシタMSの容量値CSとビット線BL(または/BL)の容量値CBの比、 $CS/CB$ 、が大きくなるほど、その絶対値が大きくなる。ビット線容量CBは、ビット線BL(または/BL)の長さおよびそれに接続されるアクセストランジスタMTの数により決定される。このビット線容量CBをできるだけ小さくするために、通常、DRAMにおいてはブロック分割方式などが採用され、ビット線の長さが短くされかつそれに接続されるメモリセルの数が小さくされる。しかしながら、このビット線容量CBの値を小さくするにも限度がある。したがって、メモリセルキャパシタMSの容量値CSをできるだけ大きくすることが、読出電圧 Vの絶対値を大きくするために必要となる。

40

#### 【0248】

また、DRAMにおいては、入射線による正孔・電子対の生成により蓄積電荷量の変化が生じると、読出電圧 Vの値が変化し、メモリセルデータの正確な読出ができなくなる。スタティック・ランダム・アクセス・メモリ(SRAM)においては、メモリセルはフ

50

リップフロップの構成を備えており、またフラッシュEEPROM（フラッシュメモリ：一括消去型不揮発性半導体記憶装置）のメモリセルではフローティングゲートの蓄積電荷によりメモリセルトランジスタのしきい値電圧を決定しており、これらのメモリセルに対する入射線の影響はDRAMメモリセルに比べて小さい。この線の影響を低減し、また十分な読出電圧Vを生成するために、DRAMにおいては、メモリセルキャパシタMSの蓄積電荷量はできるだけ大きくされる。特に、動作電源電圧VCCが2.5Vまたは1.2Vと小さくなると、このメモリセルキャパシタMSの蓄積電荷量が低減するため、十分な大きさのメモリセルMCの容量値が必要となる。

【0249】

上述のような観点から、DRAMのメモリセルキャパシタの容量値は、集積度にかかわらずほぼ一定の大きさ（30～35fF）の値が必要とされる。

10

【0250】

図31においては、直線IはMOSキャパシタ（ゲートキャパシタ）の容量値C<sub>g</sub>を示し、直線IIは、メモリセルキャパシタを2個直列にした場合の単位面積あたりの容量値を示し、直線IIIは、実際のメモリセルキャパシタの容量値を示す。メモリセルキャパシタMSおよびMSキャパシタ（ゲートキャパシタ）の単位面積あたりの容量値C<sub>0</sub>の値を各記憶容量それぞれに対応して示す。

【0251】

図31に示すように、たとえば16MビットDRAMにおいては、メモリセルキャパシタMSを用いる容量の容量値はゲートキャパシタの容量値の0.8倍であり、64MビットDRAMの場合、メモリセルキャパシタMSに用いる容量の単位面積あたりの容量値は、ゲートキャパシタの単位面積あたりの容量値の1.5倍となる。256MビットDRAMにおいては、メモリセルキャパシタMSを用いる容量の単位面積あたりの容量値は、ゲートキャパシタの単位面積あたりの容量値の約2.5倍となる。すなわち、64MビットDRAM以降の世代のDRAMにおいては、メモリセルキャパシタMSを用いる容量の方が、ゲートキャパシタに比べて面積効率が優れており、かつDRAMの記憶容量の増大に伴って急激に両者の容量値の差が大きくなる。

20

【0252】

本実施の形態23においては、このメモリセルキャパシタMSのゲートキャパシタに対する特徴を有効に活かして、面積効率に優れた安定化容量を実現する。特に、16Mビットよりも記憶容量の小さなDRAMのメモリセルキャパシタであっても、ゲートキャパシタよりも十分に大きな容量値を小占有面積で実現する面積効率に優れた容量素子を実現する。特に、図1等において示すように、内部電源電圧V<sub>4</sub>およびV<sub>7</sub>を安定化するための安定化容量15および18は、外部負荷容量の10ないし100倍の大きさの容量値を必要とし、たとえばその容量値は5nFである。したがって、半導体集積回路がDRAMを含むとき、このDRAMのメモリセル製造プロセスと同一プロセスで安定化容量を実現することにより、小占有面積でかつ面積効率に優れた安定化容量を実現する。

30

【0253】

図32は、DRAMのメモリセルの断面構造を概略的に示す図である。図32においては、2つのメモリセルMCaおよびMCbの断面構造を概略的に示す。メモリセルMCaおよびMCbは、低不純物濃度のP<sup>-</sup>型半導体基板200上に形成された基板200より高濃度のPウェル領域201表面に形成される。このPウェル201表面に、互いに間を置いて、高濃度N型不純物領域202a、202bおよび202cが形成される。不純物領域202aおよび202bの間の領域上にゲート絶縁膜（図示せず）を介してワード線（WL）となる第1層ポリシリコン層でたとえば形成される導電層204aが形成され、また不純物領域202bおよび202cの間の領域上に図示しないゲート絶縁膜を介して別のワード線となるたとえば第1層ポリシリコン層で形成される導電層204bが形成される。これらの導電層204aおよび204bは互いに平行に図30の行方向に延在して配置される。

40

【0254】

50

これらの導電層 204a および 204b 上に、たとえば第 1 層アルミニウム配線層で形成されるビット線 (BL) となる導電層 205 がワード線となる導電層 204a および 204b と交差する方向に配置される。

【0255】

不純物領域 202a に対し、導電層 204a 上にまで延びるプラグ部分と平坦部とを有するメモリセルキャパシタの一方電極 (ストレージノード) を形成する導電層 206a が形成され、不純物領域 202c に対し、同様プラグ部分と平坦部を有するキャパシタのストレージノードとなる導電層 206b が形成される。これらの導電層 206a および 206b はそれぞれ不純物領域 202a および 202c に電氣的に接続される。

【0256】

このメモリセルキャパシタのストレージノードとなる導電層 206a および 206b の平坦部とキャパシタ絶縁膜 207a および 207b を介して対向して、これらの導電層 206a および 206b を覆うようにメモリセルキャパシタの他方電極 (セルプレート電極ノード) を形成する導電層 208 が形成される。メモリセルキャパシタの他方電極層 (セルプレート電極ノード) となる導電層 208 はすべてのメモリセル上にわたって延在して配置される。

【0257】

ワード線となる導電層 204a と不純物領域 202a および 202b と、キャパシタとなる導電層 206a と、キャパシタ絶縁膜 207a および導電層 208 とにより、一方のメモリセル MCa が実現される。メモリセル MCb は、不純物領域 202b および 202c と、ワード線となる導電層 204b と、ストレージノードとなる導電層 206b と、キャパシタ絶縁膜 207b と、セルプレート電極ノードとなる導電層 208 とにより実現される。

【0258】

この図 32 に示す構成から明かなように、メモリセルのアクセストランジスタと平面図的に見て重なり合うようにメモリセルキャパシタが配置される。このような三次元的なセル構造とすることにより、セル占有面積を低減することが可能となる。一方、ストレージノードを構成する導電層 206a および 206b は、その上部の平坦部の膜厚が比較的厚くされる。これにより、セルプレート電極ノードとして作用する導電層 208 との対向面積が大きくされる。この平面図的に見た占有面積の増大をもたらすことなく、対向面積を増大させ、メモリセルキャパシタの容量値を増大する。

【0259】

この図 32 に示すメモリセルの構造はスタックトキャパシタ構造と呼ばれ、このような三次元的なスタックトキャパシタは、面積効率の優れた容量素子を実現する。本実施の形態においては、この内部電源電圧を安定化するための安定化容量素子として、このメモリセルの構造を利用する。

【0260】

[ 安定化容量素子 1 ]

図 33 は、この発明の実施の形態 23 における第 1 の安定化容量素子の断面構造を概略的に示す図である。図 33 において、P<sup>-</sup> 型半導体基板領域 200 の表面上に、第 1 導電型の半導体基板領域としての N ウェル (N 型半導体層) 210 が形成される。この N ウェル 210 を基板領域として、図 32 に示すメモリセルと同一の構造を有する容量素子が形成される。すなわち、N ウェル 210 の表面に互いに間隔をおいて高濃度 N 型不純物領域 202g, 202d, 202e, および 202f が形成される。これらの不純物領域 202d ~ 202g は、図 32 に示すメモリセルの不純物領域 202a および 202b と同一製造プロセスにおいて形成される。以下の説明において、図 32 に示す構成要素と図 33 に示す構成要素において添字を除いて同じ参照数字が付される構成要素は、同一の製造プロセスで形成される。

【0261】

不純物領域 202f に隣接して、素子分離用のたとえば熱酸化膜である素子分離膜 209

10

20

30

40

50



cが形成される。また、不純物領域202dおよび202gの間に、素子分離膜209bが形成され、また不純物領域202g外部に接して素子分離膜209aが形成される。素子分離膜209aおよび209cによりこの容量素子形成領域が規定される。

#### 【0262】

不純物領域202dおよび202eの間の半導体基板領域(Nウェル)210上に、ゲート絶縁膜203aを介してワード線と同一層に導電層204dが形成される。不純物領域202eおよび202fの間の半導体基板領域210表面上にゲート絶縁膜203bを介してワード線と同一層に形成される導電層204eが形成される。また、素子分離膜209bおよび209c上にワード線と同一層の導電層204cおよび204cが形成される。これらの導電層204c~204cは、図32に示すワード線すなわちゲート電極層204aおよび204bと同様の不純物が導入された低抵抗のポリシリコン、高融点金属または高融点金属シリサイド層で形成される。これらの導電層204c~204eおよび40cは、ワード線相当導電層である。

10

#### 【0263】

不純物領域202dおよび202fに対し断面がT字型形状を有する第1の導電層206cおよび206dがそれぞれ形成され、これらの第1の導電層206cおよび206dは不純物領域202dおよび202fにそれぞれ電氣的に接続される。これらの第1の導電層206cおよび206dの各々は、対応の不純物領域202dおよび202fと電氣的に接続するためのプラグ部分(脚部分)と実際に容量を形成するために、比較的大きな表面面積を有するフラット部分を有する。これらの導電層206cおよび206dは、図32に示すメモリセルのストレージノードを構成する導電層206aおよび206bと同一の製造プロセスで形成されかつ同一構造および材料(不純物ドーパントポリシリコン)を有する。第1の導電層206cおよび206dは、所定形状にパターンニングされており、互いに層間絶縁膜により分離されている。

20

#### 【0264】

第1の導電層206cおよび206d上に絶縁膜207aおよび207bを介して第2の導電層208aが形成される。この第2の導電層208aは、低抵抗の高濃度に不純物がドーパされたポリシリコンで構成され、図32に示すメモリセルのキャパシタの他方電極となるセルプレート導電層208と同一製造プロセスで形成される。

#### 【0265】

不純物領域202eは、図の水平方向に沿って延在する導電層205aに電氣的に接続される。この導電層205aは、図32に示すビット線を構成する導電層205に対応し、このビット線205と同一製造プロセスで形成されかつこのビット線に対応する導電層205と同一材料の高融点金属シリサイドなどで構成される。第2の導電層208aが、この容量素子の一方電極ノードVAに電氣的に接続され、Nウェル210の表面に形成された不純物領域202gが、この容量素子の他方電極ノードVBに電氣的に接続される。

30

#### 【0266】

この図33に示す構成においては、第2の導電層208aが容量素子の一方電極を形成する。第1の導電層206cおよび206dが不純物領域202dおよび202fを介してNウェル(半導体基板領域)210に電氣的に接続されてこの容量素子の他方電極ノードVBにさらに電氣的に接続される。したがって、領域AおよびBに形成される容量が互いに並列に電極ノードVAおよびVBの間に接続される。これらの電極ノードVAおよびVBが、図1に示すMOSトランジスタ5または8のドレインおよびソースにそれぞれ接続される。

40

#### 【0267】

この図33に示す容量素子は、メモリセルと同一の構造を備えており、領域AおよびBに形成される容量素子の占有面積は十分小さくされている。キャパシタ絶縁膜207cおよび207dは、図32に示すメモリセルのキャパシタ絶縁膜207aおよび207bと同様、シリコン窒化膜およびシリコン酸化膜の2層構造を有しており、十分大きな容量値を小占有面積で実現することができる。

50

## 【0268】

また、領域AおよびBに形成される容量素子は、メモリセルと同一の構成を備えているため、半導体基板領域(Nウェル)210の形成を除いてすべてメモリセルの対応する構成要素の製造工程と同一の工程でこれらの構成要素を形成することができ、DRAMにおいて製造工程数を増加させることがなく面積効率の優れた容量素子を実現することができる。

## 【0269】

図34は、図33に示す容量素子の平面レイアウトを示す図である。図34において、不純物領域202dおよび202eの間に、ワード線に相当する導電層204dが配設され、不純物領域202eおよび202fの間に、ワード線に相当する導電層204eが配設される。不純物領域202eはコンタクト孔215を介してビット線に相当する導電層205aに電氣的に接続される。導電層204dおよび204eと導電層205aとは互いに直交する方向に配設される。これは、先に説明したように、容量素子はメモリセルと同一の構成を備えており、導電層204dおよび204eがワード線に相当し、導電層205aがビット線に相当するためである。

10

## 【0270】

不純物領域202dは、破線で示すプラグ部分を介して導電層206cに電氣的に接続され、不純物領域202fは、破線で示すプラグ部分を介して導電層206dに電氣的に接続される。導電層206cおよび206d上にメモリセルキャパシタのセルプレートに相当する導電層208aが配置される。容量素子の電極ノードを構成する導電層206cおよび206dは、ともに導電層204dおよび204e上にまで延在している。

20

## 【0271】

図33に示すように、これらの導電層206cおよび206dの上側平坦部分は膜厚が厚くされており、その側面の表面積は十分大きくされている。したがって、導電層208aと導電層206cおよび206dとの対向面積が十分大きくされる。すなわち、DRAMのメモリセルキャパシタの特徴である小占有面積で大きな容量値を実現するという特徴を備える容量素子を得ることができる。この図33および図34に示す容量素子が、メモリセルのアレイ構成と同様、必要な数だけ行および列方向に配置される。

## 【0272】

図35(A)および(B)は、1つの単位容量素子の電氣的等価回路およびこの発明の実施の形態23の第1の容量素子の電氣的等価回路を示す図である。図35(A)に示すように、1つの単位容量素子は、導電層208aと導電層206(206cまたは206d)とで形成される容量CS(メモリセルキャパシタMSに相当)と、ワード線に相当する導電層204(204d, 204e)と半導体基板領域(Nウェル)210とで形成される容量Cpを含む。容量Cpおよび容量CSは、半導体基板領域210に並列に接続される。容量CSの一方電極がノードVAに接続される。半導体基板領域210は、他方電極ノードVBに接続される。容量Cpを形成するワード線相当導電層204(204c~204f)はフローティング状態とされてもよく、また一定の電位に固定的に接続されてもよい。容量Cpは、メモリセルのアクセストランジスタのゲート容量に相当する。したがって容量Cpの耐圧は、電源電圧VCC以上であり、この導電層204(204d, 204e)に固定的に電源電圧VCCが与えられても何ら信頼性が損なわれることはない。一方、メモリセルキャパシタに対応する容量CSは、そのキャパシタ絶縁膜が十分薄くされており、耐圧は小さい。しかしながら、電極ノードVAおよびVBの間に印加される電圧は、VCC/2よりも低い電圧レベルであり、その信頼性は何ら損なわれることはない。

30

40

## 【0273】

図35(B)において、電源ノードVAおよびVBの間に、容量CSが複数個並列に接続される。図35(B)においては、容量Cpは、容量CSに比べて小さいため示していない。この図35(B)に示すように、容量CSが並列に複数個ノードVAおよびVBの間に接続される。容量CSの数をXとすると、この容量素子は、X・CSの容量値を与える。したがって、メモリセルキャパシタに相当する単位容量素子CSを並列に必要な数だけ

50

接続することにより、必要とされる容量値を有する容量素子を低占有面積で容易に実現することができる。

#### 【0274】

図36(A)は、この図33および図34に示す容量素子を第1のノード4の電圧安定化のための容量素子として用いた際の接続態様を示す図である。図36(A)において、この容量素子15の一方電極ノードVAが第1の電圧源VCCに接続され、他方電極ノードVBが第1のノード4に接続される。第1のノード4上の内部電源電圧V4は、先に説明しているように、基準電圧Vrefよりも高い電圧レベルであり、したがって電源電圧VCCと内部電源電圧V4の差は、 $VCC/2$ よりも小さい。したがって安定化容量素子15の電極ノードVAおよびVB間には、 $VCC/2$ よりも高い電圧は印加されず、メモリセルキャパシタと同一のキャパシタを複数個並列に接続して用いても、十分にその耐圧は保証される。

10

#### 【0275】

図36(B)は、低レベル内部電源電圧を安定化するための容量素子の接続態様を示す図である。pチャネルMOSトランジスタ8と並列に容量素子18が接続される。この容量素子18の一方電極ノードVAが第2のノード7に電氣的に接続され、他方電極ノードVBが接地ノード(第2の電圧源)VSSに電氣的に接続される。第2のノード7上の低レベル内部電源電圧V7は、内部電源電圧Vsaよりも高い電圧レベルである。したがって、この第2のノード7上の低レベル内部電源電圧V7は、基準電圧Vrefよりも低い電圧レベルである。したがってこの低レベル内部電源電圧V7と接地電圧VSSの差は、 $VCC/2$ よりも小さい。したがってこの安定化容量18に対し、図33および図34に示す容量素子を複数個並列に接続して用いても、十分にその耐圧は保証される。なお、図36(A)および(B)において電極VAおよびVBの接続位置は入れ換えられてもよい。

20

#### 【0276】

図36(A)および(B)に示すように、メモリセルと同一の構造を利用し、特にメモリセルキャパシタと同一構成を利用して容量値を実現し、このメモリセルキャパシタと同一構造の単位容量素子を複数個並列に接続して安定化容量素子を実現しているため、容易に低占有面積で必要とされる容量素子を有する安定化容量を実現することができる。また、メモリセルと同一製造プロセスでこれらの安定化容量素子を実現することができ、何ら製造プロセスを増加させることはない。

30

#### 【0277】

##### [安定化容量素子2]

図37(A)は、この発明の実施の形態23の第2の安定化容量素子の断面構造を概略的に示す図である。この図37(A)に示す安定化容量素子の構成においては、P型半導体基板200表面に形成されるNウェル210表面上全体にわたって、ゲート絶縁膜203cを介してワード線に相当する導電層204fが形成される。このワード線相当導電層204fは、Nウェル210のほぼ全表面上にわたって形成される。このワード線相当導電層204f上に、図示しない層間絶縁膜を介してビット線に相当する導電層205bが形成される。このビット線相当導電層205bは、ワード線相当導電層204fとほぼ全面にわたって対向するように形成される。このビット線相当導電層205b上に、メモリセルキャパシタのストレージノードに相当する第1の導電層206e1、206e2、... 206enがそれぞれ間をおいて形成される。これらの第1の導電層206e1~206enは、ビット線相当導電層205bに共通に電氣的に接続される。メモリセルキャパシタのストレージノードの容量形成部分(頭部の平坦部分)は、ビット線よりも上部に形成される。このため、メモリセルの製造プロセスにおいて、このメモリセルキャパシタのストレージノードは、ビット線の製造後形成される。したがって、この図37(A)に示す容量素子の構成においても、先の図33に示す単位容量素子と対応の不純物領域とを電氣的に接続するためのコンタクト孔の形成と同様にして、メモリセルキャパシタ製造プロセスと同一製造プロセスで、すなわちメモリセルキャパシタのストレージノードのためのコンタクト孔の形成プロセスで、これらの第1の導電層206e1~206enとビット線相

40

50

当導電層 205b とを電氣的に接続するためのコンタクト孔を形成することができる。これにより、図 37 (A) に示す構成においても、マスク数および製造プロセス数を何ら増加させることはない。これらの第 1 の導電層 206e1 ~ 206en を覆うように、キャパシタ絶縁膜 207e を介してメモリセルプレート電極層と同一層の第 2 の導電層 208b が形成される。

#### 【0278】

N ウェル 210 は、その表面に形成された高濃度 N 型不純物領域 202h を介して電極ノード VB に接続される。ワード線相当導電層 204f および第 2 の導電層 208b が電極ノード VA に接続される。ビット線相当導電層 205b は、電極ノード VB に接続される。

10

#### 【0279】

この図 37 (A) に示す容量素子の構成においては、ワード線相当導電層 204f とビット線相当導電層 205b の間の層間絶縁膜により、容量 Cq が形成される。ストレージノードに相当する第 1 の導電層 206e1 ~ 206en と第 2 の導電層 208b は、その間のキャパシタ絶縁膜 207e により n 個の単位容量素子の並列接続された容量素子を実現する。したがって、この第 1 の導電層 206e1 ~ 206en、キャパシタ絶縁膜 207e および第 2 の導電層 208b により、 $n \cdot C_S$  の容量値を有する容量素子を実現される。

#### 【0280】

第 1 の導電層 206e1 ~ 206en が、ビット線相当導電層 205b に共通に電氣的に接続されていても、この容量素子の容量値は、第 1 の導電層 206e1 ~ 206en の第 2 の導電層 208b に対向する頭部の平坦部分の表面積により決定される。したがって第 2 の導電層 208b と第 1 の導電層 206e1 ~ 206en とキャパシタ絶縁膜 207e により形成される容量素子の容量値は、先の図 35 (B) に示す容量素子 I の容量値と同じである。

20

#### 【0281】

ワード線相当導電層 204f と N ウェル 210 とゲート絶縁膜 203c とにより、容量素子 Ca が形成される。N ウェル 210 は、不純物領域 202h を介して電極ノード VB に電氣的に接続されており、この N ウェル 210 の表面全体が、キャパシタの一方電極として機能する。

30

#### 【0282】

図 37 (B) は、この図 37 (A) に示す容量素子の電氣的等価回路を示す図である。図 37 (B) に示すように、電極ノード VA および VB の間に、容量 Ca、CS1、...、CSn および Cq が並列に接続される。したがって、この N ウェル 210 表面にほぼ全面にわたって形成されるワード線相当導電層 204f により容量 Ca の値が図 33 に示す容量素子の構造よりも大きくなり、またビット線相当導電層 205b とワード線相当導電層 204f の間に形成される容量 Cq が追加され、容量値をより大きくすることができる。このビット線相当導電層 205b とワード線相当導電層 204f の間に形成される層間絶縁膜の膜厚は、ゲート絶縁膜 203c のそれよりも約 20 倍程度厚くされている。これは、配線間の寄生容量による容量結合を防止するためである。したがって、容量 Cq の容量値は、容量 Ca の容量値の 5 % 程度の値となる。

40

#### 【0283】

なお、ビット線相当導電層 205b は、タングステンまたはモリブデンなどの高融点金属とポリシリコンとの複合構造または高融点金属シリサイド構造のいずれで構成されていてもよい。これは、ワード線相当導電層 204f についても同様である。

#### 【0284】

##### [ 安定化容量素子 3 ]

図 38 (A) は、この発明の実施の形態 23 の第 3 の安定化容量素子の断面構造を概略的に示す図である。図 38 (A) において、P 型半導体基板 200 表面に、N ウェル 210a が形成される。この N ウェル 210a は、図 33 および図 37 に示す N ウェル 210 に

50

比べて、その表面不純物濃度が低くされる。このNウェル210aの表面不純物濃度を低くすることにより、チャンネルを形成しやすくする。Nウェル210aのほぼ全表面上にわたって、ゲート絶縁膜203dを介してワード線に相当する導電層204gが形成される。このワード線相当導電層204g上に、互いに間をおいて、ストレージノードに相当する第1の導電層206f1~206fnが形成される。これらの第1の導電層206f1~206fn上に、キャパシタ絶縁膜207fを介してセルプレートに相当する第2の導電層208cが形成される。第1の導電層206f1~206fnは共通にワード線相当導電層204gに電氣的に接続される。

【0285】

Nウェル210aの周辺表面に、高濃度P型不純物領域219と、この不純物領域量219に隣接して、高濃度N型不純物領域202iが設けられる。 10

【0286】

ワード線相当導電層204gは電極ノードVBに電氣的に接続され、不純物領域202iおよび219ならびに第2の導電層208cは、電極ノードVAに電氣的に接続される。

【0287】

この図38(A)に示すように、Nウェル210aの表面不純物濃度を比較的低くして、チャンネル領域220を形成する。このチャンネル領域220は、高濃度P型不純物領域219に電氣的に接続され、キャパシタの一方電極を形成する。したがって、このワード線相当導電層204gとゲート絶縁膜203dとチャンネル領域220により、pチャンネルMOSトランジスタを用いたMOSキャパシタが形成される。先の図33および図37に示すNウェル210は、高濃度N型不純物領域に電氣的に接続されており、チャンネル領域が形成されず、その表面が電極として利用されており、表面抵抗は小さくされている。 20

【0288】

しかしながら、この図38(A)に示すように、Nウェル210aの表面不純物濃度を比較的低くしてチャンネル領域220を形成することにより、このチャンネル領域220に、図示しない空乏層領域が形成される。この空乏層領域は、電荷が存在しない領域であり、チャンネル領域220とウェル210aの間に空乏層容量が形成され、したがって、この図38(A)に示すMOSキャパシタは、ゲート絶縁膜203dにより形成される容量値と空乏層容量による容量値とが加算された容量値を有し、応じてこの容量素子の容量値を大きくすることができる。 30

【0289】

すなわち、図38(B)に示すように、電極ノードVAおよびVBの間に、単位容量素子CS1~CSnおよびMOSキャパシタCmが電氣的に並列に接続された、面積効率のより優れた容量素子を実現することができる。高濃度P型不純物領域219は、チャンネル領域220に対し電荷を供給し、このチャンネル領域220を一方電極として作用させる。一方、高濃度N型不純物領域202iは、Nウェル210aに電極ノードVAの電圧を印加する。したがって、pチャンネルMOSトランジスタの構成において、ソース/ドレイン領域となる高濃度P型不純物領域219の電圧とこのMOSトランジスタの基板領域となるNウェル210aの電圧が等しくなり、応じてこのMOSキャパシタを構成するMOSトランジスタのしきい値電圧に対する基板効果をなくし、電極ノードVAに印加される電圧にかかわらず、安定に一定の容量値を実現することができる。 40

【0290】

この図38(A)に示す容量素子を、内部電源電圧を安定化するための安定化容量として用いる。この場合に、MOSキャパシタは、Nウェル210aの表面に、P型チャンネル領域を形成する。したがって、電極ノードVBへは、電極ノードVAへ印加される電圧よりも低い電圧が印加される。したがって、その接続形態は、図36(A)および(B)に示す接続と同じとなる。

【0291】

以上のように、この発明の実施の形態23に従えば、安定化容量としてメモリセルと同一構造を有するキャパシタを利用しているため、小占有面積で大きな容量値を有する容量を 50

実現することができる。

【0292】

なお、この半導体集積回路としては、図28に示すようなプロセッサとDRAMとが集積化された構成に限らず、DRAMとロジックとが同一半導体チップ上に集積化された構成であってよい。

【0293】

また、図39に示すように、半導体集積回路1は、DRAM230と、たとえばシステムクロックであるクロック信号CLKに同期してデータの入出力を行なう入出力インタフェース回路232を含んでもよい。この入出力インタフェース回路232は、DRAM230の選択メモリセルとデータの授受を行なう。この入出力インタフェース回路232に含まれる出力部が、振幅制限機能を備える。DRAM230は、通常のDRAMと同様の構成を備える。この図39に示すようなクロックに同期してデータの入出力を行なうメモリであっても、半導体集積回路1内に、スタックトキャパシタ型のメモリセルを有するDRAMが設けられていれば、このメモリセルと同一構成のキャパシタを用いて安定化容量を実現することができる。

10

【0294】

この図39に示す入出力インタフェース回路232は、また、クロック同期型半導体記憶装置における入出力バッファの部分であってもよい。

【0295】

[実施の形態24]

20

[安定化容量の接続形態1]

図40は、出力安定化のための安定化容量の第1の接続態様を示す図である。図40において、第1のノード4の電圧安定化のための安定化容量15aが、第1のノード4と第2の電圧源(以下、単に接地ノードと称す)VSSとの間に接続される。第2のノード7の電圧安定化のための安定化容量18は、第2のノード7と接地ノードVSSとの間に接続される。

【0296】

出力回路10の動作時、第1のノード4から出力ノード9へ電流が流れる場合第1の電源回路5の、MOSトランジスタ5aまたは5cを介して電流が供給され、またこの安定化容量15aを介して電流 $i_a$ が供給される。MOSトランジスタ5aまたは5cは、そのオン抵抗は比較的高い。第1のノード4の電圧が急激に変化する場合、安定化容量15aの蓄積電荷が第1のノード4を介して出力回路10へ与えられる。第1のノード4の電圧変化時において、この第1のノード4の電圧が高速に変化する場合、安定化容量15aのインピーダンス( $1/j \cdot \omega \cdot c$ )は、MOSトランジスタ5aまたは5cのインピーダンス(オン抵抗)よりも小さい。この場合、安定化容量15aは、その蓄積電荷を第1のノード4へ与えるとともに、接地ノードVSSから電荷を取込み、第1のノード4へ供給する。したがって、この出力回路10が動作し、第1のノード4の電圧レベルが高速に変化する場合には、安定化容量15aを介して接地ノードVSSから第1のノード4へ電流 $i_a$ が等価的に流れる。

30

【0297】

40

一方、この出力回路10の動作時、出力ノード9が放電される場合には、第2のノード7の電圧レベルが高速で変化する。この場合、安定化容量18のインピーダンスが第2の電源回路8に含まれるMOSトランジスタ8aまたは8cのオン抵抗よりも小さく、この第2のノード7に出力ノード9から与えられた電流が、安定化容量18を介して接地ノードVSSへ放電される。これらの安定化容量15aおよび18を電流 $i_a$ および $i_b$ がそれぞれ流れるのは、この出力回路10の動作時の過渡的な状態であり、これらの第1のノード4および第2のノード7の電圧レベルは、過渡状態では、この出力ノード9に接続される負荷容量の容量値と安定化容量15aまたは18の容量値により決定される。すなわち、負荷容量と安定化容量15aまたは18との電荷の容量分割による電圧レベルにより決定される。

50

## 【 0 2 9 8 】

この図 4 0 に示す安定化容量の接続形態では、安定化容量 1 5 a および 1 8 はともに接地ノード V S S にその一方の電極ノードが電氣的に接続される。したがって、半導体集積回路のレイアウトにおいて、近傍に接地線しか存在しない領域においても容易にこれらの安定化容量 1 5 a および 1 8 を配置することができる。

## 【 0 2 9 9 】

## [ 接続形態 2 ]

図 4 1 は、この発明の実施の形態 2 4 における安定化容量の第 2 の接続態様を示す図である。この図 4 1 に示す構成においては、第 2 のノード 7 の電圧を安定化するための安定化容量 1 8 a が、第 1 の電圧源（以下、電源ノードと称す）V C C と第 2 のノード 7 の間に接続される。第 1 のノード 4 の電圧を安定化するための安定化容量 1 5 は、図 1 に示す配置と同様、電源ノード V C C と第 1 のノード 4 の間に接続される。

10

## 【 0 3 0 0 】

出力回路 1 0 の動作時において、出力ノード 9 が高レベルに充電される場合、電流ドライブ M O S トランジスタのインピーダンス（オン抵抗）よりも、安定化容量 1 5 のインピーダンスが小さく、この安定化容量 1 5 を介して電流  $i_c$  が第 1 のノード 4 へ供給され、出力回路 1 0 を介して出力ノード 9 へ伝達される。この安定化容量 1 5 を介して電流  $i_c$  が流れるのは、第 1 のノード 4 の電圧レベルが急激に低下し、安定化容量 1 5 の電極に蓄積された電荷が減少すると、その減少した電荷を補償するため電源ノード V C C から電荷が、安定化容量 1 5 の第 1 のノード 4 に接続される電極へ供給されるためである。つまり、この第 1 のノード 4 に接続される電極に蓄積される電荷  $Q$  は、 $C_{15} \cdot V_{15}$  で与えられる。ここで、 $C_{15}$  は、安定化容量 1 5 の容量値を示し、 $V_{15}$  は、その安定化容量 1 5 の電極間に印加される電圧を示す。したがって、第 1 のノード 4 の電圧が急激に低下した場合、安定化容量 1 5 に印加される電圧  $V_{15}$  が大きくなり、等価的に電荷量  $Q$  が大きくなり、この増加する電荷量  $Q$  は、電源ノード V C C から供給される。

20

## 【 0 3 0 1 】

一方、出力回路 1 0 が出力ノード 9 を低レベルに放電する場合、第 2 の電源回路 8 の M O S トランジスタ 8 a または 8 c のインピーダンスは大きく、低インピーダンス状態の安定化容量 1 8 a を介して第 2 のノード 7 から電源ノード V C C に電流  $i_d$  が流れる。この場合においても、安定化容量 1 8 a へ伝達された電荷が電源ノード V C C により吸収されるので、等価的に電流  $i_d$  が流れる。

30

## 【 0 3 0 2 】

この図 4 1 に示す接続態様の場合、安定化容量 1 5 および 1 8 a は、電源ノード V C C に結合される。したがって、この安定化容量 1 5 および 1 8 a の配置領域近傍において接地線が配設されていない領域においてこれらの安定化容量 1 5 および 1 8 a を配置することができ、これらの安定化容量 1 5 および 1 8 a のレイアウトの自由度が向上する。

## 【 0 3 0 3 】

## [ 接続形態 3 ]

図 4 2 は、この発明の実施の形態 2 4 における安定化容量の第 3 の接続形態を示す図である。この図 4 2 に示す構成においては、第 1 のノード 4 の電圧を安定化するための安定化容量 1 5 b が、第 1 のノード 4 と信号出力のために与えられる電源電圧 V C C Q を与える第 3 の電圧源（以下、出力電源と称す）V C C Q の間に接続される。第 2 のノード 7 の電圧レベルを安定化するための安定化容量 1 8 b は、第 2 のノード 7 と信号出力のための接地電圧 V S S Q を与える第 4 の電圧源（以下、出力接地ノードと称す）V S S Q の間に接続される。

40

## 【 0 3 0 4 】

M O S トランジスタ 5 のソースには、出力電源ノード V C C Q と別に設けられた電源電圧 V C C が与えられる。M O S トランジスタ 8 のソースへは、この出力接地ノード V S S Q に与えられる接地電圧 V S S Q と別に設けられた第 2 の電圧源からの接地電圧 V S S が供給される。

50

## 【0305】

出力のための電源電圧 $V_{CCQ}$ および接地電圧 $V_{SSQ}$ は、出力回路の動作時信号出力のために大きな電流が消費されるため、この消費電流を安定に供給するために、内部回路のための電源と別に与えられる。出力回路10の動作時において、急激に大きな動作電流が流れるのは、安定化容量15bおよび18bにおいてである。したがって、これらの安定化容量15bの一方電極を出力電源ノード $V_{CCQ}$ に接続し、かつ安定化容量18bの一方電極ノードを出力接地ノード $V_{SSQ}$ に接続することにより、出力回路10の動作時の大きな消費電流を安定に供給することができる。また、電源電圧 $V_{CC}$ および接地電圧 $V_{SS}$ は、他の内部回路との動作電源電圧として用いられる。したがって、この第1のノード4および第2のノード7の内部電源電圧の電圧レベルを設定する回路は、この出力電源ノード $V_{CCQ}$ および出力接地ノード $V_{SSQ}$ 近傍に配置する必要がなく、第1および第2のノード4および7の電圧を設定するための回路のレイアウトに対する制限が少なくなり、設計の自由度が改善される。

10

## 【0306】

この図42に示す安定化容量15bおよび18bの動作は、それぞれ、図41に示す安定化容量15および図4に示す安定化容量18のそれと同じである（単に接続されるノードが異なるだけである）。

## 【0307】

## [接続形態4]

図43は、この発明の実施の形態24における安定化容量の第4の接続形態を示す図である。この図43に示す構成においては、電源ノード $V_{CC}$ と第1のノード4の間に安定化容量15が接続され、第2のノード7と接地ノード $V_{SS}$ の間に安定化容量18が接続される。さらに、第1のノード4と第2のノード7との間に容量素子300が接続される。

20

## 【0308】

この図43に示すように、第1のノード4と第2のノード7に別の容量素子300を新たに接続することにより、以下の効果が得られる。

## 【0309】

出力回路10が動作し、出力ノード9を放電するとき、この第2のノード7へ出力回路10を介して与えられる放電電流は、第2の電源回路8のMOSトランジスタ8aまたは8cのインピーダンスが高いため、安定化容量18を介して放電され、また同時に、容量素子300および15を介して電源ノード $V_{CC}$ へも放電される。したがって、接地ノード $V_{SS}$ への放電電流が低減され、この接地電圧 $V_{SS}$ のノイズを低減することができる。同様、出力回路10がこの出力ノード9を充電する場合、第1の電源回路5のMOSトランジスタ5aまたは5cのインピーダンスが高いため、安定化容量素子15を介して第1のノード4へ電流が供給されてまた接地ノード $V_{SS}$ から容量素子18および300を介して第1のノードへ電流が供給される。この接地ノード $V_{SS}$ から容量素子18および300を介して第1のノード4へ電流が流れるのは、容量素子300の一方電極が第1のノード4に接続されており、この容量素子300の電極に蓄積された電荷量が少なくなったとき、この容量素子300を介して過渡的に電流が流れる。このとき、MOSトランジスタ8aまたは8cのインピーダンスは高いため、容量素子18を介して容量素子300へ電荷が供給される。

30

40

## 【0310】

したがって、この充放電電流を接地ノード $V_{SS}$ および電源ノード $V_{CC}$ 両者に分散させることができ、出力回路10の動作時における電源ノイズ（電源電圧 $V_{CC}$ および接地電圧 $V_{SS}$ 両者に生じるノイズ）を小さくすることができる。加えて、この安定化容量素子300を設けることにより、第1のノード4および第2のノード7に対する安定化容量の容量値を面積増大を伴うことなく増加させることができる。以下にこの安定化容量素子の面積効率向上について説明する。

## 【0311】

図44は、第2のノードに対する安定化容量の等価回路を示す図である。第2のノード7

50



に対しては、安定化容量 18 と並列に容量素子 300 および 15 の直列体が接続される。今、安定化容量 15 の容量値を  $C_v$ 、安定化容量 18 の容量値を  $C_g$ 、および容量素子 300 の容量値を  $C_c$  とし、第 2 のノード 7 に接続する安定化容量全体の容量  $C_t$  を求める。この合成容量値  $C_t$  は次式で表わされる：

$$C_t = C_g + C_v \cdot C_c / (C_v + C_c) \quad \dots (11)$$

容量素子 15、18 および 300 の容量値の合計は、面積を一定とするという仮定により、一定値  $K$  をとると仮定する：

$$C_v + C_g + C_c = K \quad \dots (12)$$

容量 15 および 18 の容量値  $C_v$  および  $C_g$  は、互いに等しいと仮定する。

【0312】

$$C_v = C_g \quad \dots (13)$$

上式 (12) および (13) より、次式が得られる：

$$C_c = K - 2 \cdot C_g \quad \dots (14)$$

式 (14) を式 (11) に代入すると、次式が得られる：

$$\begin{aligned} C_t &= C_g + C_g \cdot (K - 2 \cdot C_g) / (C_g + K - 2 \cdot C_g) \\ &= C_g + C_g \cdot (K - 2 \cdot C_g) (K - C_g)^{-1} \quad \dots (15) \end{aligned}$$

容量値  $C_g$  についての合成容量値  $C_t$  の最大値を求めるため、上式 (15) を  $C_g$  で微分する。

【0313】

$$\begin{aligned} dC_t / dC_g &= 1 + (K - 2 \cdot C_g) \cdot (K - C_g)^{-1} + C_g \cdot (-2) \cdot \\ &\quad (K - C_g)^{-1} + C_g \cdot (K - 2 \cdot C_g) \cdot (-1) \cdot \\ &\quad (-1) \cdot (K - C_g)^{-2} \\ &= (3 \cdot C_g^2 - 6 \cdot K \cdot C_g + 2 \cdot K^2) / (C_g - K)^2 \\ &\dots (16) \end{aligned}$$

極値は、上式 (16) を 0 と置くことにより求められる。

【0314】

$$3 \cdot C_g^2 - 6 \cdot K \cdot C_g + 2 \cdot K^2 = 0 \quad \dots (17)$$

上記 (17) を解くと、次式が求められる。

【0315】

$$C_g = (1 \pm 1 / 3) \cdot K \quad \dots (18)$$

容量値  $C_g$  の値域は 0 と  $K$  の間である。したがって、上式 (18) から、極大値を与える容量値  $C_g$  の値が合成容量  $C_t$  の最大値を与える。この最大値を与える容量値  $C_g$  は、次式で与えられる。

【0316】

$$C_g = (1 - 1 / 3) \cdot K \quad \dots (18a)$$

上式 (18a) を上式 (14) へ代入すると次式が得られる。

【0317】

$$C_c = (-1 + 2 / 3) \cdot K \quad \dots (19)$$

容量値  $C_c$  の値域は、 $0 < C_c < K$  であり、上式 (19) はこの条件を満足している。これらの式 (18a) および (19) を、式 (15) に代入すると、合成容量  $C_t$  の最大値  $C_{tmax}$  が求められる。

【0318】

$$C_{tmax} = (4 - 2 / 3) \cdot K$$

全体の容量を 1 とすると、 $K = 1$  である。このときには、合成容量  $C_t$  の最大値  $C_{tmax}$  は次式で表わされる。

【0319】

$$C_{tmax} = 4 - 2 / 3$$

10

20

30

40

50

= 0 . 5 3 5 9

したがって、容量値  $C_g$  を 0 . 5 とし、また容量値  $C_v$  を 0 . 5 とし、2つの安定化容量 15 および 18 のみを用いた場合に比べて、それぞれ第 1 のノード 4 および第 2 のノード 7 に接続される安定化容量の容量値は、それぞれ 0 . 0 3 5 9 だけ増加させることができ、応じて全体として、安定化容量の容量値を約 7 . 2 % 増大することができる。これは逆に言えば、容量素子 15、18 および 300 の 3 つの容量素子を接続することにより、安定化容量の占有面積を低減することができる。

#### 【0320】

図 45 (A) に、これらの容量素子の容量値と合成容量  $C_t$  の具体的値を示し、図 45 (B) に合成容量の容量値  $C_t$  と安定化容量 18 の容量値  $C_g$  の関係を示す。図 45 (B) において、縦軸には合成容量  $C_t$  の容量値 (単位  $K = 1$ ) を示し、横軸に、安定化容量 18 の容量値  $C_g$  を示す。この図 45 (A) および (B) に示すように、合成容量  $C_t$  の容量値は、容量値  $C_v$  および  $C_g$  が 0 . 4 であり、容量  $C_c$  が 0 . 2 のとき 0 . 5 よりも大きな 0 . 5 3 という値をとっている。すなわち、容量値  $C_v$  および  $C_g$  の容量値を 0 . 1 から 0 . 4 まで増加させると、合成容量  $C_t$  の容量値もそれにつれて大きくなり、この領域を超えると、合成容量  $C_t$  の容量値が小さくされる。

#### 【0321】

図 46 (A) は、この図 45 (B) に示す領域 DM の近傍における各容量値の具体的値を示し、図 46 (B) に、この領域 DM における合成容量  $C_t$  の容量値と安定化容量 18 の容量値  $C_g$  の関係を示す。この図 46 (B) においても、縦軸に合成容量  $C_t$  の容量値を示し、横軸に安定化容量 18 の容量値  $C_g$  を示す。この図 46 (A) および (B) においても、 $K = 1$  としている。

#### 【0322】

この図 46 (A) に示すように、容量値  $C_v$  および  $C_g$  の値が 0 . 3 9 から 0 . 4 にまで増加すると、応じて合成容量  $C_t$  の容量値も増加する。前述の容量値  $C_v$  および  $C_g$  の値が 0 . 4 3 よりも大きくなると、合成容量  $C_t$  の容量値が小さくなる。したがって、先に式で示したように、 $C_g = C_v = 0 . 4 2 2 6$  かつ  $C_c = 0 . 1 5 4 7$  の値に設定したとき、電圧安定化のための容量素子の容量値を最も大きくすることができる。 $C_g / C_{tm}ax = 0 . 4 2 2 6 / 0 . 5 3 5 9 = 0 . 7 9$  であり、したがって、出力ノード 9 の充放電時において、この第 2 のノード 7 の放電電流の 79 % を容量素子 18 が放電し、一方、残りの 21 % の電流を容量素子 300 および 15 へ流すことができ、接地ノード VSS のノイズを小さくすることができる。これはまた、第 1 のノード 4 の場合も同様であり、第 1 のノード 4 へは、71 % の電流が安定化容量 15 を介して電源ノード VCC から供給され、残りの 21 % の電流が容量素子 300 および 18 を介して接地ノード VSS から供給される。電源電圧 VCC のノイズを小さくすることができる。

#### 【0323】

すなわち、この接続形態 4 に従えば、第 1 のノードと第 2 のノードの間に、追加の容量素子を接続するように構成したため、面積増加を伴うことなく第 1 のノードおよび第 2 のノードに接続される安定化容量の容量値を大きくすることができ、逆に言えば、この安定化容量の占有面積を低減することができる。また、第 1 のノード 4 の充電電流および第 2 のノード 7 の放電電流を電源ノードおよび接地ノードに分散させることができ、これらの電源電圧 VCC および接地電圧 VSS のノイズを低減することができ、内部回路がこの電源ノイズの影響により誤動作をするのを防止することができる。

#### 【0324】

##### [ 接続形態 5 ]

図 47 は、この発明の実施の形態 24 における安定化容量素子の第 5 の接続形態を示す図である。この図 47 に示す構成においては、安定化容量 15 が、出力電源ノード VCCQ と第 1 のノード 4 の間に接続され、安定化容量 18 が、第 2 のノード 7 と出力接地ノード VSSQ の間の接続され、第 1 のノード 4 と第 2 のノード 7 の間に容量素子 300 が接続される。他の構成は、図 43 に示す構成と同じである。

10

20

30

40

50

## 【 0 3 2 5 】

この図 4 7 に示す構成においては、出力回路 1 0 の動作時において、大きな電流を消費する安定化容量 1 5 および 1 8 は、出力専用の電源ノード  $V_{CCQ}$  および接地ノード  $V_{SSQ}$  にそれぞれ接続する。一方、この第 1 のノード 4 および第 2 のノード 7 上に内部電源電圧を発生する回路部分は、この安定化容量 1 5、1 8 および 3 0 0 に比べて大きな電流は消費しない。したがって、これらの MOS トランジスタ 5 のソースを電源ノード  $V_{CC}$  に接続し、MOS トランジスタ 8 の接地ノードを接地ノード  $V_{SS}$  に接続する。これらの電源ノード上の電源電圧  $V_{CC}$  および接地ノード上の接地電圧  $V_{SS}$  は内部回路においても利用される。したがって、内部回路の動作に悪影響を及ぼすことなく安定に出力回路 1 0 の動作時において、出力電源ノード  $V_{CCQ}$  および出力接地ノード  $V_{SSQ}$  から充放電電流を供給することができる。これにより、内部電源電圧を発生する回路を半導体チップ上の適当な場所に配置することができ、レイアウトの自由度が改善される（内部電源電圧発生回路を常に出力回路近傍に配置する必要がなくなるため）。また、出力電源ノード  $V_{CCQ}$  および出力接地ノード  $V_{SSQ}$  は出力専用に設けられており、安定にこの出力ノード 9 に対する充放電電流を供給することができる。

10

## 【 0 3 2 6 】

## 〔 接続形態 6 〕

図 4 8 は、この発明の実施の形態 2 4 における安定化容量の第 6 の接続形態を示す図である。図 4 8 において、電源ノード  $V_{CC}$  と第 1 のノード 4 の間に安定化容量素子 1 5 c が接続されかつ第 1 のノード 4 と接地ノード  $V_{SS}$  の間に安定化容量素子 1 5 d が接続される。また、第 2 のノード 7 と接地ノード  $V_{SS}$  の間に安定化容量素子 1 8 c が接続されかつ第 2 のノード 7 と電源ノード  $V_{CC}$  の間に安定化容量素子 1 8 d が接続される。これらの安定化容量素子 1 5 c および 1 5 d の容量値は、 $C_v / 2$  と安定化容量 1 5 の容量値  $C_v$  の半分に設定され、また安定化容量素子 1 8 c および 1 8 d の容量値も  $C_g / 2$  とそれぞれ安定化容量 1 8 の容量値  $C_g$  の半分の値に設定される。この場合、第 1 の出力ノード 4 には、安定化容量素子 1 5 c および 1 5 d が並列に接続されるため、合成容量値は  $C_v$  である。同様、第 2 の出力ノード 7 においても、容量素子 1 8 c および 1 8 d が並列に接続されるため、この第 2 の出力ノード 7 に対する容量の容量値は  $C_g$  である。

20

## 【 0 3 2 7 】

出力回路 1 0 が動作し、出力ノード 9 の充電時においては、第 1 のノード 4 へ安定化容量素子 1 5 c および 1 5 d を介して電流が供給される。この場合、充電電流は、電源ノード  $V_{CC}$  と接地ノード  $V_{SS}$  両者から供給される。したがって、電源ノード  $V_{CC}$  におけるノイズの大きさは、容量値  $C_v$  の安定化容量が 1 個だけ設けられている場合のノイズの大きさの約半分にすることができる。また、接地ノード  $V_{SS}$  においても同様、その電圧低下量は、容量値  $C_v$  の容量が接続されている場合の半分の大きさに設定することができる。

30

## 【 0 3 2 8 】

同様、出力回路 1 0 の動作時、出力ノード 9 の放電時において、第 2 のノード 7 から安定化容量素子 1 8 c および 1 8 d を介して電流が流れる。この安定化容量素子 1 8 c および 1 8 d の放電電流は、接地ノード  $V_{SS}$  および電源ノード  $V_{CC}$  へそれぞれ流れ込む。したがって、この場合においても、放電電流が同じ大きさの容量値を有する安定化容量素子 1 8 c および 1 8 d を介して放電されるため、放電電流がほぼ 2 分割され、接地電圧ノード  $V_{SS}$  および電源ノード  $V_{CC}$  における電圧上昇度、すなわちノイズの大きさは容量値  $C_g$  の容量が接続されている場合のほぼ半分にすることができる。

40

## 【 0 3 2 9 】

以上のように、この接続形態 6 に従えば、第 1 のノード 4 および第 2 のノード 7 それぞれに対し、電源ノードおよび接地ノードの間に容量素子を接続しているため、充放電電流を電源ノード  $V_{CC}$  および接地ノード  $V_{SS}$  に分散させることができ、出力回路 1 0 の動作時における電源ノイズの大きさをほぼ半分に低減することができ、出力回路 1 0 の動作時における内部回路の誤動作を防止することができる。

50

## 【 0 3 3 0 】

## [ 接続形態 7 ]

図 4 9 は、この発明の実施の形態 2 4 における安定化容量の第 7 の接続形態を示す図である。図 4 9 に示す接続形態においては、第 1 のノード 4 と出力専用の出力電源ノード V C C Q の間に、安定化容量素子 1 5 e が接続され、また第 1 のノード 4 と出力専用の出力接地ノード V S S Q の間に安定化容量素子 1 5 f が接続される。第 2 のノード 7 と出力専用の出力接地ノード V S S Q の間に安定化容量素子 1 8 g が接続され、第 2 のノード 7 と出力電源ノード V C C Q の間に安定化容量素子 1 8 f が接続される。容量素子 1 5 e および 1 5 f は、容量値  $C_v / 2$  をそれぞれ有し、容量素子 1 8 e および 1 8 f は、容量値  $C_g / 2$  をそれぞれ有する。これらの容量素子の容量値はすべて等しくされる。

10

## 【 0 3 3 1 】

この図 4 9 に示す接続形態において、出力回路 1 0 の動作時において、出力ノード 9 の充電時には、出力電源ノード V C C Q および出力接地ノード V S S Q から安定化容量素子 1 5 e および 1 5 f を介して第 1 のノード 4 へ充電電流が供給される。内部回路の動作電源電圧を供給する電源ノード V C C からは信号出力時、電流は流れない (M O S トランジスタ 5 a または 5 c のインピーダンスが比較的高い)。この場合においても、充電電流は出力電源ノード V C C Q および出力接地ノード V S S Q に分散されるため、これらのノード V C C Q および V S S Q におけるノイズを半減することができる。

## 【 0 3 3 2 】

同様、出力回路 1 0 の動作時において出力ノード 9 の放電時において、第 2 のノード 7 へ流れ込む放電電流は、安定化容量素子 1 8 e を介して出力接地ノード V S S Q に流れかつ安定化容量素子 1 8 f を介して出力電源ノード V C C Q へ流れる。したがって、この放電電流も出力接地ノード V S S Q および出力電源ノード V C C Q に流れ、放電電流が分散されるため、これらのノードにおけるノイズが容量値  $C_g$  を有する安定化容量素子が 1 つ設けられている場合に比べて半減することができる。また、出力電源電圧 V C C Q および V S S Q にノイズが生じて、電源電圧 V C C および V S S は、その影響を受けず、内部回路は安定に動作する。

20

## 【 0 3 3 3 】

## [ 接続形態 8 ]

図 5 0 は、この発明の実施の形態 2 4 における安定化容量の第 8 の接続形態を示す図である。図 5 0 において、第 1 のノード 4 と電源ノード V C C の間に容量値  $C_v / 2$  を有する安定化容量素子 1 5 g が接続され、また第 1 のノード 4 と接地ノード V S S の間に容量値  $C_v / 2$  を有する安定化容量素子 1 5 h が接続される。第 2 のノードと接地ノード V S S の間に容量値  $C_g / 2$  を安定化容量素子 1 8 g が接続され、第 2 のノード 7 と電源ノード V C C の間に容量値  $C_g / 2$  を有する安定化容量素子 1 8 h が接続される。さらに、第 1 のノード 4 と第 2 のノード 7 の間に、容量値  $C_c$  を有する安定化容量素子 3 0 0 が接続される。

30

## 【 0 3 3 4 】

この接続形態においては、出力回路 1 0 が動作し、出力ノード 9 を充電する場合、第 1 のノード 4 へは、安定化容量素子 1 5 g および 1 5 h を介して電流が供給され、さらに、安定化容量素子 1 8 g および 1 8 h ならびに安定化容量素子 3 0 0 を介して充電電流が供給される。電源ノード V C C における充電電流のための変動の大きさおよび接地ノード V S S における充電電流のための接地電圧 V S S の変動の大きさは、容量値  $C_v$  を有する安定化容量および容量値  $C_g$  を有する安定化容量を用いた場合に比べて半分にすることができる。また、この図 5 0 に示す接続形態では、第 1 のノード 4 と第 2 のノード 7 の間の容量素子 3 0 0 により、占有面積を増加させることなく第 1 のノード 4 および第 2 のノード 7 に接続される安定化容量の容量値を大きくすることができる。これにより、M O S トランジスタ 5 a または 5 c および 8 a または 8 c のオン抵抗が比較的大きい場合においても、第 1 のノード 4 および第 2 のノード 7 の電圧を安定化させて、安定に出力ノード 9 に所望の振幅を有する信号を高速に出力することができる。

40

50

## 【 0 3 3 5 】

## [ 接続形態 9 ]

図 5 1 は、この発明の実施の形態 2 4 における安定化容量の第 9 の接続形態を示す図である。図 5 1 に示す構成においては、安定化容量素子は、出力電源ノード V C C Q および出力接地ノード V S S Q に接続される。すなわち、第 1 のノード 4 と出力電源ノード V C C Q の間に安定化容量素子 1 5 i が接続され、第 1 のノード 4 と出力接地ノード V S S Q の間に安定化容量素子 1 5 j が接続される。第 2 のノード 7 と出力接地ノード V S S Q の間に安定化容量素子 1 8 i が接続され、第 2 のノード 7 と出力電源ノード V C C Q の間に安定化容量素子 1 8 j が接続される。第 1 のノード 4 と第 2 のノード 7 の間に安定化容量素子 3 0 0 が接続される。他の構成は図 5 0 に示す構成と同じであり、対応する部分には参照番号を付す。

10

## 【 0 3 3 6 】

この図 5 1 に示す構成において、出力電源ノード V C C Q および出力接地ノード V S S Q を安定化容量素子に接続しており、出力回路 1 0 の動作時における出力ノード 9 の充放電電流は、これらの出力電源ノード V C C Q および出力接地ノード V S S Q に流れるため、出力回路 1 0 の動作時において第 1 のノード 4 および第 2 のノード 7 の電圧の変動を抑制して、安定に出力ノード 9 に所望の振幅の出力信号を生成することができる。また、第 1 のノード 4 および第 2 のノード 7 に内部電源電圧を発生する回路部分は電源電圧 V C C および接地電圧 V S S を利用しており、信号出力時のノイズの影響を受けることなく安定に動作し、またこれらの電圧 V C C および V S S を内部回路は利用しており、この内部電源電圧を発生する回路部分を適当な位置に配置することが可能となり、レイアウトの自由度が向上する。

20

## 【 0 3 3 7 】

この実施の形態 2 4 の安定化容量を利用すれば、電源電圧 V C C および V S S の変動を制御することができ、基準電圧 V r e f を内部で発生する場合、安定に一定電圧レベルに基準電圧 V r e f を保持することができる。

## 【 0 3 3 8 】

## [ 実施の形態 2 5 ]

図 5 2 は、この発明の実施の形態 2 5 に従う半導体集積回路の構成を概略的に示す図である。図 5 2 において、この半導体集積回路は、電源電圧 V c c を所定レベルに降下させて第 1 のノード 4 へ伝達する電圧降下回路 3 1 0 と、接地電圧 V S S よりも高い電圧レベルの電圧を生成して第 2 のノード 7 へ伝達する電圧上昇回路 3 1 2 と、第 1 のノード 4 上の電圧レベルを安定化する安定化容量 3 1 4 と、第 2 のノード 7 上の電圧を安定化するための安定化容量 3 1 6 を含む。

30

## 【 0 3 3 9 】

出力回路 1 0 は、この第 1 のノード 4 および第 2 のノード 7 上の電圧を動作電源電圧として動作する。

## 【 0 3 4 0 】

電圧降下回路 3 1 0 および電圧上昇回路 3 1 2 は、所定の電圧レベルの電源電圧を生成して第 1 のノード 4 および第 2 のノード 7 へ伝達する。これらの電圧降下回路 3 1 0 および電圧上昇回路 3 1 2 は、高入力インピーダンスを有する入力部に基準電圧を受ける必要はなく、所定レベルの電圧を生成する機能を備えていればよい。

40

## 【 0 3 4 1 】

また、安定化容量 3 1 4 および 3 1 6 は、第 1 のノード 4 および第 2 のノード 7 の電圧を安定化する構成を備え、図 1 およびこの実施の形態 2 4 における第 1 の接続形態から第 9 の接続形態のいずれの接続形態を有していてもよい。

## 【 0 3 4 2 】

## [ 実施の形態 2 6 ]

図 5 3 は、この発明の実施の形態 2 6 に従う半導体集積回路の全体の構成を概略的に示す図である。図 5 3 において、半導体集積回路 1 は、所定の処理を行なうロジックまたはブ

50

ロセッサで構成される処理回路400と、この処理回路400のためのデータを格納するメモリ402を含む。このメモリ402は、たとえばダイナミック・ランダム・アクセス・メモリ(DRAM)である。処理回路400は、インタフェース回路403を介して内部データバス404に結合される。このインタフェース回路403は、小振幅信号の入出力を行なう。内部データバス404は、そのビット幅がたとえば128ビットから1Kビットである。

#### 【0343】

メモリ402は、行列状に配列される複数のメモリセルを有するメモリアレイ405aおよび405bと、メモリアレイ405aの各列(ビット線対)に対応して設けられ、活性化時対応の列上のメモリセルデータの検知、増幅およびラッチを行なう複数のセンスアンプを含むセンスアンプ帯406aと、メモリアレイ405bの各列に対応して設けられ、活性化時対応の列上のメモリセルデータの検知、増幅およびラッチを行なう複数のセンスアンプを含むセンスアンプ帯406bと、図示しないアドレス信号に従ってメモリセルアレイ405aおよび405bの一方の列を選択する列デコーダ407と、列デコーダ407により選択された列上のメモリセルとデータの授受を行なうインタフェース回路408aおよび408bを含む。インタフェース回路408aは、メモリアレイ405aの選択メモリセルとデータの授受を行ない、インタフェース回路408bは、メモリアレイ405bの選択メモリセルとデータの授受を行なう。これらのインタフェース回路408aおよび408bは、共通に内部データバス404に結合される。

#### 【0344】

インタフェース回路408aおよび408bが、共通に内部データバス404に結合されているのは、通常動作時においてはメモリアレイ405aおよび405bの一方のみが、処理回路400とデータの転送を行なうためである。したがって、このメモリアレイ405aおよび405bは、たとえばバンク構成であってもよい。

#### 【0345】

インタフェース回路408aおよび408bは、処理回路400に対して設けられたインタフェース回路403と同様、小振幅信号の授受を行なう。このインタフェース回路408aおよび408bは、図53においては、列デコーダ407により選択された列上のセンスアンプと信号の授受を行なうように示される。

#### 【0346】

内部データバス404を、列方向に沿ってメモリアレイ405a上を渡って延在させて配置することにより、特別な配線専用領域を配置する必要がなく、チップ面積が低減される。インタフェース回路408aおよび408bが、メモリアレイ405aおよび405bの間の領域に配設されるのは、内部データバス404の長さをメモリアレイ405aおよび405bに対して実質的にほぼ同じとし、データ転送(書込/読出)に要する時間を同じとするためである(信号伝搬遅延時間を同じとする)。このため、内部データバス404は、各バス線の長さが、たとえば数mm程度の長さとなる。したがって、内部データバス404の配線長さは比較的長いため、低抵抗の第3層アルミニウム配線などの金属配線を用いても、比較的大きな寄生抵抗および寄生容量が存在する。このため、インタフェース回路403、408aおよび408bを用いて小振幅信号の転送を行なうことにより、高速のデータ転送を実現する。また小振幅信号の転送により、信号振幅を小さくして、信号線の充放電電流を低減し、内部データバス駆動時の消費電流の低減およびノイズ発生を抑制する。このインタフェース回路403、408aおよび408bにおける小振幅信号の転送を可能にするために、電源回路410が設けられ、この内部データバス404とデータの授受を行なう回路の出力信号振幅を制限する。

#### 【0347】

図54は、図53に示す電源回路410、インタフェース回路403、408aおよび408bの構成を概略的に示す図である。メモリアレイ405aおよび405bに対するインタフェース回路408aおよび408bは、同じ構成を備えるため、図54においては、メモリアレイ405に対するインタフェース回路408として両者を代表的に示す。

## 【0348】

内部データバス404は、メモリ402から読出されたデータを伝達するための読出データバス404Rと、メモリ402へ書込むデータを転送する書込データバス404Wを含む。読出データバス404Rおよび書込データバス404Wを別々に設けることにより、データ書込モードおよびデータ読出モードのモード切替時におけるデータ衝突の防止を図る。

## 【0349】

読出データバス404Rは、読出データバス線404r-0~404r-mを含む。これらのデータバス線404r-0~404r-mは、それぞれがメモリセルから読出されたデータを伝達する。書込データバス404Wは、書込データバス線404w-0~404w-mを含む。これらの書込データバス線404w-0~404w-mも、それぞれ、メモリセルへの書込データを転送する。バス線を単線構造とすることにより、バスの占有面積を低減する。

10

## 【0350】

内部電源回路410は、所定の電圧レベルの基準電圧Vrefを発生する基準電圧発生回路417と、この基準電圧発生回路417からの基準電圧Vrefに基づいて第1の内部電圧Vcaを発生する第1の電圧発生回路2と、基準電圧発生回路417からの基準電圧Vrefに従って第2の内部電圧Vsaを発生する第2の電圧発生回路3と、第1の電圧発生回路2からの第1の内部電圧Vcaに従って第1の電源電圧を生成する第1の電源回路5と、第2の電圧発生回路3からの第2の内部電圧Vsaに従って第2の電源電圧を生成する第2の電源回路8を含む。これらの第1の電圧発生回路2、第2の電圧発生回路3、第1の電源回路5、および第2の電源回路8は、先の図1から図24において示した回路と構成が同じである。基準電圧発生回路417は、この第1および第2の電源回路5および8が発生する電源電圧の1/2の電圧レベルの基準電圧Vrefを生成する(図3参照)。

20

## 【0351】

処理回路400に対して設けられたインタフェース回路403は、読出データバス線404r-0~404r-mそれぞれに対応して設けられ、対応の読出データバス線404r-0~404r-mと基準電圧発生回路417の基準電圧Vrefを生成するレシーバ回路420p-0~420p-mと、書込データバス線404w-0~404w-mそれぞれに対応して設けられ、第1および第2の電源回路5および8からの電源電圧を動作電源電圧として動作して書込データバス線404w-0~404w-m上に書込データを伝達するドライバ(出力回路)10p-0~10p-mを含む。これらのドライバ(出力回路)の構成も、図1に示す構成と同じである。

30

## 【0352】

メモリアレイ405に対して設けられたインタフェース回路408は、読出データバス線404r-0~404r-mそれぞれに対応して設けられ、第1の電源回路5および第2の電源回路8からの電源電圧を動作電源電圧として動作し、メモリアレイ405の選択メモリセルから読出されたデータを対応の読出データバス線404r-0~404r-m上に伝達するドライバ(出力回路)10m-0~10m-mと、書込データバス線404w-0~404w-mそれぞれに対応して設けられ、活性化信号Mの活性化にตอบสนองして活性化され、活性化時対応の書込データバス線404w-0~404w-m上の信号と基準電圧発生回路417の発生する基準電圧Vrefとを比較するレシーバ回路420m-0~420m-mを含む。

40

## 【0353】

レシーバ回路420p-0~420p-1および420m-0~420m-mは、それぞれ、差動増幅型回路で構成され、与えられた信号と基準電圧Vrefとを比較する。基準電圧Vrefは、第1および第2の電源回路が生成する電圧のほぼ1/2である。レシーバ回路420p-0~420p-mおよび420m-0~420m-mの各々の入力信号が、基準電圧Vrefを中心として変化する。したがって、与えられる入力信号が小振幅

50

信号であっても、正確に論理レベルを判定して処理回路 400 またはメモリアレイ 405 へのデータを生成することができる。

#### 【0354】

また、この基準電圧発生回路 417 からの基準電圧  $V_{ref}$  をレシーバ回路 420 p - 0 ~ 420 p - m および 420 m - 0 ~ 420 m - m の入力信号の論理レベルの比較基準として利用し、かつドライバ（出力回路）10 m - 0 ~ 10 m - m および 10 p - 0 ~ 10 p - m へ与えられる電源電圧の基礎となる基準電圧と同じとすることにより、この基準電圧発生回路 417 からの基準電圧  $V_{ref}$  の変動時においても、ドライバおよびレシーバ回路においてこの基準電圧  $V_{ref}$  の変動が相殺され、正確なデータ転送を実現することができる。

10

#### 【0355】

今、レシーバ回路 420 p - 0 ~ 420 p - m および 420 m - 0 ~ 420 m - m の動作マージンを考慮して、たとえば入力信号振幅を 0.5 V（基準電圧に対して  $\pm 0.25$  V の電圧差）に設定する。ドライバ（出力回路）10 m - 0 ~ 10 m - m または 10 p - 0 ~ 10 p - m の出力信号が全て L レベルから H レベルへと変化し、第 1 の電源回路 5 からバス 404 R または 404 W の各バス線への充電が生じた場合に最大の充電電流が流れる。この最大の場合においても、データバスの電源電流は、2.5 V の入力信号振幅の場合に比べて、 $0.5 / 2.5 = 1 / 5$  の程度に低減することができる。たとえば、データバス線が 1000 本、バス線の寄生容量が 1 pF、電源電圧が 2.5 V、動作周波数が 100 MHz と仮定する。この場合には、バス動作時（たとえばデータ読出時）に流れる電源電流  $I$  は、次式で与えられる。

20

#### 【0356】

$$\begin{aligned} I &= f \cdot C \cdot V_{cc} \\ &= 100 \text{ MHz} \cdot (1 \text{ pF} \times 1000) \times 2.5 \text{ V} \\ &= 250 \text{ (mA)} \end{aligned}$$

したがって、図 54 に示す構成の場合、信号振幅が 0.5 V であり、50 mA の電流が流れるだけであり、大幅に消費電流が低減され、電源電圧の変動を抑制することができる。また、消費電流  $P_d$  は、 $I \cdot V$  で与えられるため、同様、 $1 / 5$  の値に設定することができる（上述の条件では、625 mW の  $1 / 5$ ）発熱を抑制することができる。したがって、この電源線に流れる電流が  $1 / 5$  となるため、ノイズの大きさもほぼ  $1 / 5$  の大きさに低減することができ、安定動作を保證することができる。

30

#### 【0357】

実際上は、読出データバス 404 R または書込データバス 404 W において、L レベルから H レベルおよび H レベルから L レベルへ電圧レベルが変化するバス線の本数は、平均的にほぼ同じと考えられるため、実効的な消費電力は、さらに低減されて、電源電圧フルスイングの場合の  $1 / 10$  程度の大きさに低減することができ、また実効的な電源線 / 接地線のノイズも同様  $1 / 10$  程度の大きさとなる。

#### 【0358】

一方、レシーバ回路 420 p - 0 ~ 420 p - m および 420 m - 0 ~ 420 m - m は、ダイナミック型ラッチ回路構成を利用することにより、その消費電流をほぼ 0 とすることができ、これらのレシーバ回路 420 p - 0 ~ 420 p - m および 420 m - 0 ~ 420 m - m 動作時の消費電流による電力増大およびノイズの問題は生じない。

40

#### 【0359】

図 55 は、図 54 に示すレシーバ回路 420 p - 0 ~ 420 p - m および 420 m - 0 ~ 420 m - m の構成の一例を示す図である。図 55 においては、レシーバ回路 420 p - 0 ~ 420 p - m および 420 m - 0 ~ 420 m - m が同じ構成を備えるため、参照符号 420 でこのレシーバ回路を示す。

#### 【0360】

図 55 において、レシーバ回路 420 は、電源ノードとノード ND1 の間に接続され、プリチャージ指示信号  $p_a$  に応答して選択的に導通する p チャネル MOS トランジスタ P

50



Q 1 と、電源ノードとノードND 1 の間に接続されかつそのゲートがノードND 2 に接続されるpチャネルMOSトランジスタPQ 2 と、電源ノードとノードND 2 の間に接続されかつそのゲートにプリチャージ指示信号 p aを受けるpチャネルMOSトランジスタPQ 3 と、電源ノードとノードND 2 の間に接続されかつそのゲートがノードND 1 に接続されるpチャネルMOSトランジスタPQ 4 と、ノードND 1 とノードND 3 の間に接続されかつそのゲートに入力データ信号I Nを受けるnチャネルMOSトランジスタNQ 1 と、ノードND 2 とノードND 3 の間に接続されかつそのゲートに基準電圧V r e fを受けるnチャネルMOSトランジスタNQ 2 と、ノードND 3 と接地ノードとの間に接続されかつそのゲートに活性化信号 p bを受けるnチャネルMOSトランジスタNQ 3 を含む。

10

#### 【0361】

次に、この図55に示すレシーバ回路420の動作を図56に示す信号波形図を参照して説明する。

#### 【0362】

プリチャージ指示信号 p aがLレベルのときには、pチャネルMOSトランジスタPQ 1およびPQ 3がオン状態となり、ノードND 1およびND 2が電源ノードに結合され、ノードND 2からの出力信号O U Tが電源電圧V c cレベルのHレベルとなる。この状態においては、活性化信号 p bはLレベルであり、nチャネルMOSトランジスタNQ 3はオフ状態にある。

#### 【0363】

プリチャージ指示信号 p aがHレベルとなると、pチャネルMOSトランジスタPQ 1およびPQ 3がオフ状態となり、ノードND 1およびND 2のラッチ状態が解放される。入力データ信号I Nの電圧レベルが変化しても、活性化信号 p bはLレベルの非活性状態であり、nチャネルMOSトランジスタNQ 3はオフ状態にあり、出力信号O U TはHレベルを維持する。活性化信号 p bがHレベルとなると、nチャネルMOSトランジスタNQ 3がオン状態となり、ノードND 1およびND 2と接地ノードとの間の電流経路が形成される。入力データ信号I Nの電圧レベルがこのときに確定状態にあり、基準電圧V r e fよりも高い場合には、ノードND 1の電圧レベルが低下し、pチャネルMOSトランジスタPQ 4のコンダクタンスがpチャネルMOSトランジスタPQ 2のコンダクタンスよりも大きくなり、ノードND 1の電圧レベルが低下する。ノードND 2は、電源電圧V c cレベルを維持しており、pチャネルMOSトランジスタPQ 2はオフ状態を維持する。これにより、高速でノードND 1の電圧が接地電圧レベルへ低下し、MOSトランジスタPQ 2およびPQ 4によりラッチされる。したがって、この場合ノードND 2からの出力信号O U TはHレベルを維持する。

20

#### 【0364】

一方、活性化信号 p bがHレベルの活性状態となったときに、入力データ信号I Nが基準電圧V r e fよりも低いレベルのときには逆に、pチャネルMOSトランジスタPQ 4がオフ状態を維持し、ノードND 2からの出力信号O U TがLレベルに低下する。ノードND 1は電源電圧V c cレベルに維持される。

#### 【0365】

この図55に示すレシーバ回路420の構成においては、活性化信号 p bが活性化されたときに、ノードND 1およびND 2の一方の放電が行なわれ、電流が消費される。しかしながら、ノードND 1の電圧レベルが接地電圧レベルにまで放電されると、MOSトランジスタPQ 2およびPQ 4によりノードND 1およびND 2の電圧レベルは保持され、電流は流れない。したがって、このダイナミックラッチ型のレシーバ回路420においては消費電流は十分に小さくすることができる。特に、MOSトランジスタPQ 1～PQ 3の電流駆動力を、nチャネルMOSトランジスタNQ 1～NQ 3のそれよりも十分に小さくすることにより、この消費電流は極めて小さくすることができる。これにより、レシーバ回路420動作時の消費電流はほぼ無視することができ、特に、平均直流電流はほぼ0とすることができる。これにより、レシーバ回路420 p - 0～420 p - mおよび42

40

50

0 m - 0 ~ 4 2 0 m - m 動作時における消費電流はほぼ無視することができる。

【 0 3 6 6 】

[ 変更例 1 ]

図 5 7 は、この発明の実施の形態 2 6 の変更例 1 の構成を概略的に示す図である。図 5 7 に示す半導体集積回路は、図 5 4 に示す半導体集積回路と以下の点において異なっている。

【 0 3 6 7 】

すなわち、この図 5 7 に示す半導体集積回路は、読出データバス 4 0 4 R および書込データバス 4 0 4 W が、それぞれ、相補データ信号を伝達するバス線対を含む。すなわち、読出データバス 4 0 4 R は、互いに相補なデータ信号を伝達する読出データバス線対 4 0 4 r - 0 , 4 0 4 r - 0 z ~ 4 0 4 r - m , 4 0 4 r - m z を含む。書込データバス 4 0 4 W は、バス線対 4 0 4 w - 0 , 4 0 4 w - 0 z ~ 4 0 4 w - m , 4 0 4 w - m z を含む。これらの相補信号バス線対に対応して、レシーバ回路 4 2 0 p - 0 ~ 4 2 0 p - m および 4 2 0 m - 0 ~ 4 2 0 m - m の各々は、差動増幅回路で構成され、基準電圧発生回路 4 1 7 からの基準電圧  $V_{ref}$  は、これらのレシーバ回路 4 2 0 p - 0 ~ 4 2 0 p - m , 4 2 0 m - 0 ~ 4 2 0 m - m へは与えられない。

【 0 3 6 8 】

メモリアレイに対するインタフェース回路 4 0 8 においては、読出データバス線それぞれに対応して、ドライバ（出力回路）1 0 m - 0 ~ 1 0 m - 2 m + 1 が設けられ、処理回路に対するインタフェース回路 4 0 3 においては、書込データバス線それぞれに対応して、ドライバ（出力回路）1 0 p - 0 ~ 1 0 p - 2 m + 1 が設けられる。これらのドライバ 1 0 m - 0 ~ 1 0 m - 2 m + 1 および 1 0 p - 0 ~ 1 0 p - 2 m + 1 へは、それぞれ第 1 および第 2 の電源回路 5 および 8 からの電源電圧が供給される。

【 0 3 6 9 】

この図 5 7 に示す構成の場合、読出データバス 4 0 4 R および書込データバス 4 0 4 W それぞれにおいてバス線の数が増加するものの、相補のデータ信号をバス線対を介して伝達することにより、バス線の信号振幅を低減することができる。たとえば、レシーバ回路 4 2 0 p - 0 ~ 4 2 0 p - m および 4 2 0 m - 0 ~ 4 2 0 m - m それぞれに対する入力電圧差を、先の図 5 4 に示すように 1 本のバス線を介してデータ信号を伝達する場合と同じに設定した場合、バス線の信号振幅は、半分に設定することができる（ $|V_{ref} - V_{in}| = |V_{in} - ZV_{in}|$  : ここで、 $V_{in}$  は、バスを伝達されるデータ信号電圧を示す）。

【 0 3 7 0 】

したがって、各バス線の充放電電流が、この場合、1 / 2 の値となり、バス線の数が増えたとっても、図 5 4 に示すバス構成と同じ充放電電流の大きさとなる。

【 0 3 7 1 】

また、各バス線の振幅を、図 5 7 に示す構成の場合に比べて 1 / 2 に設定することができるため、バス線の充電電流および放電電流それぞれが、1 / 2 となり、電源線および接地線のノイズの大きさをさらに半減することができる。

【 0 3 7 2 】

図 5 8 は、図 5 7 に示すレシーバ回路 4 2 0 p - 0 ~ 4 2 0 p - m および 4 2 0 m - 0 ~ 4 2 0 m - m の構成を示す図である。この図 5 8 に示すレシーバ回路 4 2 0 は、図 5 5 に示すレシーバ回路と、基準電圧  $V_{ref}$  に代えて補の入力信号  $ZIN$  が与えられることを除いて同じ構成を備える。

【 0 3 7 3 】

したがって、その図 5 9 に動作波形を示すように、入力データ信号  $IN$  が補の入力データ信号  $ZIN$  よりも高い場合には、H レベルの出力信号  $OUT$  が生成され、逆に、入力データ信号  $IN$  が補の入力データ信号  $ZIN$  よりも低い場合には、L レベルの出力信号  $OUT$  が生成される。この場合、入力データ信号  $IN$  および  $ZIN$  は、基準電圧  $V_{ref}$  を中心として変化する。したがって、この相補信号の電圧差  $|IN - ZIN|$  を小さくしても、

10

20

30

40

50

安定にデータを増幅することができる。

【0374】

この図58に示す構成においても、先の図55に示す構成と同様、消費電流は十分小さくされており、平均直流電流は、ほぼ無視することができる値である。

【0375】

[変更例2]

図60は、この発明の実施の形態26の変更例2の構成を概略的に示す図である。この図60に示す半導体集積回路においては、電源回路410の出力ノードに、安定化容量430が設けられる。この安定化容量430は、先の図6、および図33から図51までに示す安定化容量のいずれかの構成を備える。

10

【0376】

この安定化容量430を電源回路410の出力ノードに設けることにより、電源回路410の出力電圧を安定化させることができるとともに、高速の充放電を各インタフェース回路403、408aおよび408bにおいて行なうことができる。

【0377】

図61は、図60に示す安定化容量430の構成の一例を示す図である。図61に示す構成においては、安定化容量430は、第1の電源回路5の出力ノードに設けられる安定化容量430aと、第2の電源回路8の出力ノードに設けられる安定化容量430bを含む。これらの安定化容量430aおよび430bの他方電極ノードの接続先は、先の図32以降において示した構成のいずれかに従って設定される。この第1の電源回路5および第2の電源回路8の出力ノードは、数多くの出力回路の電源ノードに接続される。したがって、これらの安定化容量430aおよび430bを設けることにより、より安定に電源電圧を出力回路(ドライバ)へ供給することができかつ高速で、バス線を駆動することができる。

20

【0378】

図62は、図60に示す安定化容量の他の構成を示す図である。この図62に示す構成においては、安定化容量430aおよび430bに加えて、さらに、第1の電源回路5の出力ノードと第2の電源回路8の出力ノードの間に安定化容量430cが設けられる。この第1および第2の電源回路5および8の出力ノードの間に安定化容量430cを設けることにより、安定化容量430aおよび430bの充放電電流を低減することができ、各ドライバは、高速で対応のバス線を駆動することができる。

30

【0379】

[変更例3]

図63は、この発明の実施の形態26に従う半導体集積回路の変更例3の構成を示す図である。図63においては、メモリに対するインタフェース回路405と処理回路に対するインタフェース回路403に対し別々に電源回路が設けられる。すなわち、メモリインタフェース回路405に対して、基準電圧発生回路417からの基準電圧に従ってそれぞれ第1および第2の電圧を発生する第1の電圧発生回路2mおよび第2の電圧発生回路3mと、第1の電圧発生回路2mからの電圧に従って第1の電源電圧を生成する第1の電源回路5mと、第2の電圧発生回路3mからの電圧に従って第2の電源電圧を生成する第2の電源回路8mが設けられる。メモリインタフェース回路405は、この第1および第2の電源回路5mおよび8mからの電源電圧を動作電源電圧として動作するドライバ(出力回路)を含む。

40

【0380】

処理回路用インタフェース回路403に対しても、基準電圧発生回路417からの基準電圧Vrefを受けて、それぞれ第1および第2の電圧を発生する第1および第2の電圧発生回路2pおよび3pと、これらの第1および第2の電圧発生回路2pおよび3pからの電圧を受けて第1および第2の電源電圧をそれぞれ発生する第1および第2の電源回路5pおよび8pが設けられる。処理回路用インタフェース回路403に含まれるドライバ(出力回路)は、この第1の電源回路5pおよび第2の電源回路8pからの電源電圧を両動

50

作電源電圧として動作する。

【0381】

この図63に示すようにメモリ用のインタフェース回路405と処理回路用のインタフェース回路403それぞれに対し別々の電源回路を設けることにより、たとえばデータの書込モードから読出モードへの切替時などにおいてメモリインタフェース回路405、処理回路用インタフェース回路403に含まれるドライバが同時に動作することが考えられ、このような場合においても、安定に電源電圧をこれらのインタフェース回路405および403へ供給することができ、正確にデータの転送を行なうことができる。

また、この図63に示す構成においても、各電源回路に対し安定化容量が設けられていてもよい。

10

【0382】

[変更例4]

図64は、この発明の実施の形態26の変更例4の構成を概略的に示す図である。この図64に示す集積回路1の構成においては、メモリアレイ435aおよび435bはそれぞれ、センスアンプ帯がその内部に分散配置される。すなわち、メモリアレイ435aおよび435bは、行方向および列方向に複数のブロックに分割され、列方向に隣接するブロックの間にセンスアンプ帯が配置される。メモリアレイ435aとインタフェース回路408aの間にメモリアレイ435aの選択メモリセルとデータの読出および書込を行なう読出/書込回路440aが設けられ、インタフェース回路408bとメモリアレイ435bの間に、メモリアレイ435bの選択メモリセルとデータの授受を実際に行なう読出/書込回路440bが設けられる。

20

【0383】

読出/書込回路440aおよび440bは、選択メモリセルから読出されたデータを読出すメインアンプおよび、選択メモリセルへデータを書込む書込ドライブ回路を含む。これらのメインアンプおよびライトドライバが、インタフェース回路に含まれるドライバ(出力回路)およびレシーバそれぞれに対応して設けられる。

【0384】

この図64に示す構成の場合、メモリアレイ435aおよび435bは、それぞれバンク構成とされ、メモリアレイ435aおよび435bの一方が処理回路とデータの授受を行なう。

30

【0385】

この図64に示す構成の場合、メモリアレイ435aおよび435bにおける内部データ転送タイミングは、CMOSレベルで動作する読出/書込回路440aおよび440bそれぞれにおけるデータの読出および書込タイミングに合わせて図示しない制御回路により制御され、インタフェース回路408aおよび408bが、実際の内部データ転送(メモリアレイそれぞれに対するデータ転送)のタイミングと独立に動作することができ、制御が容易となる。また、インタフェース回路408aおよび408bに含まれるレシーバ回路が、直接センスアンプを駆動する必要がなく、その駆動能力を小さくすることができ、回路占有面積を低減することができる。

他の構成は、図53に示す構成と同じであり、インタフェース回路403、408aおよび408bによるデータバス駆動により低消費電流、低電源ノイズ、低消費電力および高速データ信号転送を実現することができる。

40

【0386】

なお、上記実施例においては、メモリアレイの構成については具体的に述べていないが、このメモリアレイに含まれるメモリセルは、スタティック型メモリセルであってもよく、ダイナミック型メモリセルであってもよく、またフラッシュメモリセルであってもよい。すなわちメモリは、SRAM(スタティック・ランダム・アクセス・メモリ)、DRAM(ダイナミック・ランダム・アクセス・メモリ)およびフラッシュメモリ(一括消去型EEPROM)のいずれであってもよい。また、このメモリは、クロック信号に同期して動作するクロック同期型メモリであってもよい。

50

## 【0387】

以上のように、この発明の実施の形態26に従えば、処理回路とメモリとが一体的に集積化された半導体集積回路において、メモリと処理回路との間に小振幅信号で信号を出力するドライバ（出力回路）を各バス線に設けたため、安定かつ高速に動作する半導体集積回路を実現することができる。

## 【0388】

〔他の適用例〕

また、本発明は、伝送路において終端抵抗が設けられるシステムにおいて用いられてもよい。出力段のトランジスタの駆動力を、この終端抵抗の値と独立に大きくすることができる。高速動作するシステムを実現することができる。

10

## 【0389】

## 【発明の効果】

以上のように、この発明に従えば、安定に基準電圧に従って所定の電圧レベルの内部電源電圧を生成することができ、安定に高速動作する半導体集積回路を実現することができる。

## 【0390】

すなわち、請求項1に係る発明に従えば、高入力インピーダンスを有する入力部に基準電圧を受けて所定の内部電源電圧を生成するように構成しているため、内部電源電圧発生動作が基準電圧に対し何ら影響を及ぼすことがなく、安定に所定の電圧レベルの内部電源電圧を生成して出力回路を動作させることができる。

20

## 【0391】

請求項1に係る発明に従えば、さらに、内部電源ノードに容量素子を結合するようにしているため、出力回路動作時においてこれらの内部電源ノードの電圧を安定化させることができ、高速かつ安定に動作する半導体集積回路を実現することができる。

## 【0392】

請求項2に係る発明に従えば、内部電源電圧と内部電圧とを比較し、その比較結果に従って電源ノードの電圧レベルを調整するように構成しているため、比較的大きな電流駆動力を持って内部電源電圧を生成することができ、正確かつ安定に内部電源電圧を生成することができる。

## 【0393】

請求項3に係る発明に従えば、内部電源手段を、内部電圧に従ってソースフォロアモードで動作するMOSトランジスタで構成しているため、比較的小占有面積でかつ安定に必要なとされる電圧レベルの内部電源電圧を生成することができる。

30

## 【0394】

請求項4に係る発明に従えば、内部電圧発生手段を、基準電圧をゲートに受けてソースフォロアモード動作するMOSトランジスタと、このソースフォロアトランジスタから伝達された電圧から少なくとも1個のダイオード接続されたMOSトランジスタを介して内部電圧を生成して、さらにソースフォロアモード動作するトランジスタを介して内部電源電圧を生成するように構成しているため、基準電圧よりも高い所望の電圧レベルの内部電源電圧を容易にかつ正確に生成することができる。

40

## 【0395】

請求項5に係る発明に従えば、基準電圧をゲートに受けるMOSトランジスタをソースフォロアモードで動作させ、このソースフォロアトランジスタからの電圧をダイオード接続されたMOSトランジスタにより降下させてさらに、ソースフォロアトランジスタを介して内部電源電圧を生成するように構成しているため、容易に基準電圧よりも低い電圧レベルの内部電源電圧を安定に生成することができる。

## 【0410】

請求項6に係る発明に従えば、第1の電圧発生回路を、内部電源電圧を規定する内部電圧に対応する比較電圧を発生し、この比較電圧と基準電圧とを比較し、その比較結果に従って第1の内部電源回路へ与えられる電圧を調整するように構成しているため、正確にか

50

つ安定に所定の電圧レベルの内部電源電圧を生成することができる。

【0412】

請求項7に係る発明に従えば、低レベル内部電源電圧を規定する内部電圧を発生する第2の内部電圧発生回路を、この低レベル内部電源電圧を規定する電圧に対応する比較電圧を生成し、この比較電圧と基準電圧とを比較し、この比較結果に従って第2の内部電源回路へ与えられる電圧を調整するように構成しているため、正確にかつ安定に所定電圧レベルの低レベル内部電源電圧を生成することができる。

【0419】

請求項8に係る発明に従えば、安定化容量素子を、メモリセルキャパシタおよびビット線相当導電配線およびワード線相当導電配線を用いてメモリセルと同一構造で形成したため、小占有面積で大きな容量値を有する安定化容量素子を実現することができる。

10

【0420】

請求項9に係る発明に従えば、安定化のための容量素子を、基板領域と、この基板領域上に配置されるワード線相当導電配線と、このワード線相当導電配線に対向して配置されるビット線相当導電配線と、ビット線相当導電配線上にメモリセルキャパシタと同一構造の複数個並列に形成したキャパシタとで実現しているため、小占有面積で大きな容量値を有する容量素子を実現することができる。

【0421】

請求項10に係る発明に従えば、安定化容量素子を、基板領域表面ほぼ全面にわたってワード線相当導電配線を配置し、このワード線相当導電配線上に、メモリセルキャパシタと同一構造を有する単位容量素子を複数個並列に形成してかつ電氣的に接続し、この基板領域に第1および第2導電型の不純物領域をそれぞれ形成して同一電極ノードに接続するように構成しているため、ワード線相当導電配線と半導体基板領域とでMOSキャパシタが形成され、より容量値の大きな安定化容量素子を小占有面積で実現することができる。また、このMOSキャパシタのしきい値電圧は一定とされるため、電極ノードに印加される電圧の影響を受けることなく安定に所定の容量値を有する容量素子を実現することができる。

20

請求項11に係る発明に従えば、複数の出力ノードに共通に内部電源電圧発生回路を設けるように構成しているため、回路占有面積を低減することができる。

請求項12に係る発明に従えば、内部電源ノードを安定化するための容量素子を半導体チップ外部に配置するように構成しているため、任意の大きさの容量値を有する容量素子を用いることができ、内部電源ノードの電圧を確実に安定化させることができる。

30

【0422】

請求項33に係る発明に従えば、安定化容量素子を第1の内部電源ノードと第1の電圧源との間に接続するように構成しているため、安定に、出力回路動作時において第1の電圧源から出力回路へ電流を供給することができ、この高レベル内部電源電圧を安定に保持することができる。

【0428】

請求項13に係る発明に従えば、出力回路の出力信号の振幅を制限する第1および第2の電圧発生手段と内部電源ノードに接続される容量素子とこれらの内部電源ノード間に接続される容量素子とが接続しているため、小占有面積で大きな容量値を有する安定化容量を実現することができる。

40

【0429】

請求項14に係る発明に従えば、第1および第2の容量素子の容量値を互いに等しくしているため、内部電源ノードに接続する容量の合成容量値が等しくされ、出力回路の充放電速度を確実に同じとすることができる。

【0430】

請求項15に係る発明に従えば、内部電源ノードに、その容量値が半減された容量素子を並列に接続するように構成しているため、面積を増大させることなく、出力回路動作時の充放電電流を電源ノードおよび接地ノード両者に分散させることができ、出力回路動作

50

時の電源ノイズを低減することができる。

【0435】

請求項16に係る発明に従えば、出力回路の電源ノードの安定化容量を、それぞれ異なる極性の電圧を供給する電圧源に接続するように構成しているため、出力回路動作時において、この安定化容量を流れる電流をそれぞれ異なる電圧源に分散させることができ、電源ノイズを低減することができる。

【0438】

請求項17に係る発明に従えば、メモリアレイと処理回路との間の複数の内部データバス線それぞれに安定化容量が設けられた出力回路を配置しているため、高速かつ安定にデータ転送を行うことができる。

10

請求項18に係る発明に従えば、メモリと処理回路との間に設けられる複数の内部データバス線それぞれに対応して、第1および第2の絶縁ゲート型電界効果トランジスタの対からなる出力手段を設けているため、高速かつ安定にデータ転送を行うことができる。また、バス線の振幅が制限されるため、消費電流が低減され、また、電源ノイズの発生および発熱およびEMIの発生をも防止することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1に従う半導体集積回路の要部の構成を具体的に示す図である。

【図2】 半導体集積回路相互の接続を示す図である。

【図3】 図1および図2に示す半導体集積回路の動作を示す信号波形図である。

20

【図4】 この発明が適用されるシステムの構成を概略的に示す図である。

【図5】 この発明の実施の形態2に従う半導体集積回路の要部の構成を示す図である。

【図6】 この発明の実施の形態3に従う半導体集積回路の要部の構成を示す図である。

【図7】 この発明の実施の形態4に従う半導体集積回路の要部の構成を示す図である。

【図8】 この発明の実施の形態5に従う半導体集積回路の要部の構成を示す図である。

【図9】 この発明の実施の形態6に従う半導体集積回路の要部の構成を示す図である。

【図10】 この発明の実施の形態7に従う半導体集積回路の要部の構成を概略的に示す図である。

【図11】 この発明の実施の形態8に従う半導体集積回路の要部の構成を概略的に示す図である。

30

【図12】 この発明の実施の形態8の変更例の構成を概略的に示す図である。

【図13】 この発明の実施の形態9に従う半導体集積回路の要部の構成を概略的に示す図である。

【図14】 この発明の実施の形態10に従う半導体集積回路の要部の構成を概略的に示す図である。

【図15】 この発明の実施の形態11の半導体集積回路の要部の構成を示す図である。

【図16】 この発明の実施の形態12に従う半導体集積回路の要部の構成を示す図である。

【図17】 この発明の実施の形態13に従う半導体集積回路の要部の構成を示す図である。

40

【図18】 この発明の実施の形態14に従う半導体集積回路の要部の構成を示す図である。

【図19】 この発明の実施の形態15に従う半導体集積回路の要部の構成を示す図である。

【図20】 この発明の実施の形態16に従う半導体集積回路の要部の構成を示す図である。

【図21】 この発明の実施の形態17に従う半導体集積回路の要部の構成を示す図である。

【図22】 この発明の実施の形態18に従う半導体集積回路の要部の構成を示す図である。

50

- 【図 2 3】 この発明の実施の形態 1 9 に従う半導体集積回路の要部の構成を示す図である。
- 【図 2 4】 この発明の実施の形態 2 0 に従う半導体集積回路の要部の構成を示す図である。
- 【図 2 5】 この発明の実施の形態 2 1 に従う半導体集積回路の全体の構成を概略的に示す図である。
- 【図 2 6】 図 2 5 に示す基準電圧発生回路の構成の一例を示す図である。
- 【図 2 7】 この発明の実施の形態 2 2 に従う半導体集積回路の全体の構成を概略的に示す図である。
- 【図 2 8】 この発明の実施の形態 2 3 に従う半導体集積回路の全体の構成を概略的に示す図である。 10
- 【図 2 9】 図 2 8 に示す D R A M 回路の構成を概略的に示す図である。
- 【図 3 0】 図 2 9 に示す D R A M 回路の構成を概略的に示す図である。
- 【図 3 1】 D R A M における M O S キャパシタとメモリセルキャパシタの容量値を記憶容量の関数として表わす図である。
- 【図 3 2】 この発明の実施の形態 2 3 における D R A M メモリセルの断面構造を概略的に示す図である。
- 【図 3 3】 この発明の実施の形態 2 3 における第 1 の安定化容量の断面構造を概略的に示す図である。
- 【図 3 4】 図 3 3 に示す安定化容量の平面レイアウトを概略的に示す図である。 20
- 【図 3 5】 ( A ) は、図 3 3 および図 3 4 に示す安定化容量の単位容量素子の電気的等価回路を示し、( B ) は、安定化容量の電気的等価回路を示す図である。
- 【図 3 6】 ( A ) および ( B ) は、図 3 3 に示す安定化容量の出力回路への接続態様を示す図である。
- 【図 3 7】 ( A ) は、この発明の実施の形態 2 3 における第 2 の安定化容量の断面構造を概略的に示し、( B ) は、その電気的等価回路を示す図である。
- 【図 3 8】 ( A ) は、この発明の実施の形態 2 3 における第 3 の安定化容量の断面構造を概略的に示し、( B ) は、その電気的等価回路を示す図である。
- 【図 3 9】 この発明の実施の形態 2 3 の半導体集積回路の他の構成を概略的に示す図である。 30
- 【図 4 0】 この発明の実施の形態 2 4 における安定化容量素子の第 1 の接続態様を示す図である。
- 【図 4 1】 この発明の実施の形態 2 4 における安定化容量素子の第 2 の接続態様を示す図である。
- 【図 4 2】 この発明の実施の形態 2 4 における安定化容量素子の第 3 の接続態様を示す図である。
- 【図 4 3】 この発明の実施の形態 2 4 における安定化容量素子の第 4 の接続態様を示す図である。
- 【図 4 4】 図 4 3 に示す安定化容量素子の内部電源ノードから見た容量の電気的等価回路を示す図である。 40
- 【図 4 5】 ( A ) および ( B ) は、図 4 3 に示す安定化容量素子の各容量素子の容量値と合成容量の関係を示す図である。
- 【図 4 6】 図 4 5 に示す合成容量値の最大値近傍領域をより詳細に示す図である。
- 【図 4 7】 この発明の実施の形態 2 4 における安定化容量素子の第 5 の接続態様を示す図である。
- 【図 4 8】 この発明の実施の形態 2 4 における安定化容量素子の第 6 の接続態様を示す図である。
- 【図 4 9】 この発明の実施の形態 2 4 における安定化容量素子の第 7 の接続態様を示す図である。
- 【図 5 0】 この発明の実施の形態 2 4 における安定化容量素子の第 8 の接続態様を示す 50



図である。

【図 5 1】 この発明の実施の形態 2 4 における安定化容量素子の第 9 の接続態様を示す図である。

【図 5 2】 この発明の実施の形態 2 5 に従う半導体集積回路の出力部の構成を概略的に示す図である。

【図 5 3】 この発明の実施の形態 2 6 に従う半導体集積回路の全体の構成を概略的に示す図である。

【図 5 4】 図 5 3 に示す半導体集積回路の要部の構成をより具体的に示す図である。

【図 5 5】 図 5 4 に示すレシーバ回路の構成を示す図である。

【図 5 6】 図 5 5 に示すレシーバ回路の動作を示す信号波形図である。

10

【図 5 7】 この発明の実施の形態 2 6 の変更例 1 の構成を示す図である。

【図 5 8】 図 5 7 に示すレシーバ回路の構成を示す図である。

【図 5 9】 図 5 8 に示すレシーバ回路の動作を示す信号波形図である。

【図 6 0】 この発明の実施の形態 2 6 の変更例 2 の構成を概略的に示す図である。

【図 6 1】 図 6 0 に示す安定化容量の構成を概略的に示す図である。

【図 6 2】 図 6 0 に示す安定化容量の他の構成を概略的に示す図である。

【図 6 3】 この発明の実施の形態 2 6 の変更例 3 の構成を概略的に示す図である。

【図 6 4】 この発明の実施の形態 2 6 の変更例 4 の構成を概略的に示す図である。

【図 6 5】 従来の半導体集積回路の出力部の構成を概略的に示す図である。

【図 6 6】 図 6 5 に示す半導体集積回路の動作を示す信号波形図である。

20

【図 6 7】 従来の半導体集積回路の信号入力部の構成を概略的に示す図である。

【図 6 8】 図 6 5 に示す電源回路の構成を示す図である。

#### 【符号の説明】

1 半導体集積回路、2 第 1 の電圧発生回路、3 第 2 の電圧発生回路、4 第 1 のノード、5 第 1 の電源回路、5 a , 5 c MOS トランジスタ、5 b 比較回路、7 第 2 のノード、8 第 2 の電源回路、8 a , 8 c MOS トランジスタ、8 b 比較回路、9 出力ノード、1 2 p チャンネル MOS トランジスタ、1 3 n チャンネル MOS トランジスタ、2 4 抵抗素子、2 1 p チャンネル MOS トランジスタ、2 2 p チャンネル MOS トランジスタ、2 3 n チャンネル MOS トランジスタ、2 4 抵抗素子、3 1 n チャンネル MOS トランジスタ、3 2 n チャンネル MOS トランジスタ、3 3 p チャンネル MOS トランジスタ、3 4 抵抗素子、0 ~ n 半導体チップ、2 5 p チャンネル MOS トランジスタ、3 5 n チャンネル MOS トランジスタ、2 2 a n チャンネル MOS トランジスタ、3 2 a p チャンネル MOS トランジスタ、2 4 a , 3 4 a 抵抗素子、4 1 , 4 2 抵抗素子、1 1 a , 1 1 b , 1 1 c レベル変換回路、1 0 - 1 ~ 1 0 - n 出力回路、1 5 a , 1 5 b , 1 8 a , 1 8 b 容量素子接続端子、5 0 , 5 2 インピーダンス変換回路、6 0 比較電圧発生回路、6 2 差動増幅器、6 4 p チャンネル MOS トランジスタ、6 0 a , 6 0 b , 6 0 c MOS トランジスタ、6 0 d 定電流源、7 0 比較電圧発生回路、7 2 差動増幅器、7 4 n チャンネル MOS トランジスタ、7 0 b , 7 0 c , 7 0 d MOS トランジスタ、7 0 a 定電流源、6 0 f , 7 0 g 抵抗素子、6 0 g , 7 0 f 定電流源、6 0 i , 7 0 i MOS トランジスタ、6 0 f a ~ 6 0 f c , 7 0 g a ~ 7 0 g c 抵抗素子、6 0 l b , 6 0 l c , 7 0 l b , 7 0 l c リンク素子、8 0 基準電圧発生回路、8 2 内部電源回路、8 4 内部回路、9 0 DRAM 回路、9 2 プロセサ、9 0 入出力インタフェース回路、9 0 a DRAM、MC メモリセル、BL , / BL ビット線、WL ワード線、2 0 0

30

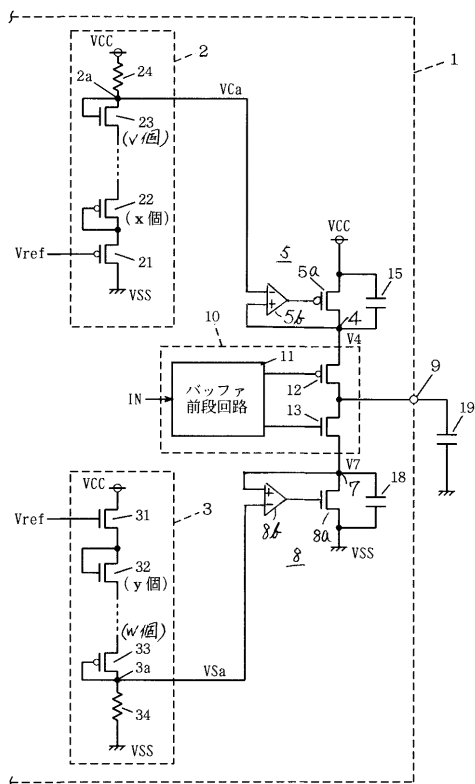
P 型半導体基板、2 1 0 N ウェル、2 0 2 d , 2 0 2 e , 2 0 2 f , 2 0 2 g 不純物領域、2 0 4 c ~ 2 0 4 f ワード線相当導電層、2 0 5 a ビット線相当導電層、2 0 6 c , 2 0 6 d 第 1 の導電層、2 0 8 a 第 2 の導電層、2 0 2 h 不純物領域、2 0 3 c ゲート絶縁膜、2 0 4 f ワード線相当導電層、2 0 5 b ビット線相当導電層、2 0 6 e 1 ~ 2 0 6 e n 第 1 の導電層、2 0 8 b 第 2 の導電層、2 0 0 a N ウェル、2 0 2 i 不純物領域、2 1 9

50

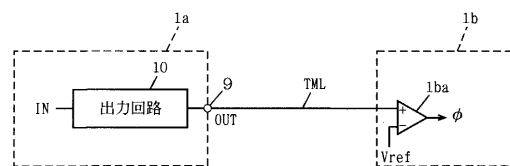
不純物領域、203d ゲート絶縁膜、206f1~206fn 第1の導電層、204g ワード線相当導電層、208c 第2の導電層、15a 容量素子、15c, 15d, 18c, 18d 容量素子、15e, 15f, 18e, 18f 容量素子、15g, 15h, 18g, 18h 容量素子、15i, 15j, 18i, 18j 容量素子、314, 316 安定化容量、400 処理回路、402 メモリ、403 インタフェース回路、404 内部データバス、405a, 405b メモリアレイ、406a, 406b センスアンプ帯、407列デコーダ、408a, 408b インタフェース回路、410 電源回路、10m-0~10m-m, 10p-0~10p-m ドライバ(出力回路)、417 基準電圧発生回路、420p-0~420p-m, 420m-0~420m-m レシーバ回路、404R リードデータバス、404W ライトデータバス、404r-0~404r-m リードデータバス線、404w-0~404w-m ライトデータバス線、404r-0, 404r-0z~404r-m, 404r-mz リードデータバス線、404w-0, 404w-0z~404w-m, 404w-mz ライトデータバス線、430, 430a, 430b, 430c 安定化容量、2m, 2p 第1の電圧発生回路、5m, 5p 第1の電源回路、3m, 3p 第2の電圧発生回路、8m, 8p 第2の電源回路、405 メモリ用インタフェース回路、403 処理回路用インタフェース回路、435a, 435b メモリアレイ、440a, 440b 読出/書込回路。

10

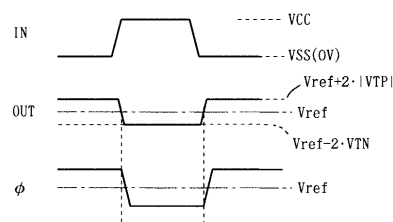
【図1】



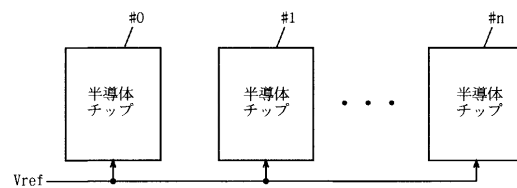
【図2】



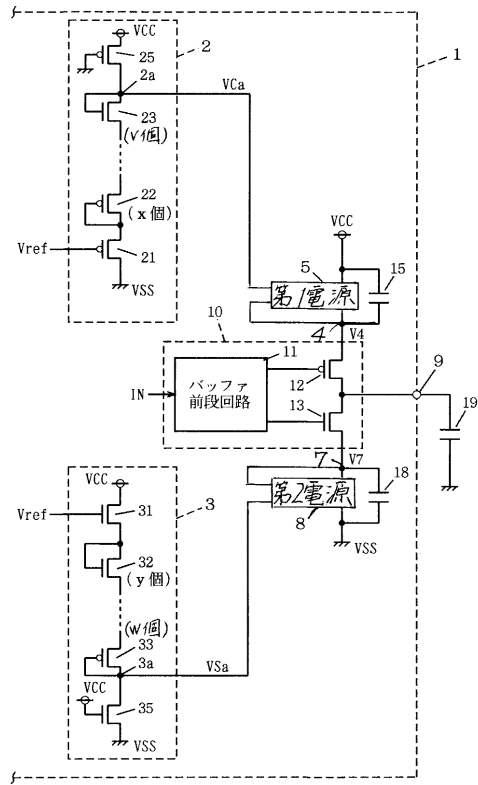
【図3】



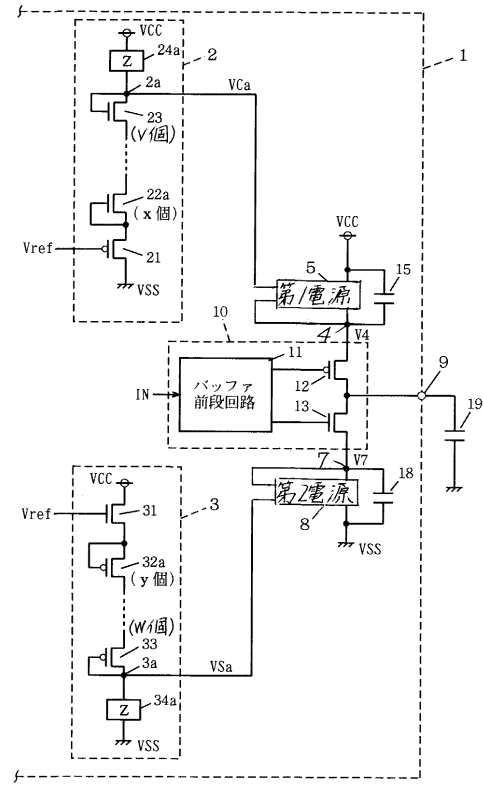
【図4】



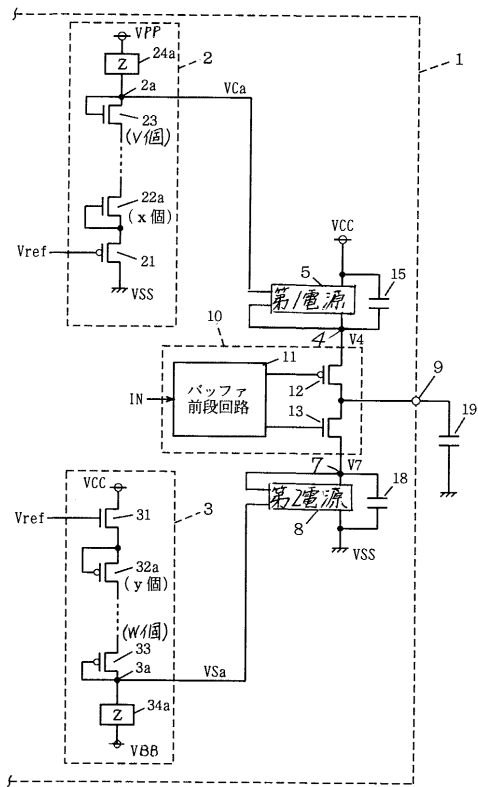
【図 5】



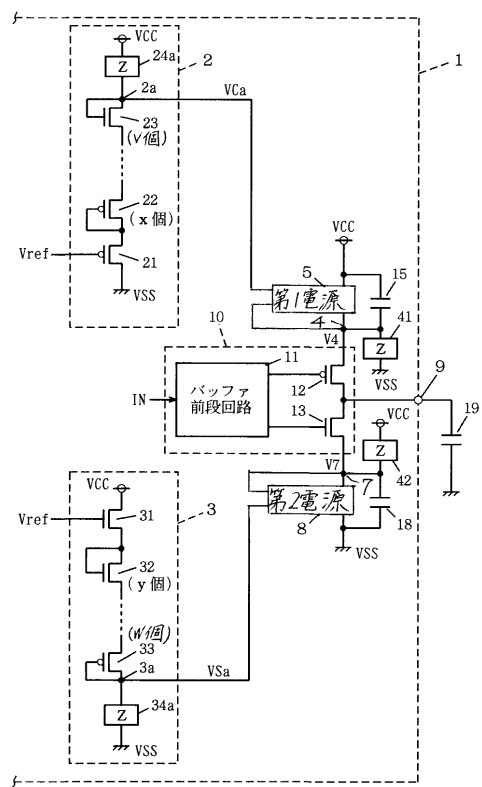
【図 6】



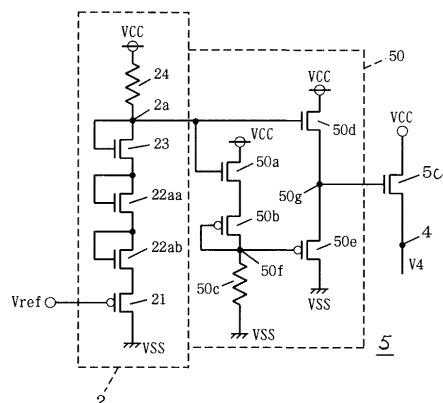
【図 7】



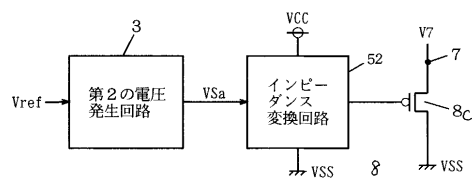
【図 8】



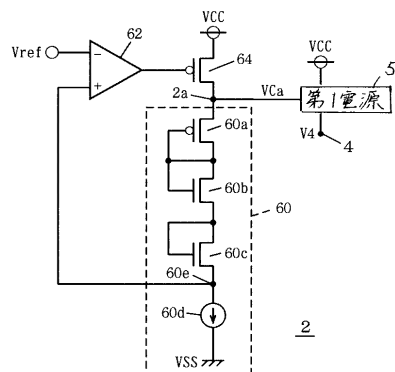
【 図 1 1 】



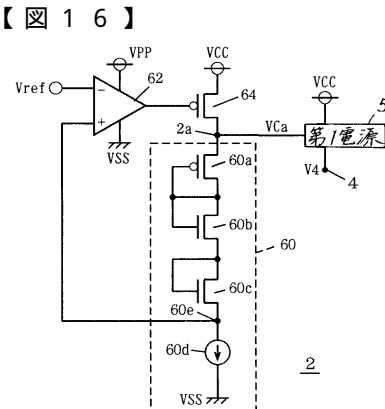
【 図 1 2 】



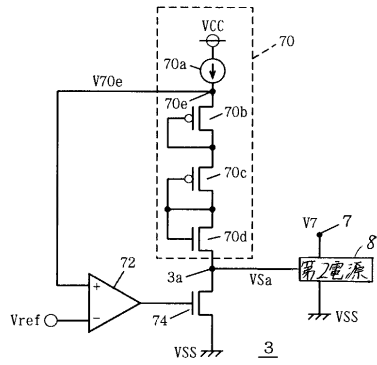
【 図 1 5 】



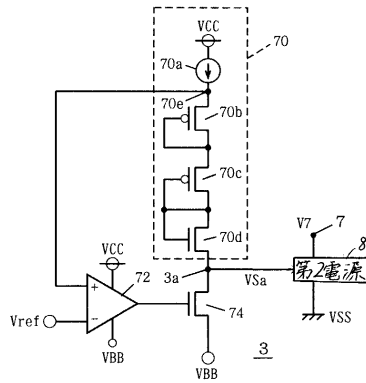
【 図 1 6 】



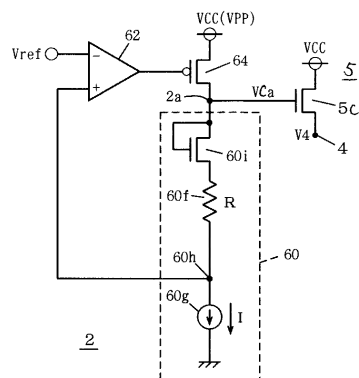
【図 17】



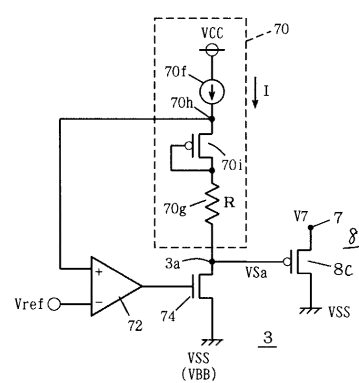
【図 18】



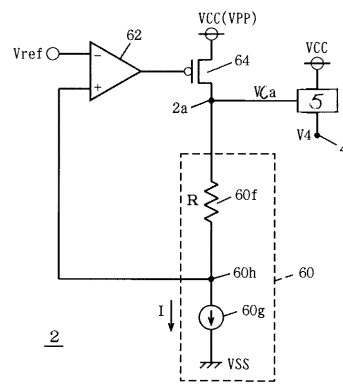
【図 21】



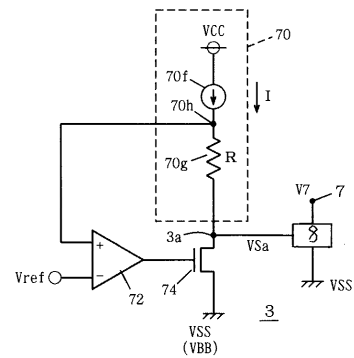
【図 22】



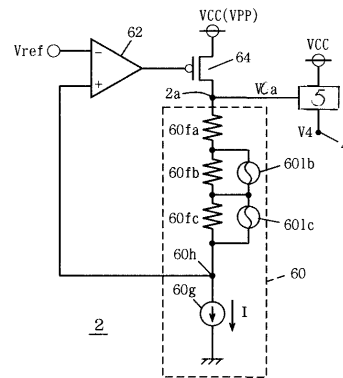
【図 19】



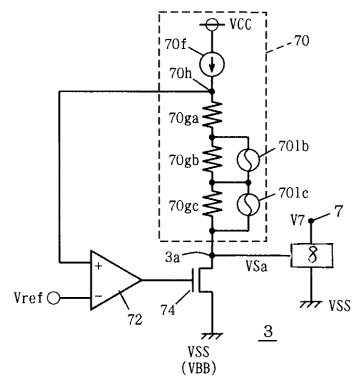
【図 20】



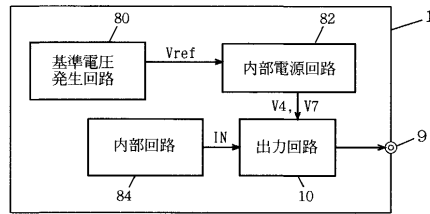
【図 23】



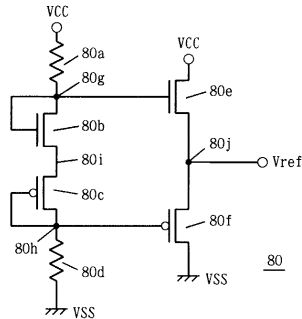
【図 24】



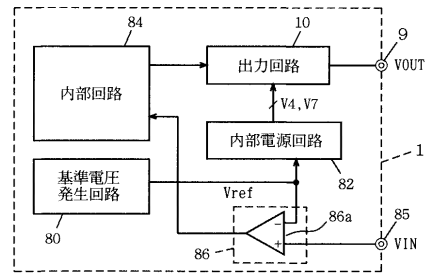
【図 25】



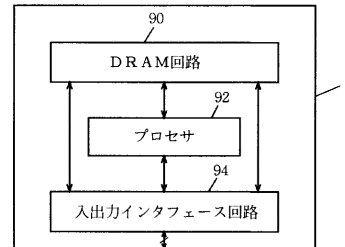
【図 26】



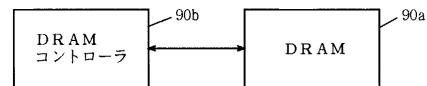
【図 27】



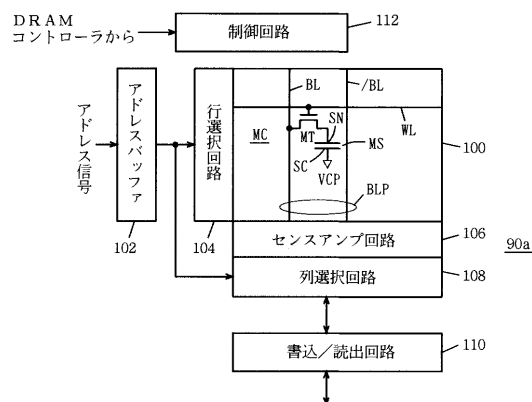
【図 28】



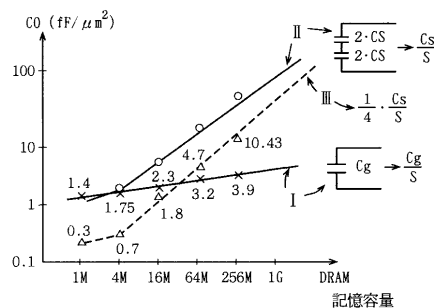
【図 29】



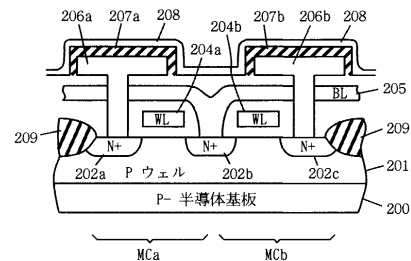
【図 30】



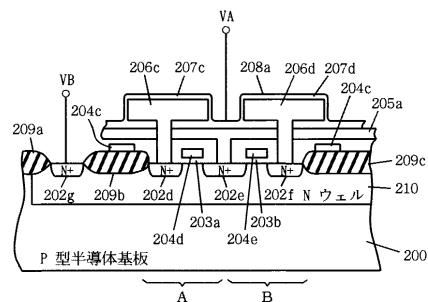
【図 31】



【図 32】

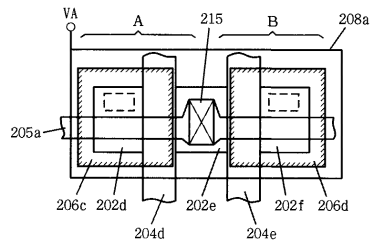


【図 33】

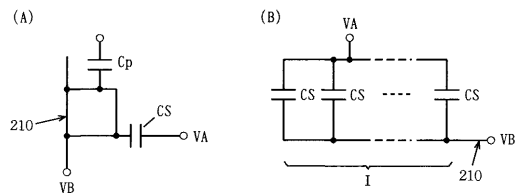


204a-204d:ワード線相当導電層: 206c, 206d:第1導電層  
205a:ビット線相当導電層: 208a:第2導電層

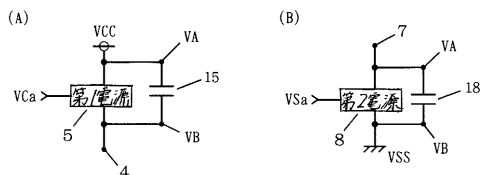
【図 3 4】



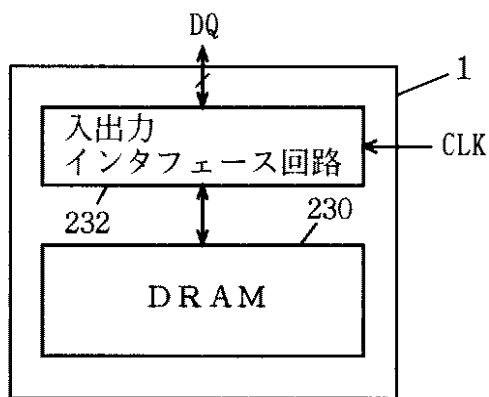
【図 3 5】



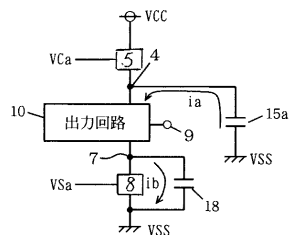
【図 3 6】



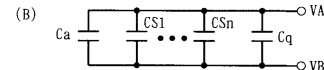
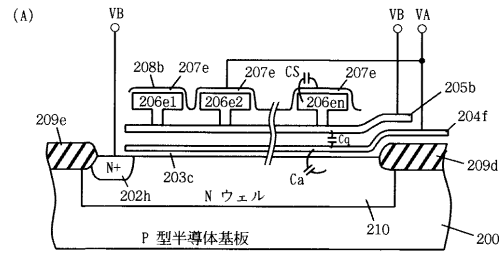
【図 3 9】



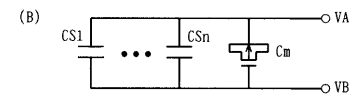
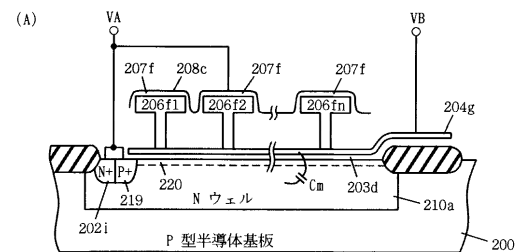
【図 4 0】



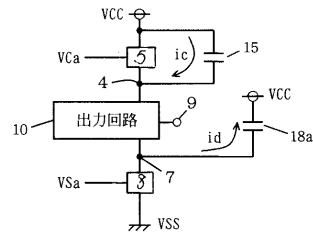
【図 3 7】



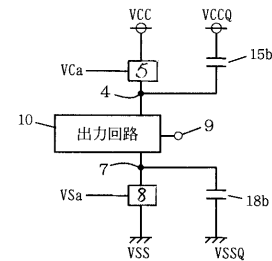
【図 3 8】



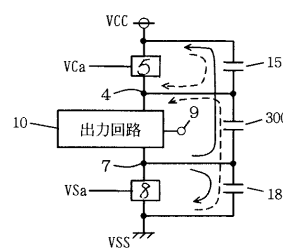
【図 4 1】



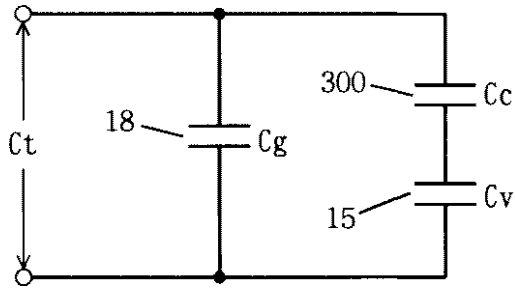
【図 4 2】



【図 4 3】



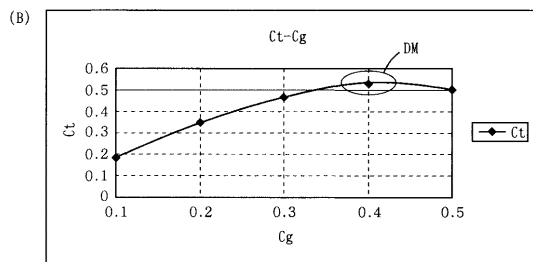
【図 4 4】



【図 4 5】

(A)

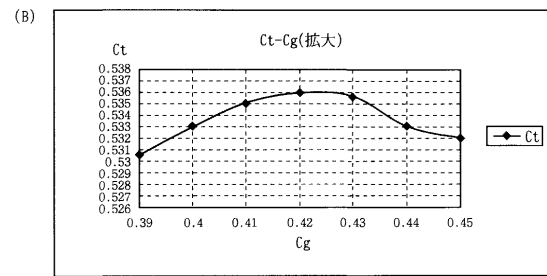
Cv	0.1	0.2	0.3	0.4	0.5
Cc	0.8	0.6	0.4	0.2	0
Cg	0.1	0.2	0.3	0.4	0.5
Ct	0.188	0.35	0.47	0.53	0.5



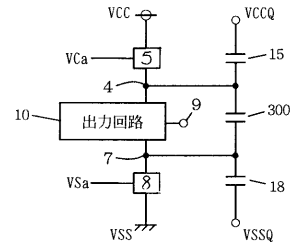
【図 4 6】

(A)

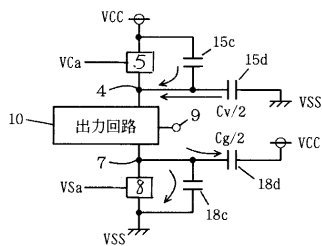
Cv	0.39	0.4	0.41	0.42	0.43	0.44	0.45
Cc	0.22	0.2	0.18	0.16	0.14	0.12	0.12
Cg	0.39	0.4	0.41	0.42	0.43	0.44	0.45
Ct	0.5306	0.533	0.5351	0.5359	0.5356	0.533	0.532



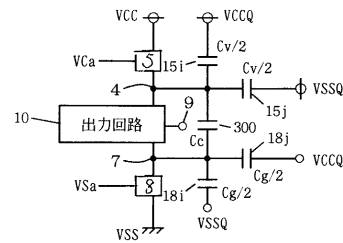
【図 4 7】



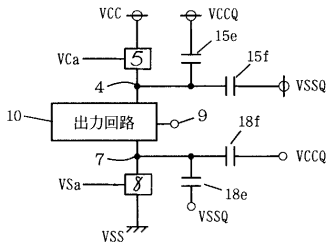
【図 4 8】



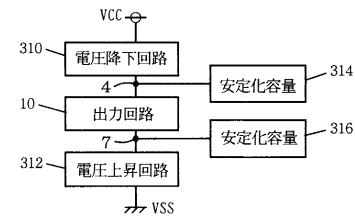
【図 5 1】



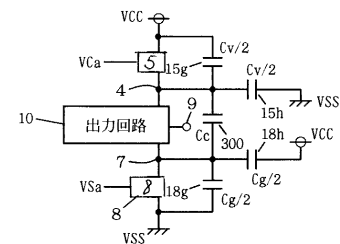
【図 4 9】



【図 5 2】

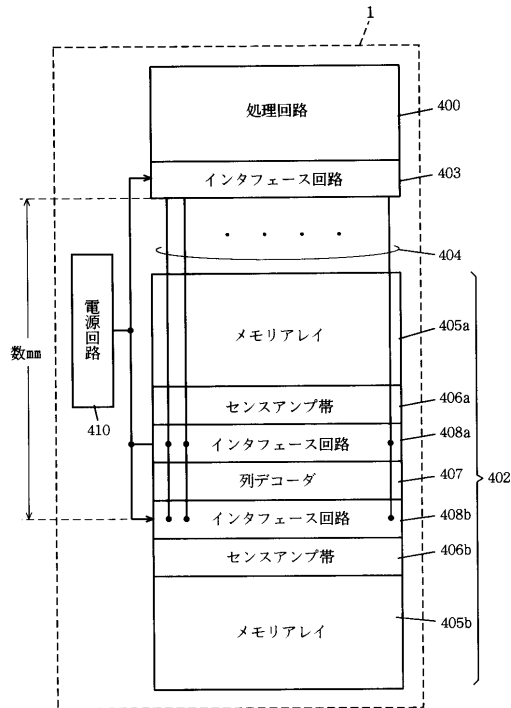


【図 5 0】

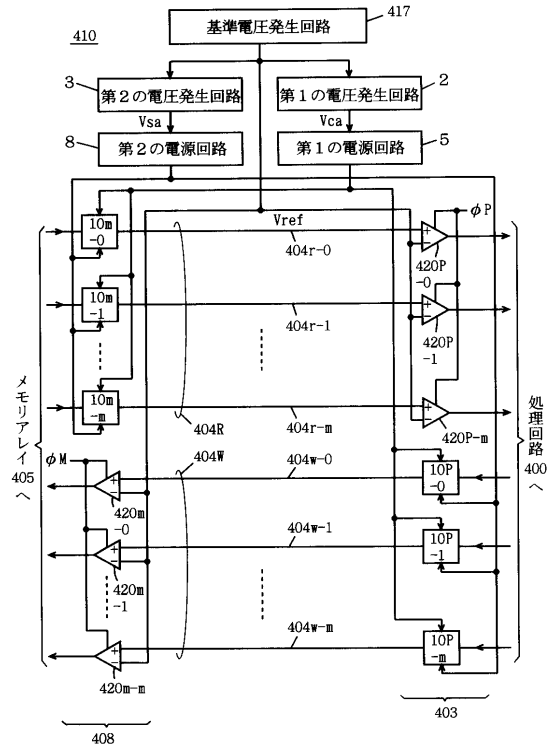




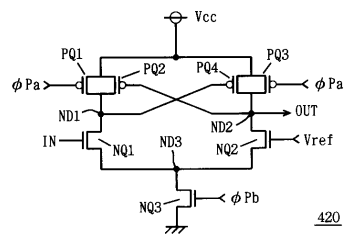
【図 5 3】



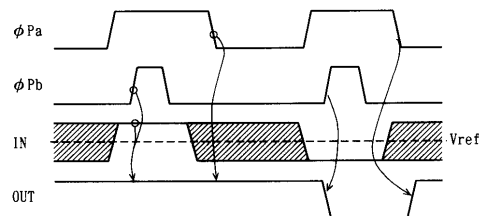
【図 5 4】



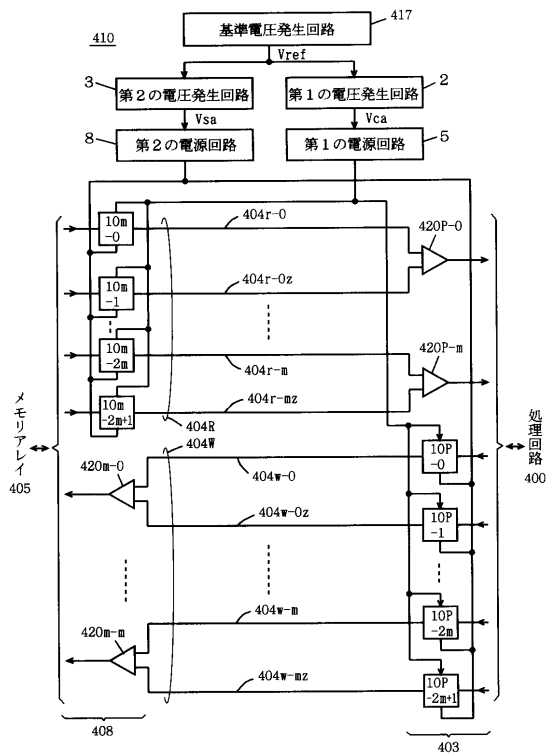
【図 5 5】



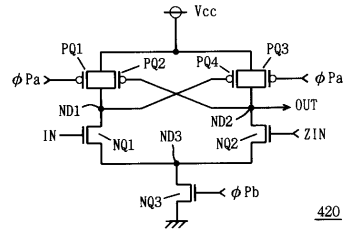
【図 5 6】



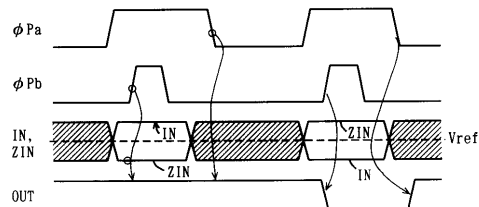
【図 5 7】



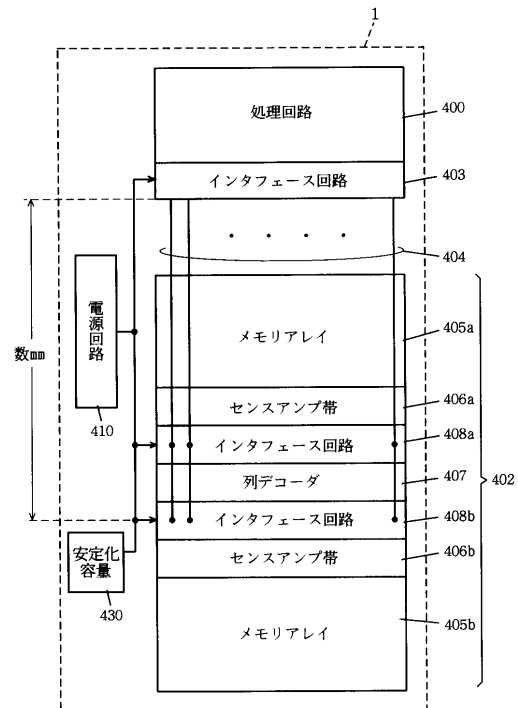
【図 58】



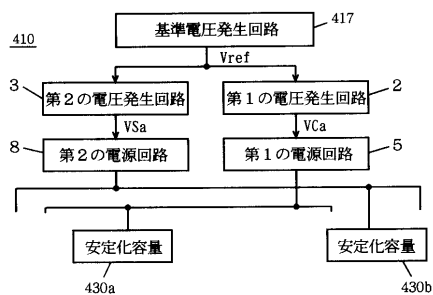
【図 59】



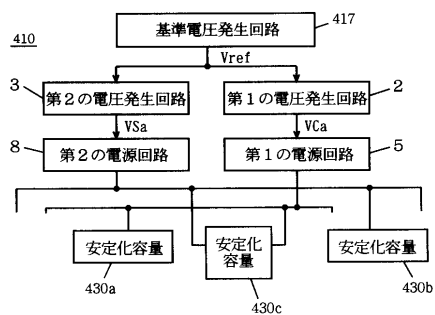
【図 60】



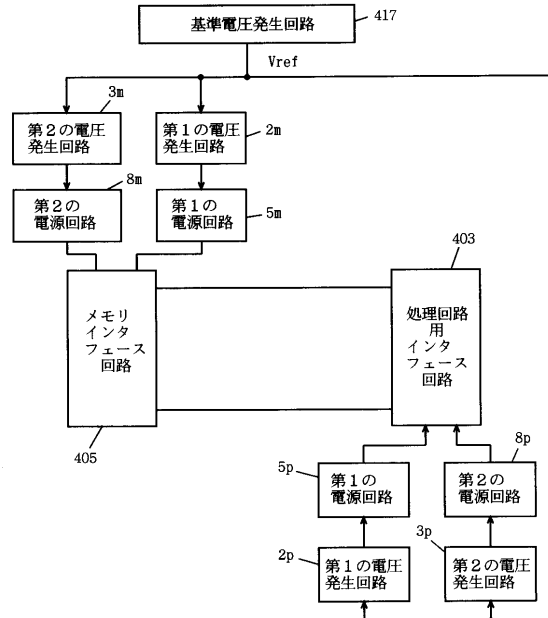
【図 61】



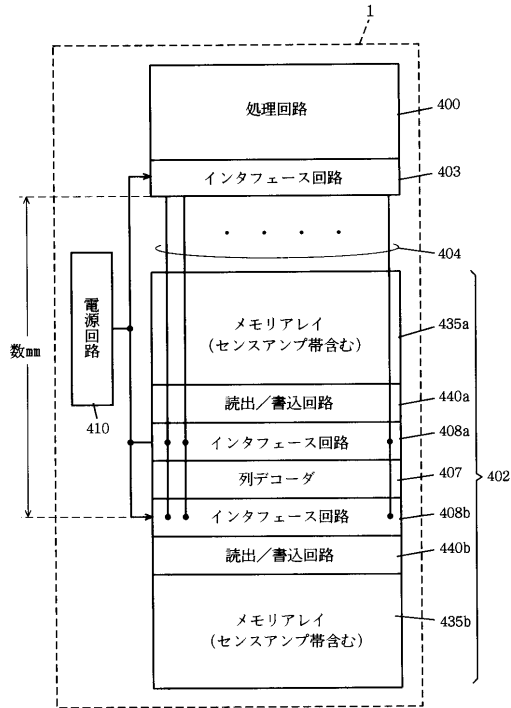
【図 62】



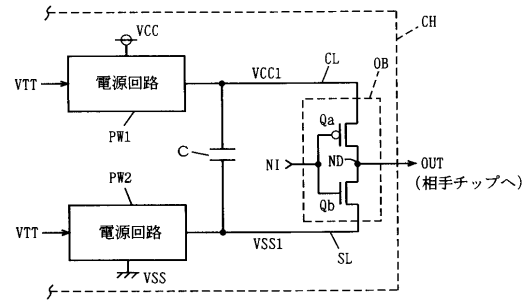
【図 63】



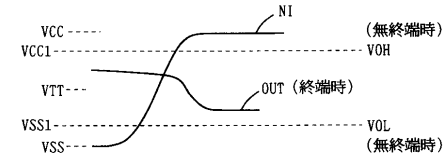
【図 6 4】



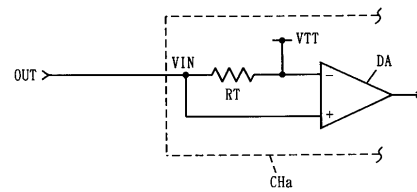
【図 6 5】



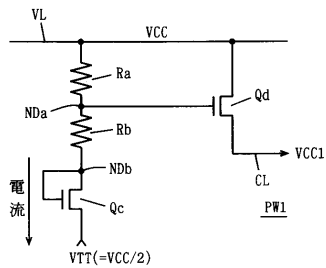
【図 6 6】



【図 6 7】



【図 6 8】



## フロントページの続き

(51) Int.Cl.	F I
<b>G 1 1 C 11/401 (2006.01)</b>	G 1 1 C 11/34 3 5 0
<b>G 1 1 C 11/4074 (2006.01)</b>	G 1 1 C 11/34 3 5 4 F
<b>G 1 1 C 11/4093 (2006.01)</b>	G 1 1 C 11/34 3 5 4 Q
	G 1 1 C 11/34 3 7 1 K
	H 0 3 K 19/00 1 0 1 A

(72)発明者 飛田 洋一  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 宮島 郁美

(56)参考文献 特開平06-326591(JP,A)  
特開平08-083487(JP,A)  
特開平03-032223(JP,A)  
特開平08-079051(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H03K19/00, 19/01-19/082, 19/092-19/096  
G11C11/34-11/40  
H01L27/04-27/08