

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2017년 7월 13일 (13.07.2017)



(10) 국제공개번호
WO 2017/119730 A1

- (51) 국제특허분류:
H01L 25/075 (2006.01) H01L 33/36 (2010.01)
H01L 25/16 (2006.01)
- (21) 국제출원번호: PCT/KR2017/000123
- (22) 국제출원일: 2017년 1월 5일 (05.01.2017)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2016-0000915 2016년 1월 5일 (05.01.2016) KR
- (71) 출원인: 엘지이노텍(주) (LG INNOTEK CO., LTD.)
[KR/KR]; 04637 서울시 중구 후암로 98, Seoul (KR).
- (72) 발명자: 박용남 (PARK, Yong Nam); 04637 서울시 중구 한강대로 416 (서울스퀘어), Seoul (KR).
- (74) 대리인: 박영복 (PARK, Young Bok) 등; 13494 경기도 성남시 분당구 판교역로 225-18 이룸빌딩 2층 KPH 어소시에이츠, Gyeonggi-do (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO,

AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

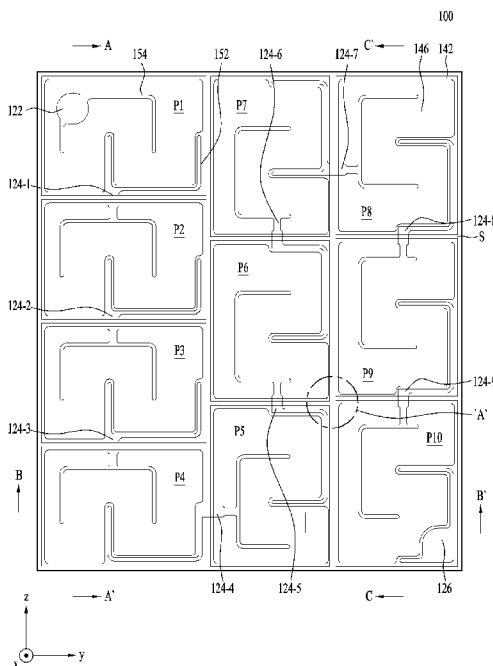
(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

(54) Title: LIGHT EMITTING ELEMENT

(54) 발명의 명칭 : 발광 소자



(57) Abstract: A light emitting device of an embodiment of the present invention comprises: a substrate; a plurality of light emitting cells arranged on the substrate and spaced apart from each other, each of the plurality of light emitting cells including a first conductive semiconductor layer, an active layer, and a second conductive semiconductor layer sequentially disposed on the substrate; a connection wiring for electrically connecting the plurality of light emitting cells to each other; a first bonding pad electrically connected to a second conductive semiconductor layer of a first light emitting cell among the plurality of light emitting cells; and a second bonding pad electrically connected to a first conductive semiconductor layer of a second light emitting cell among the plurality of light emitting cells, wherein a planar area of at least one other light emitting cell excluding the second light emitting cell among the plurality of light emitting cells is smaller than a planar area of the second light emitting cell, the plurality of light emitting cells are separated from each other by a boundary region located on the periphery of the plurality of light emitting cells on a plane, the plurality of light emitting cells include a first adjacent light emitting cells adjacent to each other in a first direction; and a second adjacent light emitting cells adjacent to each other in the first direction and adjacent to the first adjacent light emitting cells in a second direction perpendicular to the first direction, and the boundary region can include a first boundary region disposed between the first adjacent light emitting cells and a second boundary region disposed between the second adjacent light emitting cells and spaced apart from the first boundary region in the first direction.

(57) 요약서:

[다음 쪽 계속]



실시 예의 발광 소자는 기판과, 기판 위에 서로 이격되어 배열되며, 각각은 기판 위에 순차적으로 배치된 제 1 도전형 반도체층, 활성층 및 제 2 도전형 반도체층을 포함하는 복수의 발광 셀과, 복수의 발광 셀을 전기적으로 서로 연결하는 연결 배선과, 복수의 발광 셀 중 제 1 발광 셀의 제 2 도전형 반도체층과 전기적으로 연결된 제 1 본딩 패드 및 복수의 발광 셀 중 제 2 발광 셀의 제 1 도전형 반도체층과 전기적으로 연결된 제 2 본딩 패드를 포함하고, 복수의 발광 셀 중에서 제 2 발광 셀을 제외한 적어도 하나의 다른 발광 셀의 평면적은 제 2 발광 셀의 평면적보다 작고, 평면상에서 복수의 발광 셀의 둘레에 위치하는 경계 영역에 의해 복수의 발광 셀은 서로 구분되고, 복수의 발광 셀은 제 1 방향으로 서로 인접한 제 1 인접 발광 셀들; 및 제 1 방향으로 서로 인접하고, 제 1 방향과 직교하는 제 2 방향으로 제 1 인접 발광 셀들과 인접하는 제 2 인접 발광 셀을 포함하고, 경계 영역은 제 1 인접 발광 셀들 사이에 배치된 제 1 경계 영역 및 제 2 인접 발광 셀들 사이에 배치되며, 제 1 방향으로 제 1 경계 영역과 이격된 제 2 경계 영역을 포함할 수 있다.

명세서

발명의 명칭: 발광 소자

기술분야

- [1] 실시 예는 발광 소자에 관한 것이다.

배경기술

- [2] 질화갈륨(GaN)의 금속 유기화학기상 증착법 및 분자선 성장법 등의 발달을 바탕으로 고휘도 및 백색광 구현이 가능한 적색, 녹색 및 청색 발광 다이오드(LED:Light Emitting Diode)가 개발되었다.
- [3] 이러한 LED는 백열등과 형광등 등의 기존 조명기구에 사용되는 수은(Hg)과 같은 환경 유해물질이 포함되어 있지 않아 우수한 친환경성을 가지며, 긴 수명, 저전력 소비특성 등과 같은 장점이 있기 때문에 기존의 광원들을 대체하고 있다. 이러한 LED 소자의 핵심 경쟁 요소는 고효율 및 고출력 칩 및 패키징 기술에 의한 고휘도의 구현이다.
- [4] 고휘도를 구현하기 위해서 광 추출 효율을 높이는 것이 중요하다. 광 추출 효율을 높이기 위하여 플립 칩(flip-chip) 구조, 표면 요철 형성(surface texturing), 요철이 형성된 사파이어 기판(PSS:Patterned Sapphire Substrate), 광 결정(photonic crystal) 기술, 및 반사 방지막(anti-reflection layer) 구조 등을 이용한 다양한 방법들이 연구되고 있다.
- [5] 도 1은 기존의 발광 소자(10)의 평면도를 나타낸다.
- [6] 도 1에 도시된 발광 소자(10)는 제1 및 제2 전극 패드(또는, 본딩 패드)(22, 24), 9개의 발광 영역(또는, 발광 셀)(40) 및 이웃하는 발광 영역(40)을 전기적으로 연결하는 연결 금속(30)으로 구성된다. 이때, 제2 전극 패드(24)가 배치됨으로 인해, 제9 발광 영역(P9)의 활성층의 평면적은 다른 제1 내지 제8 발광 영역(P1 내지 P8)의 활성층의 평면적보다 더 작아진다. 이로 인해, 제9 발광 영역(P9)의 전류 밀도는 다른 제1 내지 제8 발광 영역(P1 내지 P8)의 전류 밀도보다 더 커질 수 있다. 따라서, 제8 발광 영역(P8)과 제9 발광 영역(P9)을 서로 전기적으로 연결하는 연결 금속(30)이 파손되어, 발광 소자(10)는 전기적으로 오픈될 수 있는 등 취약한 신뢰성을 가질 수 있다.

발명의 상세한 설명

기술적 과제

- [7] 실시 예는 전기적으로 개선된 신뢰성을 갖는 발광 소자를 제공한다.

과제 해결 수단

- [8] 일 실시 예에 의한 발광 소자는, 기판; 상기 기판 위에 서로 이격되어 배열되며, 각각은 상기 기판 위에 순차적으로 배치된 제1 도전형 반도체층, 활성층 및 제2 도전형 반도체층을 포함하는 복수의 발광 셀; 상기 복수의 발광 셀을 전기적으로 서로 연결하는 연결 배선; 상기 복수의 발광 셀 중 제1 발광 셀의 제2 도전형

반도체층과 전기적으로 연결된 제1 본딩 패드; 및 상기 복수의 발광 셀 중 제2 발광 셀의 제1 도전형 반도체층과 전기적으로 연결된 제2 본딩 패드를 포함하고, 상기 복수의 발광 셀 중에서 상기 제2 발광 셀을 제외한 적어도 하나의 다른 발광 셀의 평면적은 상기 제2 발광 셀의 평면적보다 작고, 평면상에서 상기 복수의 발광 셀의 둘레에 위치하는 경계 영역에 의해 상기 복수의 발광 셀은 서로 구분되고, 상기 복수의 발광 셀은 제1 방향으로 서로 인접한 제1 인접 발광 셀들; 및 상기 제1 방향으로 서로 인접하고, 상기 제1 방향과 직교하는 제2 방향으로 상기 제1 인접 발광 셀들과 인접하는 제2 인접 발광 셀을 포함하고, 상기 경계 영역은 상기 제1 인접 발광 셀들 사이에 배치된 제1 경계 영역; 및 상기 제2 인접 발광 셀들 사이에 배치되며, 상기 제1 방향으로 상기 제1 경계 영역과 이격된 제2 경계 영역을 포함할 수 있다.

- [9] 예를 들어, 상기 복수의 발광 셀의 상기 활성층의 평면적의 균일도는 0.01 % 내지 1%일 수 있다. 상기 복수의 발광 셀의 활성층의 평면적의 균일도는 0.03%일 수 있다.
- [10] 예를 들어, 상기 적어도 하나의 다른 발광 셀은 복수의 다른 발광 셀을 포함하고, 상기 균일도의 범위 내에서 상기 복수의 다른 발광 셀의 평면적은 서로 다를 수 있다.
- [11] 예를 들어, 상기 적어도 하나의 다른 발광 셀은 복수의 다른 발광 셀을 포함하고, 상기 복수의 다른 발광 셀의 평면적은 서로 동일할 수 있다.
- [12] 예를 들어, 상기 복수의 발광 셀 중에서 상기 제2 발광 셀을 제외한 상기 적어도 하나의 다른 발광 셀 각각의 제1 평면적과 상기 제2 발광 셀의 제2 평면적은 아래와 같은 관계를 가질 수 있다.

$$[13] \quad AN'-Ai' = \frac{\alpha N}{(N-1)}$$

- [14] 여기서, Ai' 는 제1 평면적을 나타내고, $1 \leq i \leq N-1$, AN' 는 제2 평면적을 나타내고, N 은 상기 발광 셀의 총 개수로서 2 이상의 양의 정수를 나타내고, α 는 상기 제2 본딩 패드의 평면적을 나타낸다.
- [15] 예를 들어, 상기 제2 발광 셀의 가로 폭은 상기 적어도 하나의 다른 발광 셀의 가로 폭보다 크고, 상기 제2 발광 셀의 세로 폭과 상기 적어도 하나의 다른 발광 셀의 세로 폭은 동일할 수 있다. 또는, 상기 제2 발광 셀의 세로 폭은 상기 적어도 하나의 다른 발광 셀의 세로 폭보다 크고, 상기 제2 발광 셀의 가로 폭과 상기 적어도 하나의 다른 발광 셀의 가로 폭은 동일할 수 있다. 또는, 상기 제2 발광 셀의 가로 폭은 상기 적어도 하나의 다른 발광 셀의 가로 폭보다 크고, 상기 제2 발광 셀의 세로 폭은 상기 적어도 하나의 다른 발광 셀의 세로 폭보다 클 수 있다.
- [16] 예를 들어, 상기 제1 도전형 반도체층은 n형 반도체층이고, 상기 제2 도전형 반도체층은 p형 반도체층이고, 상기 복수의 발광 셀 각각은 수평형 본딩 구조를 가질 수 있다.

- [17] 예를 들어, 상기 복수의 발광 셀 중 일부 발광 셀의 장축 또는 단축 방향은 상기 복수의 발광 셀 중 타부 발광 셀의 장축 또는 단축 방향과 다를 수 있다. 예를 들어, 상기 제2 발광 셀의 장축 또는 단축 방향은 상기 제1 발광 셀의 장축 또는 단축 방향과 다를 수 있다.
- [18] 다른 실시 예에 의한 발광 소자는, 기판; 상기 기판 위에 상호 이격되어 배치된 제1 내지 제N(여기서, N은 2 이상의 양의 정수) 발광 셀; 상기 제1 내지 제N 발광 셀을 전기적으로 서로 연결하는 제1 내지 제N-1 연결 배선; 상기 제1 내지 제N 발광 셀 중 제1 발광 셀에 위치한 제1 본딩 패드; 및 상기 제1 내지 제N 발광 셀 중 제N 발광 셀에 위치한 제2 본딩 패드를 포함하고, 상기 제1 내지 제N 발광 셀 중에서 상기 제N 발광 셀을 제외한 발광 셀 각각의 제1 평면적은 아래와 같고, 상기 제N 발광 셀의 제2 평면적은 기준 평면적보다 증분량만큼 크고, 평면상에서 상기 복수의 발광 셀의 둘레에 위치하는 경계 영역에 의해 상기 복수의 발광 셀은 서로 구분되고, 상기 복수의 발광 셀은 제1 방향으로 서로 인접한 제1 인접 발광 셀들; 및 상기 제1 방향으로 서로 인접하고, 상기 제1 방향과 직교하는 제2 방향으로 상기 제1 인접 발광 셀들과 인접하는 제2 인접 발광 셀을 포함하고, 상기 경계 영역은 상기 제1 인접 발광 셀들 사이에 배치된 제1 경계 영역; 및 상기 제2 인접 발광 셀들 사이에 배치되며, 상기 제1 방향으로 상기 제1 경계 영역과 이격된 제2 경계 영역을 포함할 수 있다.

[19]

$$Ai' = AR - \frac{\alpha}{(N-1)}$$

- [20] 여기서, Ai' 는 상기 제1 평면적을 나타내고, AR 은 상기 기준 평면적을 나타내고, α 는 상기 증분량을 나타낸다.
- [21] 예를 들어, 상기 제1 내지 제N 발광 셀 각각은 상기 기판 위에 배치된 n형 반도체층; 상기 n형 반도체층 위에 배치된 활성층; 상기 활성층 위에 배치된 p형 반도체층; 상기 p형 반도체층과 상기 활성층을 매사 식각하여 노출된 상기 n형 반도체층 위에 배치된 n형 전극; 및 상기 p형 반도체층 위에 배치된 p형 전극을 포함할 수 있다.
- [22] 예를 들어, 상기 제1 내지 제N 발광 셀의 상기 활성층의 평면적의 균일도는 0.01 % 내지 1%일 수 있다. 상기 증분량은 상기 제2 본딩 패드의 평면적과 동일할 수 있다.
- [23] 예를 들어, 상기 제1 내지 제N 발광 셀 중 일부 발광 셀의 장축 또는 단축 방향은 상기 제1 내지 제N 발광 셀 중 타부 발광 셀의 장축 또는 단축 방향과 다를 수 있다. 예를 들어, 상기 제N 발광 셀의 장축 또는 단축 방향은 상기 제1 발광 셀의 장축 또는 단축 방향과 다를 수 있다.

발명의 효과

- [24] 실시 예에 따른 발광 소자는 활성층의 평면적이 균일하기 때문에, 복수의 발광

셀의 전류 밀도에 차이가 존재하지 않아, 소자가 파괴되지 않아 개선된 신뢰성을 갖고, 과전류나 ESD(Electrostatic Discharge) 등의 이상 발생시 불량률을 감소시킬 수 있고, 고전압 소자용으로 적합하게 이용될 수 있고, 평면상에서 경계 영역이 동일선 상에 배치되지 않고 어긋나게 배치됨으로써 광의 산란이 일어남으로써 개선된 광 균일도를 가질 수 있다.

도면의 간단한 설명

- [25] 도 1은 기존의 발광 소자의 평면도를 나타낸다.
- [26] 도 2는 실시 예에 의한 발광 소자의 평면도를 나타낸다.
- [27] 도 3은 도 2의 A-A'선을 따라 절취한 단면도를 나타낸다.
- [28] 도 4는 도 2의 B-B'선을 따라 절취한 단면도를 나타낸다.
- [29] 도 5는 도 2의 C-C'선을 따라 절취한 단면도를 나타낸다.
- [30] 도 6은 도 2에 도시된 발광 소자의 회로도를 나타낸다.
- [31] 도 7은 도 2에 도시된 발광 소자의 평면도를 나타낸다.
- [32] 도 8은 도 2에 도시된 'A' 부분을 확대 도시한 단면도를 나타낸다.
- [33] 도 9는 도 2에 도시된 'A' 부분의 비교 레에 의한 단면도를 나타낸다.
- [34] 도 10은 비교 레에 의한 발광 소자의 평면도를 나타낸다.
- [35] 도 11은 도 10에 도시된 비교 레에 의한 발광 소자에서 제1 내지 제10 발광 셀의 전류 밀도를 나타낸다.
- [36] 도 12는 실시 예에 의한 발광 소자에서 제1 내지 제10 발광 셀의 전류 밀도를 나타낸다.

발명의 실시를 위한 최선의 형태

- [37] 이하, 본 발명을 구체적으로 설명하기 위해 실시 예를 들어 설명하고, 발명에 대한 이해를 돕기 위해 첨부도면을 참조하여 상세하게 설명하기로 한다. 그러나, 본 발명에 따른 실시 예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시 예들에 한정되는 것으로 해석되지 않아야 한다. 본 발명의 실시 예들은 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되는 것이다.
- [38] 본 발명에 따른 실시 예의 설명에 있어서, 각 element의 "상(위)" 또는 "하(아래)(on or under)"에 형성되는 것으로 기재되는 경우에 있어, 상(위) 또는 하(아래)(on or under)는 두개의 element가 서로 직접(directly)접촉되거나 하나 이상의 다른 element가 상기 두 element사이에 배치되어(indirectly) 형성되는 것을 모두 포함한다. 또한 "상(위)" 또는 "하(아래)(on or under)"로 표현되는 경우 하나의 element를 기준으로 위쪽 방향뿐만 아니라 아래쪽 방향의 의미도 포함할 수 있다.
- [39] 또한, 이하에서 이용되는 "제1" 및 "제2," "상/상부/위" 및 "하/하부/아래" 등과 같은 관계적 용어들은, 그런 실체 또는 요소들 간의 어떠한 물리적 또는 논리적 관계 또는 순서를 반드시 요구하거나 내포하지는 않으면서, 어느 한 실체 또는

- 요소를 다른 실체 또는 요소와 구별하기 위해서 이용될 수도 있다.
- [40] 이하, 실시 예에 의한 발광 소자(100)를 데카르트 좌표계를 이용하여 설명하지만, 실시 예는 이에 국한되지 않는다. 즉, 실시 예에 의한 발광 소자(100)는 다른 좌표계를 이용하여 설명될 수 있다. 또한, 데카르트 좌표계에 의하면, x축, y축, z축은 서로 직교하지만, 실시 예는 이에 국한되지 않는다. 즉, x축, y축, z축은 서로 직교하는 대신에 서로 교차할 수도 있다.
- [41] 도 2는 실시 예에 의한 발광 소자(100)의 평면도를 나타내고, 도 3은 도 2의 A-A'선을 따라 절취한 단면도를 나타내고, 도 4는 도 2의 B-B'선을 따라 절취한 단면도를 나타내고, 도 5는 도 2의 C-C'선을 따라 절취한 단면도를 나타낸다.
- [42] 도 2 내지 도 5를 참조하면, 발광 소자(100)는 전도층(110), 제1 본딩 패드(bonding pad)(122), 제1 내지 제N-1 연결 배선들(124-1 ~ 124-(N-1), 여기서, N은 2 이상의 양의 정수), 제2 본딩 패드(126), 기관(130) 및 발광 구조물(140)을 포함할 수 있다.
- [43] 기관(130)은 반도체 물질 성장에 적합한 물질, 캐리어 웨이퍼로 형성될 수 있다. 또한 기관(130)은 열 전도성이 뛰어난 물질로 형성될 수 있으며, 전도성 기관 또는 절연성 기관일 수 있다. 또한, 기관(130)은 투광성을 갖는 물질로 이루어질 수도 있으며, 발광 소자의 전체 질화물 발광 구조물(140)의 휨을 가져오지 않으면서, 스크라이빙(scribing) 공정 및 브레이킹(breaking) 공정을 통해 별개의 칩으로 잘 분리시키기 위한 정도의 기계적 강도를 가질 수 있다. 예를 들어 기관(130)은 사파이어(Al_2O_3), GaN, SiC, ZnO, Si, GaP, InP, Ga_2O_3 , GaAs, Ge 중 적어도 하나를 포함하는 물질일 수 있다. 이러한 기관(130)의 상면에는 요철 패턴 형상을 가질 수 있다. 예를 들어, 비록 도시되지는 않았지만 기관(130)은 PSS(Patterned Sapphire Substrate)일 수 있다.
- [44] 또한, 비록 도시되지는 않았지만, 기관(130)과 발광 구조물(140) 사이에 버퍼층이 더 배치될 수도 있다. 버퍼층은 III-V족 원소의 화합물 반도체를 이용하여 형성될 수 있다. 버퍼층은 기관(130)과 발광 구조물(140) 사이의 격자 상수의 차이를 줄여주는 역할을 한다. 예를 들어, 버퍼층은 AlN을 포함하거나 언도프드(undoped) 질화물을 포함할 수 있으나, 이에 한정되지는 않는다. 버퍼층은 기관(130)의 종류와 발광 구조물(140)의 종류에 따라 생략될 수도 있다.
- [45] 이하, 설명의 편의상 N은 10인 것으로 가정하지만, 실시 예는 이에 국한되지 않으며 N이 10보다 많거나 적은 경우에도 하기의 설명은 동일하게 적용될 수 있다.
- [46] 발광 셀은 기관(130) 위에 수평 방향(예를 들어, y축 및 z축 방향)으로 서로 이격되어 배열된다.
- [47] 먼저, 복수의 발광 영역을 순서대로 제1 발광 영역(P1) 내지 제N 발광 영역(PN)이라 한다. 즉, 제1 본딩 패드(122)가 위치하는 발광 영역을 제1 발광 영역(P1)이라 하고, 제2 본딩 패드(126)가 위치하는 발광 영역을 제10 발광 영역이라 한다.

- [48] 제1 내지 제N 발광 셀은 기판(130)의 제1 내지 제N 발광 영역(P1 내지 PN)에 각각 배치된다. 즉, 제1 발광 셀은 기판(130)의 제1 발광 영역(P1)에 배치되고, 제2 발광 셀은 기판(130)의 제2 발광 영역(P2)에 배치되고, 제3 발광 셀은 기판(130)의 제3 발광 영역(P3)에 배치되고, 제4 발광 셀은 기판(130)의 제4 발광 영역(P4)에 배치되고, 제5 발광 셀은 기판(130)의 제5 발광 영역(P5)에 배치되고, 제6 발광 셀은 기판(130)의 제6 발광 영역(P6)에 배치되고, 제7 발광 셀은 기판(130)의 제7 발광 영역(P7)에 배치되고, 제8 발광 셀은 기판(130)의 제8 발광 영역(P8)에 배치되고, 제9 발광 셀은 기판(130)의 제9 발광 영역(P9)에 배치되고, 제10 발광 셀은 기판(130)의 제10 발광 영역(P10)에 배치된다. 이와 같이, 제n 발광 셀($1 \leq n \leq N$)은 기판(130)의 제n 발광 영역(Pn)에 배치된다. 이하, 설명의 편의상 제n 발광 셀을 'Pn'이라 칭한다.
- [49] 제1 내지 제N 발광 셀(P1 내지 PN) 각각은 기판(130) 위에 배치된 발광 구조물(140), 전도층(110), 제1 전극(152) 및 제2 전극(154)을 포함한다. 하나의 발광 셀을 이루는 발광 구조물(140)은 경계 영역(S)에 의하여 다른 발광 셀의 발광 구조물(140)과 구분될 수 있다. 경계 영역(S)은 제1 내지 제N 발광 셀(P1 내지 PN) 각각의 둘레에 위치하는 영역일 수 있으며, 기판(130)일 수 있다. 평면상에서, 경계 영역(S)은 제1 내지 제N 발광 셀(P1 내지 PN) 사이에 배치될 수 있다.
- [50] 설명의 편의상 도 2 내지 도 5에 도시된 각 발광 셀(Pn)은 수평형 본딩 구조를 갖는 것으로 도시하였지만, 실시 예는 각 발광 셀의 특정한 본딩 형태에 국한되지 않는다. 다른 실시 예에 의하면, 각 발광 셀(Pn)은 플립칩 본딩형 구조를 가질 수도 있다.
- [51] 제n 발광 셀(Pn)의 발광 구조물(140)은 기판(130) 위에 순차적으로 배치된 제1 도전형 반도체층(142), 활성층(144) 및 제2 도전형 반도체층(146)을 포함할 수 있다.
- [52] 제1 도전형 반도체층(142)은 기판(130)과 활성층(144) 사이에 배치되며, 반도체 화합물을 포함할 수 있으며, III-V족, II-VI족 등의 화합물 반도체로 구현될 수 있으며, 제1 도전형 도펀트가 도핑될 수 있다. 예를 들어, 제1 도전형 반도체층(142)은 $\text{Al}_x\text{In}_y\text{Ga}_{(1-x-y)}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 물질, InAlGaN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 중 어느 하나 이상을 포함할 수 있다. 제1 도전형 반도체층(142)이 n형 반도체층인 경우, 제1 도전형 도펀트는 Si, Ge, Sn, Se, Te 등과 같은 n형 도펀트를 포함할 수 있다. 제1 도전형 반도체층(142)은 단층 또는 다층 구조를 가질 수 있으며, 이에 대해 한정하지는 않는다.
- [53] 활성층(144)은 제1 도전형 반도체층(142)과 제2 도전형 반도체층(146) 사이에 배치되며, 단일 우물 구조, 다중 우물 구조, 단일 양자 우물 구조, 다중 양자 우물(MQW: Multi Quantum Well) 구조, 양자점 구조 또는 양자선 구조 중 어느 하나를 포함할 수 있다. 활성층(144)은 III-V족 원소의 화합물 반도체 재료를

이용하여 우물층과 장벽층, 예를 들면 InGaN/GaN, InGaN/InGaN, GaN/AlGaIn, InAlGaIn/GaN, GaAs(InGaAs)/AlGaAs, GaP(InGaP)/AlGaP 중 어느 하나 이상의 패어 구조를 가질 수 있으나 이에 한정되지는 않는다. 우물층은 장벽층의 에너지 밴드 갭보다 작은 에너지 밴드 갭을 갖는 물질로 이루어질 수 있다.

[54] 제2 도전형 반도체층(146)은 활성층(144)의 상부에 배치되며, 반도체 화합물을 포함할 수 있다. 제2 도전형 반도체층(146)은 III-V족, II-VI족 등의 화합물 반도체로 구현될 수 있으며, 예를 들어 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 물질 또는 AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 중 어느 하나 이상을 포함할 수 있다.

[55] 제2 도전형 반도체층(146)은 제2 도전형 반도체층일 수 있으며, 제2 도전형 반도체층(146)이 p형 반도체층인 경우, 제2 도전형 도펀트는 Mg, Zn, Ca, Sr, Ba 등과 같은 p형 도펀트일 수 있다. 제2 도전형 반도체층(146)은 단층 또는 다층 구조를 가질 수 있으며, 이에 대해 한정하지는 않는다.

[56] 제1 도전형 반도체층(142)은 n형 반도체층이고 제2 도전형 반도체층(146)은 p형 반도체층으로 구현되거나, 제1 도전형 반도체층(142)은 p형 반도체층이고 제2 도전형 반도체층(146)은 n형 반도체층으로 구현될 수 있다. 이에 따라 발광 구조물(140)은 n-p 접합, p-n 접합, n-p-n 접합, 및 p-n-p 접합 구조 중 적어도 하나를 포함할 수 있다.

[57] 이하, 제1 도전형 반도체층(142)은 n형 반도체층이고, 제2 도전형 반도체층(146)은 p형 반도체층인 것으로 설명하지만, 실시 예는 이에 국한되지 않는다. 이와 반대로, 제1 도전형 반도체층(142)이 p형 반도체층이고, 제2 도전형 반도체층(146)이 n형 반도체층인 경우에도 본 실시 예는 적용될 수 있다.

[58] 각 발광 셀(P1 ~ PM)에서, 제1 전극(152)은 제1 도전형 반도체층(142) 위에 배치된다. 예를 들어, 도 4를 참조하면 제4 발광 셀(P4)에서 제1 전극(152)은 제1 도전형 반도체층(142) 위에 배치되고, 도 5를 참조하면 제8, 제9 및 제10 발광 셀(P8, P9, P10) 각각에서 제1 전극(152)은 제1 도전형 반도체층(142) 위에 배치될 수 있다.

[59] 제1 전극(152)을 제1 도전형 반도체층(142) 위에 배치하기 위해, 발광 구조물(140)의 제1 도전형 반도체층(142) 일부가 노출될 수 있다. 즉, 제2 도전형 반도체층(146), 활성층(144) 및 제1 도전형 반도체층(142)의 일부를 메사 식각(mesa etching)함으로써, 제1 도전형 반도체층(142)의 일부를 노출시킬 수 있다. 이때, 제1 도전형 반도체층(142)의 노출면은 활성층(144)의 하면보다 낮게 위치할 수 있으나, 실시 예는 이에 국한되지 않는다.

[60] 또한, 제1 내지 제N 발광 셀(P1 내지 PN) 각각에서 제1 전극(152)이 제1 도전형 반도체층(142) 위에 별개로 마련될 수도 있고, 제i 발광 셀(Pi, $1 \leq i \leq N-1$)의 제1 전극(152)은 제i 연결 배선(124-i)과 일체로 이루어질 수도 있다.

[61] 예를 들어, 도 4에 예시된 바와 같이 제4 발광 셀(P4)의 제1 전극(152)이 제4 연결 배선(124-4)과 별개로 배치되고, 도 5에 예시된 바와 같이 제8 발광 셀(P8)의

제1 전극(152)이 제8 연결 배선(124-8)과 별개로 배치되고 제9 발광 셀(P9)의 제1 전극(152)이 제9 연결 배선(124-9)과 별개로 배치될 수 있지만, 실시 예는 이에 국한되지 않는다.

- [62] 다른 실시 예에 의하면, 도 4에 도시된 바와 달리 제4 발광 셀(P4)의 제1 전극(152)은 제4 연결 배선(124-4)과 일체로 이루어질 수도 있다. 또한, 도 5에 예시된 바와 달리 제8 발광 셀(P8)의 제1 전극(152)은 제8 연결 배선(124-8)과 일체로 이루어질 수도 있다. 또한, 도 5에 예시된 바와 달리 제9 발광 셀(P9)의 제1 전극(152)은 제9 연결 배선(124-9)과 일체로 이루어질 수도 있다.
- [63] 또한, 도 5에 예시된 바와 같이, 제N 발광 셀(예를 들어, P10)의 제1 전극(152)은 제2 본딩 패드(126)와 일체로 이루어질 수 있다. 그러나, 실시 예는 이에 국한되지 않으며, 제N 발광 셀(PN)의 제1 전극(152)은 제2 본딩 패드(126)와 별개로 이루어질 수도 있다.
- [64] 제1 내지 제N 발광 셀(P1 내지 PN) 각각에서, 제2 전극(154)은 제2 도전형 반도체층(146) 위에 배치된다. 예를 들어, 도 3 내지 도 5를 참조하면, 제1, 제2, 제3, 제4, 제5, 제8, 제9 및 제10 발광 셀(P1, P2, P3, P4, P5, P8, P9, P10) 각각에서 제2 전극(154)은 제2 도전형 반도체층(144) 위에 배치될 수 있다.
- [65] 도 4 및 도 5에 예시된 바와 같이, 제1 내지 제N 발광 셀(P1 내지 PN) 각각에서 제2 전극(154)은 제2 도전형 반도체층(146) 위에 별개로 마련될 수 있지만, 실시 예는 이에 국한되지 않는다. 즉, 다른 실시 예에 의하면, 제j 발광 셀(Pj, $2 \leq j \leq N$)(Pj)의 제2 전극(154)은 제j-1 연결 배선[124-(j-1)]과 일체로 이루어질 수도 있다.
- [66] 도 4의 경우 제5 발광 셀(P5)의 제2 전극(154)은 제4 연결 배선(124-4)과 별개로 마련된다. 그러나, 다른 실시 예에 의하면, 도 4에 예시된 바와 달리, 제5 발광 셀(P5)의 제2 전극(154)은 제4 연결 배선(124-4)과 일체로 이루어질 수도 있다.
- [67] 도 5의 경우 제9 발광 셀(P9)의 제2 전극(154)은 제8 연결 배선(124-8)과 별개로 마련된다. 그러나, 다른 실시 예에 의하면, 도 5에 예시된 바와 달리, 제9 발광 셀(P9)의 제2 전극(154)은 제8 연결 배선(124-8)과 일체로 이루어질 수도 있다.
- [68] 도 5의 경우 제10 발광 셀(P10)의 제2 전극(154)은 제9 연결 배선(124-9)과 별개로 마련된다. 그러나, 다른 실시 예에 의하면, 도 5에 예시된 바와 달리, 제10 발광 셀(P10)의 제2 전극(154)은 제9 연결 배선(124-9)과 일체로 이루어질 수도 있다.
- [69] 또한, 도 3에 예시된 바와 같이, 제1 발광 셀(예를 들어, P1)의 제2 전극(154)은 제1 본딩 패드(122)와 일체로 이루어질 수 있다. 그러나, 실시 예는 이에 국한되지 않으며, 제1 발광 셀(P1)의 제2 전극(154)은 제1 본딩 패드(122)와 별개로 이루어질 수도 있다.
- [70] 제1 내지 제N 발광 셀(P1 내지 PN) 각각에서 제1 및 제2 전극(152, 154) 각각은 접착층(미도시), 배리어층(미도시) 및 본딩층(미도시)이 순차적으로 적층된 구조를 가질 수 있다. 제1 전극(152)의 접착층은 제1 도전형 반도체층(142)과

오믹 접촉하는 물질을 포함하고, 제2 전극(154)의 접촉층은 제2 도전형 반도체층(146)과 오믹 접촉하는 물질을 포함할 수 있다. 예를 들어, 접촉층은 Cr, Rd 및 Ti 중 적어도 하나의 재료로, 단층 또는 다층 구조로 형성될 수 있다.

[71] 배리어층은 접촉층 위에 배치되며, Ni, Cr, Ti 및 Pt 중 적어도 하나를 포함하는 재료로, 단층 또는 다층으로 형성될 수 있다. 예를 들어, 배리어층은 Cr과 Pt의 합금으로 이루어질 수 있다.

[72] 또한, 배리어층과 접촉층 사이에 Ag 등으로 이루어진 반사층이 개재될 수도 있지만 생략될 수도 있다. 본딩층은 배리어층의 위에 배치되며, Au를 포함할 수 있다.

[73] 제1 본딩 패드(122)는 제1 전원을 제공하기 위한 와이어(미도시)가 본딩될 수 있다. 도 2 및 도 3을 참조하면 제1 본딩 패드(122)는 제1 내지 제N 발광 셀(P1 내지 PN) 중 어느 하나의 발광 셀(예컨대, P1)의 제2 도전형 반도체층(146) 위에 배치되며, 제2 도전형 반도체층(146)과 접촉되어 전기적으로 연결될 수 있다.

[74] 또한, 제2 본딩 패드(126)는 제2 전원을 제공하기 위한 와이어(미도시)가 본딩될 수 있다. 도 2, 도 4 및 도 5를 참조하면 제2 본딩 패드(126)는 제1 내지 제N 발광 셀(P1 내지 PN) 중 다른 하나의 발광 셀(예컨대, P=10)의 제1 도전형 반도체층(142) 위에 배치되며, 제1 도전형 반도체층(142)과 전기적으로 접촉할 수 있다.

[75] 각 발광 소자(P1 내지 P10)에서 제2 전극(154)과 제2 도전형 반도체층(146) 사이에 전도층(110)이 더 배치될 수도 있다. 각 전도층(110)은 전반사를 감소시킬 뿐만 아니라 투광성이 좋기 때문에 활성층(144)으로부터 방출되어 제2 도전형 반도체층(146)을 거친 빛의 추출 효율을 증가시킬 수 있다. 각 전도층(110)은 발광 파장에 대해 투과율이 높은 투명한 산화물계 물질, 예컨대, ITO(Indium Tin Oxide), TO(Tin Oxide), IZO(Indium Zinc Oxide), IZTO(Indium Zinc Tin Oxide), IAZO(Indium Aluminium Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium Tin Oxide), AZO(Aluminium Zinc Oxide), ATO(Aluminium Tin Oxide), GZO(Gallium Zinc Oxide), IrOx, RuOx, RuOx/ITO, Ni, Ag, Ni/IrOx/Au 또는 Ni/IrOx/Au/ITO 중 적어도 하나 이상을 이용하여 단층 또는 다층으로 구현될 수 있다.

[76] 제2 도전형 반도체층(146) 위에 배치된 각 전도층(110)의 면적은 제2 도전형 반도체층(146)의 상부 면적 이하일 수 있다.

[77] 한편, 제1 내지 제N-1 연결 배선(124-1 ~ 124-(N-1))은 제1 내지 제N 발광 셀(P1 내지 PN)을 서로 전기적으로 연결하는 역할을 한다. 즉, 제1 내지 제N-1 연결 배선(124-1 ~ 124-(N-1))은 이웃하는 발광 셀들을 전기적으로 연결하는 역할을 한다. 제i 연결 배선(124-i, $1 \leq i \leq N-1$)은 제i 발광 영역(Pi), 제i+1 발광 영역[P(i+1)] 및 그[Pi, P(i+1)] 사이의 경계 영역(S) 상에 위치하여, 이웃하는 제i 발광 셀(Pi)과 제i+1 발광 셀[P(i+1)]을 전기적으로 연결하는 역할을 한다. 예를 들어, 제1 연결 배선(124-1, i=1)은 서로 이웃하는 제1 발광 셀(P1)과 제2 발광

셀(P2)을 전기적으로 연결하고, 도 4에 예시된 바와 같이 제4 연결 배선(124-4)은 제4 발광 영역(P4), 제5 발광 영역(P5) 및 그(P4, P5) 사이의 경계 영역(S) 상에 위치하여, 이웃하는 제4 발광 셀(P4)과 제5 발광 셀(P5)을 전기적으로 서로 연결하는 역할을 한다.

- [78] 도 2 내지 도 5의 경우, 제1 내지 제N-1 연결 배선(124-1 ~ 124-(N-1))에 의해 제1 내지 제N 발광 셀(P1 내지 PN)이 전기적으로 서로 직렬 연결됨을 알 수 있다. 제1 내지 제N-1 연결 배선(124-1 ~ 124-(N-1))은 제1 본딩 패드(122)가 위치하는 제1 발광 셀(P1)을 시점으로 하고, 제2 본딩 패드(126)가 위치하는 제N 발광 영역(PN)을 종점으로 하여 제1 내지 제N 발광 셀(P1 내지 PN)을 직렬 연결할 수 있다. 그러나, 실시 예는 이에 국한되지 않으며, 제1 내지 제N 발광 셀(P1 내지 PN) 중 적어도 일부가 연결 배선에 의해 전기적으로 서로 병렬로 연결될 수도 있다.
- [79] 제1 내지 제N-1 연결 배선(124-1 ~ 124-(N-1)) 각각은 제1 및 제2 전극(152, 154) 각각과 동일하거나 서로 다른 물질로 이루어질 수 있다. 만일, 제1 내지 제N-1 연결 배선(124-1 ~ 124-(N-1))이 제1 및 제2 전극(152, 154)과 동일한 물질로 이루어질 경우 전술한 바와 같이 연결 배선은 제1 또는 제2 전극(152, 154)과 일체형으로 이루어질 수도 있다. 제1 내지 제N-1 연결 배선(124-1 ~ 124-(N-1)) 각각은 Cr, Rd, Au, Ni, Ti 또는 Pt 중 적어도 하나를 포함할 수 있으나 이에 국한되지 않는다.
- [80] 한편, 절연층(160)은 제1 내지 제N-1 연결 배선(124-1 ~ 124-(N-1))과 그 연결 배선에 의해 연결되는 이웃하는 발광 셀들 사이에 배치되어, 연결 배선과 발광 셀들을 전기적으로 절연시킨다. 즉, 절연층(160)은 제i 연결 배선(124-i)과 그 배선(124-i)에 의해 연결되는 이웃하는 제i 및 제i+1 발광 셀들[Pi, P(i+1)] 사이에 배치되어, 제i 연결 배선(124-i)과 제i 발광 셀(Pi)을 전기적으로 절연시키고, 제i 연결 배선(124-i)과 제i+1 발광 셀[P(i+1)]을 전기적으로 절연시킨다. 예를 들어, 도 4를 참조하면, 절연층(160)은 제4 연결 배선(124-4)과 이웃하는 제4 및 제5 발광 셀(P4, P5) 사이에 배치되어, 제4 연결 배선(124-4)과 제4 및 제5 발광 셀들(P4, P5) 각각을 전기적으로 절연시킨다. 그러나, 실시 예는 이에 국한되지 않는다. 즉, 다른 실시 예에 의하면, 절연층(160)은 복수의 발광 셀들(P1 내지 PN) 및 경계 영역 상에 더 배치될 수도 있다. 즉, 절연층(160)은 복수의 발광 셀들(P1 내지 PN)의 상면과 측면을 덮고, 경계 영역(S)을 덮을 수도 있다. 절연층(160)은 투광성 절연 물질, 예컨대, SiO₂, SiO_x, SiO_xN_y, Si₃N₄, 또는 Al₂O₃로 형성될 수 있다. 그러나, 실시 예는 절연층(160)의 특정한 배치 형태나 재질에 국한되지 않는다.
- [81] 도 6은 도 2에 도시된 발광 소자(100)의 회로도를 나타낸다.
- [82] 도 2 및 도 6을 참조하면, 발광 소자(100)는 공통된 하나의 (+) 단자, 예컨대, 하나의 제1 본딩 패드(122)를 가지며, 공통된 하나의 (-) 단자, 예컨대, 하나의 제2 본딩 패드(126)를 가질 수 있다.
- [83] 한편, 복수의 제1 내지 제N 발광 셀(P1 내지 PN) 각각의 평면적은 서로 다를 수

있다.

- [84] 도 7은 도 2에 도시된 발광 소자(100)의 평면도로서, 실선은 각 발광 셀의 평면적을 나타내고, 점선은 각 발광 셀의 활성층(144)(또는, 제2 도전형 반도체층(146))의 평면적을 나타낸다. 여기서, A_n '은 제 n 발광 셀(P_n)의 평면적을 나타낸다. 또한, 도 7에서 'C'와 'D' 부분은 경계 영역(S)을 설명하기 위한 부분으로서 설명의 편의상 'C'와 'D' 부분에서 활성층(144)(또는, 제2 도전형 반도체층(146))을 나타내는 점선은 생략되었다.
- [85] 실시 예에 의하면, 제1 내지 제 N 발광 셀(P_1 내지 P_N)에서 제2 본딩 패드(126)가 위치한 제 N 발광 셀(P_N)을 제외한 다른 발광 셀 즉, 제1 내지 제 $N-1$ 발광 셀(P_1 내지 $P(N-1)$) 각각의 평면적은 제 N 발광 셀(P_N)의 평면적보다 작을 수 있다. 예를 들어, 도 7을 참조하면, 제1 내지 제10 발광 셀(P_1 내지 P_{10}) 중에서 제2 본딩 패드(126)가 위치한 제10 발광 셀(P_{10})을 제외한 제1 내지 제9 발광 셀(P_1 내지 P_9)의 평면적(A_1' 내지 A_9')은 제10 발광 셀(P_{10})의 평면적(A_{10}')보다 작을 수 있다.
- [86] 전술한 바와 같이, 제 N 발광 셀(P_N)의 평면적(A_{10}')보다 제1 내지 제 $N-1$ 발광 셀(P_1 내지 $P(N-1)$)의 평면적(A_1' 내지 A_9')이 작은 이유는, 제 N 발광 셀(P_N)에 제2 본딩 패드(126)가 배치됨으로 인해 제 N 발광 셀(P_N)의 활성층(144)의 평면적이 제1 내지 제 $N-1$ 발광 셀(P_1 내지 $P(N-1)$)의 활성층(144)의 평면적 이하일 수 있기 때문이다. 만일, 제 N 발광 셀(P_N)의 활성층(144)의 평면적이 제1 내지 제 $N-1$ 발광 셀(P_1 내지 $P(N-1)$)의 활성층(144)의 평면적 이하일 경우, 제1 내지 제 $N-1$ 발광 셀(P_1 내지 $P(N-1)$)의 전류밀도보다 제 N 발광 셀(P_N)의 전류밀도가 높아져서, 발광 소자가 파괴될 수 있다. 이를 방지하기 위해, 실시 예에 의하면, 제 N 발광 셀(P_N)의 평면적(A_N')은 다른 발광 셀(P_1 내지 $P(N-1)$)의 평면적(A_1' 내지 $A(N-1)'$)보다 클 수 있다.
- [87] 다른 발광 셀(P_1 내지 $P(N-1)$)의 평면적보다 제 N 발광 셀(P_N)의 평면적을 키우기 위해, 제 N 발광 셀(P_N)의 가로 폭(Y)을 다른 발광 셀(P_1 내지 $P(N-1)$)의 가로 폭보다 크게 설계하고, 제 N 발광 셀(P_N)의 세로 폭(Z)과 다른 발광 셀(P_1 내지 $P(N-1)$)의 세로 폭을 서로 동일하게 설계할 수 있다.
- [88] 또는, 다른 발광 셀(P_1 내지 $P(N-1)$)의 평면적보다 제 N 발광 셀(P_N)의 평면적을 키우기 위해, 제 N 발광 셀(P_N)의 세로 폭(Z)을 다른 발광 셀(P_1 내지 $P(N-1)$)의 세로 폭보다 크게 설계하고, 제 N 발광 셀(P_N)의 가로 폭(Y)과 다른 발광 셀(P_1 내지 $P(N-1)$)의 가로 폭을 서로 동일하게 설계할 수 있다.
- [89] 또는, 다른 발광 셀(P_1 내지 $P(N-1)$)의 평면적보다 제 N 발광 셀(P_N)의 평면적을 키우기 위해, 제 N 발광 셀(P_N)의 세로 폭(Z)을 다른 발광 셀(P_1 내지 $P(N-1)$)의 세로 폭보다 크게 설계하고, 제 N 발광 셀(P_N)의 가로 폭(Y)을 다른 발광 셀(P_1 내지 $P(N-1)$)의 가로 폭보다 크게 설계할 수 있다.
- [90] 도 8은 도 2에 도시된 'A' 부분을 확대 도시한 단면도를 나타내고, 도 9는 도 2에 도시된 'A' 부분의 비교례('B')에 의한 단면도를 나타낸다.

- [91] 만일, 제1 내지 제N 발광 셀(P1 내지 PN)의 평면적의 크기가 서로 동일하거나 제1 내지 제N 발광 셀(P1 내지 PN)의 평면적의 크기의 차이가 크지 않을 경우, 도 9에 도시된 바와 같이 인접하는 발광 셀(예를 들어, P5, P6, P9, P10)의 사이에 배치된 경계 영역(S)은 y축이나 z축 방향으로 어긋나지 않고 일렬로 배치된다.
- [92] 반면에, 실시 예에서와 같이, 제N 발광 셀(PN)의 가로 폭(Y)이나 세로 폭(Z) 중 적어도 하나를 증가시킬 경우, 도 8에 도시된 바와 같이 인접하는 발광 셀(P5, P6, P9, P10)의 사이에 배치된 경계 영역(S)은 y축이나 z축 방향으로 어긋나게 배치될 수 있다. 이에 대해 상세히 살펴보면 다음과 같다.
- [93] 제1 내지 제N 발광 셀(P1 내지 PN)은 제1 인접 발광 셀들과 제2 인접 발광 셀들을 포함할 수 있다. 여기서, 제1 인접 발광 셀들이란, 제1 내지 제N 발광 셀(P1 내지 PN) 중에서 제1 방향으로 서로 인접하여 배치된 발광 셀들을 의미할 수 있다. 제2 인접 발광 셀들이란, 제1 내지 제N 발광 셀(P1 내지 PN) 중에서, 제1 방향과 직교하는 제2 방향으로 제1 인접 발광 셀들과 인접하되, 제1 방향으로 서로 인접한 발광 셀들을 의미할 수 있다.
- [94] 이하, 제1 인접 발광 셀과 제2 인접 발광 셀의 이해를 돕기 위해, 제1 방향이 z축 방향이고 제2 방향이 y축 방향이라고 가정할 때, 제1 인접 발광 셀들과 제2 인접 발광 셀들은 다음과 같이 설명한다. 또한, 제1 및 제2 방향 각각은 기관(130)의 두께 방향(예를 들어, x축 방향)과 각각 직교할 수 있다.
- [95] 일례로서, 제1 발광 셀(P1)과 제2 발광 셀(P2)은 제1 방향인 z축 방향으로 인접하므로, 제1 인접 발광 셀에 해당할 수 있다. 제1 발광 셀(P1)과 제2 발광 셀(P2)이 제1 인접 발광 셀에 해당할 때, 제6 및 제7 발광 셀들(P6, P7)은 제2 방향인 y축 방향으로 제1 인접 발광 셀(P1, P2)과 인접하고, 제1 방향인 z축 방향으로 서로 인접하므로 제2 인접 발광 셀에 해당할 수 있다.
- [96] 다른례로서, 제3 발광 셀(P3)과 제4 발광 셀(P4)은 제1 방향인 z축 방향으로 인접하므로, 제1 인접 발광 셀에 해당할 수 있다. 제3 발광 셀(P3)과 제4 발광 셀(P4)이 제1 인접 발광 셀에 해당할 때, 제5 및 제6 발광 셀들(P5, P6)은 제2 방향인 y축 방향으로 제1 인접 발광 셀(P3, P4)과 인접하고, 제1 방향인 z축 방향으로 서로 인접하므로 제2 인접 발광 셀에 해당할 수 있다.
- [97] 또 다른례로서, 제6 발광 셀(P6)과 제7 발광 셀(P7)은 제1 방향인 z축 방향으로 인접하므로, 제1 인접 발광 셀에 해당할 수 있다. 제6 발광 셀(P6)과 제7 발광 셀(P7)이 제1 인접 발광 셀에 해당할 때, 제8 및 제9 발광 셀들(P8, P9)은 제2 방향인 y축 방향으로 제1 인접 발광 셀(P6, P7)과 인접하고, 제1 방향인 z축 방향으로 서로 인접하므로 제2 인접 발광 셀에 해당할 수 있다. 또한, 제6 발광 셀(P6)과 제7 발광 셀(P7)이 제1 인접 발광 셀에 해당할 때, 제1 및 제2 발광 셀들(P1, P2)은 제2 방향인 y축 방향으로 제1 인접 발광 셀(P6, P7)과 인접하고, 제1 방향인 z축 방향으로 서로 인접하므로 제2 인접 발광 셀에 해당할 수 있다.
- [98] 또 다른례로서, 제5 발광 셀(P5)과 제6 발광 셀(P6)은 제1 방향인 z축 방향으로 인접하므로, 제1 인접 발광 셀에 해당할 수 있다. 제5 발광 셀(P5)과 제6 발광

셀(P6)이 제1 인접 발광 셀에 해당할 때, 제9 및 제10 발광 셀들(P9, P10)은 제2 방향으로 y축 방향으로 제1 인접 발광 셀(P5, P6)과 인접하고, 제1 방향인 z축 방향으로 서로 인접하므로 제2 인접 발광 셀에 해당할 수 있다. 또한, 제5 발광 셀(P5)과 제6 발광 셀(P6)이 제1 인접 발광 셀에 해당할 때, 제3 및 제4 발광 셀들(P3, P4)은 제2 방향인 y축 방향으로 제1 인접 발광 셀(P5, P6)과 인접하고, 제1 방향인 z축 방향으로 서로 인접하므로 제2 인접 발광 셀에 해당할 수 있다.

[99] 또한, 경계 영역(S)은 제1, 제2 및 제3 경계 영역(S1, S2, S3)을 포함할 수 있다. 제1 경계 영역(S1)이란, 제1 인접 발광 셀들 사이에 배치된 경계 영역(S)을 의미할 수 있다. 제2 경계 영역(S2)이란, 제2 인접 발광 셀들 사이에 배치되며, 제1 방향으로 제1 경계 영역(S1)과 이격된 경계 영역을 의미할 수 있다. 제3 경계 영역(S3)이란, 제1 인접 발광 셀들과 제2 인접 발광 셀들 사이에 배치된 경계 영역을 의미할 수 있다.

[100] 예를 들어, 도 7에 도시된 'C'를 참조하면, 제1 및 제2 발광 셀(P1, P2)이 제1 인접 발광 셀에 해당하고, 제6 및 제7 발광 셀(P6, P7)이 제2 인접 발광 셀에 해당한다고 할 때, 제1 인접 발광 셀(P1, P2) 사이에 제1 경계 영역(S1)이 배치되고, 제2 인접 발광 셀(P6, P7) 사이에 제2 경계 영역(S2)이 배치됨을 알 수 있다. 이때, 제1 경계 영역(S1)과 제2 경계 영역(S2)은 제1 방향인 z축 방향으로 이격되어 배치됨을 알 수 있다. 이 경우, 제1 경계 영역(S1)과 제2 경계 영역(S2) 사이에 제3 경계 영역(S3)이 배치됨을 알 수 있다.

[101] 또한, 도 7에 도시된 'D'를 참조하면, 제5 및 제6 발광 셀(P5, P6)이 제1 인접 발광 셀에 해당하고, 제9 및 제10 발광 셀(P9, P10)이 제2 인접 발광 셀에 해당한다고 할 때, 제1 인접 발광 셀(P5, P6) 사이에 제1 경계 영역(S1)이 배치되고, 제2 인접 발광 셀(P9, P10) 사이에 제2 경계 영역(S2)이 배치됨을 알 수 있다. 이때, 제1 경계 영역(S1)과 제2 경계 영역(S2)은 제1 방향인 z축 방향으로 이격되어 배치됨을 알 수 있다. 이 경우, 제1 경계 영역(S1)과 제2 경계 영역(S2) 사이에 제3 경계 영역(S3)이 배치됨을 알 수 있다.

[102] 제1 및 제2 경계 영역(S1, S2)은 제2 방향(예를 들어, y축 방향)으로 동일선상에 배치되지 않고, 제1 방향(예를 들어, z축 방향)으로 이격되어 배치된다. 이와 같이, 실시 예에 의하면, 제1 및 제2 경계 영역(S1, S2)이 동일선상에 배치되지 않기 때문에, 제1 경계 영역(S1)과 제3 경계 영역(S3)의 사이, 제2 경계 영역(S2)과 제3 경계 영역(S3)의 사이 또는 제3 경계 영역(S3) 중 적어도 한 곳에서 광의 산란이 일어남으로써 발광 소자(100)의 광 균일도가 개선될 수 있다.

[103] 또한, 제1 내지 제N 발광 셀(P1 내지 PN) 중에서 제N 발광 셀(PN)을 제외한 복수의 제1 내지 제N-1 발광 셀(P1 내지 P(N-1))의 평면적(A' 내지 A(N-1))은 서로 동일할 수도 있고, 서로 다를 수도 있다.

[104] 만일, 제2 본딩 패드(126)가 위치한 제N 발광 셀(PN)의 활성층(144)과 제1 내지 제N-1 발광 셀(P1 내지 P(N-1))의 활성층(144)의 균일도가 1%보다 클 경우, 제1 내지 제N 발광 셀(P1 내지 PN)의 전류 밀도에 차이로 인해, 소자가 파괴될 수도

있다. 또한, 발광 소자의 제조 공정상 오차(tolerance)를 고려할 때, 제1 내지 제N-1 발광 셀(P1 내지 P(N-1))의 활성층(144)의 균일도가 0.01%보다 작은 발광 소자를 구현하기 어려울 수도 있다. 따라서, 제1 내지 제N 발광 셀(PN)의 활성층(144)의 균일도는 0.01% 내지 1%일 수 있으나, 실시 예는 이에 국한되지 않는다.

[105] 또한, 제1 내지 제N-1 발광 셀(P1 내지 P(N-1))의 활성층(144)의 균일도가 0.01% 내지 1%의 범위에 속하는 한, 제1 내지 제N-1 발광 셀(P1 내지 P(N-1))의 평면적은 서로 다를 수도 있다.

[106] 또한, 제1 내지 제N 발광 셀(P1 내지 PN) 중 일부 발광 셀의 장축 방향(또는, 단축 방향)은 제1 내지 제N 발광 셀(P1 내지 PN) 중 타부 발광 셀의 장축 방향(또는, 단축 방향)과 다를 수 있다. 예를 들어, 제1 내지 제4 발광 셀(P1 내지 P4)의 장축 방향은 예를 들어, y축 방향인 반면, 제5 내지 제10 발광 셀(P5 내지 P10)의 장축 방향은 예를 들어, z축 방향으로서, 서로 다르게 할 수 있다. 이와 같이, 복수의 발광 셀의 장축 또는 단축 방향이 서로 다를 경우, 제1 경계 영역(S1)과 제2 경계 영역(S2)은 제1 방향(예를 들어, z축 방향)으로 더욱 이격될 수 있다. 즉, 도 7에서 확대한 부분(D)에서 제1 및 제2 경계 영역(S1, S2)이 서로 제1 방향으로 이격된 정도(예를 들어, 거리)보다 도 7에서 확대한 부분(C)에서 제1 경계 영역(S1)과 제2 경계 영역(S2)이 이격된 정도가 더 크다. 이와 같이, 제1 및 제2 경계 영역(S1, S2)이 서로 이격된 거리가 더 커질수록, 광의 산란이 활발하여 발광 소자(100)의 광 균일도가 더욱 개선될 수 있다.

[107] 결국, 실시 예에 의하면 평면상에서 발광 소자(100)의 두께 방향과 수직한 제1 및 제2 방향으로 경계 영역(S)을 다양하게 배치시킬 수 있기 때문에, 즉, 제1 및 제2 경계 영역(S1, S2)이 이격된 정도를 자유롭게 조정할 수 있어 광 균일도를 개선할 수 있다.

[108] 이하, 제1 내지 제N-1 발광 셀(P1 내지 P(N-1)) 각각의 평면적(이하, '제1 평면적'이라 함)이 서로 동일할 경우, 제1 평면적(A_i)($1 \leq i \leq N-1$)보다 제N 발광 셀의 평면적(이하, '제2 평면적'이라 함)(A_N)이 큰 정도를 다음과 같이 살펴본다.

[109] 설명의 편의상, 기준 평면적(AR)의 개념을 도입한다. 기준 평면적(AR)은 도 7에 도시된 바와 같이 다음 수학식 1과 같이 정의될 수 있다.

[110] 수학식 1

[수식1]

$$AR = y1 \times z1$$

[111] 여기서, y1 및 z1은 기준 평면적(AR)의 가로 길이 및 세로 길이를 각각 나타낸다.

[112] 실시 예에 의하면, 제2 평면적(A_N)은 기준 평면적(AR)보다 증분량(α)만큼 클 수 있으며, 다음 수학식 2와 같이 표현될 수 있다.

[113] 수학식 2

[수식2]

$$AN' = AR + \alpha$$

[114] 제1 평면적(Ai')은 다음 수학식 3과 같이 표현될 수 있다.

[115] 수학식 3

[수식3]

$$Ai' = AR - \frac{\alpha}{(N-1)}$$

[116] 수학식 2의 제2 평면적(AN')으로부터 수학식 3의 제1 평면적(Ai')을 감산할 경우, 제2 평면적(AN')이 제1 평면적(Ai')보다 큰 정도(Δ)는 다음 수학식 4와 같이 표현될 수 있다.

[117] 수학식 4

[수식4]

$$\Delta = AN' - Ai' = \frac{\alpha N}{(N-1)}$$

[118] 도 10은 비교 레에 의한 발광 소자의 평면도를 나타낸다.

[119] 도 10을 참조하면, 비교 레에 의한 발광 소자는 제1 내지 제10 발광 셀을 포함하고, 제1 내지 제10 발광 셀의 평면적은 각각 A1 내지 A10로 표기한다. 이때, A1 내지 A10은 서로 동일할 수도 있고 서로 다를 수도 있다. 만일, A1 내지 A10 각각이 기준 평면적(AR)과 동일하거나 거의 근사한다고 가정하자. 이 경우, 제10 발광 셀에 제2 본딩 패드(126)를 배치할 경우, 제10 발광 셀의 제2 평면적(A10)에서 활성층(144)이 차지하는 면적은 제1 내지 제9 발광 셀의 제1 평면적(AR)에서 활성층(144)이 차지하는 면적보다 작아진다. 이로 인하여, 제1 내지 제10 발광 셀의 활성층의 평면적의 균일도가 저하될 수 있다.

[120] 반면에, 실시 예에 의하면, 제2 본딩 패드(126)가 배치되는 제10 발광 셀의 제2 평면적(AN')을 기준 평면적(AR)보다 증분량(α)만큼 증가시키는 반면, 제1 내지 제9 발광 셀 각각의 제1 평면적(Ai')의 총합에서 증분량(α)만큼을 감소시킨다. 이때, 전술한 수학식 4의 증분량(α)을 제2 본딩 패드(126)가 차지하는 평면적으로 설정할 경우, 제1 내지 제10 발광 셀의 활성층(144)의 평면적의 균일도는 0.01% 내지 1%의 범위 내에 속할 수 있다.

[121] 전술한 바와 같이, 제N 발광 셀(PN)의 평면적을 키움으로써, 제1 내지 제N 발광 셀(P1 내지 PN)에 포함되는 활성층(144)의 평면적의 균일도가 0.01% 내지 1% 예를 들어, 0.03 %가 될 수 있으나, 실시 예는 균일도의 특정값에 국한되지 않는다.

[122] 이하, 비교 레 및 실시 예에 의한 발광 소자에서 활성층의 균일도를 첨부된 도면을 참조하여 다음과 같이 설명한다.

[123] 복수의 발광 셀의 활성층의 평면적의 균일도를 설명하기에 앞서, 평면적의 균일도는 다음 수학식 5와 같이 표현될 수 있다.

[124] 수학식 5

[수식5]

$$U = \frac{\text{Max} - \text{Min}}{\text{Max} + \text{Min}} \times 100$$

[125] 여기서, U는 평면적의 균일도를 나타내고, Max는 평면적의 최대값을 나타내고 Min은 평면적의 최소값을 나타낸다.

[126] 도 10에 도시된 비교 례에 의한 발광 소자에서 제1 내지 제10 발광 셀(P1 내지 P10) 각각의 활성층의 평면적은 다음 표 1과 같을 수 있다.

[127] 표 1

[표1]

구분	A(μm^2)	균일도(U)(%)
P1	136649	6.54
P2	136649	
P3	136649	
P4	137144	
P5	127007	
P6	127007	
P7	127007	
P8	127007	
P9	127007	
P10	120313	

[128] 여기서, A는 각 발광 셀(P1 내지 P10)에서 활성층의 평면적을 나타낸다.

[129] 반면에, 도 7에 도시된 실시 례에 의한 발광 소자(100)에서 제1 내지 제10 발광 셀(P1 내지 P10) 각각의 활성층의 평면적은 다음 표 2와 같을 수 있다.

[130] 표 2

[표2]

구분	A(μm^2)	균일도(U)(%)
P1	130833	0.03
P2	130833	
P3	130833	
P4	130833	
P5	130844	
P6	130844	
P7	130844	
P8	130857	
P9	130857	
P10	130900	

- [131] 표 1과 2를 비교하면, 비교 레보다 실시 예에 의한 발광 소자가, 활성층(144)의 평면적의 균일도가 더 우수함을 알 수 있다.
- [132] 도 11은 도 10에 도시된 비교 레에 의한 발광 소자에서 제1 내지 제10 발광 셀(P1 내지 P10)의 전류 밀도(#1 내지 #10)를 나타내고, 도 12는 실시 예에 의한 발광 소자(100)에서 제1 내지 제10 발광 셀(P1 내지 P10)의 전류 밀도(#1 내지 #10)를 나타낸다. 여기서, 횡축은 전류(Current)를 나타내고 종축은 전류 밀도(Current Density)를 나타낸다.
- [133] 도 11을 참조하면, 비교 레에 의한 발광 소자의 경우 제1 내지 제10 발광 셀(P1 내지 P10)의 활성층의 평면적이 균일하지 않음으로 인해, 제1 내지 제10 발광 셀의 전류 밀도(#1 내지 #10)의 차이가 존재한다. 이로 인해, 제10 발광 셀에 연결된 연결 전극이 파손되어 전기적으로 개방(open)됨으로써 신뢰성을 악화시킬 수 있다.
- [134] 반면에, 도 12를 참조하면, 실시 예에 의한 발광 소자(100)의 경우 활성층의 평면적이 균일하기 때문에, 제1 내지 제10 발광 셀(P1 내지 P10)의 전류 밀도(#1 내지 #10)의 차이가 존재하지 않는다. 이로 인해, 제10 발광 셀(P10)이 파괴되어 신뢰성을 악화되는 현상을 방지할 수 있다. 따라서, 실시 예에 의한 발광 소자(100)는 과전류나 ESD(Electrostatic Discharge) 등의 이상 발생시 불량률을 감소시킬 수 있고, 고전압 소자용으로 적합하게 이용될 수 있다.
- [135] 실시 예에 따른 발광 소자를 포함하는 발광 소자 패키지는 복수 개가 기판 상에 어레이될 수 있고, 발광 소자 패키지의 광 경로 상에 광학 부재인 도광판, 프리즘 시트, 확산 시트 등이 배치될 수 있다. 이러한 발광 소자 패키지, 기판, 광학 부재는 백라이트 유닛으로 기능할 수 있다.
- [136] 또한, 실시 예에 따른 발광 소자는 표시 장치, 지시 장치, 조명 장치에 적용될 수

있다.

- [137] 여기서, 표시 장치는 바텀 커버와, 바텀 커버 상에 배치되는 반사판과, 광을 방출하는 발광 모듈과, 반사판의 전방에 배치되며 발광 모듈에서 발산되는 빛을 전방으로 안내하는 도광판과, 도광판의 전방에 배치되는 프리즘 시트들을 포함하는 광학 시트와, 광학 시트 전방에 배치되는 디스플레이 패널과, 디스플레이 패널과 연결되고 디스플레이 패널에 화상 신호를 공급하는 화상 신호 출력 회로와, 디스플레이 패널의 전방에 배치되는 컬러 필터를 포함할 수 있다. 여기서 바텀 커버, 반사판, 발광 모듈, 도광판, 및 광학 시트는 백라이트 유닛(Backlight Unit)을 이룰 수 있다.
- [138] 또한, 조명 장치는 기판과 실시 예에 따른 발광 소자 패키지를 포함하는 광원 모듈, 광원 모듈의 열을 발산시키는 방열체, 및 외부로부터 제공받은 전기적 신호를 처리 또는 변환하여 광원 모듈로 제공하는 전원 제공부를 포함할 수 있다. 예를 들어, 조명 장치는, 램프, 헤드 램프, 또는 가로등을 포함할 수 있다.
- [139] 헤드 램프는 기판 상에 배치되는 발광 소자 패키지들을 포함하는 발광 모듈, 발광 모듈로부터 조사되는 빛을 일정 방향, 예컨대, 전방으로 반사시키는 리플렉터(reflector), 리플렉터에 의하여 반사되는 빛을 전방으로 굴절시키는 렌즈, 및 리플렉터에 의하여 반사되어 렌즈로 향하는 빛의 일부분을 차단 또는 반사하여 설계자가 원하는 배광 패턴을 이루도록 하는 셰이드(shade)를 포함할 수 있다.
- [140] 이상에서 실시 예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시 예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시 예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

발명의 실시를 위한 형태

- [141] 발명의 실시를 위한 형태는 전술한 "발명의 실시를 위한 최선의 형태"에서 충분히 설명되었다.

산업상 이용가능성

- [142] 실시 예에 따른 발광 소자는 표시 장치, 지시 장치, 조명 장치 등에 이용될 수 있다.

청구범위

- [청구항 1] 기관;
 상기 기관 위에 서로 이격되어 배열되되, 각각은 상기 기관 위에 순차적으로 배치된 제1 도전형 반도체층, 활성층 및 제2 도전형 반도체층을 포함하는 복수의 발광 셀;
 상기 복수의 발광 셀을 전기적으로 서로 연결하는 연결 배선;
 상기 복수의 발광 셀 중 제1 발광 셀의 제2 도전형 반도체층과 전기적으로 연결된 제1 본딩 패드; 및
 상기 복수의 발광 셀 중 제2 발광 셀의 제1 도전형 반도체층과 전기적으로 연결된 제2 본딩 패드를 포함하고,
 상기 복수의 발광 셀 중에서 상기 제2 발광 셀을 제외한 적어도 하나의 다른 발광 셀의 평면적은 상기 제2 발광 셀의 평면적보다 작고,
 평면상에서 상기 복수의 발광 셀의 둘레에 위치하는 경계 영역에 의해 상기 복수의 발광 셀은 서로 구분되고,
 상기 복수의 발광 셀은
 제1 방향으로 서로 인접한 제1 인접 발광 셀들; 및
 상기 제1 방향으로 서로 인접하고, 상기 제1 방향과 직교하는 제2 방향으로 상기 제1 인접 발광 셀들과 인접하는 제2 인접 발광 셀을 포함하고,
 상기 경계 영역은
 상기 제1 인접 발광 셀들 사이에 배치된 제1 경계 영역; 및
 상기 제2 인접 발광 셀들 사이에 배치되며, 상기 제1 방향으로 상기 제1 경계 영역과 이격된 제2 경계 영역을 포함하는 발광 소자.
- [청구항 2] 제1 항에 있어서, 상기 복수의 발광 셀의 상기 활성층의 평면적의 균일도는 0.01 % 내지 1%인 발광 소자.
- [청구항 3] 제2 항에 있어서, 상기 복수의 발광 셀의 활성층의 평면적의 균일도는 0.03%인 발광 소자.
- [청구항 4] 제2 항에 있어서, 상기 적어도 하나의 다른 발광 셀은 복수의 다른 발광 셀을 포함하고, 상기 균일도의 범위 내에서 상기 복수의 다른 발광 셀의 평면적은 서로 다르고,
 상기 적어도 하나의 다른 발광 셀은 복수의 다른 발광 셀을 포함하고,
 상기 복수의 다른 발광 셀의 평면적은 서로 동일하고,
 상기 복수의 발광 셀 중에서 상기 제2 발광 셀을 제외한 상기 적어도 하나의 다른 발광 셀 각각의 제1 평면적과 상기 제2 발광 셀의 제2 평면적은 아래와 같은 관계를 갖는 발광 소자.

$$AN'-Ai'=\frac{\alpha N}{(N-1)}$$

(여기서, Ai' 는 제1 평면적을 나타내고, $1 \leq i \leq N-1$, AN' 는 제2 평면적을 나타내고, N 은 상기 발광 셀의 총 개수로서 2이상의 양의 정수를 나타내고, α 는 상기 제2 본딩 패드의 평면적을 나타낸다.)

[청구항 5] 제1 항에 있어서, 상기 제2 발광 셀의 가로 폭은 상기 적어도 하나의 다른 발광 셀의 가로 폭보다 크고, 상기 제2 발광 셀의 세로 폭과 상기 적어도 하나의 다른 발광 셀의 세로 폭은 동일하고, 상기 제2 발광 셀의 세로 폭은 상기 적어도 하나의 다른 발광 셀의 세로 폭보다 크고, 상기 제2 발광 셀의 가로 폭과 상기 적어도 하나의 다른 발광 셀의 가로 폭은 동일한 발광 소자.

[청구항 6] 제1 항에 있어서, 상기 제2 발광 셀의 가로 폭은 상기 적어도 하나의 다른 발광 셀의 가로 폭보다 크고, 상기 제2 발광 셀의 세로 폭은 상기 적어도 하나의 다른 발광 셀의 세로 폭보다 크고, 상기 제1 도전형 반도체층은 n형 반도체층이고, 상기 제2 도전형 반도체층은 p형 반도체층이고, 상기 복수의 발광 셀 각각은 수평형 본딩 구조를 갖는 발광 소자.

[청구항 7] 제1 항에 있어서, 상기 복수의 발광 셀 중 일부 발광 셀의 장축 또는 단축 방향은 상기 복수의 발광 셀 중 타부 발광 셀의 장축 또는 단축 방향과 다르고, 상기 제2 발광 셀의 장축 또는 단축 방향은 상기 제1 발광 셀의 장축 또는 단축 방향과 다른 발광 소자.

[청구항 8] 기판;
상기 기판 위에 상호 이격되어 배치된 제1 내지 제N(여기서, N 은 2 이상의 양의 정수) 발광 셀;
상기 제1 내지 제N 발광 셀을 전기적으로 서로 연결하는 제1 내지 제N-1 연결 배선;
상기 제1 내지 제N 발광 셀 중 제1 발광 셀에 위치한 제1 본딩 패드; 및
상기 제1 내지 제N 발광 셀 중 제N 발광 셀에 위치한 제2 본딩 패드를 포함하고,
상기 제1 내지 제N 발광 셀 중에서 상기 제N 발광 셀을 제외한 발광 셀 각각의 제1 평면적은 아래와 같고, 상기 제N 발광 셀의 제2 평면적은 기준 평면적보다 증분량만큼 크고,
평면상에서 상기 제1 내지 제N 발광 셀의 둘레에 위치하는 경계 영역에 의해 상기 제1 내지 제N 발광 셀은 서로 구분되고,
상기 복수의 발광 셀은
제1 방향으로 서로 인접한 제1 인접 발광 셀들; 및

상기 제1 방향으로 서로 인접하고, 상기 제1 방향과 직교하는 제2 방향으로 상기 제1 인접 발광 셀들과 인접하는 제2 인접 발광 셀을 포함하고,
 상기 경계 영역은
 상기 제1 인접 발광 셀들 사이에 배치된 제1 경계 영역; 및
 상기 제2 인접 발광 셀들 사이에 배치되며, 상기 제1 방향으로 상기 제1 경계 영역과 이격된 제2 경계 영역을 포함하는 발광 소자.

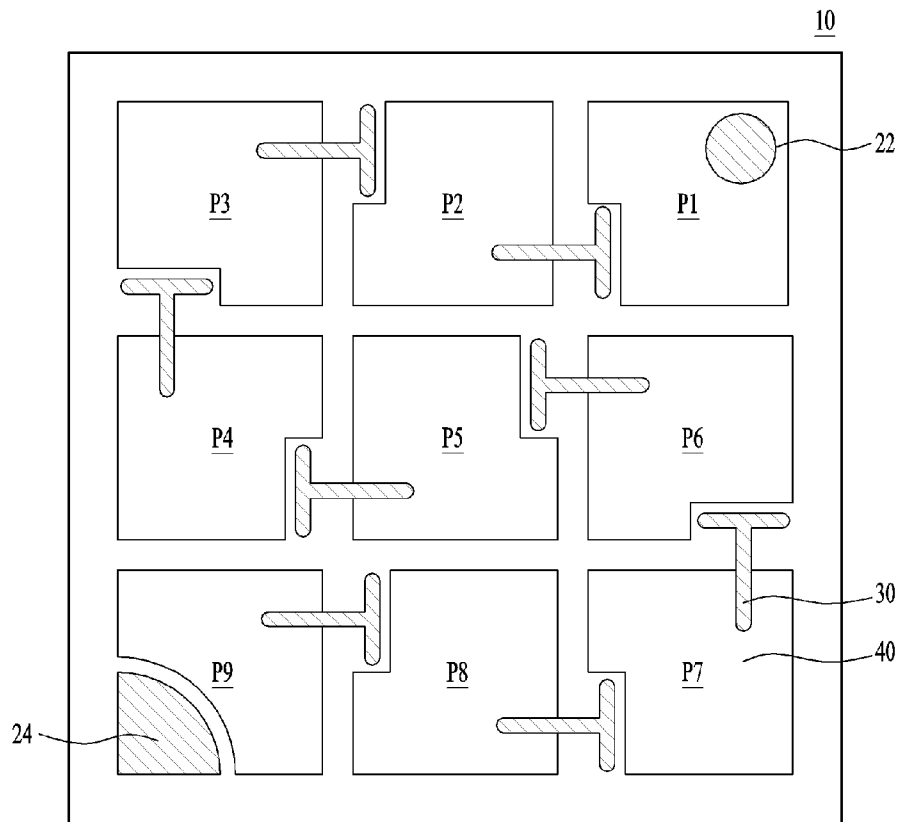
$$A_i' = AR - \frac{\alpha}{(N-1)}$$

(여기서, A_i' 는 상기 제1 평면적을 나타내고, AR 은 상기 기준 평면적을 나타내고, α 는 상기 증분량을 나타낸다.)

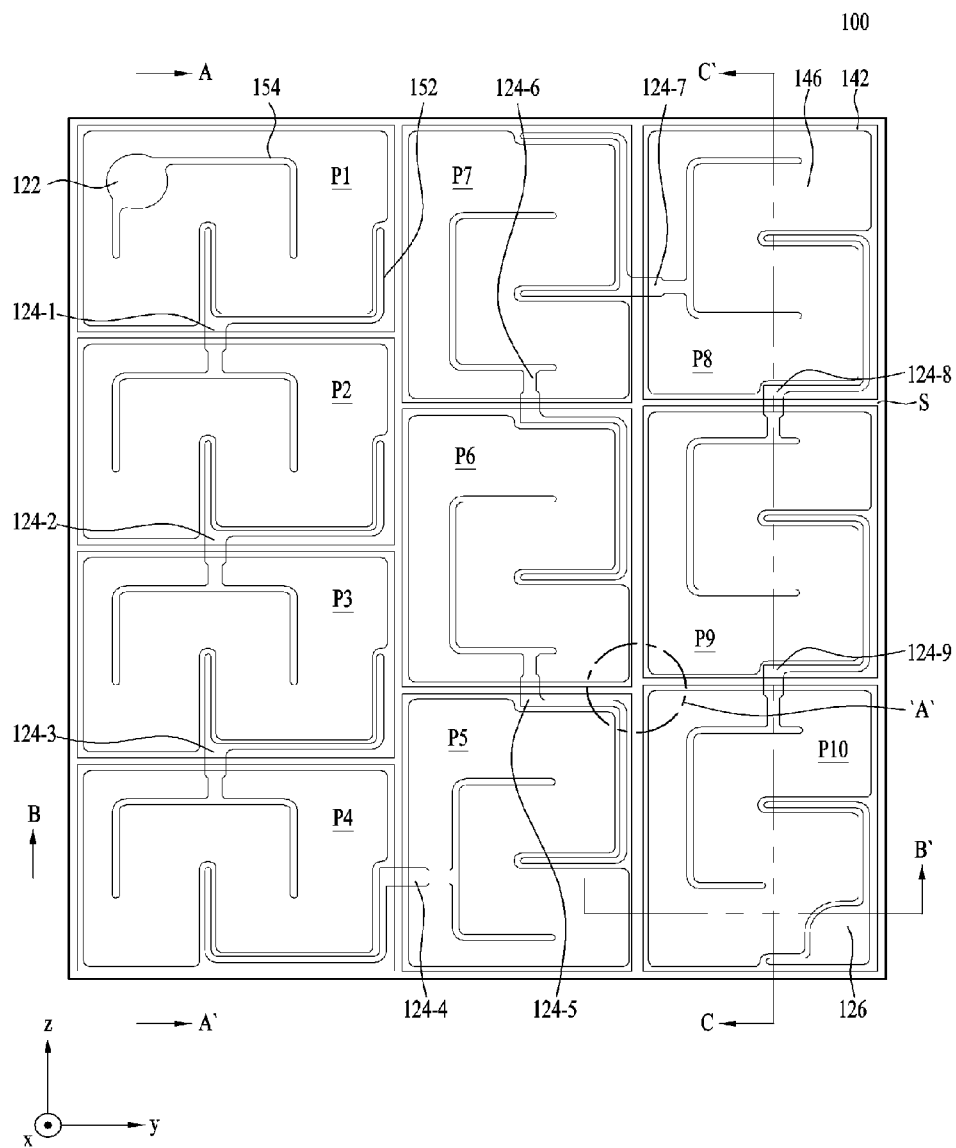
[청구항 9] 제8 항에 있어서, 상기 제1 내지 제N 발광 셀 각각은
 상기 기판 위에 배치된 n형 반도체층;
 상기 n형 반도체층 위에 배치된 활성층;
 상기 활성층 위에 배치된 p형 반도체층;
 상기 p형 반도체층과 상기 활성층을 매사 식각하여 노출된 상기 n형 반도체층 위에 배치된 n형 전극; 및
 상기 p형 반도체층 위에 배치된 p형 전극을 포함하고,
 상기 제1 내지 제N 발광 셀의 상기 활성층의 평면적의 균일도는 0.01 % 내지 1%이고,
 상기 증분량은 상기 제2 본딩 패드의 평면적과 동일한 발광 소자.

[청구항 10] 제8 항에 있어서,
 상기 제1 내지 제N 발광 셀 중 일부 발광 셀의 장축 또는 단축 방향은 상기 제1 내지 제N 발광 셀 중 타부 발광 셀의 장축 또는 단축 방향과 다르고,
 상기 제N 발광 셀의 장축 또는 단축 방향은 상기 제1 발광 셀의 장축 또는 단축 방향과 다른 발광 소자.

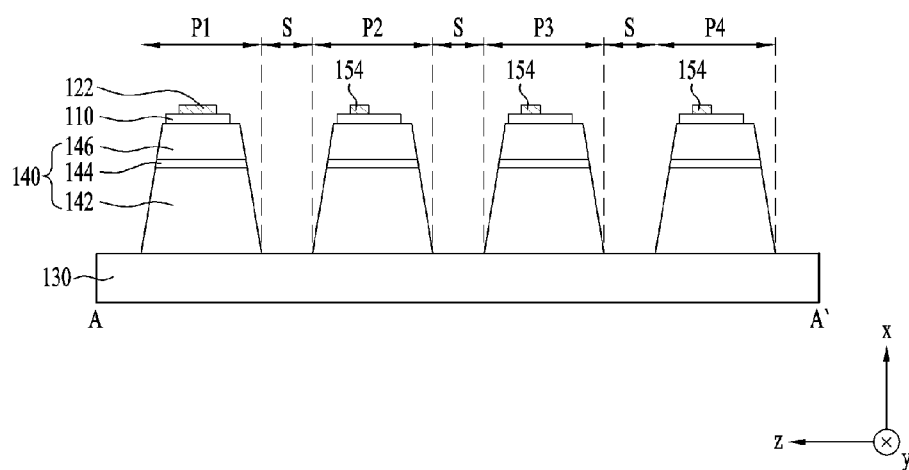
[도 1]



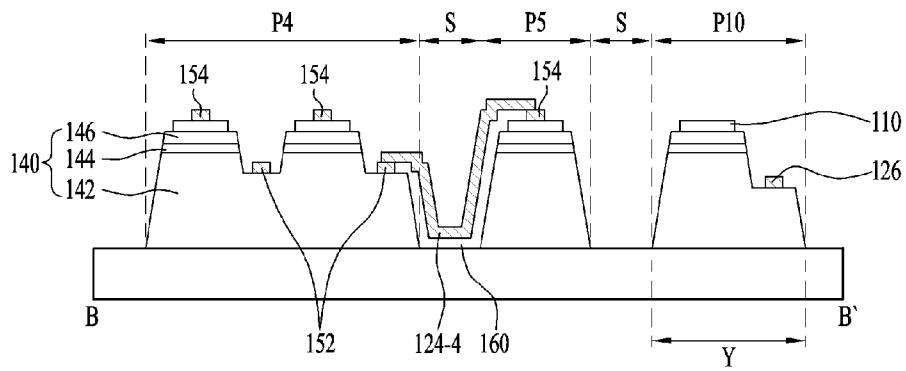
[도2]



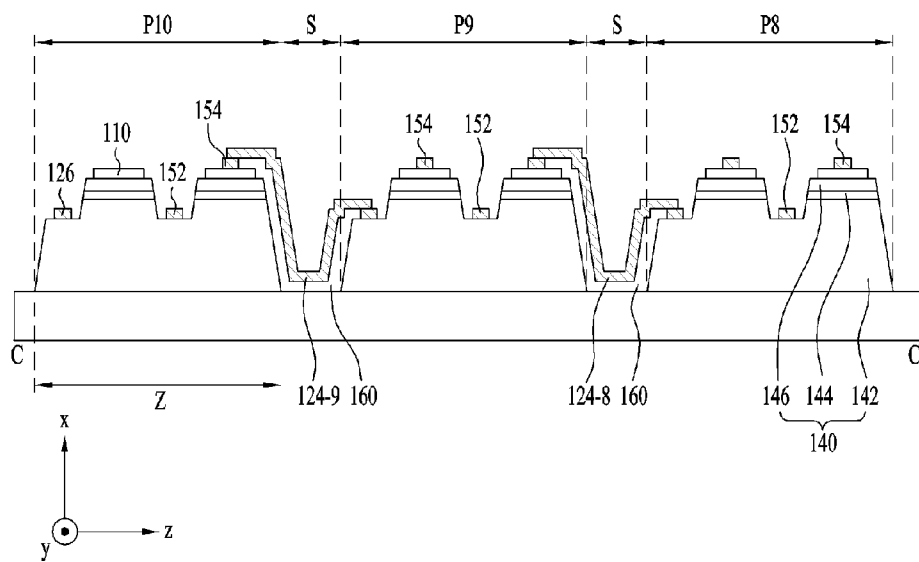
[도3]



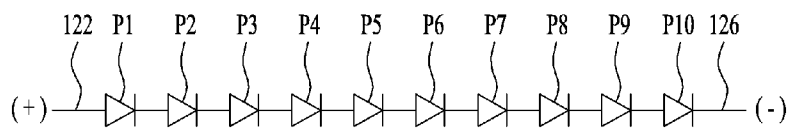
[도4]



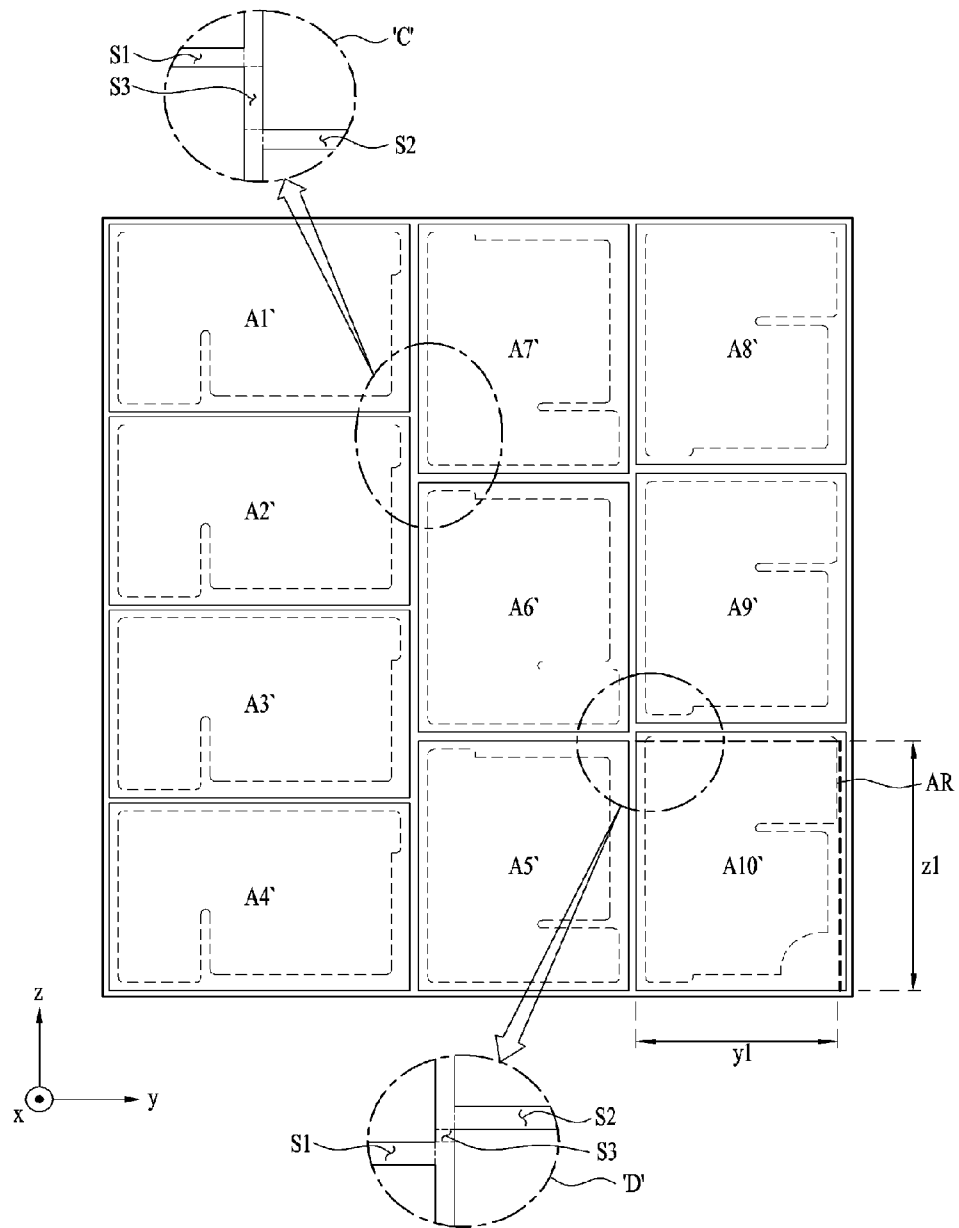
[도5]



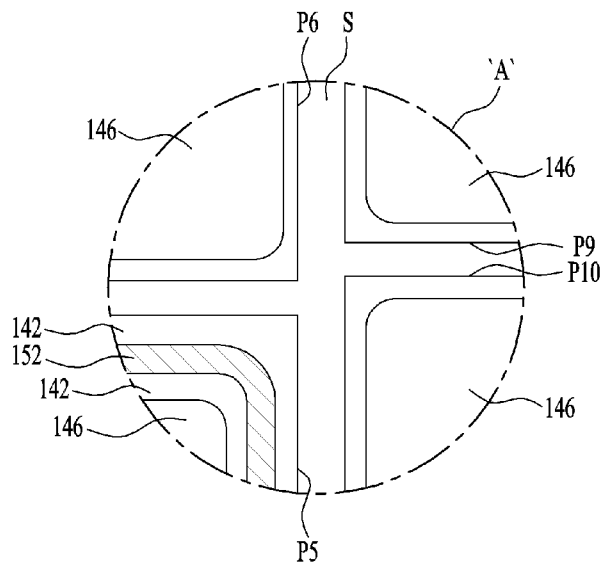
[도6]



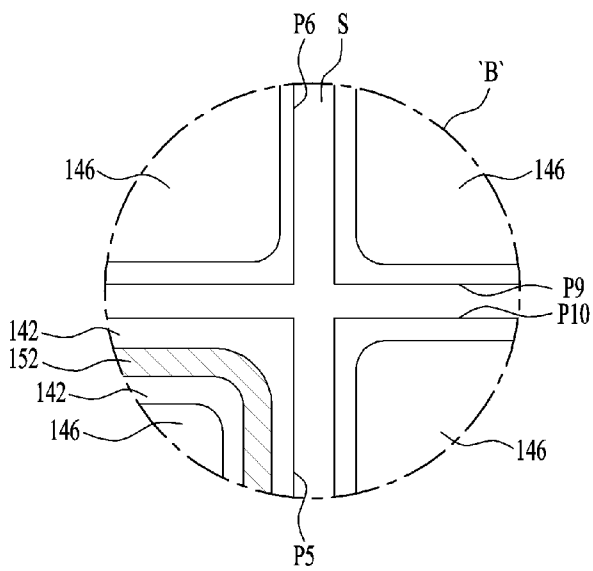
[도7]



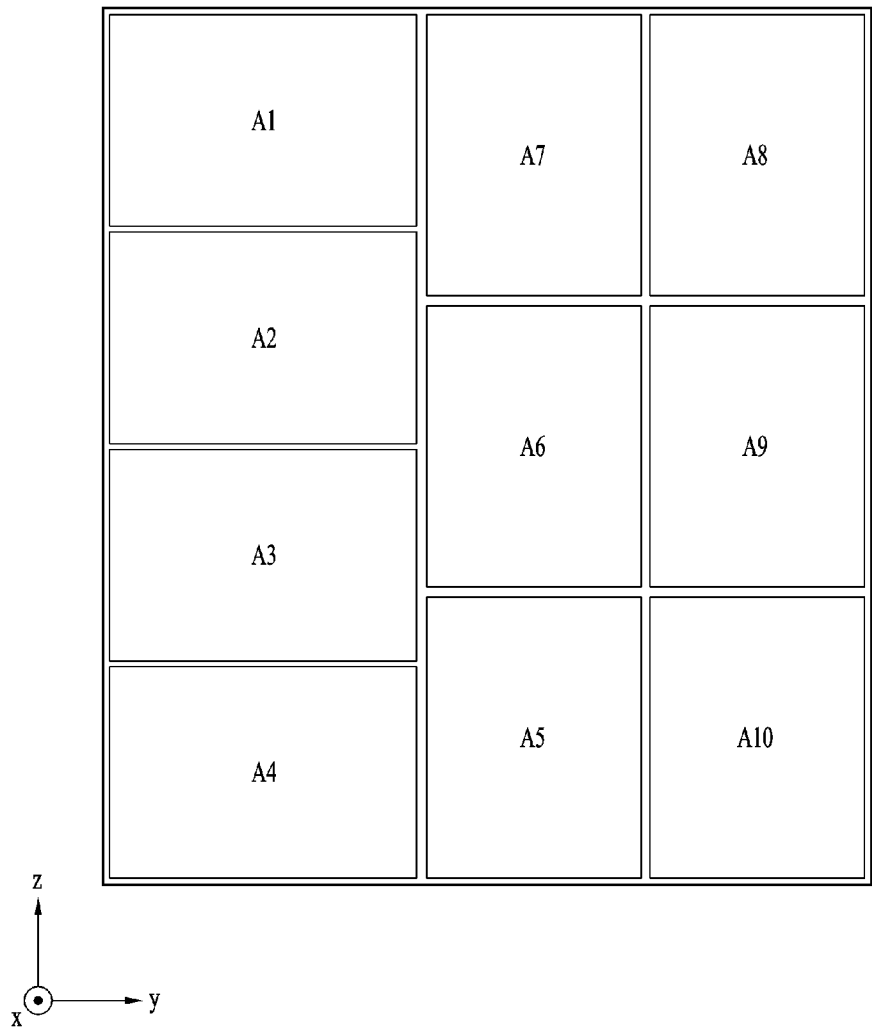
[도8]



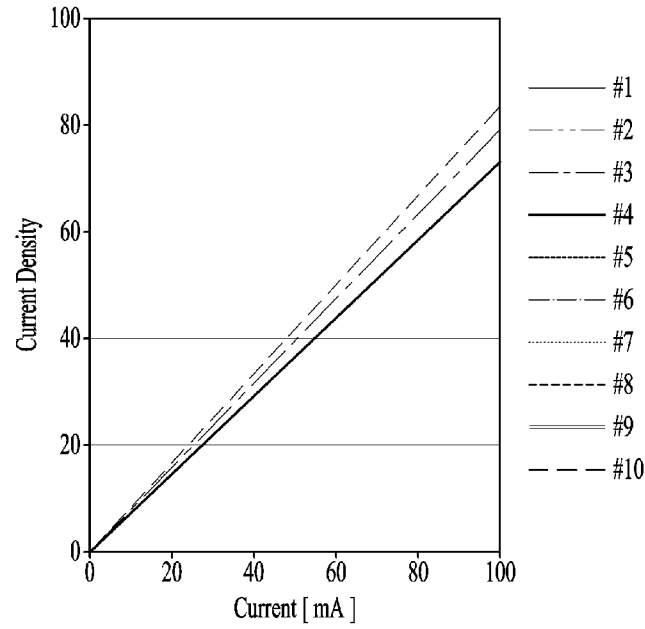
[도9]



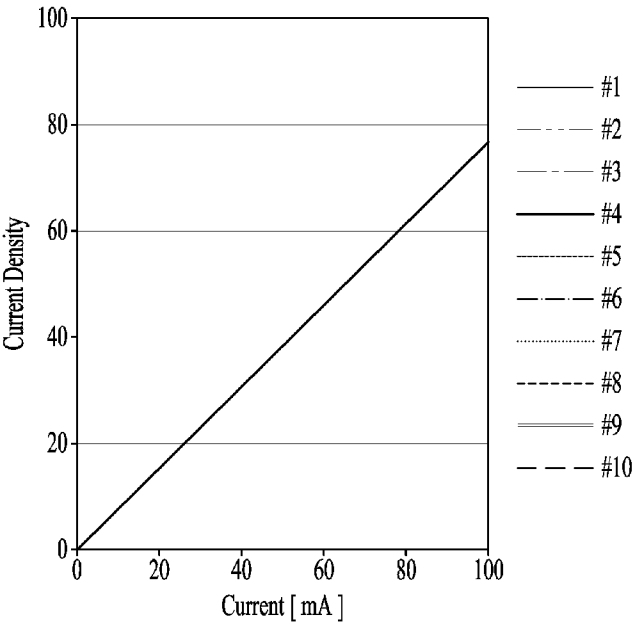
[도10]



[도11]



[도12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2017/000123**A. CLASSIFICATION OF SUBJECT MATTER*****H01L 25/075(2006.01)i, H01L 25/16(2006.01)i, H01L 33/36(2010.01)i***

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 25/075; H05B 33/12; G09F 9/30; H01L 33/02; H01L 33/36; H01L 33/48; H01L 33/62; H01L 25/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: LED, cell, area, size, differ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-2013-0007213 A (SEMIMATERIALS. CO., LTD. et al.) 18 January 2013 See paragraphs [0067]-[0118] and figures 5-10.	1-10
X	KR 10-2013-0087767 A (ILJIN-LED CO., LTD.) 07 August 2013 See paragraphs [0021]-[0033] and figures 2-7.	1-10
A	KR 10-2011-0095772 A (SAMSUNG LED CO., LTD.) 25 August 2011 See paragraphs [0042]-[0137] and figures 3a-4b, 16.	1-10
A	KR 10-2014-0084581 A (LG INNOTEK CO., LTD.) 07 July 2014 See paragraphs [0025]-[0058] and figures 2-4.	1-10
A	JP 2006-120477 A (SHARP CORP.) 11 May 2006 See paragraphs [0018]-[0088] and figures 1-15.	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

18 APRIL 2017 (18.04.2017)

Date of mailing of the international search report

18 APRIL 2017 (18.04.2017)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2017/000123

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2013-0007213 A	18/01/2013	NONE	
KR 10-2013-0087767 A	07/08/2013	NONE	
KR 10-2011-0095772 A	25/08/2011	CN 102169933 A	31/08/2011
		CN 102169933 B	03/12/2014
		EP 2365527 A2	14/09/2011
		EP 2365527 A3	29/01/2014
		EP 2365527 B1	02/11/2016
		JP 2011-171739 A	01/09/2011
		JP 5683994 B2	11/03/2015
		KR 10-1601624 B1	09/03/2016
		US 2011-0204387 A1	25/08/2011
		US 8829540 B2	09/09/2014
KR 10-2014-0084581 A	07/07/2014	CN 103904095 A	02/07/2014
		EP 2750193 A2	02/07/2014
		EP 2750193 A3	06/01/2016
		JP 2014-131038 A	10/07/2014
		US 2014-0183572 A1	03/07/2014
		US 2016-0293819 A1	06/10/2016
		US 9397259 B2	19/07/2016
JP 2006-120477 A	11/05/2006	JP 3921480 B2	30/05/2007
		US 2006-0087227 A1	27/04/2006
		US 7531951 B2	12/05/2009

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 25/075(2006.01)i, H01L 25/16(2006.01)i, H01L 33/36(2010.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 25/075; H05B 33/12; G09F 9/30; H01L 33/02; H01L 33/36; H01L 33/48; H01L 33/62; H01L 25/16

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: LED, cell, area, size, differ

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-2013-0007213 A ((주)세미미터리얼즈 등) 2013.01.18 단락 [0067]-[0118] 및 도면 5-10 참조.	1-10
X	KR 10-2013-0087767 A (일진엘이디(주)) 2013.08.07 단락 [0021]-[0033] 및 도면 2-7 참조.	1-10
A	KR 10-2011-0095772 A (삼성엘이디 주식회사) 2011.08.25 단락 [0042]-[0137] 및 도면 3a-4b, 16 참조.	1-10
A	KR 10-2014-0084581 A (엘지이노텍 주식회사) 2014.07.07 단락 [0025]-[0058] 및 도면 2-4 참조.	1-10
A	JP 2006-120477 A (SHARP CORP.) 2006.05.11 단락 [0018]-[0088] 및 도면 1-15 참조.	1-10

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2017년 04월 18일 (18.04.2017)

국제조사보고서 발송일

2017년 04월 18일 (18.04.2017)

ISA/KR의 명칭 및 우편주소

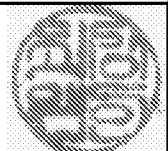
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

최상원

전화번호 +82-42-481-8291



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2013-0007213 A	2013/01/18	없음	
KR 10-2013-0087767 A	2013/08/07	없음	
KR 10-2011-0095772 A	2011/08/25	CN 102169933 A CN 102169933 B EP 2365527 A2 EP 2365527 A3 EP 2365527 B1 JP 2011-171739 A JP 5683994 B2 KR 10-1601624 B1 US 2011-0204387 A1 US 8829540 B2	2011/08/31 2014/12/03 2011/09/14 2014/01/29 2016/11/02 2011/09/01 2015/03/11 2016/03/09 2011/08/25 2014/09/09
KR 10-2014-0084581 A	2014/07/07	CN 103904095 A EP 2750193 A2 EP 2750193 A3 JP 2014-131038 A US 2014-0183572 A1 US 2016-0293819 A1 US 9397259 B2	2014/07/02 2014/07/02 2016/01/06 2014/07/10 2014/07/03 2016/10/06 2016/07/19
JP 2006-120477 A	2006/05/11	JP 3921480 B2 US 2006-0087227 A1 US 7531951 B2	2007/05/30 2006/04/27 2009/05/12