

F0990590TW00

申請日期	89. 1. 31
案 號	89101608
類 別	G11C'6/02

A4
C4

529028

(以上各欄由本局填註)

<div style="border: 2px solid black; padding: 5px; display: inline-block;">公告本</div>		<div style="font-size: 2em; font-weight: bold;">發 明 專 利 說 明 書</div> <div style="font-size: 1.5em; font-weight: bold;">新 型</div>
一、發明 名稱	中 文	單晶片微電腦及其資料更新方法
	英 文	SINGLE CHIP COMPUTER AND METHOD FOR RENEWING DATA THEREIN
二、發明 創作人	姓 名	1. 淺見隆(淺見隆) 2. 栗原光政 3. 茂木誠 4. 館川克己(館川克己)
	國 籍	日本國
	住、居所	1. 日本國埼玉縣本庄市綠 1-7-15 2. 日本國群馬縣太田市北金井町 417 3. 日本國埼玉縣大里郡岡部町岡 1491 4. 日本國群馬縣邑樂郡大泉町仙石 3-25-1
三、申請人	姓 名 (名稱)	三洋電機股份有限公司
	國 籍	日本國
	住、居所 (事務所)	日本國大阪府守口市京阪本通 2 丁目 5 番 5 號
	代 表 人 姓 名	近藤定男

經濟部中央標準局員工消費合作社印製

裝 訂 線

(由本局填寫)

承辦人代碼：
大 類：
I P C分類：

A6

B6

本案已向：

日 本 國 (地 區) 申 請 專 利 ， 申 請 日 期 ： 案 號 ： ， 有 無 主 張 優 先 權

1999 年 2 月 24 日 特 願 平 11-046738 (主 張 優 先 權)

有 關 微 生 物 已 寄 存 於 ： ， 寄 存 日 期 ： ， 寄 存 號 碼 ：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

[發明的技術領域]

本發明係關於內附能電消去之非揮發性記憶體之單晶片微電腦及其資料更新方法，以期提升非揮發性記憶體之資料保持特性的技術者。

[習用技術]

第 8 圖係表示一般分裂閘極(split gate)型非揮發性記憶體之程式狀態的晶胞(cell)構造圖。其中，1 為控制閘極(control gate)、2 為漂浮閘極(floating gate)、3 為汲極(drain)、4 為源極(source)。

若須使第 8 圖所示之非揮發性記憶體成為程式狀態時，可分別於控制閘極 1、汲極 3、源極 4 施加 2V、0V、12V 電壓。如此控制閘極 1 與漂浮閘極 2 間，及漂浮閘極 2 與源極 4 間，即以電容耦合，(控制閘極 1 與漂浮閘極 2 間之電容量 < 漂浮閘極 2 與源極 4 間之電容量)，而由於該電容偶合比，漂浮閘極 2 雖未實際施加有電壓，卻可形成如同施加了 11V 之高電壓的狀態。

由此，於汲極 3 及源極 4 間形成以電子相連的通道，而該通道中的熱電子(hot electron)介由絕緣膜(未圖示)注入漂浮閘極 2 時，使漂浮閘極 2 為帶負電狀態。此即為非揮發性記憶體晶胞之程式狀態。

第 9 圖係表示程式狀態之非揮發性記憶體讀出狀態的晶胞構造圖。第 10 圖則表示非程式狀態(消去狀態)之非揮發性記憶體之讀出狀態的晶胞構造圖。

須使第 9 及 10 圖中任何非揮發性記憶體為讀出狀態

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明(2)

時，可於控制閘極 1、汲極 3 與源極 4 分別施加 5V、2V 及 0V。此時，在第 9 圖，即因漂浮閘極 2 有電子注入，在汲極 3 及源極 4 間不形成通道，故該非揮發性記憶體晶胞為「斷(OFF)」。又於第 10 圖時，因於漂浮閘極 2 沒有電子存在，故於汲極 3 及源極 4 間形成通道，該非揮發性記憶體晶胞即為「開(ON)」的狀況。

第 7 圖係對應於非揮發性記憶體晶胞之程式狀態，而輸出邏輯值「0」或「1」之方塊圖。其中，5 為非揮發性記憶體晶胞、6 為感測放大器(sense amplifier)。該感測放大器 6 係對應於非揮發性記憶體晶胞 5 之輸出電流(讀出電流)與基準電流 I_{ref} 之比較結果，輸出 0V(邏輯值「0」)或 5V(邏輯值「1」)電壓者。

若非揮發性記憶體晶胞 5 係如第 9 圖所示之程式狀態時，可由感測放大器 6 檢出非揮發性記憶體晶胞 5 之輸出電流(讀出電流)較基準電流 I_{ref} 為小，而輸出邏輯值「0」。假如，非揮發性記憶體晶胞 5 係如第 10 圖所示之非程式狀態時，即由感測放大器 6 檢出非揮發性記憶體晶胞 5 之輸出電流(讀出電流)較基準電流 I_{ref} 為大，而輸出邏輯值「1」。又於習用技術，係於記憶體晶胞 5 未為程式狀態(消去狀態)時之基準電流，下降為初期值 $100\mu A$ 的 30%之 $30\mu A$ 時為資料換寫次數臨界點，以作為記憶體晶胞壽命。

第 11 圖為表示非揮發性記憶體之消去狀態之晶胞構造圖。例如，於控制閘極 1 施加 14V、於汲極 3 及源極 4 上施加 0V 時，注入漂浮閘極 2 的電子，即介由絕緣膜向

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (3)

控制閘極 1 側移動。惟因汲極 3 及源極 4 為同電位，故不形成通道。此即為非揮發性記憶體晶胞之消去狀態。

如上述，習用技術係對應於非揮發性記憶體之程式狀態、讀出狀態、消去狀態，對制制閘極 1、汲極 3 及源極 4 施加固定時間的固定電壓者。

[發明所欲解決的問題]

然而，如上述，於內附非揮發性記憶體之單晶片微電腦中，將非揮發性記憶體使用為唯讀記憶體 (ROM) 時，其資料保持特性尤為重要。

尤其，在第 12 圖所示之記憶體晶胞陣列構造中，以「點線圓」所示之非選擇晶胞之施加電壓條件，除施加於控制閘極 1 (字線 WL) 之電壓 (5V) 高度外，係與上述消去狀態 (此時的施加電壓，係如上述的 14V) 相同。

因此，由於重複讀出動作，使注入漂浮閘極 2 之電子逐漸移向控制閘極 1 側，而成為引起讀出不良的要因。此現象在使用高電源電壓時特別顯著。

因而，本發明係以提供一種在發生讀出不良前，對非揮發性記憶體進行資料再寫入，而能提升其資料保持特性之單晶片微電腦及其資料更新方法為目的。

[解決問題的手段]

本發明係為解決上述問題而作，係於記憶體晶胞內之每一非揮發性記憶體 7 設置資料改寫次數計數用之計數器，以該計數器計出的資料改寫次數達於預定次數時，將上述非揮發性記憶體 7 儲存之資料予以再寫入，以期資料

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(4)

保持特性之提升者。

又，本發明係於設置特性比記憶體晶胞陣列內之非揮發性記憶體 7 差之參照用非揮發性記憶體群 40，依據上述參照用非揮發性記憶體群 40 的參照結果，由控制電路 44 將儲存於上述非揮發性記憶體 7 之資料予以再寫入方式，以圖資料特性的提升。而且，上述參照用非揮發性記憶體群 40 係比內部非揮發性記憶體 7，為閘極長度較長之晶胞構造，或閘極寬度較短的晶胞構造，且，對所有參照用非揮發性記憶體群 40，係設定為程式狀態(「0」狀態)者。

[發明的實施形態]

茲將本發明之詳細內容，參照附圖說明如下：

第 3 圖係表示本發明之單晶片微電腦的方塊圖。

於第 3 圖中，7 為非揮發性記憶體(例如：EEPROM，所謂快閃記憶體的快閃 EEPROM 等)，係能以電消去資料，且能重複寫入及讀出，以收納控制單晶片微電腦動作之程式資料者。

構成非揮發性記憶體 7 之記憶體晶胞 5，通常係以第 8 圖至第 11 圖的狀態，進行資料之寫入、讀出及消去。在非揮發性記憶體 7 的特定位址領域 a、b、c、d 中，分別於事先寫入有：用以控制非揮發性記憶體 7 之寫入電壓大小或時間的控制資料 A；用以控制非揮發性記憶體 7 之消去電壓大小或時間的控制資料 B；用以控制讀出電壓大小或時間的控制資料 C；用以控制於非揮發性記憶體 7 讀出時感測放大器 6 的基準電壓 V_{ref} (對應於基準電流 I_{ref}) 大小的控制

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

資料 D。

8 為程式計數器 (program counter)，係用於非揮發性記憶體 7 的位址指定。9 為指令暫存器 (instruction register)，用於保持非揮發性記憶體 7 之讀出資料。10 為指令解碼器 (instruction decoder)，用於解讀指令暫存器 9 的保持資料，以輸出用以執行單晶片微電腦的各種動作之控制訊號。11A、11B、11C 為暫存器，係用以透過資料匯流排 (data bus) 13 將保持在指令暫存器 9 位址 a、b、c 的控制資料 A、B、C 予以保持者。又，非揮發性記憶體 7 的位址 d 之控制資料 D 為讀出時之參照用控制資料，該控制資料 D 係與感測放大器 6 之基準電壓部直接相連，而在單晶片微電腦之初始化同時，設定為基準電壓 V_{ref} 的構成。又因非揮發性記憶體 7 的消去動作，係以頁單位 (如 128 位元組) 實行，因此，特定位址領域 a、b、c、d 之控制資料 A、B、C、D 不會有因消去動作而同時被一併消去的不當現象。

第 4 圖係為控制寫入時間、消去時間及讀出時間的電路方塊圖。於上述非揮發性記憶體 7 之位址 a、b、c 中，係事先寫入用以控制寫入時間、消去時間及讀出時間的控制資料 A、B、C。於第 4 圖中，14 為計數器，係由複數個 T 正反器 (flipflop) 以級聯 (cascade) 連成。AND 閘 15、16、17，及 OR 閘 18 構成切換電路，而於 AND 閘 15、16、17 之一方的輸入端子施加計數器 14 的特定分頻輸出 X1、X2、X3 (如；0.4msec、0.8msec、1.6msec)。又於暫存器 11 保持有用以選擇分頻輸出 X1、X2、X3 中任何 1 個之控制

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明(6)

位元 Y1、Y2、Y3。暫存器 11A 的各位元接於 AND 閘 15、16、17 之另一方的輸入端子。控制位元 Y1、Y2、Y3 係在選擇分頻輸出 X1、X2、X3 時，成為邏輯值「1」。因此，對應於邏輯值為「1」之控制位元 Y1、Y2、Y3 中任何 1 個之分頻輸出 X1、X2、X3 之任何 1 個，將由 OR 閘 18 輸出，以控制第 8 圖之電壓施加時間。例如：按照非揮發性記憶體 7 之寫入特性，若該電壓施加時間為 0.4msec 時不充足，為 0.8msec 即充足時，僅控制位元 Y2 成為邏輯值「1」，而依計數器 14 之分頻輸出 X2 執行寫入。又在用於消去動作讀出動作之暫存器 11B、11C 亦設置與第 4 圖為同樣的構成。

第 5 圖係用以控制寫入電壓、消去電壓及讀出電壓的電路方塊圖。在非揮發性記憶體 7 的位址 a、b、c 中，用以控制寫入電壓、消去電壓及讀出電壓之控制資料 A、B、C，係分別對應非揮發性記憶體 7 之動作特性而被寫入。於第 5 圖中，19 為高電壓產生電路，係用於產生電壓 V_{PPO} 於高電壓產生電路 19 的輸出端接穩壓二極體 (Zener diode) 20 的陰極，而於穩壓二極體 20 的陽極側將 p 個、q 個、r 個二極體之串聯體 21、22、23 予以並聯。又於穩壓二極體 20 的陽極與二極體之串聯體 21、22、23 間，在高電壓產生電路 19 的輸出端與接地之間，插入選擇性地將穩壓二極體 20 及二極體之串聯體 21、22、23 中之任何 1 個予以連接或斷開之 NMOS 電晶體 24、25、26 之汲·源極電路，該 NMOS 電晶體 24、25、26 之閘極即連接於暫存

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

器 11A 各位元而予以控制。又，以 NMOS 電晶體 24、25、26 為「斷」時，僅 NMOS 電晶體 24 為「斷」時、僅 NMOS 電晶體 25 為「斷」時、僅 NMOS 電晶體 26 為「斷」時之順序，使高電壓產生電路 19 的輸出電壓 V_{pp} 下降。例如：對應於非揮發性記憶體 7 之寫入特性，於施加電壓時間為一定之條件下，在寫入電壓使 NMOS 電晶體 26 為「開」之位準不充足，而使 NMOS 電晶體 25 為「開」之位準充足時，僅控制位元 Y2 為邏輯值「1」，以控制第 8 圖所示之源極電壓。又在用於消去動作及讀出動作之暫存器 11B、11C，亦設置與第 5 圖為同樣的構成。此時，可控制第 11 圖所示之控制閘極電壓。

第 6 圖係用以控制感測放大器 6 之基準電壓 V_{ref} 的電路方塊圖。具體地說，晶胞 5 的輸出電流與基準電流 I_{ref} 係於感測放大器 6 內部變換電流電壓。因此，實際上係不在感測放大器 6 施加基準電流 I_{ref} ，而為施加基準電壓 V_{ref} 的構成。又於非揮發性記憶體 7 之位址 d，用以控制基準電壓 V_{ref} 的控制資料 D，係對應於非揮發性記憶體 7 之特性而事先予以寫入。電源 VDD 與接地間串聯有電阻 27、28、29、30，而將 NMOS 電晶體 31、32、33 之汲極連接於串聯電阻 27、28、29、30 的連接點，同時，將源極予以連通。閘極係以位址 d 的控制位元 Z1、Z2、Z3 直接控制。而基準電壓 V_{ref} 即以 NMOS 電晶體 31、32、33 為「開」的順序降低。例如：對應於非揮發性記憶體 7 之讀出特性，在基準電壓 V_{ref} 使 NMOS 電晶體 33 為「開」時的數值不

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(8)

充足，而使 NMOS 電晶體 32 為「開」時的數值充足時，可僅使控制位元 Z2 之邏輯值為「1」。由此，可由感測放大器 6 獲得正確邏輯值。

茲就構成本發明的特徵，參照第 2 圖說明於後：

第 2 圖係表示應用本發明之記憶體晶胞陣列之配置圖。圖中之 41、42 為左側及右側的晶胞陣列，且分別在其端部配置參照用非揮發性記憶體群 40。上述參照用非揮發性記憶體群 40，相較於非揮發性記憶體 7，係開極長度為長、或開極寬度為窄的晶胞構造，故能作成特性較非揮發性記憶體 7 為差(此時，資料消去較易)之非揮發性記憶體構造。43 為上述參照用非揮發性記憶體群 40 的讀出用感測放大器。44 為控制電路。

該感測放大器 43 之電路構成係與前述非揮發性記憶體 7 之讀出用感測放大器 6 相同。基準電流 I_{ref} 亦為同樣的設定，係如第 7 圖所示，該記憶體晶胞的輸出電流及基準電流 I_{ref} 係於感測放大器 43 內部變換電流電壓，為避免重複省略其詳細說明。因此，實際上在該感測放大器 43 不施加基準電流 I_{ref} ，係施加基準電壓 V_{ref} 。

此時，於上述構造的非揮發性記憶體 7 中，係如第 1 圖(A)所示之流程圖，進行通常程式流程(重複讀出動作)以抑制習用技術上的讀出不良，其係設置特性較上述非揮發性記憶體 7 為差的參照用非揮發性記憶體群 40，使參照用非揮發性記憶體群 40 的全部為程式狀態(寫入資料的「0」狀態)，而控制電路 44 介由感測放大器 43，檢出該「0」

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

狀態變化為「1」狀態(消去資料之狀態)時，該控制電路44即如第1圖(A)的流程圖所示，予以進行資料再寫入(資料更新流程)的動作。

此種資料更新流程動作，係將儲存於該非揮發性記憶體7之資料內容(「0」或「1」)的相同資料，予以再寫入者。由此，係於習用技術的讀出不良發生前，進行資料的更新，故得以提升資料保持特性。

又於上述實施形態中，係觀察若干特性較實際晶胞特性為差之晶胞實力，故可吸收每批量的偏差及製造狀況的變動，設定配合於每一個LSI實力的基準位準，因而，具有提升獲收率、良品率之優點。

如上，於本發明的實施形態，在每次重複記憶體晶胞陣列內非揮發性記憶體7之讀出動作時，亦可對連接於同一字線(word line)的參照用非揮發性記憶體群40進行讀出動作，而於逐次重複讀出動作中，當檢出上述參照用非揮發性記憶體群40內的資料消去時，即介由控制電路44進行資料的再寫入。

然而，本發明的上述實施形態，非用於限定本發明的實施範疇，得有多種變更，其他實施形態有例如：設置每一非揮發性記憶體7之資料改寫次數計算用的改寫次數計數器(未圖示)，當該計數器之計數結果達到預期的次數(事先測出實際上發生讀出不良的次數，依該次數予以設定，例如，1萬次或10萬次)時，如第1圖(B)之流程圖所示，可使之，由通常程式流程介由資料更新流程，再回歸通常

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明(10)

程式流程，此時亦可期資料保持特性的提升。

又因該非揮發性記憶體，係內藏於單晶片微電腦中，故，得以設置上述改寫次數計數器，而於非揮發性記憶體7周邊附加該改寫次數記憶電路，即不需大型附加電路。

[發明的效果]

如依本發明，於記憶體陣列內設置計算每一非揮發性記憶體資料改寫次數之改寫次數計數器，故得於發生讀出不良前，進行資料再寫入，故得以提升資料保持特性。

又可於記憶體陣列內之特性較非揮發性記憶體為差的參照用非揮發性記憶體群寫入資料，而在對該參照用非揮發性記憶體群內之資料讀出不良發生時，進行資料之再寫入，故得以提升資料保持特性。

[圖面的簡單說明]

第1圖(A)係說明本發明之單晶片微電腦的動作流程圖。

第1圖(B)係說明本發明之單晶片微電腦的動作流程圖。

第2圖係表示適用於本發明之非揮發性記憶體群示意圖。

第3圖係表示本發明之單晶片微電腦的方塊圖。

第4圖係用以控制非揮發性記憶體之寫入電壓、消去電壓及讀出電壓時間之電路方塊圖。

第5圖係用以控制非揮發性記憶體之寫入電壓、消去電壓及讀出電壓大小之電路方塊圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

第 6 圖係用以控制感測放大器之基準電壓的電路方塊圖。

第 7 圖係表示非揮發性記憶體之感測放大器之一部分的方塊圖。

第 8 圖係表示非揮發性記憶體之程式狀態的晶胞構造圖。

第 9 圖係表示程式狀態之非揮發性記憶體之讀出狀態的晶胞構造圖。

第 10 圖係表示非程式狀態之非揮發性記憶體之讀出狀態的晶胞構造圖。

第 11 圖係表示非揮發性記憶體之消去狀態的晶胞構造圖。

第 12 圖係說明習用非揮發性記憶體問題點的晶胞構造圖。

[符號的說明]

1	控制閘極	2	漂浮閘極
3	汲極	4	源極
5	記憶體晶胞	6	感測放大器
7	非揮發性記憶體	8	程式計數器
9	指令暫存器	10	指令解碼器
11	暫存器	13	資料匯流排
14	計數器	15	AND 閘
16	AND 閘	17	AND 閘
18	OR 閘	19	高電壓產生電路

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明 (12)

- | | | | |
|----|-------------|----|---------|
| 20 | 穩壓二極體 | 21 | 二極體串聯體 |
| 22 | 二極體串聯體 | 23 | 二極體串聯體 |
| 24 | NMOS電晶體 | 25 | NMOS電晶體 |
| 26 | NMOS電晶體 | 27 | 串聯電阻 |
| 28 | 串聯電阻 | 29 | 串聯電阻 |
| 30 | 串聯電阻 | 31 | NMOS電晶體 |
| 32 | NMOS電晶體 | 33 | NMOS電晶體 |
| 40 | 參照用非揮發性記憶體群 | | |
| 41 | 左側晶胞陣列 | 42 | 右側晶胞陣列 |
| 43 | 感測放大器 | 44 | 控制電路 |

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱:

單晶片微電腦及其資料更新方法)

一種單晶片微電腦，係於發生讀出不良前，進行對非揮發性記憶體的資料再寫入，故得以提升資料保持特性者。

係設置特性較記憶體晶胞陣列內之非揮發性記憶體 7 為差的參照用非揮發性記憶體群 40，依上述參照用非揮發性記憶體群 40 的參照結果，由控制電路 44 將儲存於上述非揮發性記憶體 7 的資料，以再寫入方式更新，以提升資料保持特性。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱:

)

訂

線

六、申請專利範圍

1. 一種單晶片微電腦，係於內藏有作為程式記憶體之可電消去資料，且可寫入及讀出資料的非揮發性記憶體之單晶片微電腦中，具有：

於記憶體晶胞陣列內之上述非揮發性記憶體中，計算資料改寫次數的計數器；以及

依上述計數器之計數結果，以再寫入儲存於上述非揮發性記憶體之資料的方式進行控制之控制電路。

2. 一種單晶片微電腦，係於內藏有作為程式記憶體之可電消去資料，且可寫入及讀出資料的非揮發性記憶體之單晶片微電腦中，具有：

特性較記憶體晶胞陣列內之上述非揮發性記憶體為差之參照用非揮發性記憶體；以及

依上述參照用非揮發性記憶體之參照結果，以再寫入儲存於上述非揮發性記憶體之資料的方式進行控制之控制電路。

3. 如申請專利範圍第 2 項之單晶片微電腦，其中，上述參照用非揮發性記憶體係設定為資料寫入狀態者。
4. 如申請專利範圍第 2 或 3 項之單晶片微電腦，其中，上述參照用非揮發性記憶體相較於記憶體晶胞陣列內之非揮發性記憶體，係開極長度較長之晶胞構造，或開極寬度較短的晶胞構造者。
5. 一種單晶片微電腦之資料更新方法，係於內藏有作為程式記憶體之可電消去資料，且可寫入及讀出資料的非揮發性記憶體之單晶片微電腦之資料更新方法中，

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

在利用計數器算出非揮發性記憶體之資料改寫次數到達預定次數時，即將儲存於上述非揮發性記憶體之資料予以再寫入。

6. 一種單晶片微電腦之資料更新方法，係於內藏有作為程式記憶體之可電消去資料，且可寫入及讀出資料的非揮發性記憶體之單晶片微電腦之資料更新方法中，

依特性較記憶體晶胞陣列內之上述非揮發性記憶體為差之參照用非揮發性記憶體之參照結果，將儲存於上述非揮發性記憶體之資料予以再寫入。

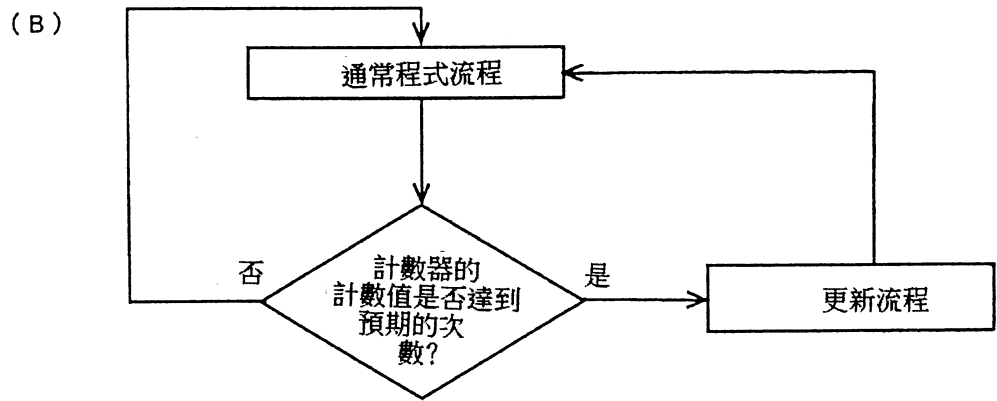
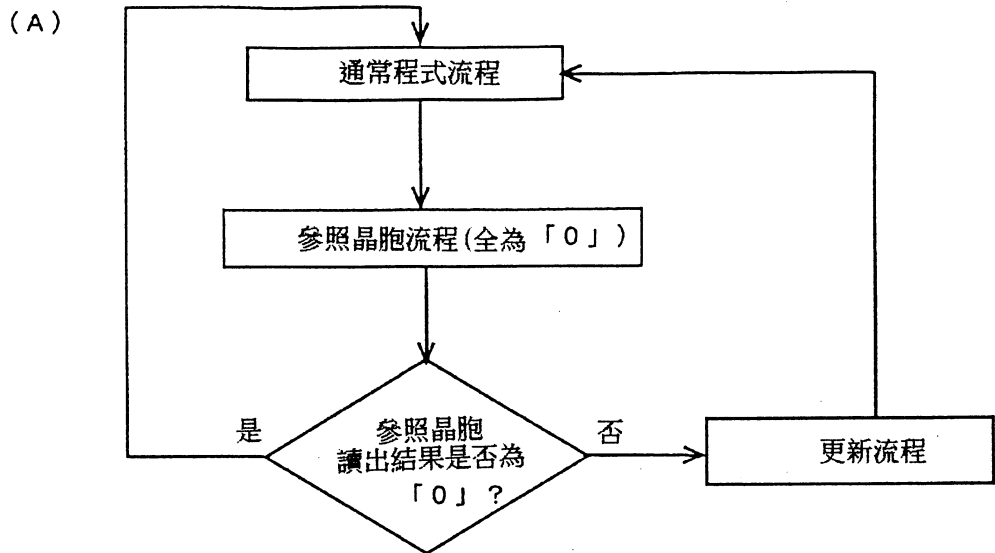
7. 如申請專利範圍第 6 項之單晶片微電腦之資料更新方法，其中，上述參照用非揮發性記憶體係設定為資料寫入狀態者。
8. 如申請專利範圍第 6 或 7 項之單晶片微電腦之資料更新方法，其中，上述參照用非揮發性記憶體相較於記憶體晶胞陣列內之非揮發性記憶體，係開極長度較長之晶胞構造，或開極寬度較短的晶胞構造者。

(請先閱讀背面之注意事項再填寫本頁)

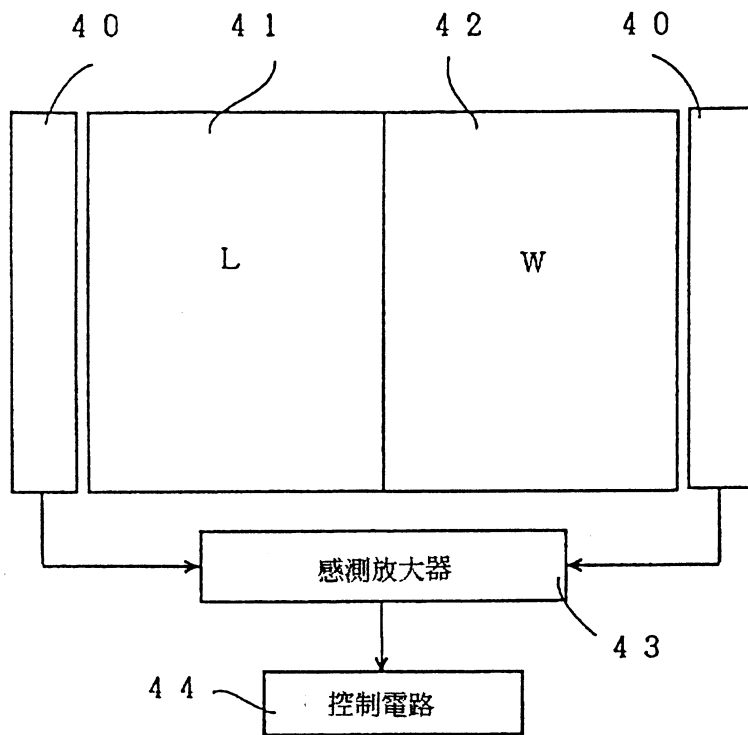
裝

訂

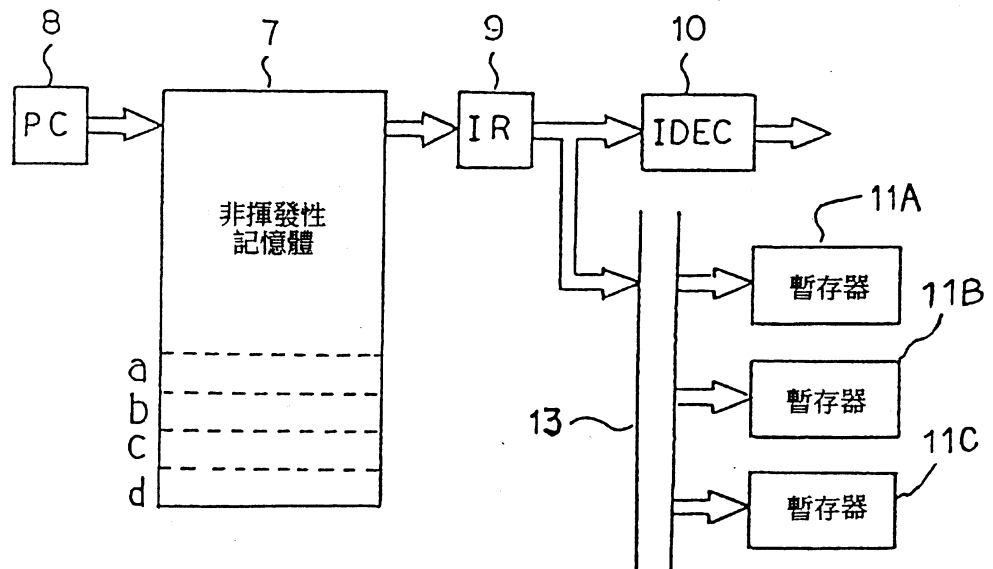
線



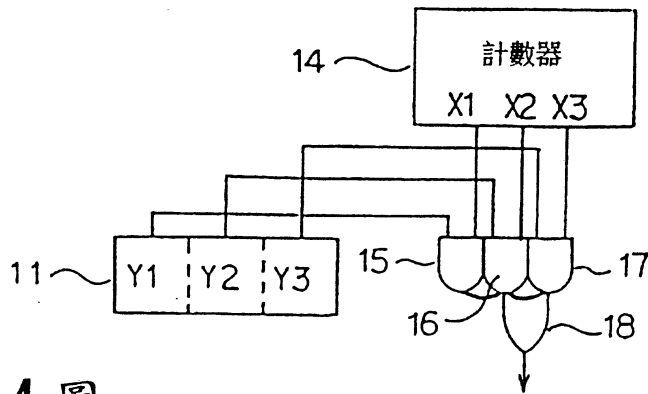
第 1 圖



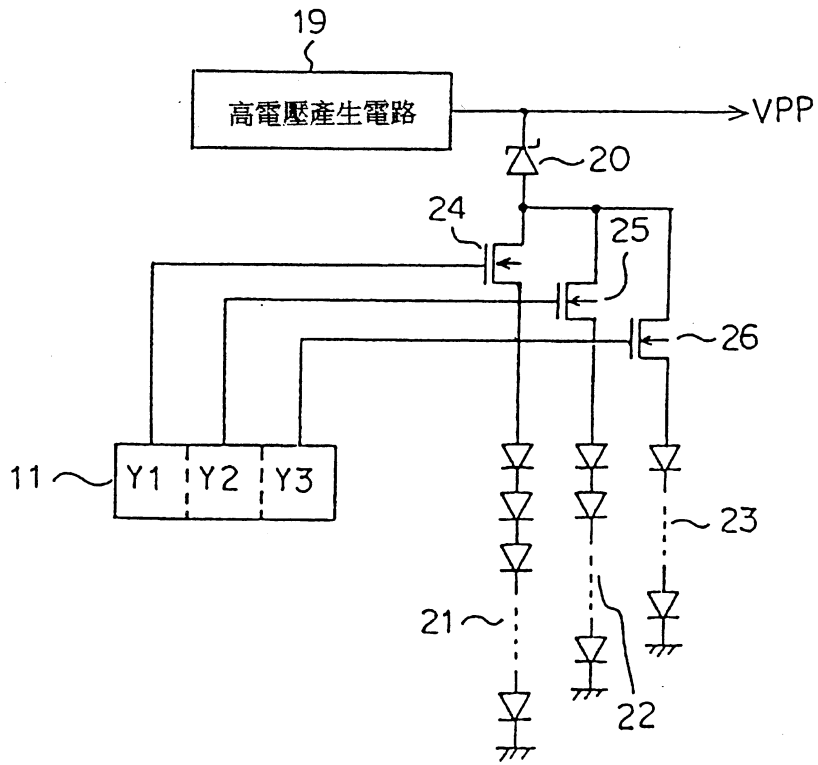
第 2 圖



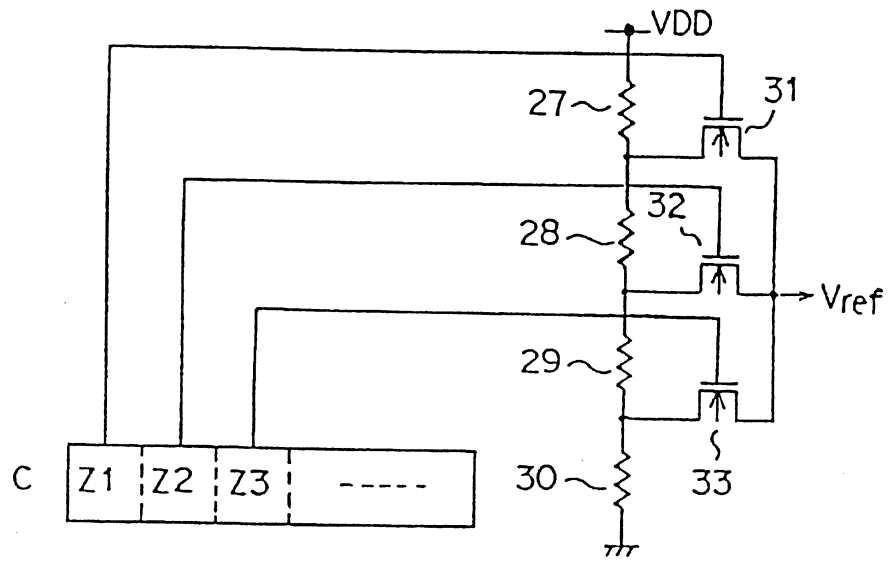
第 3 圖



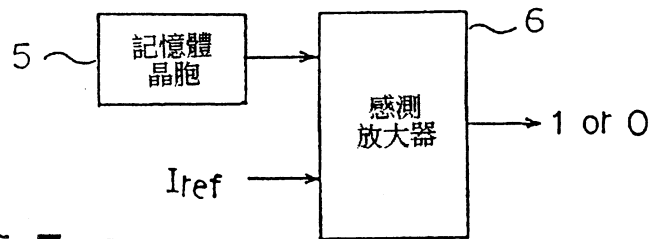
第 4 圖



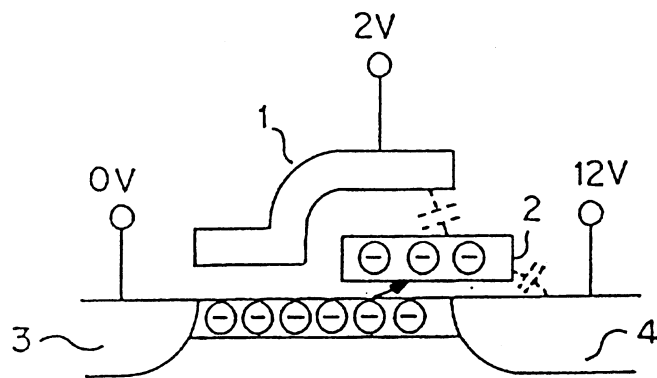
第 5 圖



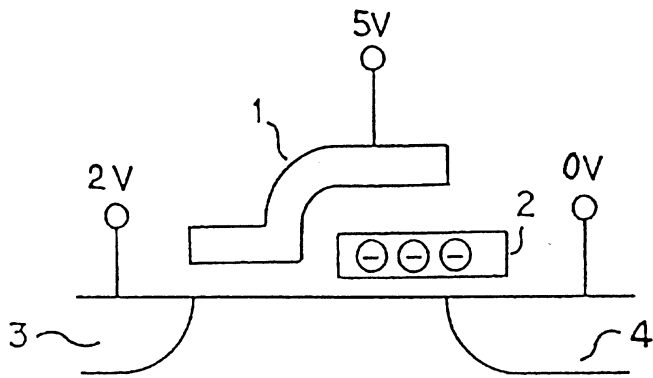
第 6 圖



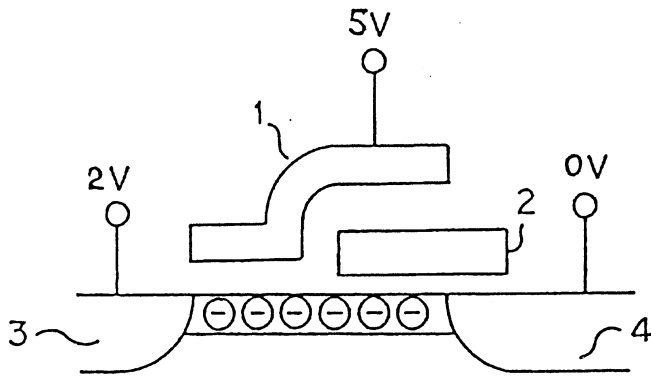
第 7 圖



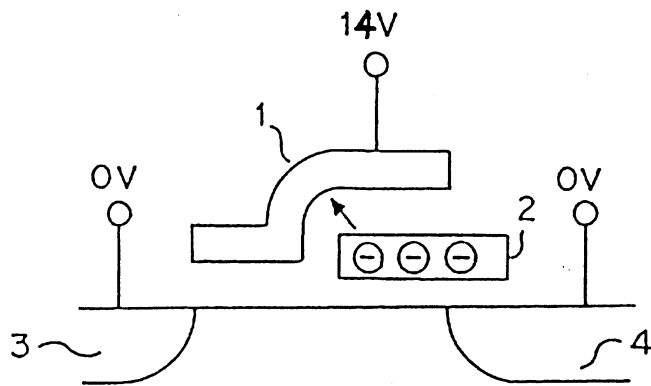
第 8 圖



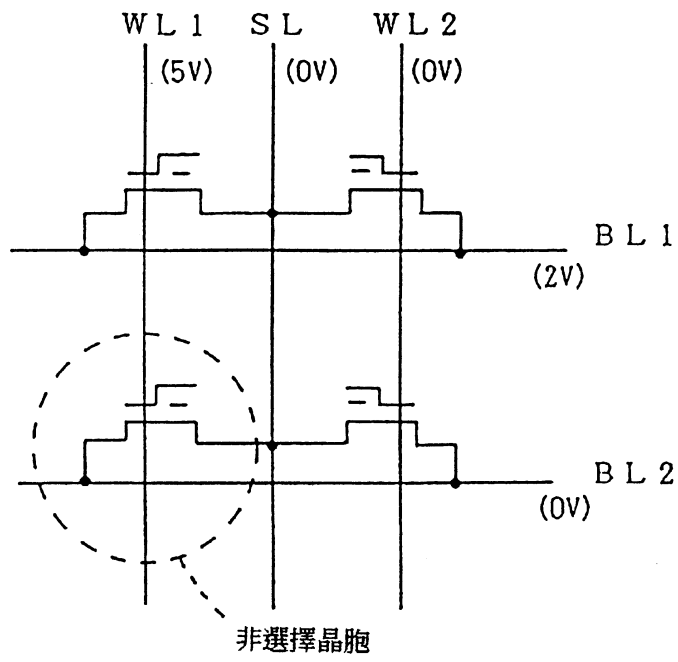
第 9 圖



第 10 圖



第 11 圖



第12圖