(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H04N 1/00

(45) 공고일자 1999년06월15일
(11) 등록번호 10-0192523
(24) 등록일자 1999년01월29일

(21) 출원번호 10-1996-0031649
(22) 출원일자 1996년07월31일
(65) 공개번호 특1998-0013235
(43) 공개일자 1998년04월30일

(73) 특허권자 엘지반도체주식회사 구본준
충청북도 청주시 흥덕구 향정동 1번지
(72) 발명자 강헌식
대구광역시 서구 비산 6동 510-13
(74) 대리인 김용인, 강용복

심사관 : 여원현

(54) 공유형 팩스 및 그 정보 전달 방법

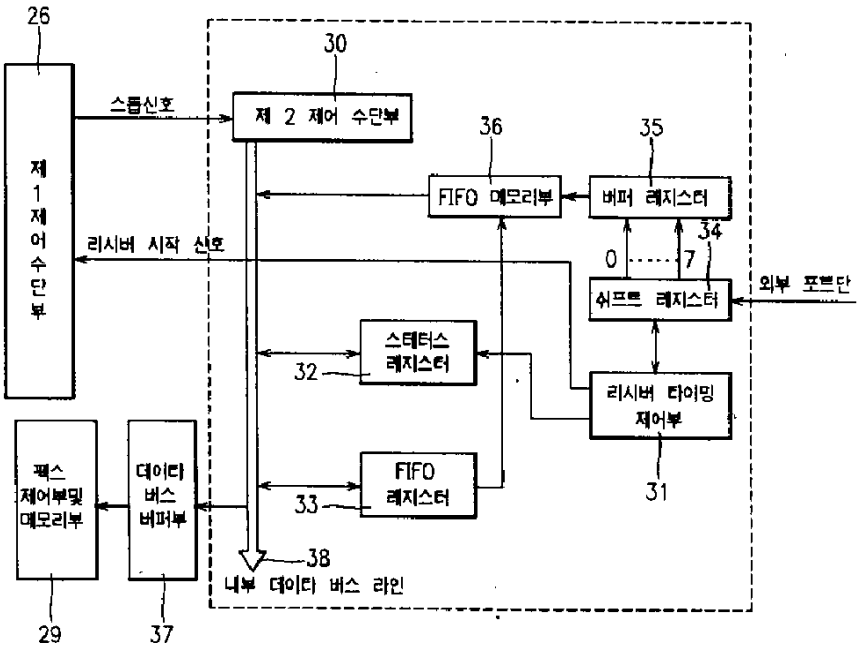
요약

본 발명은 팩스에 관한 것으로, 특히 한개의 팩스에 복수개의 외부 단자를 연결하여 다량의 정보를 전송시킬 수 있는 공유형 팩스 및 그 정보 전달 방법에 대한 것이다.

상기와 같은 본 발명의 공유형 팩스는 외부의 데이타가 들어오는 복수개의 포트단과, 상기 포트단으로부터 데이타를 받아 제1제어 수단부로 신호를 보내는 복수개의 병렬 순차 FIFO부와, 상기 제1제어 수단부의 동작을 제어할 수 있는 우선 순위 결정 레지스터와, 상기의 제1제어 수단부의 동작 시간을 제어하는 타이머와, 상기 제1제어 수단부의 동작 순서의 제어에 따라 팩스 제어 및 메모리부로 데이타를 전송하는 상기 복수개의 병렬 순차 FIFO부를 포함하여 구성되는 것을 특징으로 한다.

다음으로 본 발명 공유형 팩스의 정보 전달 방법은 복수개의 외부 단자를 통해 팩스의 복수개의 병렬 순차 FIFO부로 데이타가 입력되는 단계, 각각의 병렬 순차 FIFO부내의 리시버 타이밍 제어부에서 제1제어 수단부로 각각의 리시버 시작 신호를 발생시키는 단계, 각각의 병렬 순차 FIFO부로부터 나온 리시버 시작 신호들을 통해 먼저 동작 시켜야할 병렬 순차 FIFO부 결정하는 단계, 선 동작에 선택되지 않은 병렬 순차 FIFO부로 각각 스톱 신호를 보내는 단계, 선 동작 여부에 따라 선택된 병렬 순차 FIFO부는 받아 들여진 데이타를 정해진 타이머 시간이 완료될 때까지 팩스 메모리부로 전송하는 단계, 팩스 메모리부에 병렬 순차 FIFO부의 데이타의 저장이 끝나면 제1제어 수단부는 팩스 제어부에 인터럽트 신호를 보내는 단계, 팩스 제어부는 인터럽트 되기전까지 팩스 메모리에 저장된 마지막 데이타 뒤에 테그(tag)를 발생시키는 단계를 포함하여 동작 한다.

대표도



명세서

도면의 간단한 설명

제1도는 본 발명 제1 실시예의 팩스의 정보 전달부를 나타낸 블럭 구성도.

제2도는 제1도의 병렬 순차 FIF0부의 내부를 나타낸 블럭 구성도.

제3도는 본 발명 제1 실시예의 팩스 메모리 내부의 데이타 저장부를 나타낸 구성도.

* 도면의 주요부분에 대한 부호의 설명

20 : 제1포트단 21 : 제2포트단

22 : 제3포트단 23 : 제1병렬 순차 FIF0부

24 : 제2병렬 순차 FIF0부 25 : 제3병렬 순차 FIF0부

26 : 제1제어 수단부 27 : 타이머

28 : 우선 순위 결정 레지스터 29 : 팩스 제어 및 메모리부

30 : 제2제어 수단부 31 : 리시버 타이밍 제어부

32 : 스테터스 레지스터 33 : FIF0 레지스터

34 : 쉬프트 레지스터 35 : 버퍼 레지스터

36 : FIF0 메모리부 37 : 데이타 버스 버퍼부

38 : 내부 데이타 버스 버퍼부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 팩스에 관한 것으로, 특히 한개의 팩스에 복수개의 외부 단자를 연결하여 다량의 정보를 전송시킬 수 있는 공유형 팩스 및 그 정보 전달 방법에 대한 것이다. 종래의 일반적인 팩스의 정보 전달 방법은 한 대의 팩스로 한 대의 컴퓨터 단말기로부터오는 정보만 받아 전송하는 방식으로 동작한다.

발명이 이루고자 하는 기술적 과제

종래 팩스의 정보 전달 방법은 한 대의 팩스로 한개의 단자로 부터오는 외부의 정보 밖에 전송이 안되어 처리할 수 있는 데이타의 양에 한계가 있다는 문제가 있다.

본 발명은 상기와 같은 문제점을 해결하기 위하여 안출한 것으로 한 대의 팩스에 복수개의 외부 단자를 연결하여 복수개의 외부 단자로부터 오는 정보를 순차적으로 팩스에 전송하여 다량의 데이타를 전송할 수 있는 공유형 팩스를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

본 발명의 공유형 팩스는 외부의 데이타가 들어오는 복수개의 포트단과, 상기 포트단으로부터 데이타를 받아 제1제어 수단부로 신호를 보내는 복수개의 병렬 순차 FIF0부와, 상기 제1제어 수단부의 동작을 제어할 수 있는 우선 순위 결정 레지스터와, 상기 제1제어 수단부의 동작 시간을 제어하는 타이머와, 상기 제1제어 수단부의 동작 순서의 제어에 따라 팩스 제어 및 메모리부로 데이타를 전송하는 상기 복수개의 병렬 순차 FIF0부를 포함하여 구성되는 것을 특징으로 한다.

다음으로 본 발명 공유형 팩스의 정보 전달 방법은 복수개의 외부 단자를 통해 팩스의 복수개의 병렬 순차 FIF0부로 데이타가 입력되는 단계, 각각의 병렬 순차 FIF0부내의 리시버 타이밍 제어부에서 제1제어 수단부로 각각의 리시버 시작 신호를 발생시키는 단계, 각각의 병렬 순차 FIF0부로부터 나온 리시버 시작 신호들을 통해 먼저 동작 시켜야할 병렬 순차 FIF0부 결정하는 단계, 선 동작에 선택되지 않은 병렬 순차 FIF0부로 각각 스톱 신호를 보내는 단계, 선 동작 여부에 따라 선택된 병렬 순차 FIF0부는 받아 들여진 데이타를 정해진 타이머 시간이 완료될 때까지 패스 메모리부로 전송하는 단계, 팩스 메모리부에 병렬 순차 FIF0부의 데이타의 저장이 끝나면 제1제어 수단부는 팩스 제어부에 인터럽트 신호를 보내는 단계, 팩스 제어부는 인터럽트 되기전까지 팩스 메모리에 저장된 마지막 데이타 뒤에 테그(tag)를 발생시키는 단계를 포함하여 동작하는 것을 특징으로 한다.

이어서 첨부도면을 참조하여 본 발명 공유형 팩스 및 그 정보 전달 방법을 설명하면 다음과 같다.

제1도는 본 발명 제1 실시예의 팩스의 정보 전달부를 나타낸 블럭 구성도이다.

제2도는 제1도의 병렬 순차 FIF0부의 내부를 나타낸 블럭 구성도이다.

제3도는 본 발명 제1 실시예의 팩스 메모리 내부의 데이타 저장부를 나타낸 구성도이다.

본 발명의 제1실시예는 한대의 팩스가 세개의 외부 단자로부터 들어오는 데이타를 전송하는 공유형 팩스

정보 전달부에 대한 것이다.

다음에 제1도에서와 같이 본 발명 제1 실시예의 공유형 팩스는 외부의 데이타가 들어오는 제1포트단(20)과 제2포트단(21)과 제3포트단(22)으로 이루어진 포트부와 이 포트부의 각 포트단으로부터 데이타를 받아 이 받은 데이타를 제1병렬 순차 FIFO부(23)의 제1신호와, 제2병렬순차 FIFO부(24)의 제2신호와, 제3병렬 순차 FIFO부(25)의 제3신호의 형태로 제1제어 수단부(26)로 보내는 병렬 순차 FIFO부와 제1제어 수단부(26)로 들어오는 세 신호중 하나의 신호만 하이(HIGH)가 나오면 하이(HIGH)가 된 병렬 순차 FIFO부만 동작 시키고 이에 반해 두개 이상이 동시에 하이(HIGH)가 들어오면 이를 제어하여 우선 순위가 높은 병렬 순차 FIFO부를 먼저 동작시킬 수 있는 우선 순위 결정 레지스터(28)와, 제1 제어수단부(26)의 동작 시간을 제어하여 지정된 시간 동안만 하나의 병렬 순차 FIFO부의 데이타를 팩스 메모리부(29)로 전달할 수 있도록 하는 타이머(27)를 포함하여 구성된다.

이어서 본 발명의 병렬 순차 FIFO부의 구성을 나타낸 제2도에서와 같이 병렬 순차 FIFO부는 각각의 포트단에서 데이타가 들어오면 시작 신호를 제1제어 수단부(26)에 전달하는 리시버 타이밍 제어부(31)와 각각의 포트단으로부터 받은 데이타의 시작과 정지 그리고 패리티 에러(parity error)등과 같은 상태들을 저장하는 스테터스 레지스터(32)와 각각의 병렬 순차 FIFO부의 데이타를 저장하는 FIFO 메모리부(36)와 FIFO 메모리부(36)의 저장할 데이타의 양을 기록하는 FIFO 레지스터(33)와 연속으로 들어오는 데이타를 받아들여 1 바이트가 되면 병렬의 형태로 전환하여 버퍼 레지스터(35)로 보내는 쉬프트 레지스터(34)와 상기 쉬프트 레지스터(34)로부터 받은 데이타를 FIFO 메모리부(36)로 전달하는 버퍼 레지스터(35)와 FIFO 메모리부(35)의 데이타를 받아 팩스 제어부 및 팩스 메모리부(29)로 전달하는 데이타 버스 버퍼부(37)와, 상기 병렬 순차 FIFO부 내부의 각 구성 요소들을 제어하는 제2제어 수단부(30)를 포함하여 구성된다.

다음으로 본 발명 공유형 팩스의 정보 전달 방법은 제1도와 제2도에서와 같이 제1포트단(20) 제2포트단(21) 그리고 제3포트단(22)의 외부 단자를 통해 팩스의 제1병렬 순차 FIFO부(23)와 제2병렬 순차 FIFO부(24)와 제3병렬 순차 FIFO부(25)로 데이타가 입력되는 단계와 각각의 병렬 순차 FIFO부내의 리시버 타이밍 제어부(31)에서 제1제어 수단부(26)로 각각의 제1신호와 제2신호와 제3신호를 발생시키는 단계와 각각의 병렬 순차 FIFO부로부터 나온 제1신호와 제2신호와 제3신호들을 제1제어 수단부(26)를 통해 먼저 동작시켜야할 병렬 순차 FIFO부를 결정하는 단계와 선 동작에 선택되지 않은 병렬 순차 FIFO부로 그에 해당되는 제1스톱 신호나 제2스톱 신호 또는 제3스톱 신호를 보내는 단계와 선 동작 여부에 따라 선택되어진 병렬 순차 FIFO부는 받아 들여진 데이타를 정해진 타이머(27)의 시간이 완료될 때까지 팩스 메모리부(29)로 전송하는 단계와 팩스 메모리부(29)에 병렬 순차 FIFO부의 데이타의 저장이 끝나면 제1제어 수단부(26)가 팩스 제어부(29)에 인터럽트 신호를 보내는 단계와 팩스 제어부(29)는 인터럽트 되기전까지 팩스 메모리부(29)에 저장된 마지막 데이타 뒤에 태그(tag)를 발생시키는 단계를 포함하여 동작한다. 위에 설명한 동작 중에서 먼저 동작시킬 병렬 순차 FIFO부를 결정할때 제1제어 수단부(26)로 들어온 제1신호와 제2신호와 제3신호 중에 두개이상이 하이(HIGH)가 들어오면 우선 순위 결정 레지스터(28)에 의해 제1제어 수단부(26)가 제어되어 먼저 동작 시킬 병렬 순차 FIFO부를 선택하게 된다.

이어서 각각의 외부 포트단으로부터 각각의 병렬 순차 FIFO부로 데이타가 들어간후의 각각의 병렬 순차 FIFO부의 동작을 설명하면 외부 포트단으로부터 데이타가 쉬프트 레지스터(34)로 들어가는 단계와 쉬프트 레지스터(34)로 데이타가 들어가면 리시버 타이밍 제어부(31)에서 제1제어 수단부(26)로 리시버 시작 신호를 발생시키는 단계와 리시버 타이밍 제어부(31)로부터 받아들여진 데이타의 시작, 정지, 패리티 에러 등과 같은 상태를 스테터스 레지스터(32)에 저장하는 단계와 쉬프트 레지스터(34)에 들어온 데이타가 1바이트가 되면 버퍼 레지스터(35)로 데이타를 보내 병렬 형태로 전환하는 단계와 FIFO 메모리부(36)내의 저장할 데이타량을 FIFO 레지스터(33)에 저장하는 단계와 병렬 형태로 전환된 데이타를 FIFO 메모리부(36)에 저장하는 단계와 FIFO 메모리부(36)로 부터오는 1 바이트의 데이타를 데이타 버스 버퍼부(37)를 거쳐 팩스 메모리부(29)에 전달하는 단계를 포함하여 동작한다. 여기에서 스테터스 레지스터(32)와 FIFO 레지스터(33)와 FIFO 메모리부(36)의 동작은 병렬 순차 FIFO부 내부의 제2제어 수단부(30)의 제어에 따라서 동작한다.

다음으로 본 발명의 공유형 팩스의 팩스 제어부 및 메모리부의 저장된 데이타부의 구성을 나타낸 제3도에서와 같이 병렬 순차 FIFO부로부터 데이타를 받아 저장하는 팩스 메모리부(29)는 하나의 병렬 순차 FIFO부의 데이타의 저장을 완료되면 팩스 제어부(29)는 인터럽트 되기전까지 들어온 데이타들이 어느 병렬 순차 FIFO부의 정보인지 구분하기 위하여 팩스 메모리부(29)에 저장된 마지막 데이타뒤에 표시어(tag)를 발생시킨다. 그리고 이 표시어의 다음에 다음의 병렬 순차 FIFO부를 거쳐서 들어온 데이타를 저장한다.

발명의 효과

본 발명의 공유형 팩스 및 그 전송 방법은 한대의 팩스에 여러개의 단말기를 연결시킴으로써 기존의 여러대의 팩스로 처리 할 수 있었던 데이타를 한 대의 팩스만으로도 처리할 수 있다는 효과가 있다.

(57) 청구의 범위

청구항 1

외부의 정보를 받아 전송하는 팩스에 있어서, 외부의 데이타가 들어오는 복수개의 포트단과, 상기 포트단으로부터 데이타를 받아 제1제어 수단부로 신호를 보내는 복수개의 병렬 순차 FIFO부와, 상기 제1제어 수단부의 동작을 제어할 수 있는 우선 순위 결정 레지스터와, 상기의 제1제어 수단부의 동자 시간을 제어하는 타이머와, 상기 제1제어 수단부의 동작 순서의 제어에 따라 팩스 제어 및 메모리부로 데이타를 전송하는 상기 복수개의 병렬 순차 FIFO부를 포함하여 구성되는 것을 특징으로 하는 공유형 팩스.

청구항 2

제1항에 있어서, 상기 우선 순위 결정 레지스터는 상기 제1제어 수단부에 전달된 상기 병렬 순차 FIFO부의 데이타가 동시에 두개 이상의 하이(HIGH) 신호로 들어올 경우에 동작의 우선 순위를 결정하여 상기 제

1제어 수단부로 전달하는 역할을 함을 특징으로 하는 공유형 팩스.

청구항 3

제1항에 있어서, 상기 병렬 순차 FIFO부는 상기 포트단에서 데이타가 들어오면 시작 신호를 상기 제1제어 수단부에 전달하는 리시버 타이밍부와, 복수개의 포트단으로부터 받은 데이타의 시작과 정지 그리고 패리티 에러(parity error)등과 같은 상태들을 저장하는 스테터스 레지스터와, 상기 병렬 순차 FIFO부의 데이타를 저장하는 FIFO 메모리부와, 상기 FIFO 메모리부의 저장할 데이타의 양을 기록하는 FIFO 레지스터와, 연속으로 들어오는 데이타를 받아들여 1 바이트가 되면 병렬의 형태로 전환하여 버퍼 레지스터로 보내는 쉬프트 레지스터와, 상기 쉬프트 레지스터로부터 받은 데이타를 상기 FIFO 메모리부로 전달하는 버퍼 레지스터와, 상기 FIFO 메모리부의 데이타를 받아 상기 팩스 제어부나 팩스 메모리부로 전달하는 데이타 버스 버퍼부와, 상기 병렬 순차 FIFO부의 내부의 각 구성 요소들을 제어하는 제2제어 수단부를 포함하여 구성됨을 특징으로 하는 공유형 팩스.

청구항 4

(1) 복수개의 외부 단자를 통해 팩스의 복수개의 병렬 순차 FIFO부로 데이타가 입력되는 단계; (2) 각각의 상기 병렬 순차 FIFO부 내의 리시버 타이밍 제어부에서 제1제어 수단부로 각각의 리시버 시작 신호를 발생시키는 단계; (3) 각각의 상기 병렬 순차 FIFO부로부터 나온 리시버 시작 신호들을 통해 먼저 동작시켜야할 상기 병렬 순차 FIFO부를 결정하는 단계; (4) 선 동작에 선택되지 않은 상기 병렬 순차 FIFO부로 각각 스톱 신호를 보내는 단계; (5) 선 동작 여부에 따라 선택된 상기 병렬 순차 FIFO부는 받아 들여진 데이타를 정해진 타이머 시간이 완료될 때까지 팩스 메모리부로 전송하는 단계; (6) 상기 팩스 메모리부에 상기 병렬 순차 FIFO부의 데이타의 저장이 끝나면 상기 제1제어 수단부는 팩스 제어부에 인터럽트 신호를 보내는 단계; (7) 상기 팩스 제어부는 인터럽트 되기전까지 상기 팩스 메모리부에 저장된 마지막 데이타 뒤에 태그(tag)를 발생시키는 단계를 포함하여 동작하는 공유형 팩스의 정보전달 방법.

청구항 5

제4항에 있어서, (1) 단계에서 복수개의 상기 외부 단자로부터 복수개의 상기 병렬 순차 FIFO부로 데이타가 들어간후의 상기 병렬 순차 FIFO부의 동작은 (1) 상기 외부 단자로부터 데이타가 쉬프트 레지스터로 들어가는 단계; (2) 상기 쉬프트 레지스터로 데이타가 들어가면 리시버 타이밍 제어부에서 제1제어 수단부로 리시버 시작 신호를 발생시키는 단계; (3) 상기 리시버 타이밍 제어부로부터 받아들여진 데이타의 시작, 정지, 패리티 에러등과 같은 상태 저장하는 단계; (4) 상기 쉬프트 레지스터에 들어온 데이타가 적정량이 되면 버퍼 레지스터로 데이타를 보내 병렬 형태로 전환하는 단계; (5) 상기 FIFO 메모리부 내의 저장할 데이타량을 저장하는 단계; (6) 병렬 형태로 전환된 데이타를 상기 FIFO 메모리부에 저장하는 단계; (7) 상기 FIFO메모리부의 데이타를 버스 버퍼부를 거쳐 팩스 메모리부에 전달하는 단계를 포함하는 것을 특징으로 하는 공유형 팩스의 정보 전달 방법.

청구항 6

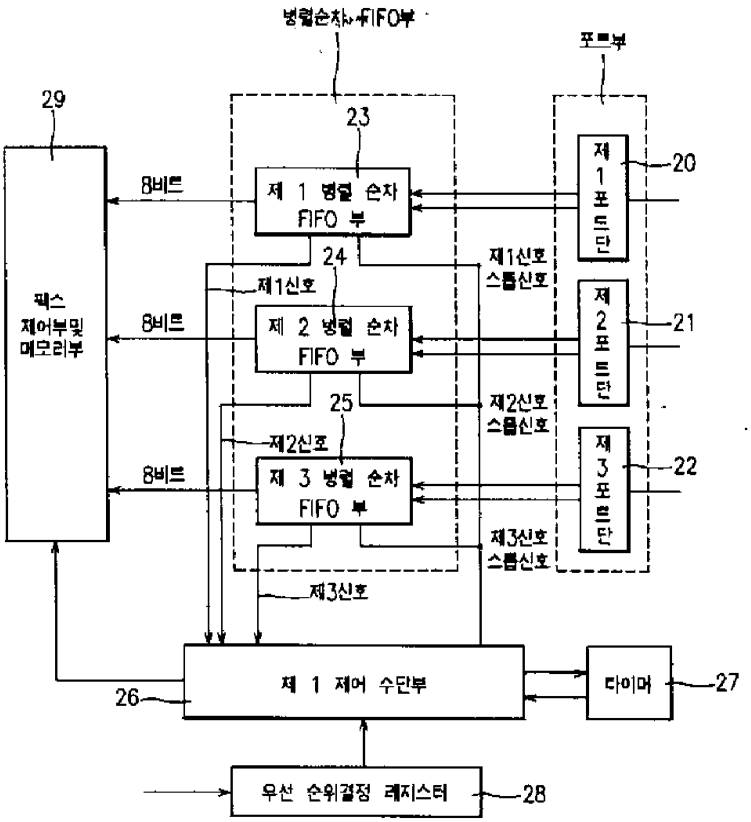
제5항에 있어서, 제3단계와 제6단계는 상기 병렬 순차 FIFO부 내부의 제2제어 수단부의 제어에 따라 동작하는 것을 특징으로 하는 공유형 팩스의 정보 전달 방법.

청구항 7

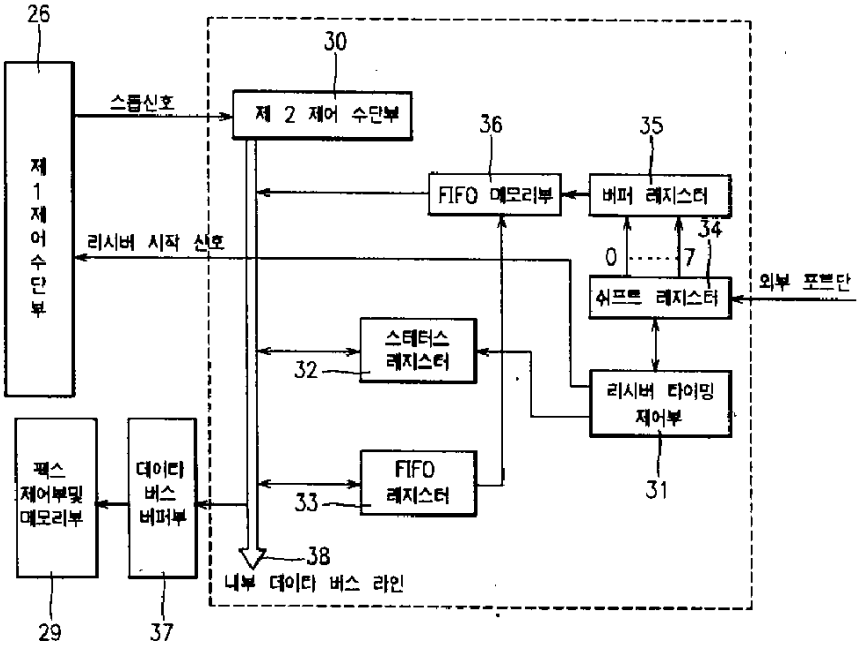
제5항에 있어서, 제 (4) 단계에서 상기 쉬프트 레지스터에서 상기 버퍼 레지스터로 데이타를 보낼때 데이타량이 1 바이트가 되면 보내는 것을 특징으로 하는 공유형 팩스의 정보 전달 방법.

도면

도면1


병렬순차 FIFO부
포트부
29
23
20
8비트
제 1 병렬 순차 FIFO 부
제 1 포트단
24
제1신호
제1신호 스톱신호
팩스 제어부및 메모리부
8비트
제 2 병렬 순차 FIFO 부
제 2 포트단
21
25
제2신호
제2신호 스톱신호
8비트
제 3 병렬 순차 FIFO 부
제 3 포트단
22
제3신호 스톱신호
제3신호
제 1 제어 수단부
타이머
27
26
우선 순위결정 레지스터
28

도면2


26
30
스톱신호
제 2 제어 수단부
36
35
FIFO 메모리부
버퍼 레지스터
제 1 제어 수단부
리시버 시작 신호
34
0
7
외부 포트단
쉬프트 레지스터
스테이터스 레지스터
32
리시버 타이밍 제어부
팩스 제어부및 메모리부
데이터 버스 버퍼부
FIFO 레지스터
33
31
38
내부 데이터 버스 라인
29
37

도면3

