



(12) 发明专利

(10) 授权公告号 CN 102779552 B

(45) 授权公告日 2015. 09. 09

(21) 申请号 201110126548. 7

(22) 申请日 2011. 05. 11

(73) 专利权人 旺宏电子股份有限公司

地址 中国台湾新竹科学工业园区力行路 16 号

(72) 发明人 蔡秉宏

(74) 专利代理机构 中科专利商标代理有限责任公司 11021

代理人 任岩

(51) Int. Cl.

G11C 16/06(2006. 01)

(56) 对比文件

CN 101430932 A, 2009. 05. 13,

CN 101093837 A, 2007. 12. 26,

CN 1416174 A, 2003. 05. 07,

US 2002/0064071 A1, 2002. 05. 30,

US 2004/0233694 A1, 2004. 11. 25,

审查员 吴琼

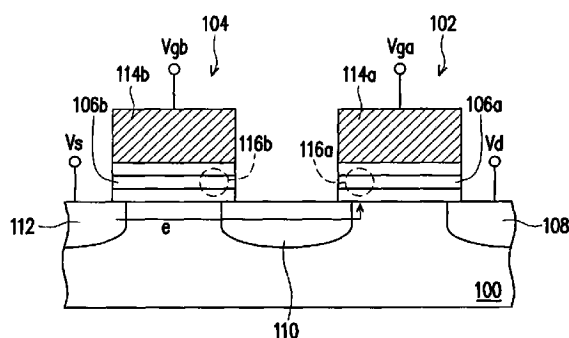
权利要求书2页 说明书12页 附图4页

(54) 发明名称

记忆体的程序化方法及记忆体阵列中记忆胞的程序化方法

(57) 摘要

本发明是有关于一种记忆体的程序化方法及记忆体阵列中记忆胞的程序化方法。该记忆体具有第一记忆胞,其具有第一 S/D 区并与第二记忆胞共用第二 S/D 区。第二记忆胞具有与第二 S/D 区相对的第三 S/D 区。在程序化第一记忆胞时,施加第一电压到第一记忆胞的控制栅极;施加第二电压到第二记忆胞的控制栅极,使第二记忆胞的通道区处于微开启状态;及施加第三电压到第一 S/D 区,使第二 S/D 区浮置,施加第四电压到第三 S/D 区,且第三电压与第四电压使得载子从第三 S/D 区流至第一 S/D 区,以利用源极侧注入效应将载子注入第一记忆胞的电荷储存层。由于所施加的偏压较低,因此可提升程序化速度、提高元件集积度及获得较大的记忆体裕度。



1. 一种记忆体的程序化方法,其特征在于,该记忆体包括一第一记忆胞,该第一记忆胞具有一第一 S/D 区并与一第二记忆胞共用一第二 S/D 区,且该第二记忆胞具有与该第二 S/D 区相对的一第三 S/D 区,该方法包括以下步骤:

施加一第一电压到该第一记忆胞的一第一控制栅极;

施加一第二电压到该第二记忆胞的一第二控制栅极,使该第二记忆胞的通道区处于微开启状态;以及

施加一第三电压到该第一 S/D 区,将该第二 S/D 区浮置,施加一第四电压到该第三 S/D 区,使得载子从该第三 S/D 区流至该第一 S/D 区,以利用源极侧注入效应将载子注入该第一记忆胞的一电荷储存层。

2. 根据权利要求 1 所述的记忆体的程序化方法,其特征在于其中所述的第二电压接近该第二记忆胞的起始电压。

3. 根据权利要求 1 所述的记忆体的程序化方法,其特征在于其中所述的电荷储存层是电荷捕陷层,载子被捕陷在该第一记忆胞的该电荷捕陷层中靠近该第二 S/D 区的位置。

4. 一种记忆体的程序化方法,其特征在于,该记忆体包括一第一记忆胞,该第一记忆胞具有一第一 S/D 区并与一第二记忆胞共用一第二 S/D 区,且该第二记忆胞具有与该第二 S/D 区相对的一第三 S/D 区,该方法包括以下步骤:

施加一第一电压到该第一记忆胞的一第一控制栅极;

施加一第二电压到该第二记忆胞的一第二控制栅极,使该第二记忆胞的通道区在微开启状态与完全开启状态之间变换;以及

施加一第三电压到该第一 S/D 区,将该第二 S/D 区浮置,施加一第四电压到该第三 S/D 区,使得载子从该第三 S/D 区流至该第一 S/D 区,以利用源极侧注入效应及通道热载子效应将载子注入该第一记忆胞的一电荷储存层。

5. 根据权利要求 4 所述的记忆体的程序化方法,其特征在于其中施加该第二电压到该第二记忆胞的该第二控制栅极的方法是选自施加具有不同强度的多个电压脉波至该第二控制栅极、施加一三角形电压脉波至该第二控制栅极与施加一梯形电压脉波至该第二控制栅极所组成的族群的其中之一。

6. 根据权利要求 5 所述的记忆体的程序化方法,其特征在于其中所述的电荷储存层是一电荷捕陷层,载子被捕陷在该第一记忆胞的该电荷捕陷层中靠近该第一 S/D 区及该第二 S/D 区的位置。

7. 一种记忆体阵列中记忆胞的程序化方法,其特征在于其包括以下步骤:

经由一第一字元线,施加一第一电压至一第一记忆胞的一第一控制栅极;

经由一第二字元线,施加一第二电压至与该第一记忆胞相邻的一第二记忆胞的一第二控制栅极,使该第二记忆胞的通道区处于微开启状态或完全开启状态,其中该第一记忆胞具有一第一 S/D 区并与该第二记忆胞共用一第二 S/D 区,且该第二记忆胞具有与该第二 S/D 区相对的一第三 S/D 区;

经由一第一位元线,施加一第三电压到该第一 S/D 区;

将该第二 S/D 区浮置;以及

经由一第二位元线,施加一第四电压到该第三 S/D 区,

其中载子从该第三 S/D 区流至该第一 S/D 区,以利用源极侧注入效应或通道热载子效

应将载子注入该第一记忆胞的一电荷储存层。

8. 根据权利要求 7 所述的记忆体阵列中记忆胞的程序化方法, 其特征在于其中所述的电荷储存层是电荷捕陷层, 载子被捕陷在该第一记忆胞的该电荷捕陷层中靠近该第二 S/D 区的位置、该第一记忆胞的该电荷捕陷层中靠近该第一 S/D 区的位置或该第一记忆胞的该电荷捕陷层中靠近该第一 S/D 区的位置及靠近该第二 S/D 区的位置。

9. 根据权利要求 7 所述的记忆体阵列中记忆胞的程序化方法, 其特征在于还包括:

施加一第五电压到邻近该第一位元线的一第三位元线, 以抑制与该第一记忆胞共用该第一字元线与该第一位元线的非选定记忆胞被程序化。

10. 根据权利要求 7 所述的记忆体阵列中记忆胞的程序化方法, 其特征在于还包括:

施加一第六电压到邻近该第二位元线的一第四位元线, 以抑制与该第一记忆胞共用该第一字元线与该第二位元线的非选定记忆胞被程序化。

记忆体的程序化方法及记忆体阵列中记忆胞的程序化方法

技术领域

[0001] 本发明涉及一种记忆体元件的操作,特别是涉及一种记忆体(阵列)中记忆胞的程序化方法,以及利用该方法的一种记忆体装置。

背景技术

[0002] 非挥发性记忆体(non-volatile memory)由于具有可进行多次资料的存入、读取、抹除等动作,且存入的资料在断电后也不会消失的优点,因此许多电器产品中必须具备此类记忆体,以维持电器产品开机时的正常操作,其已成为个人电脑和电子设备所广泛采用的一种记忆体元件。

[0003] 典型的非挥发性记忆体元件,一般是被设计成具有堆叠式栅极(Stacked-Gate)结构,其中包括以掺杂多晶硅制作的浮置栅极(FloatingGate)与控制栅极(Control Gate)。浮置栅极位于控制栅极和基底之间,且处于浮置状态,没有和任何电路相连接,而控制栅极则与字元线(Word Line)相接,此外还包括穿隧氧化层(Tunneling Oxide)和栅间介电层(Inter-Gate Dielectric Layer)分别位于基底和浮置栅极之间以及浮置栅极和控制栅极之间。

[0004] 另一种典型的挥发性记忆体,则是使用电荷捕捉(charge trapping)作为资料储存型态的氮化硅只读记忆体(Nitride read only memory)。其利用由氧化物层-氮化物层-氧化物层所构成的电荷捕捉结构(即熟知的ONO层)可储存二位元的资料。一般来说,二位元的资料可分别储存于电荷捕捉结构中的氮化物层的左侧(即左位元)或右侧(即右位元)。

[0005] 在目前提高元件密集度的趋势下,会依据设计规则缩小元件的尺寸。随着记忆体及其记忆胞的尺寸越做越小,记忆胞之间的击穿电流(Punch-through current)会越来越显著,由未选定的记忆胞所提供的击穿电流会影响到对选定记忆胞进行程序化操作时的稳定性,而明显降低记忆胞的效能。

[0006] 由此可见,上述现有的记忆体的程序化方法在方法与使用上,显然仍存在有不便与缺陷,而亟待加以进一步改进。为了解决上述存在的问题,相关厂商莫不费尽心思来谋求解决之道,但长久以来一直未见适用的设计被发展完成,而一般方法又没有适切的方法能够解决上述问题,此显然是相关业者急欲解决的问题。因此如何能创设一种新的记忆体的程序化方法及记忆体阵列中记忆胞的程序化方法,实属当前重要研发课题之一,亦成为当前业界极需改进的目标。

发明内容

[0007] 本发明的目的在于,克服现有的记忆体的程序化方法存在的缺陷,而提供一种新的记忆体的程序化方法,所要解决的技术问题是其通过使该记忆体中的第一记忆胞与相邻的第二记忆胞共用一S/D区,该S/D区在程序化时为浮置,将第二记忆胞作为开关晶体管,藉由使第二记忆胞的通道区处于微开启状态,以利用源极侧注入效应程序化第一记忆胞,

非常适于实用。

[0008] 本发明的另一目的在于,提供一种新的记忆体阵列中记忆胞的程序化方法,所要解决的技术问题是使其结合源极侧注入效应与通道热载子注入效应,以程序化记忆体阵列中的记忆胞,从而更加适于实用。

[0009] 本发明的再一目的在于,提供一种新的记忆体装置,所要解决的技术问题是其包括记忆体阵列和电路单元,其中本发明的记忆体的程序化方法可应用到此记忆体阵列,并且此电路单元可进行本发明的记忆体的程序化方法的步骤,从而更加适于实用。

[0010] 本发明的目的及解决其技术问题是采用以下技术方案来实现的。依据本发明提出的一种记忆体的程序化方法。记忆体具有第一记忆胞,第一记忆胞具有第一 S/D 区并与第二记忆胞共用第二 S/D 区,且第二记忆胞具有与第二 S/D 区相对的第三 S/D 区。在程序化第一记忆胞时,施加第一电压到第一记忆胞的第一控制栅极;施加第二电压到第二记忆胞的第二控制栅极,使第二记忆胞的通道区处于微开启状态;以及施加第三电压到第一 S/D 区,而第二 S/D 区为浮置,施加第四电压到第三 S/D 区,且第三电压与第四电压使得载子从第三 S/D 区流至第一 S/D 区,以利用源极侧注入效应将载子注入第一记忆胞的电荷储存层。

[0011] 本发明的目的及解决其技术问题还可采用以下技术措施进一步实现。

[0012] 前述的记忆体的程序化方法,其中所述的第二电压为接近第二记忆胞的起始电压。

[0013] 前述的记忆体的程序化方法,其中所述的第一记忆胞及第二记忆胞皆为 N 型记忆胞,且第三电压在正值方向上高于第四电压。

[0014] 前述的记忆体的程序化方法,其中所述的电荷储存层是电荷捕陷层,载子被捕陷在第一记忆胞的电荷捕陷层中靠近第二 S/D 区的位置。

[0015] 本发明的目的及解决其技术问题还采用以下技术方案来实现。依据本发明提出的一种记忆体的程序化方法。记忆体具有第一记忆胞,第一记忆胞具有第一 S/D 区并与第二记忆胞共用第二 S/D 区,且第二记忆胞具有与第二 S/D 区相对的第三 S/D 区。在程序化第一记忆胞时,施加第一电压到第一记忆胞的第一控制栅极;施加第二电压到第二记忆胞的第二控制栅极,使第二记忆胞的通道区在微开启状态与完全开启状态之间变换;施加第三电压到第一 S/D 区,而第二 S/D 区为浮置,施加第四电压到第三 S/D 区,且第三电压与第四电压使得载子从第三 S/D 区流至第一 S/D 区,以利用源极侧注入效应及通道热载子效应将载子注入第一记忆胞的电荷储存层。

[0016] 本发明的目的及解决其技术问题还可采用以下技术措施进一步实现。

[0017] 前述的记忆体的程序化方法,其中施加第二电压到第二记忆胞的第二控制栅极的方法包括施加具有不同强度的多个电压脉波 (Voltage Pulse) 至第二控制栅极、施加三角形电压脉波 (Voltage Pulse) 至第二控制栅极或施加梯形电压脉波 (Voltage Pulse) 至第二控制栅极。

[0018] 前述的记忆体的程序化方法,其中所述的电压脉波的值从小至大逐渐增加或从大至小逐渐减少。

[0019] 前述的记忆体的程序化方法,其中施加第二电压到第二记忆胞的第二控制栅极的方法包括施加三角形电压脉波 (Voltage Pulse) 至第二控制栅极。

[0020] 前述的记忆体的程序化方法,其中所述的三角形电压脉波的值从小至大逐渐增加

或从大至小逐渐减少。

[0021] 前述的记忆体的程序化方法,其中施加第二电压到第二记忆胞的第二控制栅极的方法包括施加梯形电压脉波 (Voltage Pulse) 至第二控制栅极。

[0022] 前述的记忆体的程序化方法,其中所述的梯形电压脉波的值从小至大逐渐增加至最大值并维持一段时间后逐渐减少或梯形电压脉波的值从大至小逐渐减少至最小值并维持一段时间后逐渐增加。

[0023] 前述的记忆体的程序化方法,其中所述的第一记忆胞及第二记忆胞皆为 N 型记忆胞,且第三电压在正值方向上高于第四电压。

[0024] 前述的记忆体的程序化方法,其中所述的电荷储存层是浮置栅极、电荷捕陷层或纳米结晶层其中之一。

[0025] 前述的记忆体的程序化方法,其中所述的电荷储存层是电荷捕陷层,载子被捕陷在第一记忆胞的该电荷捕陷层中靠近第一 S/D 区及第二 S/D 区的位置。

[0026] 本发明的目的及解决其技术问题另外再采用以下技术方案来实现。依据本发明提出的一种记忆体阵列中记忆胞的程序化方法。在进行程序化操作时,经由第一字元线,施加第一电压至第一记忆胞的第一控制栅极;经由第二字元线,施加第二电压至与第一记忆胞相邻的第二记忆胞的第二控制栅极,使第二记忆胞的通道区处于微开启状态或完全开启状态,其中第一记忆胞具有第一 S/D 区并与第二记忆胞共用第二 S/D 区,且第二记忆胞具有与第二 S/D 区相对的第三 S/D 区;经由第一位元线,施加第三电压到该第一 S/D 区;而第二 S/D 区为浮置;以及经由第二位元线,施加第四电压到该第三 S/D 区,其中第三电压与第四电压使得载子从第三 S/D 区流至第一 S/D 区,以利用源极侧注入效应或通道热载子效应将载子注入第一记忆胞的电荷储存层。

[0027] 本发明的目的及解决其技术问题还可采用以下技术措施进一步实现。

[0028] 前述的记忆体的程序化方法,其中所述的电荷储存层是电荷捕陷层,使载子被捕陷在第一记忆胞的电荷捕陷层中靠近第二 S/D 区的位置、第一记忆胞的电荷捕陷层中靠近第一 S/D 区的位置、或第一记忆胞的电荷捕陷层中靠近第一 S/D 区的位置及靠近第二 S/D 区的位置。

[0029] 前述的记忆体的程序化方法,还包括施加第五电压到邻近第一位元线的第三位元线,以抑制与第一记忆胞共用第一字元线与第一位元线的非选定记忆胞被程序化。

[0030] 前述的记忆体的程序化方法,还包括施加第六电压到邻近第二位元线的第四位元线,以抑制与第一记忆胞共用第一字元线与第二位元线的非选定记忆胞被程序化。

[0031] 本发明与现有技术相比具有明显的优点和有益效果。借由上述技术方案,本发明记忆体的程序化方法及记忆体阵列中记忆胞的程序化方法至少具有下列优点及有益效果:

[0032] 根据本发明所述的程序化方法,藉由利用源极侧注入效应程序化记忆胞,因此所施加的偏压较低,而且可以提升程序化速度。

[0033] 根据本发明所述的程序化方法,藉由组合使用源极侧注入效应及通道热电子注入效应来程序化记忆胞,当用于由两个记忆胞组成的记忆胞组时,可以达成单一记忆胞组四位元资料储存。

[0034] 根据本发明所述的程序化方法,可以加快记忆胞的程序化速度、提高元件集积度

以及获得较大的记忆体裕度。

[0035] 综上所述,本发明是有关于一种记忆体的程序化方法及记忆体阵列中记忆胞的程序化方法。该记忆体具有第一记忆胞,其具有第一 S/D 区并与第二记忆胞共用第二 S/D 区。第二记忆胞具有与第二 S/D 区相对的第三 S/D 区。在程序化第一记忆胞时,施加第一电压到第一记忆胞的控制栅极;施加第二电压到第二记忆胞的控制栅极,使第二记忆胞的通道区处于微开启状态;以及施加第三电压到第一 S/D 区,使第二 S/D 区浮置,施加第四电压到第三 S/D 区,且第三电压与第四电压使得载子从第三 S/D 区流至第一 S/D 区,以利用源极侧注入效应将载子注入第一记忆胞的电荷储存层。本发明在技术上有显著的进步,具有明显的积极效果,诚为一新颖、进步、实用的新设计。

[0036] 上述说明仅是本发明技术方案的概述,为了能够更清楚了解本发明的技术手段,而可依照说明书的内容予以实施,并且为了让本发明的上述和其他目的、特征和优点能够更明显易懂,以下特举较佳实施例,并配合附图,详细说明如下。

附图说明

[0037] 图 1 是绘示根据本发明的一实施例的非挥发性记忆体中记忆胞的程序化方法的示意图。

[0038] 图 2 是绘示根据本发明的另一实施例的非挥发性记忆体中记忆胞的程序化方法的示意图。

[0039] 图 3 是绘示根据本发明的一实施例的作为开关晶体管的记忆胞的起始电压分布的示意图。

[0040] 图 4A 是绘示根据本发明的一实施例的记忆胞的程序化操作时施加电压脉波的时序图。

[0041] 图 4B 是绘示根据本发明的一实施例的记忆胞的程序化操作时施加电压脉波次数与电压的关系图。

[0042] 图 5A、图 5B 是绘示根据本发明的一实施例的记忆胞的程序化操作时施加电压脉波的时序图。

[0043] 图 6A、图 6B 是绘示根据本发明的一实施例的记忆胞的程序化操作时施加电压脉波的时序图。

[0044] 图 7 是绘示根据本发明的一实施例的一种非挥发性记忆体阵列的电路图。

[0045] 图 8 是根据本发明的一实施例的记忆体装置的功能方框图。

[0046]

1、2、3、4、116a、116b: 位置	100: 基底
102、104、M11 ~ M54: 记忆胞	106a、106b: 电荷储存层
108、110、112: S/D 区	114a、114b: 控制栅极
800: 记忆体装置	810: 控制器
A、B: 位元	BL1 ~ BL6: 位元线
C1 ~ C10: 记忆胞组	MR1 ~ MR5: 记忆胞列
V1、V2、X1、X2、X3、X4: 电压值	Va、Vd、Vs: 电压
Vga、Vgb: 栅极电压	WL1 ~ WL4: 字元线

具体实施方式

[0047] 为更进一步阐述本发明为达成预定发明目的所采取的技术手段及功效,以下结合附图及较佳实施例,对依据本发明提出的记忆体的程序化方法及记忆体阵列中记忆胞的程序化方法其具体实施方式、方法、步骤、特征及其功效,详细说明如后。

[0048] 有关本发明的前述及其他技术内容、特点及功效,在以下配合参考图式的较佳实施例的详细说明中将可清楚呈现。通过具体实施方式的说明,应当可对本发明为达成预定目的所采取的技术手段及功效获得一更加深入且具体的了解,然而所附图式仅是提供参考与说明之用,并非用来对本发明加以限制。

[0049] 本发明的一实施例提供一种非挥发性记忆体中记忆胞的程序化方法,适用由两个记忆胞串联连接而构成的记忆胞组。在记忆胞组中,其中一个记忆胞作为欲程序化的记忆胞,另一个记忆胞则做为开关晶体管。藉由控制作为开关晶体管的记忆胞的通道区的状态(微开启状态或完全开启状态),以利用源极侧注入效应或通道热载子效应将载子注入欲程序化的记忆胞的电荷储存层。

[0050] 图1是绘示根据本发明的一实施例的非挥发性记忆体中记忆胞的程序化方法的示意图。在下述说明中,是以N型记忆胞为例做说明。

[0051] 请参阅图1所示,在此非挥发性记忆体中,记忆胞组由记忆胞102与记忆胞104串接而成。记忆胞102具有电荷储存层106a和在基底100中的N型源极/漏极区(以下称S/D区)108,并与相邻记忆胞104共用N型S/D区110。记忆胞104具有电荷储存层106b和与S/D区110相对的N型S/D区112。记忆胞102、104的电荷储存层106a、106b可为浮置栅极、电荷捕陷层或纳米结晶层。当电荷储存层106a、106b是浮置栅极时,其可以ONO复合层与控制栅极114a、114b相隔。当电荷储存层106a、106b是电荷捕陷层时,其材质可包括氮化硅(SiN)、氧化铝或其他高介电常数材料。当电荷储存层106a、106b是纳米结晶层时,其是含有硅、锗或金属等纳米结晶。

[0052] 此实施例是以对记忆胞102进行程序化为例,其中记忆胞104作为开关晶体管。在此例示的程序化操作中,栅极电压Vga施加到控制栅极114a。栅极电压Vga须足够大,以使热电子注入电荷储存层106a。而且,藉由控制栅极电压Vga大小,也可以控制记忆胞102的程序化位准,使记忆胞可储存多位元资料。栅极电压Vgb施加到控制栅极114b,以使电荷储存层106b下的通道区处于微开启状态。在本实施例中,所谓通道区处于微开启状态是指通道区没有完全开启而只有小部分电子可以通过通道区。栅极电压Vgb为接近记忆胞

104 的起始电压, 较佳为记忆胞 104 的起始电压值 $\pm 5\%$ 。电压 V_s 和在正值方向上高于 V_s 的电压 V_d 分别施加到 S/D 区 112、108, 且 S/D 区 110 为浮置。电压 V_d 须足够大, 用于在水平方向上加热热电子, 以使热电子能够克服硅与氧化硅之间的能障高度 (Si/SiO₂ barrier height)。电压 V_s 、 V_d 使得电子从 S/D 区 112 流至 S/D 区 108。

[0053] 由于记忆胞 104 的通道区处于微开启状态, 只有小部分电子可以通过记忆胞 104 的通道区, 亦即形成较小的程序化电流。而且, 浮置的 S/D 区 110 的电位将会提高, 而在靠近记忆胞 104 的漏极侧 (S/D 区 110) 引起明显的加热电场 (heating field)。如此, 即可利用源极侧注入效应, 在记忆胞 102 的源极侧 (S/D 区 110) 将电子注入记忆胞 102 的电荷储存层 106a。在一实例中, 栅极电压 $V_{ga} = 10V$ 、栅极电压 $V_{gb} = V_{th} \pm 5\%$ 、电压 $V_s =$ 接地或 $0V$ 、电压 $V_d = 3-5V$ 。

[0054] 另一方面, 当要对记忆胞 104 进行程序化时, 其中记忆胞 102 作为开关晶体管。将栅极电压 V_{ga} 施加到控制栅极 114b。栅极电压 V_{gb} 施加到控制栅极 114a, 电压 V_s 和在正值方向上高于 V_s 的电压 V_d 分别施加到 S/D 区 108、112, 且 S/D 区 110 为浮置。即可利用源极侧注入效应, 在记忆胞 104 的源极侧 (S/D 区 110) 将电子注入记忆胞 104 的电荷储存层 106b。

[0055] 在一实施例中, 当电荷储存层 106a、106b 是电荷捕陷层时, 电子被捕陷在电荷储存层 106a 中靠近 S/D 区 110 的位置 116a 以及电荷储存层 106b 中靠近 S/D 区 110 的位置 116b。

[0056] 根据本发明的一实施例, 由于利用源极侧注入效应程序化记忆胞 102 或记忆胞 104, 因此所施加的偏压较低, 而且可以提升程序化速度。

[0057] 图 2 是绘示根据本发明的另一实施例的非挥发性记忆体中记忆胞的程序化方法的示意图。

[0058] 请参阅图 2 所示, 此实施例是以对记忆胞 102 进行程序化为例, 其中记忆胞 104 作为开关晶体管。在此例示的程序化操作中, 栅极电压 V_{ga} 施加到控制栅极 114a。栅极电压 V_{ga} 须足够大, 以使热电子注入电荷储存层 106a。而且, 藉由控制栅极电压 V_{ga} 大小, 也可以控制记忆胞 102 的程序化位准, 使记忆胞可储存多位元资料。栅极电压 V_{gb} 施加到控制栅极 114b, 以使电荷储存层 106b 下的通道区处于微开启状态、完全开启状态或在微开启状态与完全开启状态之间变换。在本实施例中, 所谓通道区处于微开启状态是指通道区没有完全开启而只有小部分电子可以通过通道区, 此时栅极电压 V_{gb} 为接近记忆胞 104 的起始电压, 较佳为记忆胞 104 的起始电压值 $\pm 5\%$; 所谓通道区处于完全开启状态是指大部分电子可以通过通道区, 此时栅极电压 V_{gb} 为远大于记忆胞 104 的起始电压。电压 V_s 和在正值方向上高于 V_s 的电压 V_d 分别施加到 S/D 区 112、108, 且 S/D 区 110 为浮置。电压 V_s 、 V_d 使得电子从 S/D 区 112 流至 S/D 区 108。电压 V_d 须足够大, 以使加热热电子能够克服硅与氧化硅之间的能障高度 (Si/SiO₂ barrier height)。

[0059] 当记忆胞 104 的通道区处于微开启状态, 只有小部分电子可以通过记忆胞 104 的通道区, 亦即形成较小的程序化电流。而且, 由于浮置的 S/D 区 110 的电位将会提高, 而在靠近记忆胞 104 的漏极侧 (S/D 区 110) 引起明显的加热电场 (heating field)。如此, 即可利用源极侧注入效应, 在记忆胞 102 的源极侧 (S/D 区 110) 将电子注入记忆胞 102 的电荷储存层 106a。

[0060] 当记忆胞 104 的通道区处于完全开启状态,大部分电子可以通过记忆胞 104 的通道区,亦即形成较大的程序化电流。而且,由于浮置的 S/D 区 110 的电位将会拉低,而在靠近记忆胞 102 的漏极侧 (S/D 区 108) 引起明显的加热电场 (heating field)。如此,即可利用通道热电子注入效应,在记忆胞 102 的漏极侧 (S/D 区 108) 将电子注入记忆胞 102 的电荷储存层 106a。

[0061] 当记忆胞 104 的通道区在微开启状态与完全开启状态之间变换,即可利用通道热电子注入效应及源极侧注入效应,在记忆胞 102 的漏极侧 (S/D 区 108) 及源极侧 (S/D 区 110) 将电子注入记忆胞 102 的电荷储存层 106a。

[0062] 另一方面,当要对记忆胞 104 进行程序化时,其中记忆胞 102 作为开关晶体管。将栅极电压 V_{ga} 施加到控制栅极 114b。栅极电压 V_{gb} 施加到控制栅极 114a,以使电荷储存层 106a 下的通道区处于微开启状态、完全开启状态或在微开启状态与完全开启状态之间变换。电压 V_s 和在正值方向上高于 V_s 的电压 V_d 分别施加到 S/D 区 108、112,且 S/D 区 110 为浮置。即可利用源极侧注入效应、通道热电子注入效应或源极侧注入效应及通道热电子注入效应两者,在记忆胞 104 的源极侧 (S/D 区 110)、漏极侧 (S/D 区 112) 或源极侧 (S/D 区 110) 与漏极侧 (S/D 区 112) 两者将电子注入记忆胞 104 的电荷储存层 106b。

[0063] 在一实施例中,当电荷储存层 106a、106b 是电荷捕陷层时,利用源极侧注入效应进行程序化,使电子被捕陷在电荷储存层 106a 中靠近 S/D 区 110 的位置 2 以及电荷储存层 106b 中靠近 S/D 区 110 的位置 3;利用通道热电子注入效应进行程序化,使电子被捕陷在电荷储存层 106a 中靠近 S/D 区 108 的位置 1 以及电荷储存层 106b 中靠近 S/D 区 112 的位置 4。

[0064] 当采用使电荷储存层 106b 下的通道区在微开启状态与完全开启状态之间变换时,则可以在一个程序化步骤中,利用源极侧注入效应及通道热电子注入效应,使电子被捕陷在电荷储存层 106a 中靠近 S/D 区 110 的位置 2 以及电荷储存层 106a 中靠近 S/D 区 108 的位置 1。当采用使电荷储存层 106a 下的通道区在微开启状态与完全开启状态之间变换时,则可以在一个程序化步骤中,利用源极侧注入效应及通道热电子注入效应,使电子被捕陷在电荷储存层 106b 中靠近 S/D 区 110 的位置 3 以及电荷储存层 106b 中靠近 S/D 区 112 的位置 4。藉由此种方式来达成单一记忆胞组四位元资料储存。

[0065] 根据本发明的一实施例的非挥发性记忆体中记忆胞的程序化方法,将电子注入位置 1、2、3、4 时,程序化偏压设定如表 1 所示。

[0066] 表 1

	控制栅极 114a	控制栅极 114b	S/D 区 108	S/D 区 112
[0067] 位置 1	V_{ga}	高 V_{gb}	V_d	V_s (接地)
位置 2	V_{ga}	低 V_{gb}	V_d	V_s (接地)
位置 3	低 V_{gb}	V_{ga}	V_s (接地)	V_d
位置 4	高 V_{gb}	V_{ga}	V_s (接地)	V_d

[0068] 根据本发明的一实施例的非挥发性记忆体中记忆胞的读取方法,在读取记忆胞的

位置 1、2、3、4 时的偏压设定如表 2 所示。

[0069] 表 2

[0070]

	控制栅极 114a	控制栅极 114b	S/D 区 108	S/D 区 112
位置 1	V_r	$\gg V_{th}$	接地	V_{dr}
位置 2	V_r	$\gg V_{th}$	V_{dr}	接地
位置 3	$\gg V_{th}$	V_r	接地	V_{dr}
位置 4	$\gg V_{th}$	V_r	V_{dr}	接地

[0071] 根据本发明的一实施例,藉由组合使用源极侧注入效应及通道热电子注入效应来程序化具有电荷捕陷层的记忆胞,当用于由两个记忆胞组成的记忆胞组时,可以达成单一记忆胞组四位元资料储存。而且,根据本发明的一实施例的方法可以加快记忆胞的程序化速度以及获得较大的记忆体裕度 (memory window)。

[0072] 图 3 是绘示根据本发明的一实施例的作为开关晶体管的记忆胞的起始电压分布的示意图。藉由图 3 以说明如何取得栅极电压 V_{gb} 的电压值范围。

[0073] 在图 3 中,作为开关晶体管的记忆胞的原始起始电压分布曲线 200。当使用源极侧注入效应进行程序化时,可得到低边界起始电压分布曲线 202 与高边界起始电压分布曲线 204。根据低边界起始电压分布曲线 202 取得对应的最小栅极电压 V_{gb} 的电压值 X_1 ;根据高边界起始电压分布曲线 204 取得对应的最大栅极电压 V_{gb} 的电压值 X_2 。当利用通道热电子注入效应进行程序化时,可得到低边界起始电压分布曲线 206 以及高边界起始电压分布曲线 208。根据低边界起始电压分布曲线 206 取得对应的最小栅极电压 V_{gb} 的电压值 X_3 ;根据高边界起始电压分布曲线 208 取得对应的最小栅极电压 V_{gb} 的电压值 X_4 。

[0074] 为了使作为开关晶体管的记忆胞在微开启状态,较佳是将栅极电压 V_{gb} 的电压值范围设在电压值 X_1 至电压值 X_2 之间 (表 1 中所示的低 V_{gb})。当然,栅极电压 V_{gb} 的电压值的最小值可以略小于电压值 X_1 ;栅极电压 V_{gb} 的电压值的最大值可以略大于电压值 X_2 ,且小于电压值 X_3 。藉由使栅极电压 V_{gb} 的电压范围涵盖了电压值 X_1 与电压值 X_2 ,且不超过电压值 X_3 ,可以限制只利用源极侧注入效应来程序化记忆体。

[0075] 为了使作为开关晶体管的记忆胞在完全开启状态,较佳是将栅极电压 V_{gb} 的电压值设为大于电压值 X_3 (表 1 中所示的高 V_{gb})。

[0076] 为了使作为开关晶体管的记忆胞在微开启状态与完全开启状态之间变换,较佳是操作区域 210 设在电压值 X_1 至电压值 X_4 之间,亦即将栅极电压 V_{gb} 的电压值范围设在 X_1 至 X_4 之间。当然,栅极电压 V_{gb} 的电压值的最小值可以略小于电压值 X_1 ;栅极电压 V_{gb} 的电压值的最大值可以略大于电压值 X_4 。藉由使栅极电压 V_{gb} 的电压范围涵盖了电压值 X_1 与电压值 X_4 ,可以结合源极侧注入效应以及通道热电子注入效应来程序化记忆体。

[0077] 接着,说明将栅极电压 V_{gb} 施加到控制栅极 114a、114b,以使电荷储存层 106a、106b 下的通道区在微开启状态与完全开启状态之间变换的方法。

[0078] 图 4A 是绘示根据本发明的一实施例的记忆胞的程序化操作时施加电压脉波的时

序图。图 4B 是绘示根据本发明的一实施例的记忆胞的程序化操作时施加电压脉波次数与电压的关系图。在此,以使电子被捕陷在电荷储存层 106a 中靠近 S/D 区 110 的位置 2 以及电荷储存层 106a 中靠近 S/D 区 108 的位置 1 为例作说明。

[0079] 请参阅图 2、图 4A 及图 4B 所示,栅极电压 V_{ga} 施加到控制栅极 114a。电压 V_s 和在正值方向上高于 V_s 的电压 V_d 分别施加到 S/D 区 112、108,且 S/D 区 110 为浮置。栅极电压 V_{gb} 施加到控制栅极 114b,以使电荷储存层 106b 下的通道区在微开启状态与完全开启状态之间变换。其中施加栅极电压 V_{gb} 施加到控制栅极 114b 的方法包括施加具有不同强度的多个电压脉波 (Voltage Pulse) 至控制栅极 114b。

[0080] 如图 4A、图 4B 所示,将栅极电压 V_{gb} 以方形的电压脉波形式施加到控制栅极 114b。在进行程序化操作时,每一电压脉波的强度会以一常数增加,例如是以 0.5V 为常数。

[0081] 在只利用源极侧注入效应进行程序化的情况下,当第一次输入的栅极电压 V_{gb} 的值为 V_1 ,则电压值 V_1 例如是略小于电压值 X_1 ;最后一次输入的栅极电压 V_{gb} 的值为 V_2 ,则电压值 V_2 例如是大于电压值 X_2 且小于电压值 X_3 。

[0082] 在结合源极侧注入效应以及通道热电子注入效应进行程序化的情况下,当第一次输入的栅极电压 V_{gb} 的值为 V_1 ,则电压值 V_1 例如是小于电压值 X_1 ;最后一次输入的栅极电压 V_{gb} 的值为 V_2 ,则电压值 V_2 例如是大于电压值 X_4 。

[0083] 当然,不同强度的多个电压脉波 (Voltage Pulse) 可以根据任何组合的不同的变化强度施加。

[0084] 图 5A、图 5B 是绘示根据本发明的一实施例的记忆胞的程序化操作时施加电压脉波的时序图。

[0085] 如图 5A、图 5B 所示,将栅极电压 V_{gb} 以三角形电压脉波形式施加到控制栅极 114b。举例来说,在进行程序化操作时,三角形电压脉波的值从电压值 V_1 逐渐增加至电压值 V_2 或从电压值 V_2 逐渐减少至电压值 V_1 。其中,三角形电压脉波的斜率越小越好。

[0086] 在只利用源极侧注入效应进行程序化的情况下,电压值 V_1 例如是小于电压值 X_1 ,电压值 V_2 例如是大于电压值 X_2 且小于电压值 X_3 。

[0087] 在结合源极侧注入效应以及通道热电子注入效应进行程序化的情况下,电压值 V_1 例如是小于电压值 X_1 ,电压值 V_2 例如是大于电压值 X_4 。

[0088] 图 6A、图 6B 是绘示根据本发明的一实施例的记忆胞的程序化操作时施加电压脉波的时序图。

[0089] 如图 6A、图 6B 所示,将栅极电压 V_{gb} 以梯形电压脉波形式施加到控制栅极 114b。在进行程序化操作时,梯形电压脉波的值从电压值 V_1 逐渐增加至电压值 V_2 并维持一段时间后逐渐减少至电压值 V_1 ,或梯形电压脉波的值从电压值 V_2 逐渐减少至电压值 V_1 并维持一段时间后逐渐增加至电压值 V_2 。

[0090] 在只利用源极侧注入效应进行程序化的情况下,电压值 V_1 例如是小于电压值 X_1 ,电压值 V_2 例如是大于电压值 X_2 且小于电压值 X_3 。

[0091] 在结合源极侧注入效应以及通道热电子注入效应进行程序化的情况下,电压值 V_1 例如是小于电压值 X_1 ,电压值 V_2 例如是大于电压值 X_4 。

[0092] 本发明的一实施例中举了方形电压脉波、三角形电压脉波以及梯形电压脉波为例子作说明。当然只要将栅极电压 V_{gb} 设定成包含操作区域 210,也可以采用其他型式的电压

脉波。

[0093] 图 7 是绘示根据本发明的一实施例的一种非挥发性记忆体阵列的电路图。本发明的一实施例的程序化方法适用于此非挥发性记忆体阵列。

[0094] 请参阅图 7 所示,记忆体阵列包括排成行 / 列阵列的多个记忆胞 M11 ~ M54、多条字元线 WL1 ~ WL4 及多条位元线 BL1 ~ BL6。

[0095] 各记忆胞 M11 ~ M54 分别具有控制栅极。同一列中记忆胞 M11 ~ M54 以 S/D 区串接在一起构成记忆胞列 MR1 ~ MR5,且以每相邻两记忆胞为记忆胞组 C1 ~ C10。在记忆胞组 C1 ~ C10 中两记忆胞之间的 S/D 区为浮置。举例来说,记忆胞 M11 ~ M14 以 S/D 区串接在一起构成记忆胞列 MR1;记忆胞 M21 ~ M24 以 S/D 区串接在一起构成记忆胞列 MR2;依此类推,记忆胞 M51 ~ M54 以 S/D 区串接在一起构成记忆胞列 MR5。记忆胞 M11 及记忆胞 M12 构成一记忆胞组 C1;记忆胞 M13 及记忆胞 M14 构成一记忆胞组 C2;依此类推,记忆胞 M53 及记忆胞 M54 构成一记忆胞组 C10。

[0096] 多条字元线 WL1 ~ WL4 在行方向上平行排列。每一字元线 WL1 ~ WL4 与一行记忆胞的控制栅极耦接。举例来说,字元线 WL1 与一行记忆胞 M11 ~ M51 的控制栅极耦接;字元线 WL2 与一行记忆胞 M12 ~ M52 的控制栅极耦接;依此类推,字元线 WL4 与一行记忆胞 M14 ~ M54 的控制栅极耦接。

[0097] 多条位元线 BL1 ~ BL4 在列方向上平行排列。在同一列中,串接记忆胞组 C1 ~ C10 的 S/D 区交替地耦接至二位元线。举例来说,串接记忆胞组 C1 ~ C2 的 S/D 区交替地耦接至位元线 BL1 及 BL2;串接记忆胞组 C3 ~ C4 的 S/D 区交替地耦接至位元线 BL2 及 BL3;依此类推,串接记忆胞组 C9 ~ C10 的 S/D 区交替地耦接至位元线 BL5 及 BL6。

[0098] 而且,相邻的两记忆胞列 MR1 ~ MR5 会共用一条位元线。举例来说,记忆胞列 MR2 与记忆胞列 MR1 共用位元线 BL2,且记忆胞列 MR2 与记忆胞列 MR3 共用位元线 BL3;依此类推,记忆胞列 MR4 与记忆胞列 MR3 共用位元线 BL4,且记忆胞列 MR4 与记忆胞列 MR5 共用位元线 BL5。

[0099] 当程序化记忆胞 M31 时,在与其控制栅极耦接的字元线 WL1 上施加栅极电压 V_{ga} ,且与其属于同一个记忆胞组 C5 的相邻记忆胞 M32 的控制栅极所耦接的字元线 WL2 上施加栅极电压 V_{gb} ,以使记忆胞 M32 的通道区在微开启状态与完全开启状态之间变换,并分别从耦接的位元线 BL3 及位元线 BL4 施加电压 V_d 及电压 V_s ,记忆胞 M31 与记忆胞 M32 共用的 S/D 区为浮置,其中位元线 BL3 耦接被选记忆胞 M31 的 S/D 区、位元线 BL4 耦接相邻记忆胞 M32 的 S/D 区。如此可以利用源极侧注入效应及通道热电子注入效应,使电子注入电荷储存层。

[0100] 如图 7 所示,当各记忆胞的电荷储存层是电荷捕陷层时,可储存二位元(位元 A 及位元 B)在一个记忆胞中。藉由操控栅极电压 V_{gb} ,以使记忆胞 M32 的通道区处于微开启状态、完全开启状态或在微开启状态与完全开启状态之间变换,而程序化记忆胞 M31 的位元 A、位元 B 或位元 A 及位元 B 两者。

[0101] 另一方面,为了抑制与记忆胞组 C5 共用字元线 WL1、WL2 与位元线 BL3 的记忆胞组 C3 中的非选定记忆胞 M21 被程序化,可施加电压 V_a 到邻近位元线 BL。电压 V_a 例如是等于 0.5 倍至 1 倍的电压 V_d 。

[0102] 在一实施例中,若电压 V_a 值够大,使位元线 BL2 与位元线 BL1 之间形成大的电压

差,而可能使记忆胞 M11 被程序化。在此情况下,藉由在位于位元线 BL3 一侧的位元线 BL2、位元线 BL1 都施加电压 V_a ,可以抑制非选定记忆胞 M21、记忆胞 M11 被程序化。

[0103] 在另一实施例中,若电压 V_a 约等于 0.5 倍电压 V_d ,则位元线 BL3 与位元线 BL2 之间的电压差及位元线 BL2 与位元线 BL1 之间的电压差都很小,因此可以抑制非选定记忆胞 M21、记忆胞 M11 被程序化。

[0104] 此外,为了抑制与记忆胞组 C5 共用字元线 WL1、WL2 与位元线 BL4 的记忆胞组 C7 中的非选定记忆胞 M41 被程序化,可施加电压 V_b 到邻近位元线 BL4 的位元线 BL5。电压 V_b 例如是等于电压 V_s (例如,0V 或接地),因此可以抑制非选定记忆胞 M41 被程序化。而且,藉由使位元线 BL4 一侧的位元线 BL5、位元线 BL6 都施加电压 V_b (接地),可以抑制非选定记忆胞 M41、记忆胞 M51 被程序化。

[0105] 根据本发明的一实施例的记忆体阵列中记忆胞的程序化方法,藉由具有表 3 所示偏压设定来例示。

[0106] 表 3

	位元 A	位元 B	位元 A 及 B
WL1	V_{ga}	V_{ga}	V_{ga}
WL2	$V_{gb} (>X3)$	$V_{gb} (>X2 \text{ 且 } <X3)$	$V_{gb} (X1 \sim X4)$
BL3	V_d	V_d	V_d
BL4	V_s (0V 或接地)	V_s (0V 或接地)	V_s (0V 或接地)
未选取的 BL1 ~ BL2	V_a (0.5 ~ 1 倍的 V_d)	V_a (0.5 ~ 1 倍的 V_d)	V_a (0.5 ~ 1 倍的 V_d)
未选取的 BL5 ~ BL6	V_b (0V 或接地)	V_b (0V 或接地)	V_b (0V 或接地)
未选取的 WL3 ~ WL4	(0V 或接地)	(0V 或接地)	(0V 或接地)

[0107] 图 8 是根据本发明的一实施例的记忆体装置 800 的功能方框图。

[0108] 请参阅图 8 所示,记忆体装置 800 包括一控制器 810 (电路单元) 以及一非挥发性记忆体 820。其中控制器 810 会依据本发明的一实施例的方法来程序化非挥发性记忆体 820 内的记忆胞。

[0109] 综上所述,本发明的一实施例因利用源极侧注入效应程序化记忆胞,因此所施加的偏压较低,而且可以提升程序化速度。本发明的一实施例组合使用源极侧注入效应及通道热电子注入效应来程序化记忆胞,当用于由两个记忆胞组成的记忆胞组时,可以达成单一记忆胞组四位元资料储存。本发明的一实施例的方法可以加快记忆胞的程序化速度、提高元件集积度以及获得较大的记忆体裕度。

[0110] 以上所述,仅是本发明的较佳实施例而已,并非对本发明作任何形式上的限制,虽然本发明已以较佳实施例揭露如上,然而并非用以限定本发明,任何熟悉本专业的技术人

员,在不脱离本发明技术方案范围内,当可利用上述揭示的技术内容作出些许更动或修饰为等同变化的等效实施例,但凡是未脱离本发明技术方案内容,依据本发明的技术实质对以上实施例所作的任何简单修改、等同变化与修饰,均仍属于本发明技术方案的范围内。

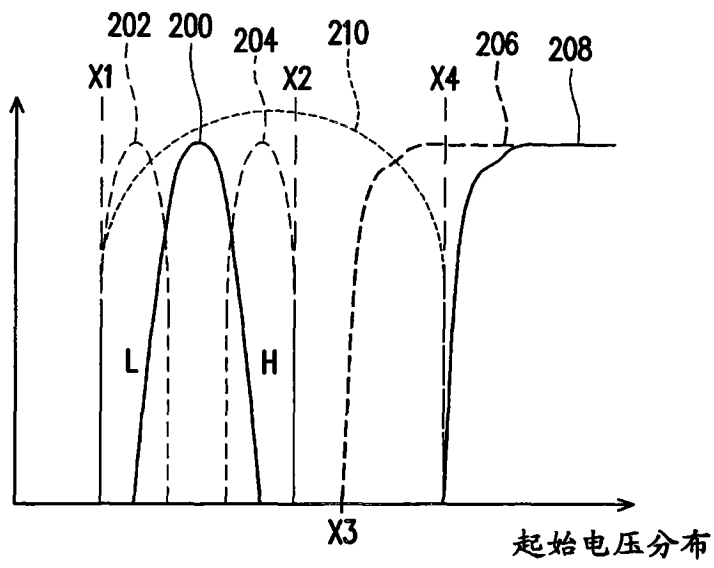


图 3

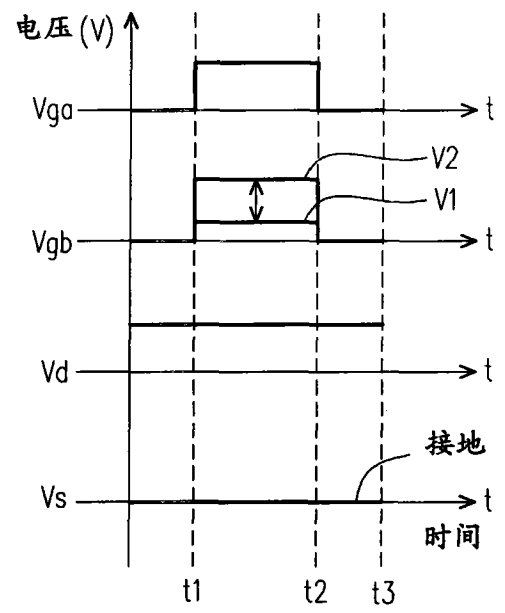


图 4A

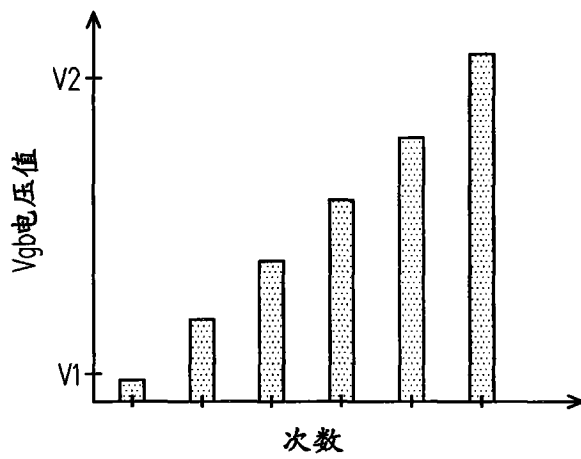


图 4B

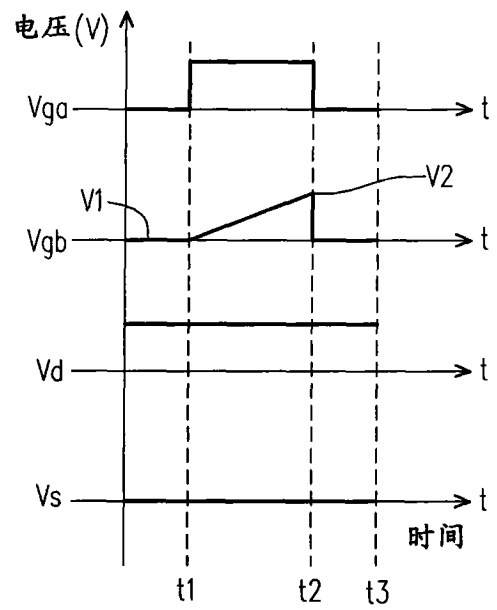


图 5A

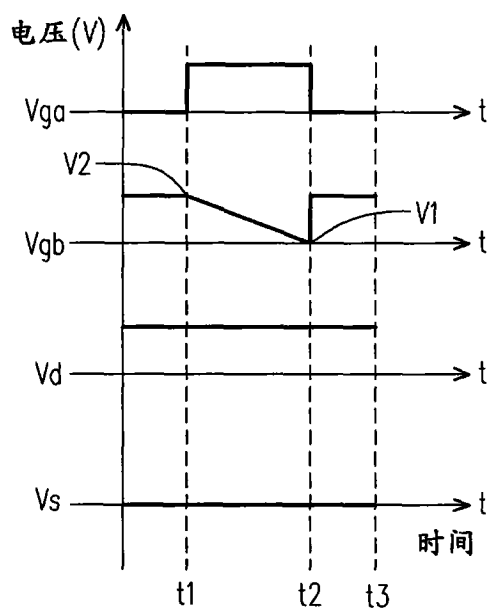


图 5B

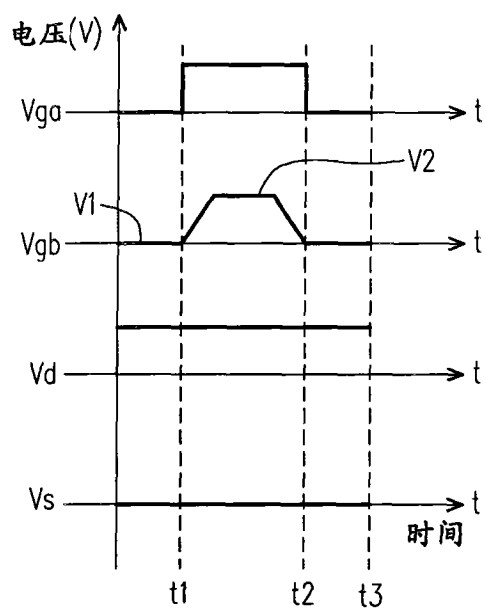


图 6A

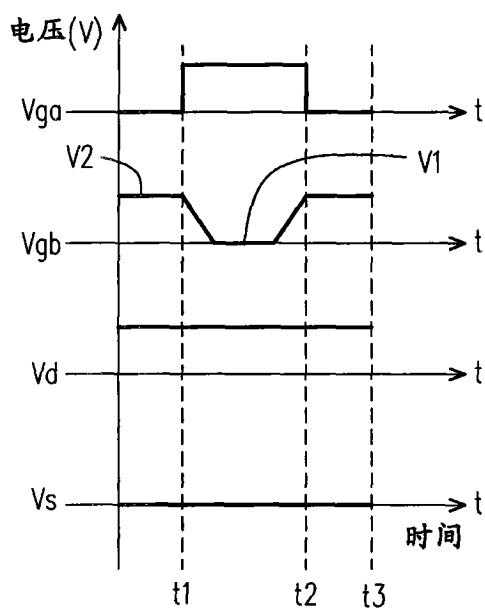


图 6B

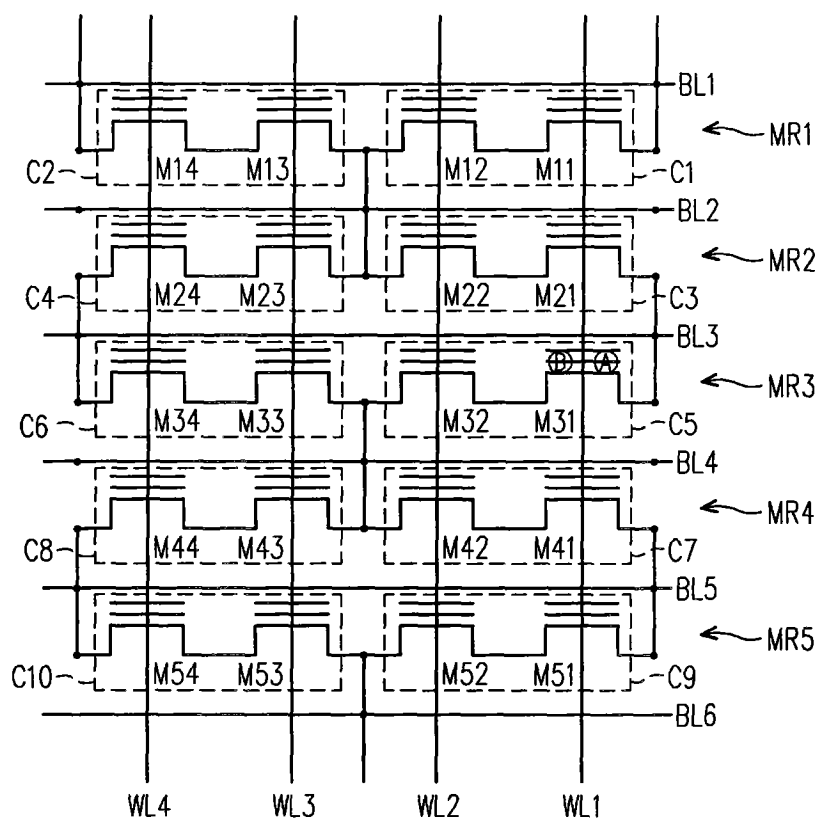


图 7

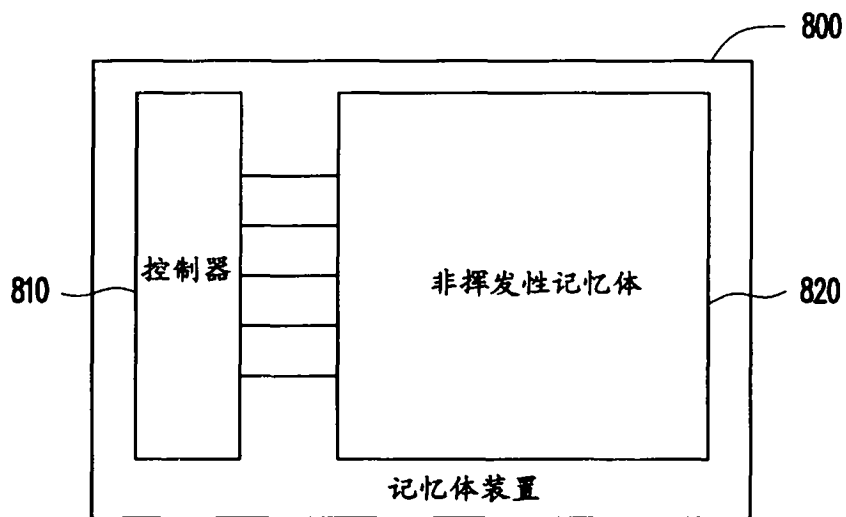


图 8