

WO 2015/125199 A1

明 細 書

発明の名称：表示装置およびその駆動方法

技術分野

[0001] 本開示は、表示装置に関し、特に電流に応じて発光する発光素子を用いた表示装置およびその駆動方法に関する。

背景技術

[0002] 近年、液晶表示装置や有機ＥＬ表示装置などのフラットパネル表示装置において、表示パネル基板と、ドライバＩＣを搭載したＣＯＦ（Chip On Film）基板との接続、および、ＣＯＦ基板とプリント基板との接続に異方性導電フィルムＡＣＦ（Anisotropic Conductive Film）を用いた熱圧着が利用されている。ここで、ＡＣＦとは、接着剤に導電性粒子を混ぜ合わせてテープ状に形成した材料である。ＡＣＦ接続では、異なる基板の端子部の間にＡＣＦを挟んで熱圧着することにより、導電性粒子を介して上下方向の端子間を電氣的に接続すると同時に同一基板内の端子間を絶縁し、接着剤の硬化により基板同士を接合する。このようなＡＣＦ接続はコネクタによる接続の代替として使用でき、コネクタに比べ多ピン、低背、狭ピッチでの接続を可能にする。

[0003] ところが、ＣＯＦ基板の両端部を熱圧着してプリント基板とＣＯＦ基板、ＣＯＦ基板と表示パネル基板とにＡＣＦ接続すると、大きい接続強度を得ることが難しい。しかも、ＣＯＦ基板はフレキシブルであるといっても、ある程度の剛性を有している。そのため、例えば、それぞれの基板の熱伸縮その他の原因によってＣＯＦ基板に歪みが繰り返し生じると、その歪み応力によってＣＯＦ基板の熱圧着された端部が剥離する恐れがある。

[0004] この点、特許文献１は、ＣＯＦ基板のフィルム端部がプリント基板や液晶表示パネルから剥離するのを防止する技術を開示している。すなわち、ＣＯＦ基板に開口部を設けることによりＣＯＦのフィルムの剛性を弱め、柔軟性を増して歪み応力を低減させ、剥離防止を図っている。

先行技術文献

特許文献

[0005] 特許文献1：特開2008-185978号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、特に、大型の表示パネルでは熱伸縮による歪も大きくなり、COF基板とプリント基板とが剥離する可能性があり、剥離した場合には、画素表示用の制御信号が適切に供給されないことから表示パネルの異常表示、異常発熱、破損等が生じ得るという問題がある。

[0007] 本開示は、COF基板とプリント基板との間の剥離を検出する表示装置およびその駆動方法を提供する。

課題を解決するための手段

[0008] 上記課題を解決するために本開示における表示装置は、行列状に配置された複数の画素回路を有する表示パネル基板と、前記表示パネル基板に接続された複数のフィルム基板と、前記表示パネル基板または前記フィルム基板に実装された、シフトレジスタを有する表示駆動用のドライバICと、前記複数のフィルム基板に接続され、前記ドライバICをカスケード接続する配線を有するプリント基板と、前記カスケード接続の最上流に位置するドライバICのカスケード入力端子に所定の信号を供給し、前記最上流に位置するドライバICよりも下流側に位置する少なくとも1つのドライバICのカスケード出力端子の信号を監視する制御部とを備える。

[0009] この構成によれば、フィルム基板（つまりCOF基板）とプリント基板との間の剥離を検出することができる。

発明の効果

[0010] 本開示における表示装置によれば、COF基板とプリント基板との間の剥離を検出することができる。

図面の簡単な説明

[0011] [図1]図 1 は、実施の形態 1 における表示装置および画素回路の構成例を示すブロック図である。

[図2]図 2 は、実施の形態 1 における表示装置の各種基板および配線の構成例と制御部のより詳細な構成例とを示す図である。

[図3A]図 3 A は、実施の形態 1 における表示装置における各種基板の実装例を示す図である。

[図3B]図 3 B は、図 3 A における B－B 断面を示す断面図である。

[図4A]図 4 A は、実施の形態 1 における表示装置を構成する基板の実装例の展開図である。

[図4B]図 4 B は、図 4 A における A 部の拡大図である。

[図5]図 5 は、図 2 における C 部の拡大図である。

[図6A]図 6 A は、制御部の動作を示すフローチャートである。

[図6B]図 6 B は、制御部の動作を示すフローチャートである。

[図7]図 7 は、実施の形態 2 における表示装置の各種基板および配線の構成例を示す図である。

[図8]図 8 は、表示装置の製品例を示す図である。

発明を実施するための形態

[0012] (実施の形態)

以下、適宜図面を参照しながら、実施の形態を詳細に説明する。但し、必要以上に詳細な説明は省略する場合がある。例えば、既によく知られた事項の詳細説明や実質的に同一の構成に対する重複説明を省略する場合がある。これは、以下の説明が不必要に冗長になるのを避け、当業者の理解を容易にするためである。また、各図は、必ずしも各寸法あるいは各寸法比等を厳密に図示したものではない。

[0013] なお、発明者は、当業者が本開示を十分に理解するために添付図面および以下の説明を提供するのであって、これらによって請求の範囲に記載の主題を限定することを意図するものではない。また、以下で説明する実施の形態は、いずれも本開示の好ましい 1 具体例を示すものである。以下の実施の形

態で示される数値、形状、材料、構成要素、構成要素の配置位置及び接続形態、ステップ、ステップの順序などは、一例であり、本開示を限定する趣旨ではない。以下の実施の形態における構成要素のうち、独立請求項に記載されていない構成要素については、本開示の課題を達成するのに必ずしも必要ではないが、より好ましい形態を構成するものとして説明される。

[0014] [1. 表示装置の構成]

図1は、実施の形態1における表示装置および画素回路の構成例を示すブロック図である。同図の表示装置1は、表示パネル基板20、ゲート駆動回路12a、12b、ソース駆動回路14、制御部30、パネル電源供給部32を備える。

[0015] [1-1. 表示パネル基板の概略構成]

まず、表示パネル基板20の回路構成例について説明する。

[0016] 表示パネル基板20は、行列状に配置された複数の画素回路16を備える。複数の画素回路16は、半導体プロセスによって表示パネル基板20に形成されている。表示パネル基板20の素材は、ガラス、またはアクリル等の樹脂である。

[0017] 複数の画素回路16は、 n 行 m 列に配置されている。 n 、 m は、表示部のサイズおよび解像度により異なる。例えば、HD (High Definition) と呼ばれる解像度で、行内にRGB3原色に対応する画素回路16が隣接する場合、 n は少なくとも1080行であり、 m は少なくとも1920×3列である。

[0018] 各画素回路16は、RGB三原色の何れかの発光画素を構成する。画素回路16は、発光素子41、駆動トランジスタ42、イネーブルスイッチ43、スキャンスイッチ44、容量素子45、REFスイッチ46、INIスイッチ47を備える。

[0019] また、 i (i は1～ n の整数) 番目の行に属する画素回路16は、ENB(i) 信号線、REF(i) 信号線、INI(i) 信号線、SCN(i) 信号線に接続される。これらの信号線には、イネーブル信号、REF制御信号、

I N I 制御信号、スキャン信号がゲート駆動回路 1 2 a、1 2 b から供給される。

[0020] また、j (j は 1 ~ m の整数) 番目の列に属する画素回路 1 6 は、D (j) 信号線に接続される。D (j) 信号線には、発光すべき輝度に応じた電圧がソース駆動回路 1 4 から供給される。

[0021] E N B (i) 信号線は、i 番目の行に属する画素回路 1 6 の発光および非発光を制御するイネーブル信号を伝達する。イネーブル信号は、該当する画素回路 1 6 内のイネーブルスイッチ 4 3 のオンおよびオフを制御する。

[0022] S C N (i) 信号線は、i 番目の行に属する画素回路 1 6 への画素データの書き込みを制御するスキャン信号 (書き込み信号とも呼ぶ) を伝達する。スキャン信号は、該当する画素回路 1 6 内のスキャンスイッチ 4 4 のオンおよびオフを制御する。

[0023] R E F (i) 信号線は、i 番目の行に属する画素回路 1 6 への基準電圧の供給を制御する R E F 制御信号を伝達する。この R E F 制御信号は、該当する画素回路 1 6 内の R E F スwitch 4 6 のオンおよびオフを制御する。

[0024] I N I (i) 信号線は、i 番目の行に属する画素回路 1 6 への初期化電圧の供給を制御する I N I 制御信号を伝達する。この I N I 制御信号は、該当する画素回路 1 6 内の I N I スwitch 4 7 のオンおよびオフを制御する。

[0025] D (j) 信号線は、j 番目の列に属する画素回路 1 6 への、画素の明るさを表す電圧を画素データとして伝達するデータ線である。この画素データは、スキャン信号の制御によって、D (j) 信号線からスキャンスイッチ 4 4 を介して容量素子 4 5 に与えられる。

[0026] 以下、上記各種信号線の名称中の (i)、(j) は、特に画素回路 1 6 の位置を特定しない場合には表記を省略する。

[0027] 図 1 の画素回路 1 6 において、発光素子 4 1 は、有機 E L 素子であり、O L E D (O r g a n i c L i g h t E m i t t i n g D i o d e) と呼ばれる発光素子の一例であり、自身を流れる電流の大きさに応じた明るさで発光する。発光素子 4 1 のアノードは駆動トランジスタ 4 2 のソースに接続

され、発光素子 4 1 のカソードは電源線 V E L に接続されている。

[0028] 駆動トランジスタ 4 2 は、発光素子 4 1 に電流を供給するドライバである。駆動トランジスタ 4 2 のゲートには容量素子 4 5 の一方の電極に接続され、ソースは容量素子 4 5 の他方の電極および発光素子 4 1 のアノードに接続される。この接続により、駆動トランジスタ 4 2 のゲートとソースとの間には容量素子 4 5 に保持された電圧つまり画素の明るさを表す電圧が印加される。これにより、駆動トランジスタ 4 2 は、容量素子 4 5 の電圧に応じた量の電流を発光素子 4 1 に供給する。

[0029] イネーブルスイッチ 4 3 は、駆動トランジスタ 4 2 による発光素子 4 1 への電流供給をオンおよびオフするスイッチトランジスタである。イネーブルスイッチ 4 3 は、イネーブル信号に従ってオンおよびオフする。イネーブル信号は、行列状の複数の画素回路 1 6 の行毎に画素回路 1 6 の発光をイネーブルおよびディスエーブルする。つまり、E N B 信号線がハイレベルのときにイネーブルスイッチ 4 3 は、オン状態であり駆動トランジスタ 4 2 に電圧 V T F T を供給する。また、イネーブル信号線がローレベルのときに、イネーブルスイッチ 4 3 は、オフ状態であり駆動トランジスタ 4 2 への電圧 V T F T の供給を遮断する。

[0030] スキャンスイッチ 4 4 は、容量素子 4 5 に画素の明るさを表す電圧を画素データとして書き込むためのスイッチトランジスタである。スキャン信号は、行列状の複数の画素回路 1 6 を行単位に選択し、選択された行に属する画素回路 1 6 に輝度を表す電圧を書き込むための書き込み信号である。つまり、S C N 信号線がハイレベルのときに、スキャンスイッチ 4 4 はオン状態でありデータ線の電圧を画素データとして容量素子 4 5 に書き込む。また、S C N 信号線がローレベルのときに、スキャンスイッチ 4 4 はオフであり、スキャン信号線と容量素子 4 5 との接続を電氣的に遮断する。

[0031] 容量素子 4 5 は、駆動トランジスタ 4 2 のゲートーソース間に画素の明るさを表す電圧を画素データとして保持する。

[0032] R E F スwitch 4 6 は、基準電圧 V R E F を容量素子 4 5 の一方の電極に

与えるためのスイッチトランジスタである。また、 I_{N1} スイッチ47は、初期化電圧 $V_{I_{N1}}$ を容量素子45の他方の電極に与えるためのスイッチトランジスタである。 R_{EF} スイッチ46および I_{N1} スイッチ47は、容量素子45に、それが接続された駆動トランジスタ42の実際のしきい値電圧に相当する電圧を保持させるしきい値補償動作に用いられる。より詳しくは、しきい値補償動作とは、複数の画素回路における駆動トランジスタのしきい値シフトを補償する動作をいう。そのため、まず、基準電圧 V_{REF} および初期化電圧 $V_{I_{N1}}$ を用いて、しきい値電圧補償動作の初期電圧として、容量素子45に最大しきい値電圧（つまり、しきい値シフトが起きた場合の最大値とみなされる電圧）を設定する。さらに、発光素子41が非発光の状態で駆動トランジスタ42に電流を流すことによって、設定された初期電圧を駆動トランジスタ42の実際のしきい値電圧に相当する電圧にまで低下させる。ここまでの、しきい値電圧補償動作である。これにより、容量素子45は、対応する駆動トランジスタ42の実際のしきい値電圧に相当する電圧を保持する。この状態で、容量素子45へ画素データの電圧を上乗せするように書き込む。

[0033] このように、しきい値電圧補償動作は、画素回路16間における経時変化としてのしきい値シフトによるしきい値のばらつきを補償するための動作であり、容量素子45への画素データの書き込み毎に、その直前に実行される。

[0034] 図1に示した表示パネル基板20は以上のように回路構成されている。

[0035] [1-2. 表示パネル基板20以外の構成]

次に、表示パネル基板20周辺の構成について説明する。

[0036] ゲート駆動回路12a、12bは、表示パネル基板20に対して同じゲート信号を同じタイミングで駆動する。これは、大型の表示装置における各信号線の配線容量による信号劣化を抑制するためである。小型の表示装置ではゲート駆動回路12は1つだけでよい。

[0037] ここで、ゲート信号とは、画素回路16内の各スイッチトランジスタのゲ

ートに入力される信号をいう。図1の画素回路16の場合、ゲート信号は、イネーブル信号、REF制御信号、INI制御信号、スキャン信号の4種類である。

[0038] ゲート駆動回路12aは、制御部30の制御に従って、ENB(1)信号線～ENB(n)信号線、SCN(i)信号線～SCN(n)信号線、REF(1)信号線～REF(n)信号線、INI(1)信号線～INI(n)信号線を走査する。言い換えれば、ゲート駆動回路12aは、画素回路の行単位に、イネーブル信号、スキャン信号、REF制御信号、INI制御信号を出力していく。

[0039] ゲート駆動回路12bは、ゲート駆動回路12aと同じ構成であり、ゲート駆動回路12aと同じ信号を同じタイミングで出力する。

[0040] ソース駆動回路14は、制御部30から入力される映像信号に基づいて、D(1)信号線～D(m)信号線に、それぞれの列に属する画素の明るさを表す電圧を供給する。つまり、D(1)信号線からD(m)信号線にそれぞれの画素の明るさを表す電圧を供給する。供給された電圧は、スキャン信号線により選択された行に属する画素回路16に書き込まれる。また、制御部30からソース駆動回路14に入力される映像信号は、例えば、RGB3原色の色毎のデジタルシリアルデータとして入力され、ソース駆動回路14内部で行単位の平行データに変換され、さらに行単位のアナログデータに変換される。

[0041] なお、ソース駆動回路14は、図1では1つだけ図示しているが、大型の表示装置では上下に2つのソース駆動回路を備え、同じ信号を同じタイミングで出力してもよい。

[0042] 制御部30は、表示装置全体の動作を制御する。外部からの映像信号の垂直同期信号、水平同期信号に従って、制御部30は、ゲート駆動回路12a、12bに対して走査の開始を指示し、ソース駆動回路14に対して上記のデジタルシリアルデータを供給する。

[0043] パネル電源供給部32は、表示パネル基板20の各画素回路16に各種電

圧を供給する。ここでいう各種電圧は、図 1 に示した画素回路例では、 V_{FT} 、 V_{EL} 、 V_{REF} 、 V_{INI} である。パネル電源供給部 32 は、制御部 30 の制御により、上記電圧のそれぞれの供給をオンおよびオフすることが可能である。

[0044] 以上のように表示パネル基板 20 の機能的な構成について説明した。

[0045] [1-3. 表示装置における各種基板および配線の構成と制御部の構成]
続いて、表示装置を構成する各種基板および配線の構成例と制御部の構成について説明する。

[0046] 図 2 は、実施の形態 1 における表示装置の各種基板および配線の構成例と制御部のより詳細な構成例とを示す図である。また、図 3 A は、実施の形態 1 における表示装置における各種基板の実装例を示す図である。図 4 A は、図 3 A に示した各種基板の実装例の展開図である。

[0047] なお、図 2、図 3 A、図 4 A は、図 1 の表示装置 1 の表示面とは反対の裏面を表している。なお、これらの図では参照の便宜上、図 1 に対して左右の配置関係を裏返しにしていない。つまり、これらの図の左側は図 1 の左側に対応し、これらの図の右側は図 1 の右側に対応するものとする。

[0048] 図 2、図 3 A、図 4 A に示すように、表示装置 1 は、表示パネル基板 20 と、プリント基板 23 a ~ 23 d、24 a ~ 24 d と、複数の COF 基板 34 a、34 b、35 a、35 b と、制御部 30 と、パネル電源供給部 32 とを備える。制御部 30 は、TCO 95、マイコン 31、制御信号生成部 33 を備える。制御部 30 は、プリント基板 23 a ~ 23 d、プリント基板 24 a ~ 24 d の何れか、または他のプリント基板に実装されている。また、パネル電源供給部 32 は、別のプリント基板に実装されている。

[0049] まず、図 1 と、図 2、図 3 A および図 4 A との対応関係を説明する。

[0050] 図 1 のゲート駆動回路 12 a は、図 2、図 3 A、図 4 A における表示パネル基板 20 の左辺側に配列された複数の COF 基板 34 a、プリント基板 23 a およびプリント基板 23 b に対応する。

[0051] 図 1 のゲート駆動回路 12 b は、図 2、図 3 A、図 3 B における表示パネ

ル基板 20 の右辺側に配列されたにおける複数の C O F 基板 34 b、プリント基板 23 c およびプリント基板 23 d に対応する。

[0052] 図 1 のソース駆動回路 14 は、図 2、図 3 A、図 3 B における 20 の上辺側に配列された複数の C O F 基板 35 a、プリント基板 24 a およびプリント基板 24 b に対応する。

[0053] また、図 1 ではソース駆動回路 14 を表示パネル基板 20 の上辺側の 1 つしか図示していないが、図 2、図 3 A、図 4 A では、ソース駆動回路 14 が表示パネル基板 20 の上辺側および下辺側に 2 つ備える場合を図示している。表示パネル基板 20 の下辺側に配列された複数の C O F 基板 35 b、プリント基板 24 c およびプリント基板 24 d は、もう 1 つの（つまり図 1 では図示されていない下辺側の）ソース駆動回路に対応する。

[0054] 次に、各種基板と、その接続について説明する。以下の説明において、C O F 基板 34 a、34 b の位置を特に特定しない場合には、単に C O F 基板 34 と表記する。C O F 基板 35 a、35 b も同様に C O F 基板 35 と表記する。プリント基板 23 a ~ 23 d、プリント基板 24 a ~ 24 d についても同様に、プリント基板 23、プリント基板 24 と表記する。

[0055] 表示パネル基板 20 は、図 1 に示したように行列状に配置された複数の画素回路 16 を有する。表示パネル基板 20 は、表示面の外周部において複数の C O F 基板 34 a、34 b、35 a、35 b と接続される。

[0056] C O F 基板 34 は、シフトレジスタを有する表示駆動用のゲートドライバ IC 121 が実装されたフィルム基板である。表示パネル基板 20 とプリント基板 23 または 24 と接続に介在する。

[0057] 図 3 B、図 4 B を用いこの接続について説明する。

[0058] 図 3 B は、図 3 A における B - B 断面を示す断面図である。図 3 B のように、C O F 基板 34 とプリント基板 23 c は、A C F (Anisotropic Conductive Film) を挟んで熱圧着されることにより、A C F 内の導電性粒子を介して端子間（つまり表示パネル基板 20 のパッドと C O F 基板 34 のパッド間）を電氣的に接続すると同時に同一基板内の端子間を絶縁し、接着剤の硬

化により接合されている。図3Bの破線の丸内の接続箇所39は、COF基板34の1つのパッドと表示パネル基板20の1つのパッドとのACFによる接続箇所である。

[0059] また、COF基板34と表示パネル基板20も、同様にACFを挟んで熱圧着により接合されている。

[0060] 図4Bは、図4AにおけるA部の拡大図である。図4Bのように、COF基板34は、ゲートドライバIC121が実装されたフィルム基板である。COF基板34のゲートドライバIC121を挟む両辺にはパッド列が形成されている。

[0061] COF基板34における表示パネル基板20側のパッド列は、ゲートドライバIC121のゲート信号出力端子と配線接続されている。ゲート信号端子に配線接続されたパッド列は、表示パネル基板20の上述したENB(i)信号線、SCN(i)信号線、REF(i)信号線、INI(i)信号線に接続箇所39を介して接続される。

[0062] COF基板34におけるプリント基板23側のパッド列は、ゲートドライバIC121のカスケード接続用のカスケード入力端子、カスケード出力端子、クロック信号入力端子等と配線接続されている。このパッド列は、接続箇所39を介してプリント基板23に接続される。ここで、ゲートドライバIC121のカスケード接続とは、ゲートドライバIC121内部のシフトレジスタと、隣接するCOF基板34のゲートドライバIC121内のシフトレジスタとを直列に接続することをいう。

[0063] [1-4. COF基板34内のドライバICの接続]

ゲートドライバIC121の接続についてさらに図5を用いて詳細に説明する。図5は、図2におけるC部の拡大図である。

[0064] 同図において、TCON95から出力されるゲート信号は、イネーブル信号、REF制御信号、スキャン信号、INI制御信号の4つであるものとする。ゲートドライバIC121は、この4つの信号をゲート信号として表示パネル基板20に走査および駆動するため4つのシフトレジスタ122を有

する。シフトレジスタ 122 のそれぞれは、直列接続された K 個の FF (Flip Flop) により構成されるシフトレジスタ回路と、シフトレジスタ回路各段の出力信号の駆動能力を高めてゲート信号として外部に駆動する出力バッファとを有する。シフトレジスタ 122 のそれぞれは、K (例えば K は 180) 段のシフトレジスタであって、同図のように、カスケード入力端子 C_i、カスケード出力端子 C_o、K 個のゲート信号出力端子 o₁ ~ o_K を有する。

[0065] まず、ゲート駆動回路 12b における 4 つのゲート信号のうちイネーブル信号に関するゲートドライバ IC 121 のカスケード接続について説明する。

[0066] 同図の最も左のシフトレジスタ 122 カスケード入力端子 C_i には、TC ON 95 からゲート信号線 94b (図 2) を介してイネーブル信号の原信号が入力される。シフトレジスタ 122 は、クロック信号に同期してシフト動作を行い、例えば、クロック信号の 1 番目の立ち上がりエッジにより 1 段目の FF に対応するゲート信号出力端子 o₁ からイネーブル信号が出力され、立ち上がりエッジ毎にシフト動作を行う。このシフト動作によって、表示パネル基板 20 の画素回路 16 の行を走査する。

[0067] さらに、クロック信号の K 番目のクロックの立ち上がりエッジにより K 段目の FF に対応するゲート信号出力端子 o_K からイネーブル信号が出力される。カスケード出力端子 C_o は、ゲート信号出力端子 o_K と同じ信号を出力する。このカスケード出力端子 C_o は、カスケード接続の下流側に隣接する COF 基板 34b の最も左のシフトレジスタ 122 のカスケード入力端子 C_i に、接続箇所 39、プリント基板 23 上の配線および他の接続箇所 39 を介して入力される。

[0068] このようにして、プリント基板 23 は、複数の COF 基板 34b のゲートドライバ IC 121 内の最も左のシフトレジスタ 122 をカスケード接続する配線を有している。例えば、K が 180 で、表示行が 1080 行の場合、6 つのゲートドライバ IC 121 がカスケード接続される。このカスケード接続により、6 つのゲートドライバ IC 121 それぞれの最も左のシフトレ

ジスタ 1 2 2 はカスケード接続（ここでは直列接続と同じ）されて、長い 1 本のシフトレジスタとして機能する。すなわち、6 つのゲートドライバ I C 1 2 1 における最も左のシフトレジスタ 1 2 2 のゲート信号出力端子（o 1 ～ o K）× 6 は、E N B（1）信号線～E N B（n）にイネーブル信号を走査する。

[0069] さらに、カスケード接続の最下流の位置するゲートドライバ I C 1 2 1 のカスケード出力端子は、図 2 に示すように戻り信号線 9 6 b を介して T C O N 9 5 に接続される。T C O N 9 5 は戻り信号線 9 6 b を監視することにより、剥離等を配線接続の異常を検出することができる。なお、戻り信号線 9 6 a、9 6 b は、カスケード接続の最上流に位置するドライバ I C よりも下流側に位置する少なくとも 1 つのドライバ I C のカスケード出力端子に接続されていればよい。

[0070] ゲート駆動回路 1 2 b における 4 つのゲート信号のうちイネーブル信号は、以上のように複数のゲートドライバ I C 1 2 1 においてカスケード接続される。

[0071] カスケード接続をネーブル信号について説明したが、図 5 に示すように、6 つのゲートドライバ I C 1 2 1 内の左から 2 つ目のシフトレジスタ 1 2 2 は、R E F 制御信号に対応する点以外は同様である。6 つのゲートドライバ I C 1 2 1 内の左から 3 つ目のシフトレジスタ 1 2 2 も I N I 制御信号に対応する点以外は同様である。また、6 つのゲートドライバ I C 1 2 1 内の左から 4 つ目のシフトレジスタ 1 2 2 もスキャン信号に対応する点以外は同様である。

[0072] また、ゲート駆動回路 1 2 a もゲート駆動回路 1 2 b と同様である。すなわち、複数の（例えば 6 つ）C O F 基板 3 4 a のそれぞれは、表示パネル基板 2 0 に接続され、シフトレジスタを有する表示駆動用のゲートドライバ I C 1 2 1 が実装されている。プリント基板 2 3 a および 2 3 b は、これらの C O F 基板 3 4 a に接続され、ゲートドライバ I C 1 2 1 をカスケード接続する配線を有している。制御部 3 0 は、カスケード接続の最上流に位置する

ゲートドライバIC 121のカスケード入力端子にゲート信号線94aを介してゲート信号を供給し、最下流に位置するゲートドライバIC 121のカスケード出力端子の信号を戻り信号線96aを介して監視する。

[0073] 続いて制御部30の構成について説明する。

[0074] 制御部30内のTCON95は、ゲート駆動回路12a内の複数のCOF基板34a内の、カスケード接続の最上流に位置するゲートドライバIC 121のカスケード入力端子にゲート信号線94aを介して所定の信号（例えばゲート信号）を供給し、最下流に位置するゲートドライバIC 121のカスケード出力端子の信号を戻り信号線96aを介して監視する。

[0075] また、TCON95は、ゲート駆動回路12bに対しても同様に、複数のCOF基板34b内の、カスケード接続の最上流に位置するゲートドライバIC 121のカスケード入力端子にゲート信号線94bを介して所定の信号（例えばゲート信号）を供給し、最下流に位置するゲートドライバIC 121のカスケード出力端子の信号を戻り信号線96bを介して監視する。

[0076] マイコン31は、TCON95の監視結果を受けて、異常が検出された場合には、ゲート信号の停止、パネル電源供給部32から表示パネル基板20への電源供給の停止等を行う。

[0077] 制御信号生成部33は、表示装置1の各部（例えばチューナー、リモコンからの信号受信部、音声信号出力部等）を制御する各種の制御信号を生成する。

[0078] なお、制御部30は、監視すべきカスケード出力端子の信号は、最下流に位置するゲートドライバIC 121でなくてもよい。例えば、カスケード接続の全てのゲートドライバIC 121のカスケード出力端子の信号でもよいし、カスケード接続の中間的な位置のゲートドライバIC 121のカスケード出力端子でもよい。つまり、制御部30は、最上流に位置するゲートドライバICよりも下流側に位置する少なくとも1つのゲートドライバICのカスケード出力端子の信号を監視すればよい。

[0079] [2. 動作]

以上のように構成された表示装置における、COF基板34の剥離を検出する動作例を説明する。この動作例は、主に制御部30内のTCON95およびマイコン31によりなされる。

[0080] 図6Aは、制御部30内のTCON95による上記動作を示すフローチャート例である。

[0081] まず、TCON95は、TCON95内のレジスタに正常コードを設定する(S60)。このレジスタはTCON95内の汎用レジスタの1つでよいし、専用のレジスタでもよい。正常コードの設定は、当該レジスタの初期化であって、例えば表示装置1の起動時に1回だけ実行すればよい。正常コードは、例えば全ビット0と定めれば、初期化動作におけるレジスタクリアと兼用できる。

[0082] 次に、TCON95は、ゲート信号線94aおよびゲート信号線94bにゲート信号またはテスト信号を同じタイミングで供給する(S62)。ゲート信号またはテスト信号の供給と同時にまたは先に、ゲート駆動回路12aおよび12bにシフト動作用のクロック信号も供給する。ゲート信号は、図5の例ではイネーブル信号、REF制御信号、INI制御信号、スキャン信号4つであり、通常の表示動作におけるゲート信号の出力を兼用してもよい。また、通常の表示動作をしていない期間に特定の信号パターンを有するテスト信号を出力してもよい。通常の表示動作をしていない期間は、例えば、表示装置1の起動時、表示装置1における映像信号の切り替え期間(例えば、チャンネル切り替え期間、映像入力源の切り替え期間)などでよい。また、テスト信号のパターンは、通常表示におけるゲート信号と同じ信号パターンでもよいし、クロック信号のような一定周期の信号パターンでもよいし、特定の信号パターンを有していればよい。

[0083] また、ENB信号線に対応するカスケード入力端子にテスト信号を出力してから監視が完了するまでの期間は、表示画面に予測不能な表示がされない制御することが望ましく、例えばVTF電源の供給を一時的に停止するようパネル電源供給部32を制御すればよい。

- [0084] また、E N B 信号線以外に対応するカスケード入力端子にテスト信号を出力してから監視が完了するまでの期間についても、表示画面に予測不能な表示がされない制御することが望ましく、例えばイネーブル信号をインアクティブに維持すればよい。
- [0085] 次に、T C O N 9 5 は、ゲート信号またはテスト信号の出力から一定時間の経過を待つ（S 6 4）。この一定期間は、ゲート信号またはテスト信号が、ゲート駆動回路 1 2 a および 1 2 b のシフト動作を経て戻り信号線 9 6 a および 9 6 b に現れるまでに時間であり、具体的には、（ゲート駆動回路 1 2 の全シフト段数）×（シフトクロック信号の 1 周期）に相当する時間である。
- [0086] 一定時間経過時に、T C O N 9 5 は、戻り信号線 9 6 a および 9 6 b からの信号を受信する（S 6 6）。さらに、T C O N 9 5 は、送信したゲート信号またはテスト信号の信号パターンと、受信した信号パターンとが一致するかどうか比較する（S 6 8）。T C O N 9 5 は、一致する場合（S 7 0 : Y e s）は正常と判断し処理を終了し、一致しない場合（S 7 0 : N o）は異常と判断し上記のレジスタに異常コードを設定する（S 7 2）。異常コードは、例えば、戻り信号線 9 6 a の 4 つの信号に対応する 4 ビットと、戻り信号線 9 6 b の 4 つの信号に対応する 4 ビットとを含む 8 ビットとしてもよい。各ビットは正常なら 0、異常なら 1 の値をとるようにすればよい。こうすれば、異常コードは、ゲート駆動回路 1 2 a とゲート駆動回路 1 2 b のどちらで異常が生じたのか、4 つの信号線のうちどの信号に異常が生じたのかを示すことができる。
- [0087] このように T C O N 9 5 は、C O F 基板 3 4 の剥離等の配線接続の異常を検出し、さらに、検出した異常を異常コードにより示すことができる。
- [0088] 続いて、T C O N 9 5 の上記処理を受けてマイコン 3 1 が行う処理について説明する。
- [0089] 図 6 B は、制御部 3 0 内のマイコン 3 1 の制御による動作例を示すフローチャートである。まず、マイコン 3 1 は、T C O N 9 5 内の上記のレジスタ

をポーリングする（S 7 4）。すなわち、マイコン 3 1 は、周期的にまたは所定のイベント発生時に上記のレジスタを読み出す。さらに、マイコン 3 1 は、読み出したデータが正常か否かを判定する（S 7 6）。マイコン 3 1 は、判定結果が正常である場合にはこの処理を終了する。また、マイコン 3 1 は、判定結果が異常である場合には、それ以降のイネーブル信号の出力を禁止する、つまり、複数の画素回路 1 6 の行毎に画素回路 1 6 の発光をイネーブルおよびディスエーブルするためのイネーブル信号を、ディスエーブルを示すレベルに固定するように T C O N 9 5 に指示する（S 7 8）。さらに、マイコン 3 1 は、複数の画素回路 1 6 に電圧 V T F T を供給する電源線への電力供給を停止するようにパネル電源供給部 3 2 を制御する（S 8 0）。

[0090] これにより、制御部 3 0 は、剥離等の配線接続の異常が発生したときに、ゲート信号が適切に供給されないことに起因する表示装置の異常表示、異常発熱および破損等を防止することができる。

[0091] なお、上記のステップ S 7 8、S 8 0 の代わりに、マイコン 3 1 は、次の（１）～（５）を行ってもよい。

[0092] （１）異常と判定されたゲート信号が、複数の画素回路 1 6 の行毎に画素回路 1 6 の発光をイネーブルおよびディスエーブルするためのイネーブル信号である場合、マイコン 3 1 は、イネーブル信号のレベルを、ディスエーブルを示すレベルに固定するように T C O N 9 5 に指示を出す。

[0093] （２）異常と判定されたゲート信号が、複数の画素回路 1 6 を行単位に選択し、選択された行に属する画素回路 1 6 に輝度を表す電圧を書き込むための書き込み信号（つまりスキャン信号）である場合、マイコン 3 1 は、複数の画素回路 1 6 に電源を供給する電源線への電力供給を停止するようにパネル電源供給部 3 2 を制御する。

[0094] （３）異常と判定されたゲート信号が、複数の画素回路 1 6 を行単位に選択し、選択された行に属する画素回路 1 6 に輝度を現す電圧を書き込むための書き込み信号（つまりスキャン信号）である場合、マイコン 3 1 は、複数の画素回路 1 6 の行毎に画素回路 1 6 の発光をイネーブルおよびディスエー

ブルするためのイネーブル信号のレベルを、ディスエーブルを示すレベルに固定する。

[0095] (4) 異常と判定されたゲート信号が、複数の画素回路 16 の行毎に画素回路の発光をイネーブルおよびディスエーブルするためのイネーブル信号、複数の画素回路 16 を行単位に選択し、選択された行に属する画素回路 16 に輝度を表す電圧を書き込むための書き込み信号（つまりスキャン信号）、複数の画素回路 16 の行毎に画素回路 16 に基準電圧を与える基準電圧設定信号（つまり REF 制御信号）、および、前記複数の画素回路の行毎に画素回路に初期電圧を与える初期電圧設定信号（つまり INI 制御信号）のいずれかである場合、マイコン 31 は、イネーブル信号のレベルを、ディスエーブルを示すレベルに固定し、または、複数の画素回路 16 に電圧 VTFT を供給する電源線への電力供給を停止するようにパネル電源供給部 32 を制御する。

[0096] (5) 異常と判定されたゲート信号が、イネーブル信号、書き込み信号（つまりスキャン信号）、REF 制御信号、および、INI 制御信号のいずれかである場合、マイコン 31 は、イネーブル信号、イネーブル信号、書き込み信号（つまりスキャン信号）、REF 制御信号、および、INI 制御信号のそれぞれレベルを、ディスエーブルを示すレベルに固定し、さらに複数の画素回路 16 に電圧 VTFT、VREF、VINI、VEL を供給する電源線それぞれへの電力供給を停止するようにパネル電源供給部 32 を制御する。

[0097] [3. 作用効果]

本実施の形態における表示装置によれば、COF 基板 34 とプリント基板 23 との間の剥離等の配線接続の異常を検出することができ、検出した異常の詳細を異常コードにより示すことができる。さらに、剥離等の配線接続の異常が発生したときに、ゲート信号が適切に供給されないことに起因する表示装置の異常表示、異常発熱および破損等を防止することができる。

[0098] なお、実施の形態 1 において、戻り信号線 96b が、カスケード接続の最

下流のゲートドライバ I C 1 2 1 のカスケード出力端子に接続される例を説明したが、これに限らない。つまり、戻り信号線 9 6 b は、カスケード接続されたゲートドライバ I C 1 2 1 のうち少なくとも 1 つのゲートドライバ I C 1 2 1 のカスケード出力端子と T C O N 9 5 とを接続すればよい。例えば、戻り信号線 9 6 b は、最上流から最下流までの全てのゲートドライバ I C 1 2 1 のカスケード出力端子のそれぞれと T C O N 9 5 とを接続するようにしてもよい。また、カスケード接続されたゲートドライバ I C 1 2 1 から選択された複数のゲートドライバ I C 1 2 1 のカスケード出力端子と T C O N 9 5 とを接続してもよい。

[0099] 戻り信号線 9 6 b を複数本備えることにより、マイコン 3 1 は、カスケード接続されたゲートドライバ I C 1 2 1 のどのゲートドライバ I C 1 2 1 までが正常なのか、どのゲートドライバ I C 1 2 1 から異常なのかを、より詳しく検出することができる。こうすれば、例えば、マイコン 3 1 は、最上流の 1 つだけが正常であり、それより下流が異常であると検出できた場合には、最上流の 1 個のゲートドライバ I C 1 2 1 に対応する K 個の画素回路行に対して、ユーザに異常を知らせるメッセージを表示することができる。

[0100] 戻り信号線 9 6 a についても、カスケード接続の最下流のゲートドライバ I C 1 2 1 のカスケード出力端子に接続される例を説明したが、これに限らず、上記と同様である。

[0101] また、図 6 A において、T C O N 9 5 は、S 7 2 においてマイコン 3 1 への割り込み信号を発生するようにしてもよい。こうすれば、マイコン 3 1 は、S 7 4 と S 7 6 を省略して、割り込み処理として S 7 8、S 8 0 を実行することができる。

[0102] (実施の形態 2)

次に、実施の形態 2 における表示装置について説明する。

[0103] 図 7 は、本実施の形態における表示装置の各種基板および配線の構成例を示す図である。同図は、図 2 と比べて、データ信号線 9 7 a、9 7 b、戻り信号線 9 8 a、9 8 b が追加されている点が異なる。以下異なる点を中心に

説明する。

- [0104] データ信号線 97 a、97 b は、図 2 では図示を省略していた信号線であり、表示装置内のチューナーから、または外部からの映像信号に含まれる画素データであって画素回路に供給すべき画素データを、TCON 95 からソース駆動回路 14 に供給する信号線である。このデータ信号線 97 a は、表示列の先頭に位置する COF 基板 35 a のカスケード入力端子に接続される。複数の COF 基板 35 a 内のソースドライバ IC 141 にカスケード接続される。つまり、複数の COF 基板 35 a 内のソースドライバ IC 141 のカスケード出力端子は、隣接する下流側の COF 基板 35 a 内のソースドライバ IC 141 のカスケード入力端子にプリント基板 24 を介して接続される。
- [0105] ソースドライバ IC 141 のそれぞれは、例えば、シフトレジスタと、シフトレジスタから並列出力される画素データをラッチするラッチ回路と、ラッチ回路の画素データをアナログ値に変換する m（m は画素回路の列数）個のデジタルーアナログ変換器と、デジタルーアナログ変換器から出力されるアナログ値を D（1）信号線～D（m）信号線に出力する出力バッファとを有する。
- [0106] 表示パネル基板 20 の上辺に位置する複数のソースドライバ IC 141 がカスケード接続されることにより、それらのソースドライバ IC 141 内のシフトレジスタは直列に接続され、m 段の長い 1 本のシフトレジスタを構成する。
- [0107] 戻り信号線 98 a は、カスケード接続の最下流に位置する COF 基板 35 a 内のソースドライバ IC 141 のカスケード出力端子から TCON 95 に接続され、画素データを TCON 95 にフィードバックする。
- [0108] TCON 95 は、戻り信号線 98 a の信号を監視することにより、COF 基板 35 a の剥離等の配線接続の異常を検出する。検出された異常は、レジスタに COF 基板 35 a の接続異常を示す異常コードとして書き込まれる。このレジスタは、図 6 A で説明したレジスタと同じであってもよいし、別の

レジスタであってもよい。

- [0109] マイコン31は、当該レジスタをポーリングし、異常コードが設定されている場合には、イネーブル信号のレベルを、ディスエーブルを示すレベルに固定し、または、複数の画素回路16に電源を供給する電源線への電力供給を停止するように電源供給部を制御する。
- [0110] 以上、図7の戻り信号線98aに関して説明したが、図7の戻り信号線98bに関しても同様である。すなわち、表示パネル基板20の下辺側のCOF基板35bについても同様である。
- [0111] このように実施の形態2における表示装置は、ソースドライバIC141を実装するCOF基板34の剥離等の接続異常を検出するだけでなく、ソースドライバIC141を実装するCOF基板35の剥離等の接続異常も検出することができる。さらに、剥離等の配線接続の異常が発生したときに、ゲート信号またはデータ信号が適切に供給されないことに起因する表示装置の異常表示、異常発熱および破損等を防止することができる。
- [0112] なお、実施の形態2において、戻り信号線98aが、カスケード接続の最下流のソースドライバIC141のカスケード出力端子に接続される例を説明したが、これに限らない。つまり、戻り信号線98aは、カスケード接続されたソースドライバIC141のうち少なくとも1つのソースドライバIC141のカスケード出力端子とTCON95とを接続すればよい。例えば、戻り信号線98aは、最上流から最下流までの全てのソースドライバIC141のカスケード出力端子のそれぞれとTCON95とを接続するようにしてもよい。また、カスケード接続されたソースドライバIC141から選択された複数のソースドライバIC141のカスケード出力端子とTCON95とを接続してもよい。
- [0113] 戻り信号線98aを複数本備えることにより、マイコン31は、カスケード接続されたソースドライバIC141のどのソースドライバIC141までが正常なのか、どのソースドライバIC141から異常なのかを、より詳しく検出することができる。こうすれば、例えば、マイコン31は、最上流

の1つだけが正常であり、それより下流が異常であると検出できた場合には、最上流の1個のソースドライバIC141に対応するK個の画素回路行に対して、ユーザに異常を知らせるメッセージを表示することができる。

[0114] 戻り信号線98bについても、カスケード接続の最下流のソースドライバIC141のカスケード出力端子に接続される例を説明したが、これに限らず、上記と同様である。

[0115] なお、各実施の形態において、TCON95は、戻り信号線96a、96b、98a、98bの信号と、ゲート信号線94a、94b、データ信号線97a、97bにTCON95が出力した元の信号とを比較することによって剥離等の配線異常を判定しているが、これに限らない。例えば、TCON95は、戻り信号線96a、96b、98a、98bそれぞれの信号が変化しているか否かによって正常か異常かを判定してもよい。例えば、戻り信号線96a、96b、98a、98bのそれぞれ信号が、通常表示において1フレーム期間以上の期間において信号レベルの変化がある場合は正常と判断し、変化がない場合は異常と判断してもよい。

[0116] また、戻り信号線96a、96bは、上記のゲート信号に限らず、ゲートドライバIC121のカスケード接続により伝達される信号であればよい。例えば、ゲートドライバIC121に供給されるシフト動作のクロック信号であってもよい。

[0117] 戻り信号線98a、968は、上記のデータ信号に限らず、ソースドライバIC141のカスケード接続により伝達される信号であればよい。例えば、ソースドライバIC141に供給されるシフト動作のクロック信号であってもよい。

[0118] 以上説明してきたように、本開示の1態様に係る表示装置は、行列状に配置された複数の画素回路を有する表示パネル基板と、前記表示パネル基板に接続された複数のフィルム基板と、前記表示パネル基板または前記フィルム基板に実装された、シフトレジスタを有する表示駆動用のドライバICと、前記複数のフィルム基板に接続され、前記ドライバICをカスケード接続す

る配線を有するプリント基板と、前記カスケード接続の最上流に位置するドライバICのカスケード入力端子に所定の信号を供給し、前記最上流に位置するドライバICよりも下流側に位置する少なくとも1つのドライバICのカスケード出力端子の信号を監視する制御部とを備える。ここで、ドライバICは、例えばゲートドライバIC121またはソースドライバIC141である。また、フィルム基板は、例えばCOF基板34a、34bまたはCOF基板35a、35bである。

[0119] この構成によれば、フィルム基板の剥離等の接続異常を検出することができる。

[0120] ここで、前記制御部は、前記所定の信号と前記カスケード出力端子の信号とを比較し、一致しない場合は異常と判定してもよい。

[0121] この構成によれば、配線接続が正常か異常かを判定することができる。

[0122] ここで、前記所定の信号は、前記複数の画素回路の行毎に画素回路の発光をイネーブルおよびディスエーブルするためのイネーブル信号であり、前記制御部は、異常と判定されたとき、前記複数の画素回路に電源を供給する電源線への電力供給を停止するように前記電源供給部を制御してもよい。

[0123] この構成によれば、イネーブル信号のカスケード接続が異常である場合に、複数の画素回路への電源供給を停止するので、配線異常に起因する異常発熱および破損等を防止することができる。

[0124] ここで、前記所定の信号は、前記複数の画素回路の行毎に画素回路の発光をイネーブルおよびディスエーブルするためのイネーブル信号であり、前記制御部は、異常と判定されたとき、前記イネーブル信号のレベルを、ディスエーブルを示すレベルに固定してもよい。

[0125] この構成によれば、イネーブル信号のカスケード接続が異常である場合に、複数の画素回路への電源供給を停止するので、配線異常に起因する異常表示を防止することができる。

[0126] ここで、前記所定の信号は、前記複数の画素回路を行単位に選択し、選択された行に属する画素回路に輝度を表す電圧を書き込むための書き込み信号

であり、前記制御部は、異常と判定されたとき、前記複数の画素回路に電源を供給する電源線への電力供給を停止するように電源供給部を制御してもよい。

[0127] この構成によれば、書き込み信号（つまりスキャン信号）のカスケード接続が異常である場合に、複数の画素回路への電源供給を停止するので、配線異常に起因する異常発熱および破損等を防止することができる。

[0128] ここで、前記所定の信号は、前記複数の画素回路の行単位に選択し、選択された行に属する画素回路に輝度を表す電圧を書き込むための書き込み信号であり、前記制御部は、異常と判定されたとき、前記複数の画素回路の行毎に画素回路の発光をイネーブルおよびディスエーブルするためのイネーブル信号のレベルを、ディスエーブルを示すレベルに固定してもよい。

[0129] この構成によれば、書き込み信号（つまりスキャン信号）のカスケード接続が異常である場合に、複数の画素回路への電源供給を停止するので、配線異常に起因する異常表示を防止することができる。

[0130] ここで、前記所定の信号は、前記複数の画素回路の行毎に画素回路の発光をイネーブルおよびディスエーブルするためのイネーブル信号、前記複数の画素回路の行単位に選択し選択された行に属する画素回路に輝度を表す電圧を書き込むための書き込み信号、前記複数の画素回路の行毎に画素回路に基準電圧を与える基準電圧設定信号、および、前記複数の画素回路の行毎に画素回路に初期電圧を与える初期電圧設定信号を含み、前記制御部は、前記所定の信号の何れかが異常であると判定されたとき、前記イネーブル信号のレベルを、ディスエーブルを示すレベルに固定し、または、前記複数の画素回路に電源を供給する電源線への電力供給を停止するように電源供給部を制御してもよい。

[0131] この構成によれば、いずれかのゲート信号におけるカスケード接続が異常である場合に、配線異常に起因する異常表示、異常発熱および破損等を防止することができる。

[0132] ここで、前記所定の信号は、前記複数の画素回路の1つに供給すべき画素

データを表す信号であり、前記制御部は、異常であると判定されたとき、前記複数の画素回路の行毎に画素回路の発光をイネーブルおよびディスエーブルするためのイネーブル信号のレベルを、ディスエーブルを示すレベルに固定し、または、前記複数の画素回路に電源を供給する電源線への電力供給を停止するように電源供給部を制御してもよい。

[0133] この構成によれば、画素データを表す信号のカスケード接続が異常である場合に、複数の画素回路への電源供給を停止するので、配線異常に起因する異常表示を防止し、または、異常発熱および破損等を防止することができる。

[0134] ここで、前記複数のフィルム基板の一部は、前記表示パネル基板の一辺の表面側に接続され、前記複数のフィルム基板の他の一部は、前記一辺に対向する他辺の表面側に接続され、前記プリント基板は、前記一辺に対応するフィルム基板の前記ドライバICをカスケード接続する配線と、前記他辺に対応するフィルム基板の前記ドライバICをカスケード接続する配線とを有し、前記制御部は、前記一辺に対応するドライバICのうち最上流のドライバICのカスケード入力端子、および、前記他辺に対応するドライバICのうち最上流のドライバICのカスケード入力端子に同じ所定の信号を同じタイミングで供給し、前記一辺に対応する最上流のドライバICよりも下流側のドライバICのカスケード出力端子、および、前記他辺に対応する最上流のドライバICよりも下流側のドライバICのカスケード出力端子のそれぞれの信号を監視してもよい。

[0135] この構成によれば、表示パネル基板の一辺と他辺のそれぞれにおいてフィルム基板の剥離等の接続異常を検出することができる。

[0136] また、本開示の1態様における表示装置の駆動方法は、行列状に配置された複数の画素回路を有する表示パネル基板と、前記表示パネル基板に接続された複数のフィルム基板と、前記表示パネル基板または前記フィルム基板に実装された、シフトレジスタを有する表示駆動用のドライバICと、前記複数のフィルム基板に接続され、前記ドライバICをカスケード接続する配線

を有するプリント基板とを備える表示装置の駆動方法であって、前記カスケード接続の最上流に位置するドライバICのカスケード入力端子に所定の信号を供給するステップと、前記最上流に位置するドライバICよりも下流側に位置する少なくとも1つのドライバICのカスケード出力端子の信号を監視するステップとを有する。

[0137] この構成によれば、フィルム基板の剥離等の接続異常を検出することができる。

[0138] 以上、表示装置およびその駆動方法について、実施の形態に基づいて説明したが、本開示は、この実施の形態に限定されるものではない。本開示における技術は、これらに限定されず、適宜、変更、置き換え、付加、省略などを行った実施の形態にも適用可能である。本開示の趣旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態に施したものや、異なる実施の形態における構成要素を組み合わせて構築される形態も、一つまたは複数の態様の範囲内に含まれる。

[0139] また、上述した表示装置については、フィルム上にドライバICが実装されたフィルム基板を用いた構成（COF構成）だけではなく、表示パネル基板上にドライバICが実装され、フィルム基板上にはドライバICが実装されていない構成（COG（Chip On Glass）構成）でもよい。

[0140] また、上述した表示装置については、例えば図8に示すようなフラットパネルディスプレイ装置として利用することができる。また、テレビ受像機、パーソナルコンピュータ、携帯電話機など、表示装置を有するあらゆる電子機器に適用することができる。

[0141] なお、上述した表示パネルは、有機EL表示装置に限らず、例えば、液晶表示装置、PDP（Plasma Display Panel）表示装置などのフラットパネル表示装置でもよい。

産業上の利用可能性

[0142] 本開示は、テレビ受像機、情報機器のディスプレイなどの表示装置に利用できる。

符号の説明

- [0143] 1 表示装置
- 1 2、1 2 a、1 2 b ゲート駆動回路
 - 1 4 ソース駆動回路
 - 1 6 画素回路
 - 2 0 表示パネル基板
 - 2 3、2 3 a～2 3 d プリント基板
 - 2 4、2 4 a～2 4 d プリント基板
 - 3 0 制御部
 - 3 1 マイコン
 - 3 2 パネル電源供給部
 - 3 3 制御信号生成部
 - 3 4、3 4 a、3 4 b COF基板
 - 3 5、3 5 a、3 5 b COF基板
 - 3 9 接続箇所
 - 4 1 発光素子
 - 4 2 駆動トランジスタ
 - 4 3 イネーブルスイッチ
 - 4 4 スキャンスイッチ
 - 4 5 容量素子4 5
 - 4 6 REFスイッチ
 - 4 7 INIスイッチ
 - 9 4 a、9 4 b ゲート信号線
 - 9 5 TCON9 5
 - 9 6 a、9 6 b 戻り信号線
 - 9 7 a、9 7 b データ信号線
 - 9 8 a、9 8 b 戻り信号線
 - 1 2 1 ゲートドライバIC

1 2 2 シフトレジスタ

1 4 1 ソースドライバIC

C i カスケード入力端子

C o カスケード出力端子

o 1 ~ o K ゲート信号出力端子

請求の範囲

- [請求項1] 行列状に配置された複数の画素回路を有する表示パネル基板と、
前記表示パネル基板に接続された複数のフィルム基板と、
前記表示パネル基板または前記フィルム基板に実装された、シフトレジスタを有する表示駆動用のドライバICと、
前記複数のフィルム基板に接続され、前記ドライバICをカスケード接続する配線を有するプリント基板と、
前記カスケード接続の最上流に位置するドライバICのカスケード入力端子に所定の信号を供給し、前記最上流に位置するドライバICよりも下流側に位置する少なくとも1つのドライバICのカスケード出力端子の信号を監視する制御部と
を備える表示装置。
- [請求項2] 前記制御部は、前記所定の信号と前記カスケード出力端子の信号とを比較し、一致しない場合は異常と判定する
請求項1に記載の表示装置。
- [請求項3] 前記所定の信号は、前記複数の画素回路の行毎に画素回路の発光をイネーブルおよびディスエーブルするためのイネーブル信号であり、
前記制御部は、異常と判定されたとき、前記複数の画素回路に電源を供給する電源線への電力供給を停止するように電源供給部を制御する
請求項2に記載の表示装置。
- [請求項4] 前記所定の信号は、前記複数の画素回路の行毎に画素回路の発光をイネーブルおよびディスエーブルするためのイネーブル信号であり、
前記制御部は、異常と判定されたとき、前記イネーブル信号のレベルを、ディスエーブルを示すレベルに固定する
請求項2に記載の表示装置。
- [請求項5] 前記所定の信号は、前記複数の画素回路を行単位に選択し、選択された行に属する画素回路に輝度を表す電圧を書き込むための書き込み

信号であり、

前記制御部は、異常と判定されたとき、前記複数の画素回路に電源を供給する電源線への電力供給を停止するように電源供給部を制御する

請求項 2 に記載の表示装置。

[請求項6]

前記所定の信号は、前記複数の画素回路の行単位に選択し、選択された行に属する画素回路に輝度を表す電圧を書き込むための書き込み信号であり、

前記制御部は、異常と判定されたとき、前記複数の画素回路の行毎に画素回路の発光をイネーブルおよびディスエーブルするためのイネーブル信号のレベルを、ディスエーブルを示すレベルに固定する

請求項 2 に記載の表示装置。

[請求項7]

前記所定の信号は、前記複数の画素回路の行毎に画素回路の発光をイネーブルおよびディスエーブルするためのイネーブル信号、前記複数の画素回路の行単位に選択し選択された行に属する画素回路に輝度を表す電圧を書き込むための書き込み信号、前記複数の画素回路の行毎に画素回路に基準電圧を与える基準電圧設定信号、および、前記複数の画素回路の行毎に画素回路に初期電圧を与える初期電圧設定信号を含み、

前記制御部は、前記所定の信号の何れかが異常であると判定されたとき、前記イネーブル信号のレベルを、ディスエーブルを示すレベルに固定し、または、前記複数の画素回路に電源を供給する電源線への電力供給を停止するように電源供給部を制御する

請求項 2 に記載の表示装置。

[請求項8]

前記所定の信号は、前記複数の画素回路の 1 つに供給すべき画素データを表す信号であり、

前記制御部は、異常であると判定されたとき、前記複数の画素回路の行毎に画素回路の発光をイネーブルおよびディスエーブルするため

のイネーブル信号のレベルを、ディスエーブルを示すレベルに固定し、または、前記複数の画素回路に電源を供給する電源線への電力供給を停止するように電源供給部を制御する

請求項 2 に記載の表示装置。

[請求項 9]

前記複数のフィルム基板の一部は、前記表示パネル基板の一辺の表面側に接続され、前記複数のフィルム基板の他の一部は、前記一辺に対向する他辺の表面側に接続され、

前記プリント基板は、前記一辺に対応するフィルム基板の前記ドライバ IC をカスケード接続する配線と、前記他辺に対応するフィルム基板の前記ドライバ IC をカスケード接続する配線とを有し、

前記制御部は、

前記一辺に対応するドライバ IC のうち最上流のドライバ IC のカスケード入力端子、および、前記他辺に対応するドライバ IC のうち最上流のドライバ IC のカスケード入力端子に同じ所定の信号を同じタイミングで供給し、

前記一辺に対応する最上流のドライバ IC よりも下流側のドライバ IC のカスケード出力端子、および、前記他辺に対応する最上流のドライバ IC よりも下流側のドライバ IC のカスケード出力端子のそれぞれの信号を監視する

請求項 1 ～ 7 のいずれか 1 項に記載の表示装置。

[請求項 10]

行列状に配置された複数の画素回路を有する表示パネル基板と、

前記表示パネル基板に接続された複数のフィルム基板と、

前記表示パネル基板または前記フィルム基板に実装された、シフトレジスタを有する表示駆動用のドライバ IC と、

前記複数のフィルム基板に接続され、前記ドライバ IC をカスケード接続する配線を有するプリント基板と

を備える表示装置の駆動方法であって、

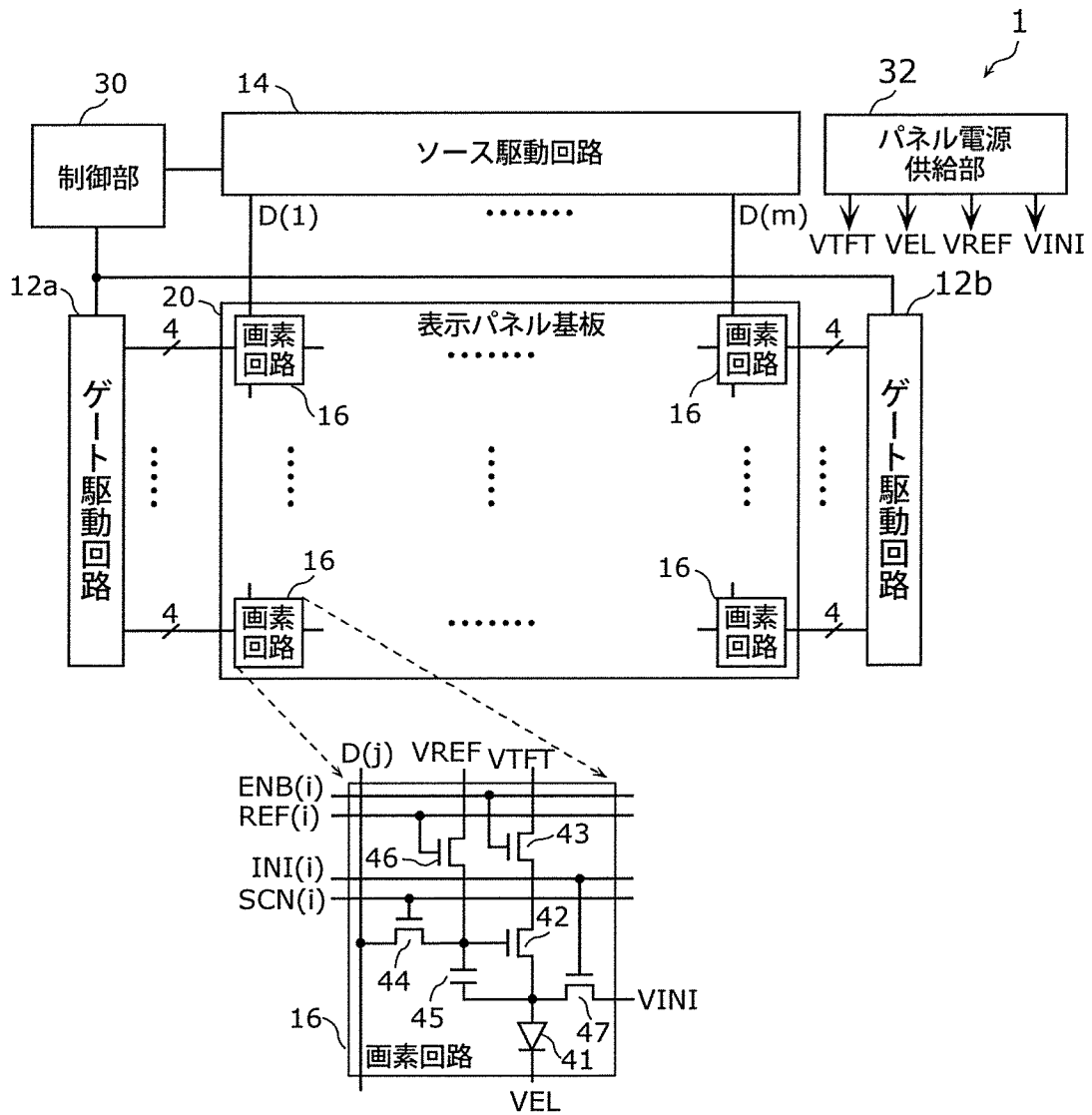
前記カスケード接続の最上流に位置するドライバ IC のカスケード

入力端子に所定の信号を供給するステップと、

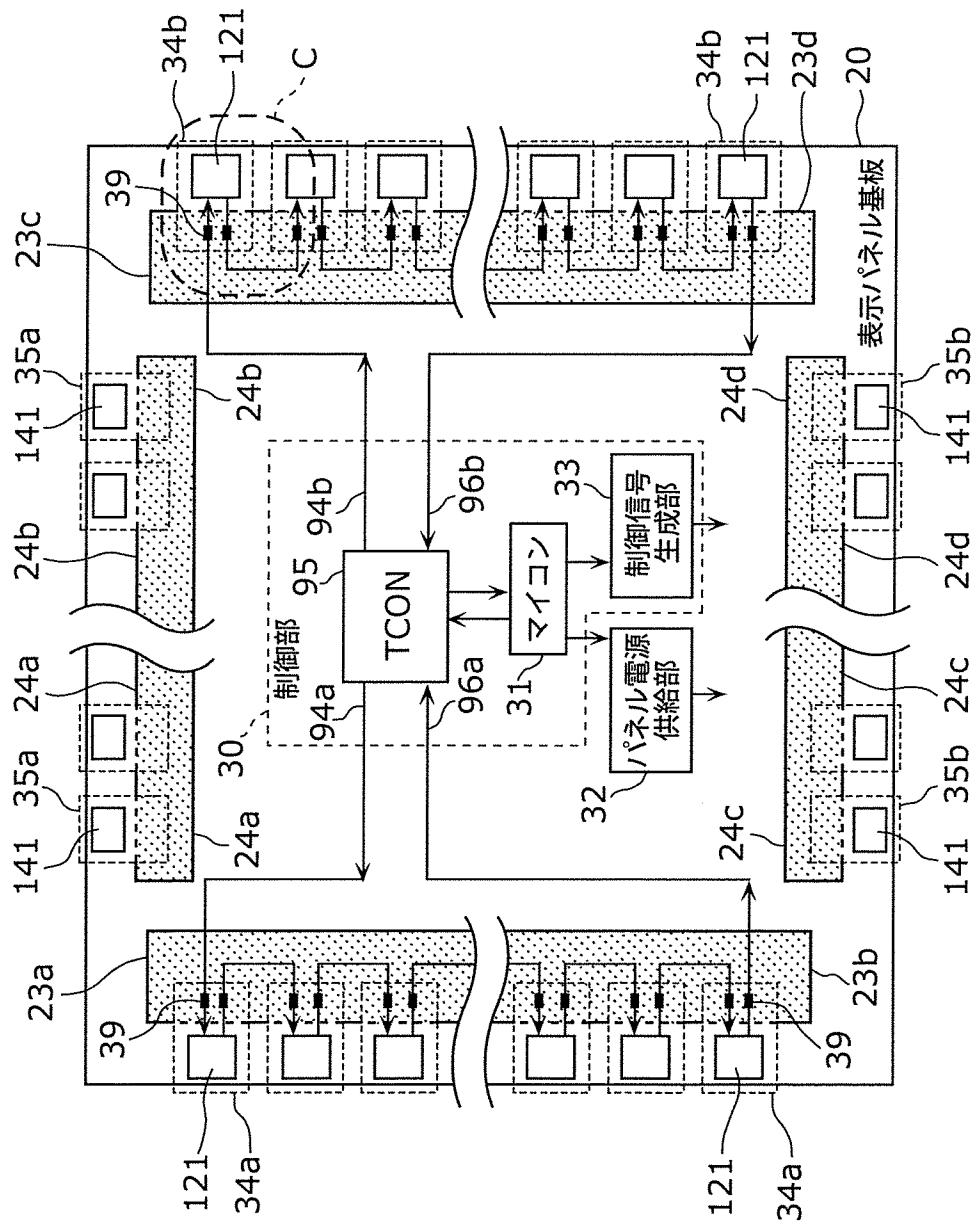
前記最上流に位置するドライバICよりも下流側に位置する少なくとも1つのドライバICのカスケード出力端子の信号を監視するステップと

を有する表示装置の駆動方法。

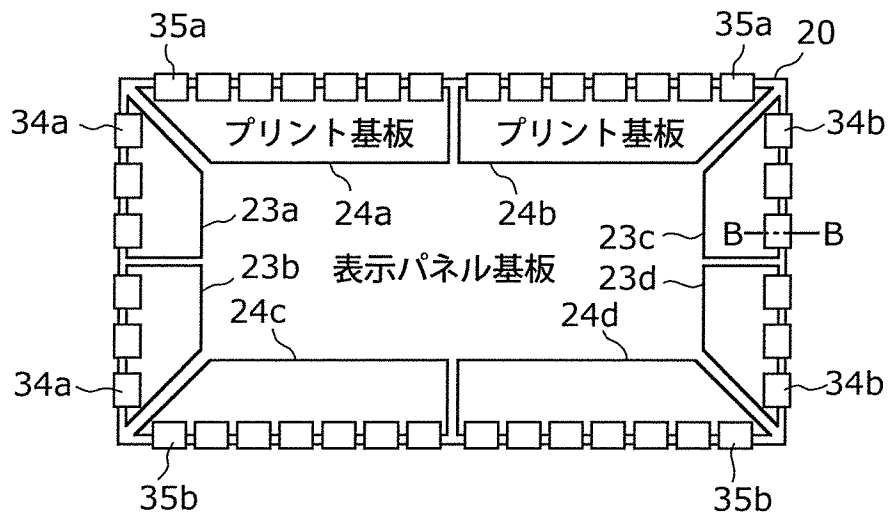
[図1]



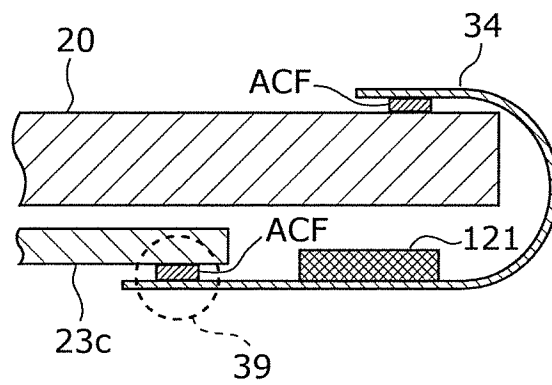
[図2]



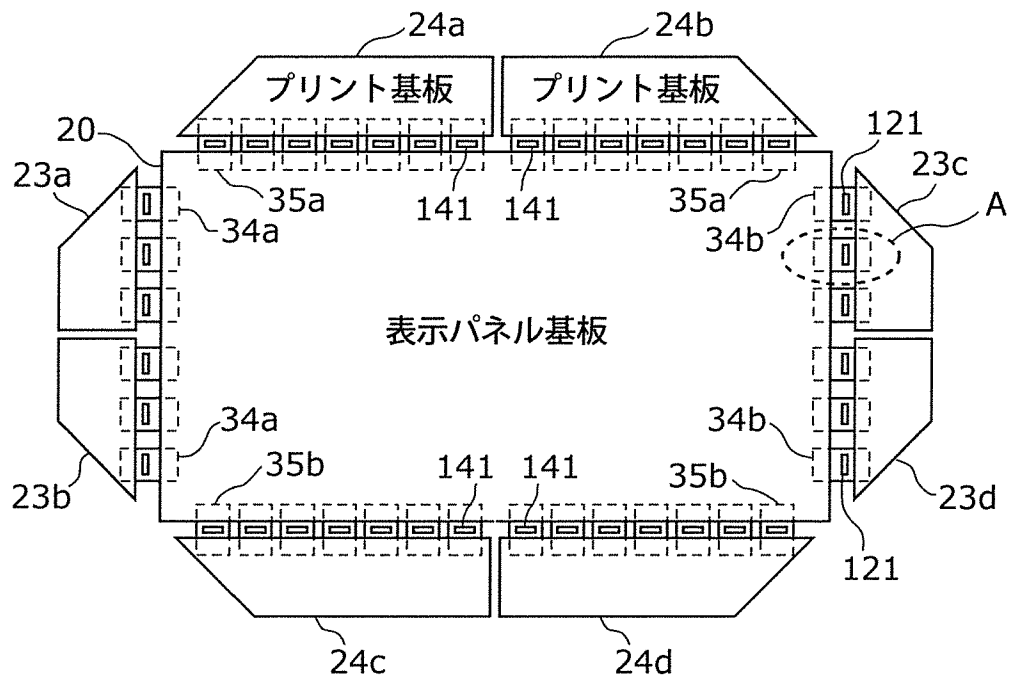
[図3A]



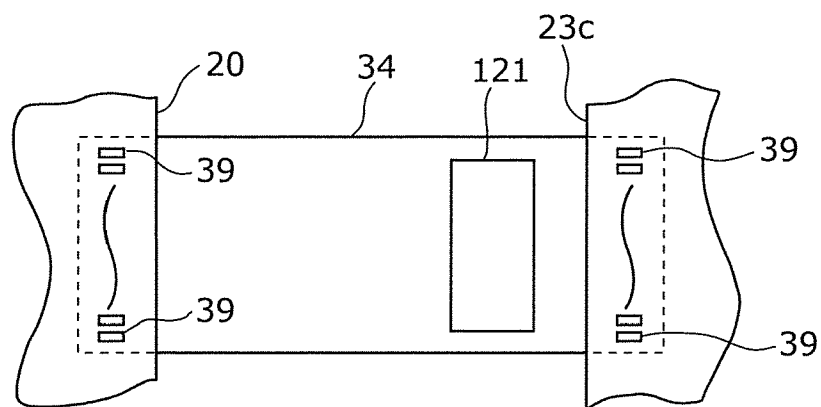
[図3B]



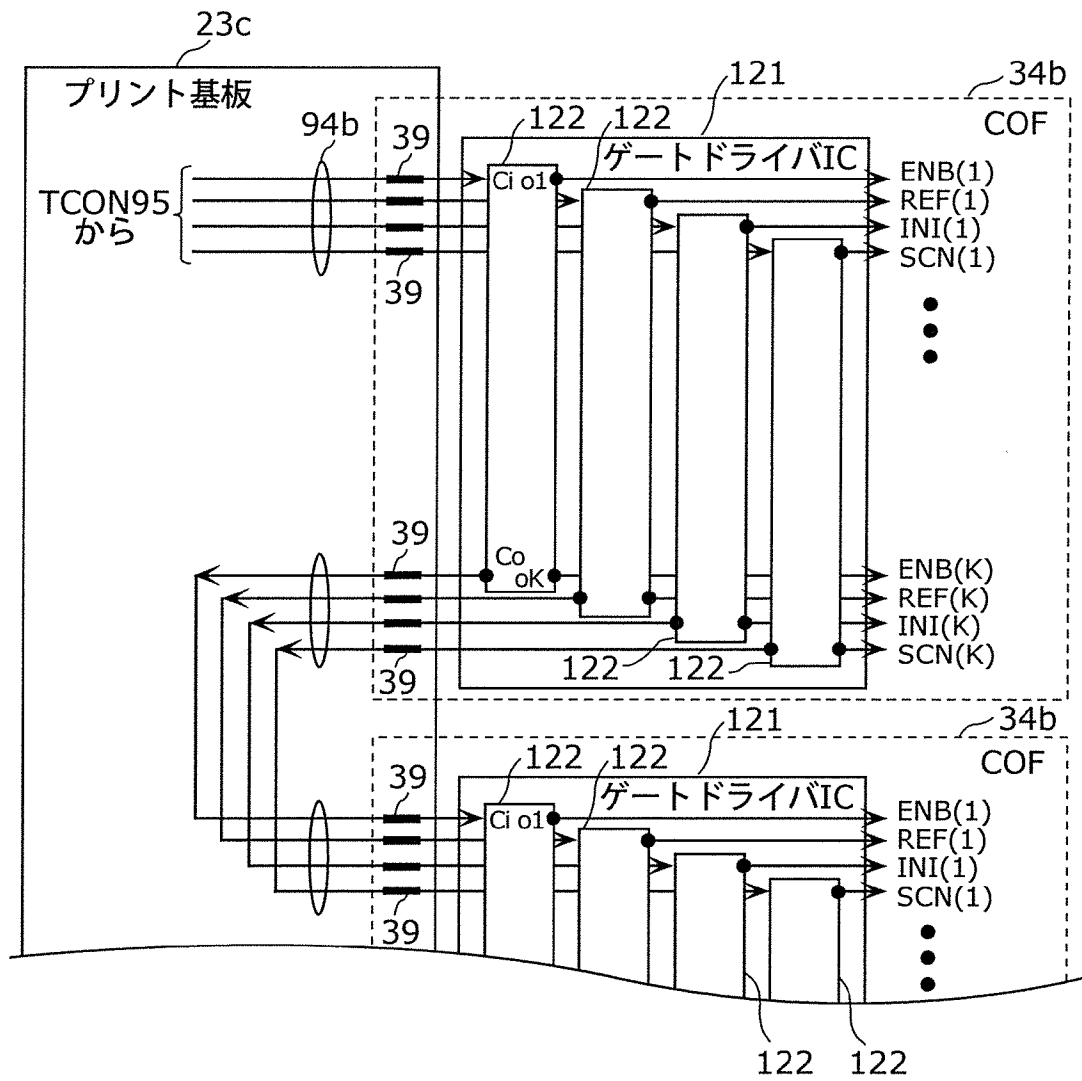
[図4A]



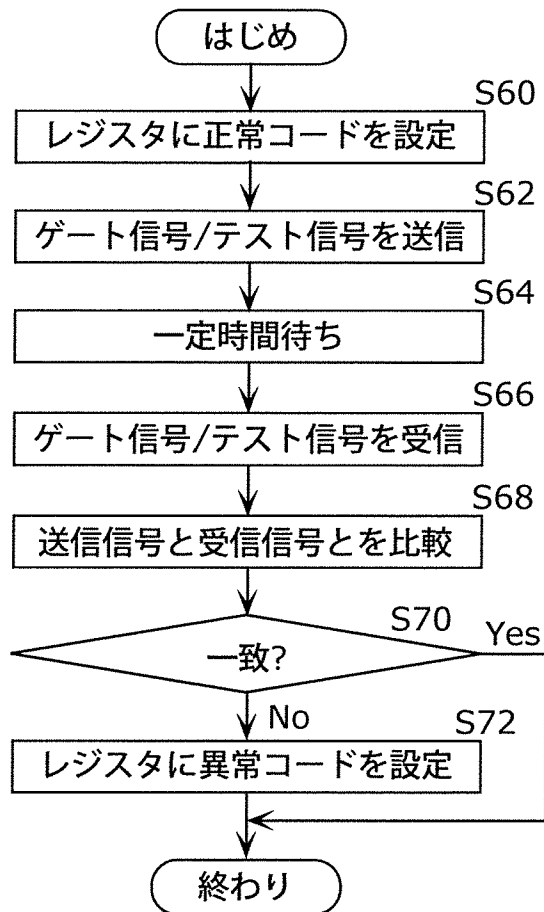
[図4B]



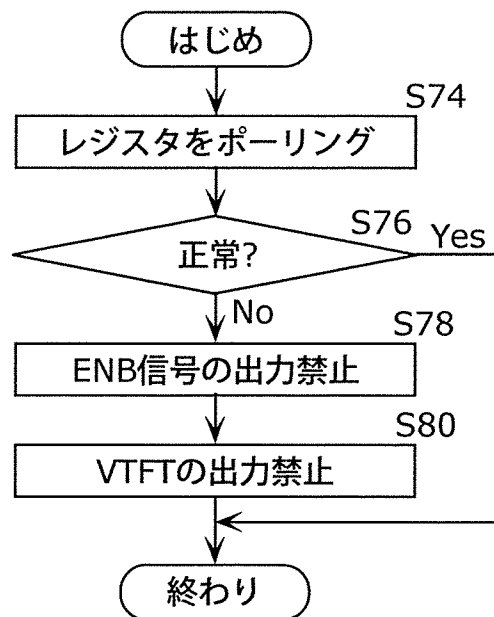
[図5]



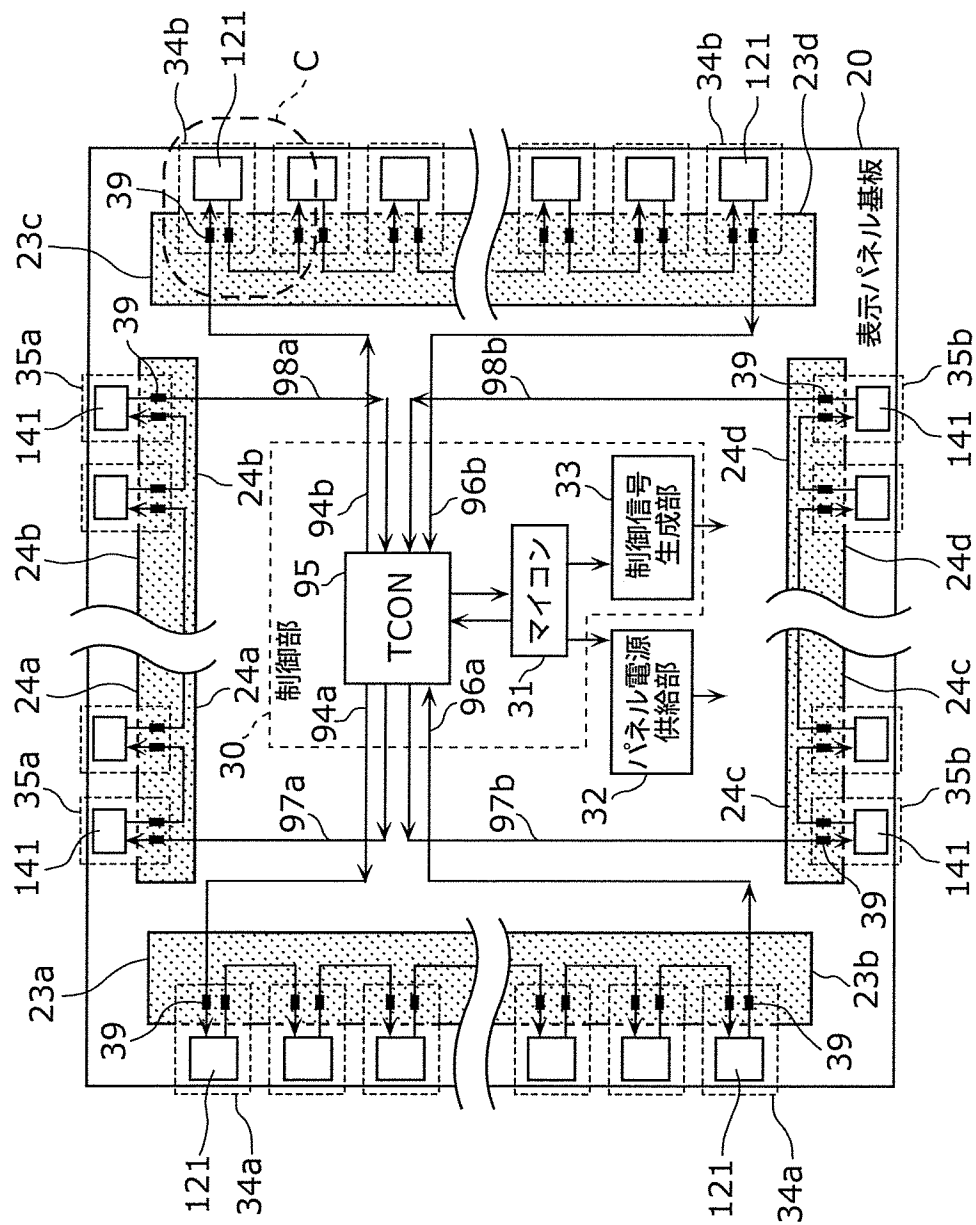
[図6A]



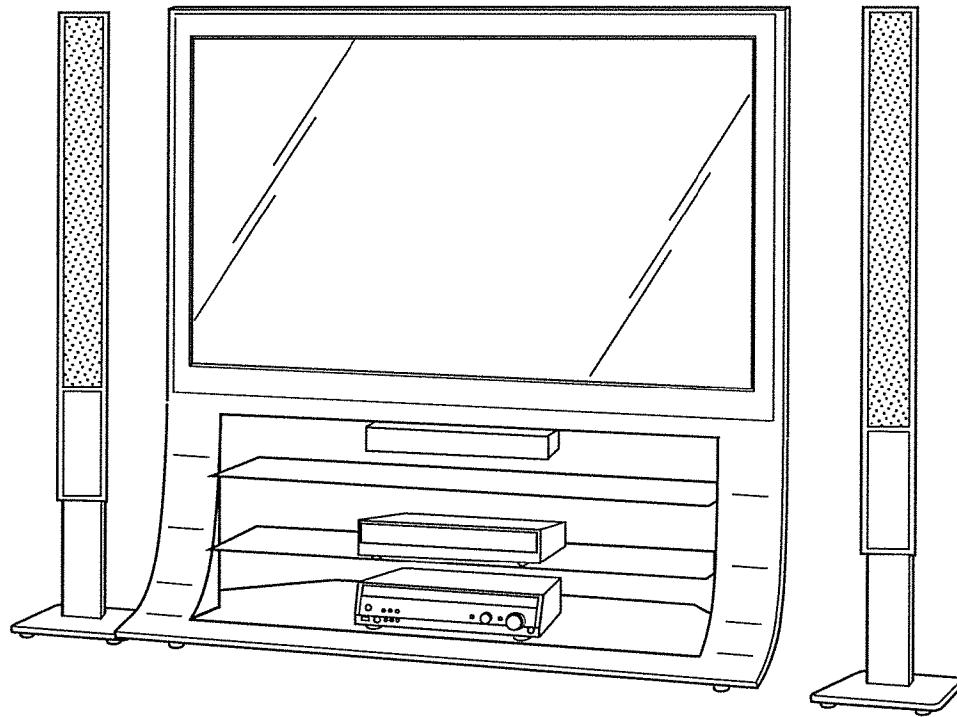
[図6B]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/006423

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/20(2006.01)i, G09F9/00(2006.01)i, G09G3/30(2006.01)i, H01L51/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/20, G09F9/00, G09G3/30, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2013-160999 A (Sharp Corp.), 19 August 2013 (19.08.2013), entire text; all drawings (Family: none)	1-2, 9-10 3-8
A	JP 2006-227238 A (Sony Corp.), 31 August 2006 (31.08.2006), entire text; all drawings (Family: none)	1-10
A	JP 2009-15281 A (Sillicon Touch Technology Inc.), 22 January 2009 (22.01.2009), entire text; all drawings & EP 2012298 A2 & TW 200903415 A & KR 10-2009-0004325 A	1-10

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
10 March 2015 (10.03.15)

Date of mailing of the international search report
24 March 2015 (24.03.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/20(2006.01)i, G09F9/00(2006.01)i, G09G3/30(2006.01)i, H01L51/50(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/20, G09F9/00, G09G3/30, H01L51/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2013-160999 A（シャープ株式会社）2013.08.19, 全文, 全図 （ファミリーなし）	1-2, 9-10 3-8
A	JP 2006-227238 A（ソニー株式会社）2006.08.31, 全文, 全図 （ファミリーなし）	1-10
A	JP 2009-15281 A（點晶科技股▲フン▼有限公司）2009.01.22, 全文, 全図 & EP 2012298 A2 & TW 200903415 A & KR 10-2009-0004325 A	1-10

☐ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 0 . 0 3 . 2 0 1 5

国際調査報告の発送日

2 4 . 0 3 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

武 田 悟

2 G

9 3 0 7

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6