

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-170987

(P2015-170987A)

(43) 公開日 平成27年9月28日 (2015.9.28)

(51) Int.Cl.

H03K 5/135 (2006.01)

F I

H03K 5/135

テーマコード (参考)

5J001

審査請求 未請求 請求項の数 11 O L (全 19 頁)

(21) 出願番号 特願2014-44472 (P2014-44472)
 (22) 出願日 平成26年3月7日 (2014.3.7)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100112955
 弁理士 丸島 敏一
 (72) 発明者 松原 岳志
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 (72) 発明者 田村 昌久
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 Fターム(参考) 5J001 AA11 BB05 CC03

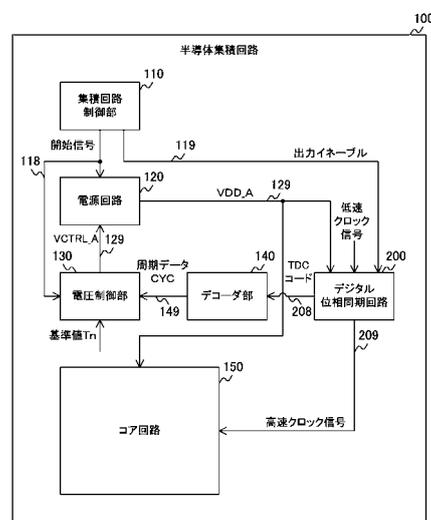
(54) 【発明の名称】 電子回路、電子回路の制御方法、および、電子装置

(57) 【要約】

【課題】 遅延素子の遅延時間を所定値に制御する。

【解決手段】 電子回路は、複数の遅延素子と、遅延時間取得部と、電圧制御部とを具備する。複数の遅延素子は、電源電圧が高いほど短い遅延時間によりクロック信号を遅延させて遅延信号として供給する。また、遅延時間取得部は、遅延信号のそれぞれの値から遅延時間を取得する。電圧制御部は、取得された遅延時間が所定の目標値より長い場合には電源電圧を高く制御し、遅延時間が所定の目標値より短い場合には電源電圧を低く制御する電圧制御処理を実行する。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

電源電圧が高いほど短い遅延時間によりクロック信号を遅延させて遅延信号として供給する複数の遅延素子と、

前記遅延信号のそれぞれの値から前記遅延時間を取得する遅延時間取得部と、

前記取得された遅延時間が所定の目標値より長い場合には前記電源電圧を高く制御し、前記遅延時間が前記所定の目標値より短い場合には前記電源電圧を低く制御する電圧制御処理を実行する電圧制御部とを具備する電子回路。

【請求項 2】

前記電圧制御部は、前記複数の遅延素子に前記電源電圧が供給されると前記電圧制御処理を実行する

請求項 1 記載の電子回路。

【請求項 3】

前記電子回路において温度を測定する温度測定部をさらに具備し、

前記電圧制御部は、前記測定された温度が所定の範囲外の温度である場合には前記電圧制御処理を実行する

請求項 1 記載の電子回路。

【請求項 4】

前記電圧制御部は、一定時間が経過するたびに前記電圧制御処理を実行する

請求項 1 記載の電子回路。

【請求項 5】

第 1 の電圧を前記電源電圧として供給する第 1 の電源回路と、

前記第 1 の電圧と異なる第 2 の電圧を供給する第 2 の電源回路とをさらに具備し、

前記電圧制御部は、前記電源電圧の制御量に基づいて前記第 2 の電圧をさらに制御する請求項 1 記載の電子回路。

【請求項 6】

第 1 の電圧を前記電源電圧として供給する第 1 の電源回路と、

前記第 1 の電圧と異なる第 2 の電圧を供給する第 2 の電源回路と、

前記電圧制御部による前記電源電圧の制御量に基づいて前記第 2 の電圧を制御する電源管理部とをさらに具備する請求項 1 記載の電子回路。

【請求項 7】

前記電圧制御部は、前記遅延時間と前記所定の目標値との間の差が最小となる探索対象電圧を異なる複数の電圧の中から探索して当該探索した探索対象電圧に制御する

請求項 1 記載の電子回路。

【請求項 8】

前記電圧制御部は、線形探索アルゴリズムを使用して前記探索対象電圧を探索する

請求項 6 記載の電子回路。

【請求項 9】

前記電圧制御部は、二分探索アルゴリズムを使用して前記探索対象電圧を探索する

請求項 6 記載の電子回路。

【請求項 10】

電源電圧が高いほど短い遅延時間によりクロック信号を遅延させて遅延信号として供給する複数の遅延素子により供給された前記遅延信号のそれぞれの値から前記遅延時間を取得する遅延時間取得手順と、

前記取得された遅延時間が所定の目標値より長い場合には前記電源電圧を高く制御し、前記遅延時間が前記所定の目標値より短い場合には前記電源電圧を低く制御する電圧制御処理を実行する電圧制御手順と

を具備する電子回路の制御方法。

【請求項 11】

10

20

30

40

50

電源電圧が高いほど短い遅延時間によりクロック信号を遅延させて遅延信号として供給する複数の遅延素子と、

前記遅延信号のそれぞれの値から前記遅延時間を取得する遅延時間取得部と、

前記取得された遅延時間が所定の目標値より長い場合には前記電源電圧を高く制御し、前記遅延時間が前記所定の目標値より短い場合には前記電源電圧を低く制御する電圧制御処理を実行する電圧制御部と、

前記クロック信号に同期して所定の処理を行う処理回路とを具備する電子装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本技術は、電子回路、電子回路の制御方法、および、電子装置に関する。詳しくは、時間デジタル変換器が設けられた電子回路、電子回路の制御方法、および、電子装置に関する。

【背景技術】

【0002】

従来より、電子回路においては、クロック信号の位相を検出するために、時間デジタル変換器が用いられることがある。この時間デジタル変換器は、一般に、複数段の遅延素子と、複数のフリップフロップとを備える。これらの遅延素子によりクロック信号を遅延させた複数の遅延信号が生成され、それらの遅延信号の値からなるデータが、TDC (Time-to-Digital Converter) コードとしてフリップフロップに保持される。遅延素子のそれぞれの遅延時間が所定の設計値と同一であれば、このTDCコードから、クロック信号の位相が正確に検出される。ところが、時間デジタル変換器内の遅延素子の遅延時間は、プロセス、電源電圧および温度などの条件により変動する。この遅延時間の変動により、遅延時間が設計値からずれて、TDCコードの示す位相に誤差が生じるおそれがある。

20

【0003】

この誤差を補正するために、それぞれの電源端子との間に電流源としてトランジスタが挿入された複数段の遅延素子と、フリップフロップと、キャリブレーション制御回路とを備える時間デジタル変換器が提案されている（例えば、特許文献1参照。）。この時間デジタル変換器において、キャリブレーション制御回路は、TDCデータをフリップフロップから読み出し、そのTDCデータの誤差を求める。そして、キャリブレーション制御回路は、誤差が低減する値に、電流源から遅延素子への電流量を補正する。この電流量の補正により、遅延素子の遅延時間は、所定の設計値に近い値となる。

30

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2012-114716号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

40

しかしながら、上述の従来技術では、電流源のインピーダンスに応じた電圧降下が遅延素子の電源側で発生するため、電流源を設けない場合と比較して遅延素子の遅延時間が長くなる。そして、遅延時間が長くなった分、時間デジタル変換器の時間分解能は低下してしまう。また、遅延時間が長くなると、遅延時間が設計値からずれて、TDCコードに誤差が残存するおそれがある。

【0006】

本技術はこのような状況に鑑みて生み出されたものであり、遅延素子の遅延時間を所定値に制御することを目的とする。

【課題を解決するための手段】

【0007】

50

本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、電源電圧が高いほど短い遅延時間によりクロック信号を遅延させて遅延信号として供給する複数の遅延素子と、上記遅延信号のそれぞれの値から上記遅延時間を取得する遅延時間取得部と、上記取得された遅延時間が所定の目標値より長い場合には上記電源電圧を高く制御し、上記遅延時間が上記所定の目標値より短い場合には上記電源電圧を低く制御する電圧制御処理を実行する電圧制御部とを具備する電子回路、および、その制御方法である。これにより、遅延時間が所定の目標値より長い場合には電源電圧が高く制御され、遅延時間が所定の目標値より短い場合には電源電圧が低く制御されるという作用をもたらす。

【0008】

また、この第1の側面において、上記電圧制御部は、上記複数の遅延素子に上記電源電圧が供給されると上記電圧制御処理を実行してもよい。これにより、複数の遅延素子に電源電圧が供給されると電圧制御処理が実行されるという作用をもたらす。

10

【0009】

また、この第1の側面において、上記電子回路において温度を測定する温度測定部をさらに具備し、上記電圧制御部は、上記測定された温度が所定の範囲外の温度である場合には上記電圧制御処理を実行してもよい。これにより、測定された温度が所定の範囲外の温度である場合に電圧制御処理が実行されるという作用をもたらす。

【0010】

また、この第1の側面において、上記電圧制御部は、一定時間が経過するたびに上記電圧制御処理を実行してもよい。これにより、一定時間が経過するたびに電圧制御処理が実行されるという作用をもたらす。

20

【0011】

また、この第1の側面において、第1の電圧を前記電源電圧として供給する第1の電源回路と、前記第1の電圧と異なる第2の電圧を供給する第2の電源回路とをさらに具備し、前記電圧制御部は、前記電源電圧の制御量に基づいて前記第2の電圧をさらに制御してもよい。これにより、電源電圧の制御量に基づいて第2の電圧が制御されるという作用をもたらす。

【0012】

また、この第1の側面において、第1の電圧を上記電源電圧として供給する第1の電源回路と、上記第1の電圧と異なる第2の電圧を供給する第2の電源回路と、上記電圧制御部による上記電源電圧の制御量に基づいて上記第2の電圧を制御する電源管理部とをさらに具備してもよい。これにより、電源電圧の制御量に基づいて第2の電圧が制御されるという作用をもたらす。

30

【0013】

また、この第1の側面において、上記電圧制御部は、上記遅延時間と上記所定の目標値との間の差が最小となる探索対象電圧を異なる複数の電圧の中から探索して当該探索した探索対象電圧に制御してもよい。これにより、遅延時間と所定の目標値との間の差が最小となる探索対象電圧に制御されるという作用をもたらす。

【0014】

また、この第1の側面において、上記電圧制御部は、線形探索アルゴリズムを使用して上記探索対象電圧を探索してもよい。これにより、線形探索アルゴリズムにより探索対象電圧が探索されるという作用をもたらす。

40

【0015】

また、この第1の側面において、上記電圧制御部は、二分探索アルゴリズムを使用して上記探索対象電圧を探索してもよい。これにより、二分探索アルゴリズムにより探索対象電圧が探索されるという作用をもたらす。

【0016】

また、本技術の第2の側面は、電源電圧が高いほど短い遅延時間によりクロック信号を遅延させて遅延信号として供給する複数の遅延素子と、上記遅延信号のそれぞれの値から上記遅延時間を取得する遅延時間取得部と、上記取得された遅延時間が所定の目標値より

50

長い場合には上記電源電圧を高く制御し、上記遅延時間が上記所定の目標値より短い場合には上記電源電圧を低く制御する電圧制御処理を実行する電圧制御部と、上記クロック信号に同期して所定の処理を行う処理回路とを具備する電子装置である。これにより、遅延時間が所定の目標値より長い場合には電源電圧が高く制御され、遅延時間が所定の目標値より短い場合には電源電圧が低く制御されるという作用をもたらす。

【発明の効果】

【0017】

本技術によれば、遅延素子の遅延時間を所定値に制御することができるという優れた効果を奏し得る。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

10

【図面の簡単な説明】

【0018】

【図1】第1の実施の形態における半導体集積回路の一構成例を示すブロック図である。

【図2】第1の実施の形態におけるデジタル位相同期回路の一構成例を示すブロック図である。

【図3】第1の実施の形態における時間デジタル変換器の一構成例を示す回路図である。

【図4】第1の実施の形態における時間デジタル変換器の動作の一例を示すタイミングチャートである。

【図5】第1の実施の形態における遅延素子の遅延時間と電源電圧との関係を示すグラフの一例である。

20

【図6】第1の実施の形態における電圧制御部の動作の一例を示すフローチャートである。

【図7】第1の実施の形態における周期データの補正結果の一例を示す図である。

【図8】第1の実施の形態の変形例における電圧制御部の動作の一例を示すフローチャートである。

【図9】第2の実施の形態における半導体集積回路の一構成例を示すブロック図である。

【図10】第3の実施の形態における半導体集積回路の一構成例を示すブロック図である。

【図11】第4の実施の形態における半導体集積回路の一構成例を示すブロック図である。

30

【図12】第5の実施の形態における電子回路の一構成例を示すブロック図である。

【発明を実施するための形態】

【0019】

以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. 第1の実施の形態（電源電圧を制御する例）
2. 第2の実施の形態（温度が変化すると電源電圧を制御する例）
3. 第3の実施の形態（一定時間ごとに電源電圧を制御する例）
4. 第4の実施の形態（複数の電源電圧を制御する例）
5. 第5の実施の形態（電源管理部を設けて複数の電源電圧を制御する例）

40

【0020】

< 1. 第1の実施の形態 >

[半導体集積回路の構成例]

図1は、第1の実施の形態における半導体集積回路100の一構成例を示すブロック図である。この半導体集積回路100は、集積回路制御部110、電源回路120、電圧制御部130、デコーダ部140、デジタル位相同期回路200およびコア回路150を備える。半導体集積回路100は、音声処理、画像処理または通信処理などの処理を行う電子装置に設けられる。なお、半導体集積回路100は、特許請求の範囲に記載の電子回路の一例である。

【0021】

50

集積回路制御部 110 は、半導体集積回路 100 全体を制御するものである。この集積回路制御部 110 は、半導体集積回路 100 に電源が投入されると、信号線 118 を介して開始信号を供給することにより電源回路 120 に電源電圧の供給を開始させ、また、電圧制御部 130 に電源電圧の制御を開始させる。また、集積回路制御部 110 は、高速クロック信号の出力動作を制御する出力イネーブル信号をデジタル位相同期回路 200 に信号線 119 を介して供給する。集積回路制御部 110 は、電源電圧の補正が開始されてから一定期間が経過するまでの間、出力イネーブル信号をオフにしてデジタル位相同期回路 200 にクロック信号の出力を停止させる。そして、一定期間が経過すると、集積回路制御部 110 は、出力イネーブル信号をオンにしてデジタル位相同期回路 200 にクロック信号の出力を開始させる。電源投入時から出力イネーブル信号をオンにするまでの期間として、後述する電源電圧 V_{DD_A} の制御が完了するのに十分な時間が設定される。

10

【0022】

電源回路 120 は、デジタル位相同期回路 200 やコア回路 150 などに電源電圧 V_{DD_A} を供給するものである。この電源回路 120 は、集積回路制御部 110 からの開始信号に従って、電源電圧 V_{DD_A} の供給を開始する。また、電源回路 120 は、電圧制御部 130 の制御に従って、電源電圧 V_{DD_A} の値を一定の制御範囲内で変更する。例えば、電源回路 120 は、可変抵抗を含む定電圧回路（レギュレータなど）を備え、その可変抵抗の抵抗値を変化させることにより電源電圧 V_{DD_A} を変化させる。なお、電源回路 120 は、特許請求の範囲に記載の第 1 の電源回路の一例である。

【0023】

20

デジタル位相同期回路 200 は、低速クロック信号を逡倍して高速クロック信号として供給するものである。このデジタル位相同期回路 200 は、TDC コードを生成する時間デジタル変換器を備え、その TDC コードを使用して低速クロック信号から高速クロック信号を生成する。また、デジタル位相同期回路 200 は、TDC コードをデコーダ部 140 に信号線 208 を介して供給し、出力イネーブル信号に従って高速クロック信号をコア回路 150 に信号線 209 を介して供給する。

【0024】

コア回路 150 は、高速クロック信号に同期して、音声処理、画像処理または通信処理などの所定の処理を行うものである。例えば、コア回路 150 において、音声処理、画像処理または通信処理などが行われる。なお、コア回路 150 は、特許請求の範囲に記載の処理回路の一例である。

30

【0025】

デコーダ部 140 は、TDC コードから高速クロック信号の周期を求めて、その周期を示す周期データ CYC を生成するものである。デコーダ部 140 は、生成した周期データ CYC を電圧制御部 130 に信号線 149 を介して供給する。この周期データ CYC の示す周期は、時間デジタル変換器内の遅延素子の遅延時間が長いほど長い期間となる。なお、デコーダ部 140 は、特許請求の範囲に記載の遅延時間取得部の一例である。

【0026】

電圧制御部 130 は、制御データ V_{CTRL_A} を電源回路 120 に信号線 129 を介して供給することにより、遅延素子の遅延時間が目標値 T_g になるように電源電圧 V_{DD_A} を制御するものである。一般に、遅延素子の遅延時間は、電源電圧 V_{DD_A} が高いほど短くなる。この遅延素子の特性に基づいて、電圧制御部 130 は、周期データ CYC の示す周期が所定の基準値 T_n より長い場合には、一定の制御範囲内で電源電圧を高くする。一方、周期データ CYC の示す周期が所定の基準値 T_n より短い場合には、電圧制御部 130 は、一定の制御範囲内で電源電圧 V_{DD_A} を低くする。

40

【0027】

ここで、電源回路 120 が複数段階の電圧に電源電圧 V_{DD_A} を制御することができる場合には、電圧制御部 130 は、それらの電圧の中から、周期が基準値 T_n に最も近くなる電圧を探索して、その電圧に制御することが望ましい。例えば、電圧制御部 130 は、一定の制御範囲内で少しずつ電圧を増減して、周期が基準値 T_n に最も近くなる電圧を

50

探索する。

【 0 0 2 8 】

前述したように周期データ C Y C の示す周期は、時間デジタル変換器内の遅延素子の遅延時間が長いほど長い値である。このため、その周期が基準値 T n になるように電源電圧 V D D _ A を制御することにより、遅延素子の遅延時間は、基準値 T n に対応する目標値 T g に制御される。

【 0 0 2 9 】

[デジタル位相同期回路の構成例]

図 2 は、第 1 の実施の形態におけるデジタル位相同期回路 2 0 0 の一構成例を示すブロック図である。このデジタル位相同期回路 2 0 0 は、基準位相生成部 2 1 0、位相比較器 2 2 0、ループフィルタ 2 3 0、利得調整部 2 4 0、時間デジタル変換器 2 5 0、可変位相生成部 2 6 0、デジタル制御発振器 2 7 0、フリップフロップ 2 8 0 およびスイッチ 2 9 0 を備える。

10

【 0 0 3 0 】

基準位相生成部 2 1 0 は、所定の分周比 D I V に基づいて基準位相を示す基準位相コードをクロック信号 r C L K に同期して生成するものである。クロック信号 r C L K については後述する。基準位相生成部 2 1 0 は、例えば、分周比 D I V により、高速クロック信号を分周したクロック信号の位相を基準位相として生成する。基準位相生成部 2 1 0 は、生成した基準位相を示すデータを位相比較器 2 2 0 に供給する。

【 0 0 3 1 】

時間デジタル変換器 2 5 0 は、低速クロック信号の位相に対する高速クロック信号の相対的な位相を検出するものである。時間デジタル変換器 2 5 0 は、検出した位相を示す T D C データをデコーダ部 1 4 0 および可変位相生成部 2 6 0 に供給する。

20

【 0 0 3 2 】

可変位相生成部 2 6 0 は、T D C コードの示す位相を、基準位相コードと同じデータ形式により示す可変位相コードを高速クロック信号に同期して生成するものである。可変位相生成部 2 6 0 は、可変位相コードを位相比較器 2 2 0 に供給する。

【 0 0 3 3 】

位相比較器 2 2 0 は、基準位相コードの示す基準位相と可変位相コードの示す可変位相とを比較して位相差を検出するものである。位相比較器 2 2 0 は、検出した位相差を示す位相差データをループフィルタ 2 3 0 に供給する。

30

【 0 0 3 4 】

ループフィルタ 2 3 0 は、位相差データに対し、所定の遮断周波数より高い高周波数帯域のノイズ成分を抑制する処理をクロック信号 r C L K に同期して行うものである。このループフィルタ 2 3 0 として、例えば、I I R (Infinite Impulse Response) フィルタや、F I R (Finite Impulse Response) フィルタが用いられる。ループフィルタ 2 3 0 は、高周波数成分を抑制した位相差データを利得調整部 2 4 0 に供給する。

【 0 0 3 5 】

利得調整部 2 4 0 は、位相差データに対して、デジタル制御発振器 2 7 0 のゲインを調整するための処理を行ってデジタル制御発振器 2 7 0 へ供給するものである。

40

【 0 0 3 6 】

デジタル制御発振器 2 7 0 は、位相差データに基づいて、クロック信号 r C L K に同期して高速クロック信号を生成するものである。例えば、数値制御発振器が、デジタル制御発振器 2 7 0 として用いられる。このデジタル制御発振器 2 7 0 は、高速クロック信号を、時間デジタル変換器 2 5 0、可変位相生成部 2 6 0、フリップフロップ 2 8 0 およびスイッチ 2 9 0 に供給する。

【 0 0 3 7 】

フリップフロップ 2 8 0 は、低速クロック信号を保持し、高速クロック信号に同期してクロック信号 r C L K として出力するものである。これにより、低速クロック信号は、高速クロック信号によりリタイミングされる。このクロック信号 r C L K は、基準位相生成

50

部 2 1 0、ループフィルタ 2 3 0 およびデジタル制御発振器 2 7 0 に供給される。

【 0 0 3 8 】

スイッチ 2 9 0 は、出力イネーブル信号に従って、デジタル制御発振器 2 7 0 とコア回路 1 5 0 との間の経路を開閉するものである。例えば、出力イネーブル信号がオンに制御されると、スイッチ 2 9 0 は閉状態に移行し、オフに制御されると開状態に移行する。

【 0 0 3 9 】

なお、時間デジタル変換器 2 5 0 の外部に電圧制御部 1 3 0 およびデコーダ部 1 4 0 を設ける構成としているが、この構成に限定されない。例えば、電圧制御部 1 3 0 およびデコーダ部 1 4 0 の一方または両方を時間デジタル変換器 2 5 0 の内部に設けてもよい。

【 0 0 4 0 】

[時間デジタル変換器の構成例]

図 3 は、第 1 の実施の形態における時間デジタル変換器 2 5 0 の一構成例を示す回路図である。この時間デジタル変換器 2 5 0 は、 N (N は、2 以上の整数) 段の遅延素子 2 5 1 と、 N 個のフリップフロップ 2 5 2 とを備える。また、これらの遅延素子 2 5 1 は電源回路 1 2 0 に共通に接続され、遅延素子 2 5 1 のそれぞれには電源電圧 V_{DD_A} が供給される。また、遅延素子 2 5 1 のそれぞれには、互いに異なる 1 つのフリップフロップ 2 5 2 が接続される。ここで、遅延素子 2 5 1 の段数 N は、遅延素子 2 5 1 の遅延時間の合計が、高速クロック信号の 1 周期分の時間をカバーすることができるような値であることが望ましい。

【 0 0 4 1 】

遅延素子 2 5 1 は、入力されたクロック信号を遅延させるものである。この遅延素子 2 5 1 として、例えば、インバータが用いられる。初段の遅延素子 2 5 1 は、高速クロック信号を遅延させて、遅延信号として 2 段目の遅延素子 2 5 1 と対応するフリップフロップ 2 5 2 とに供給する。2 段目以降の遅延素子 2 5 1 のそれぞれは、前段からの遅延信号を遅延させて、後段の遅延素子 2 5 1 と対応するフリップフロップ 2 5 2 とに供給する。

【 0 0 4 2 】

フリップフロップ 2 5 2 は、遅延信号の値を保持するものである。これらの遅延素子 2 5 1 は、低速クロック信号に同期して、対応する遅延素子 2 5 1 からの遅延信号の値を保持し、デコーダ部 1 4 0 および可変位相生成部 2 6 0 に供給する。ただし、偶数段目の遅延素子 2 5 1 に対応するフリップフロップ 2 5 2 は、遅延信号の値を反転させて供給する。これらの値からなる N ビットのデータは、TDC コードとしてデコーダ部 1 4 0 等に供給される。

【 0 0 4 3 】

図 3 に例示したように、時間デジタル変換器 2 5 0 においては、遅延素子 2 5 1 と電源回路 1 2 0 との間には、特許文献 1 に記載された構成のように電流源が挿入されない。このため、電流源による電圧降下により時間デジタル変換器 2 5 0 の時間分解能が低下するおそれがない。

【 0 0 4 4 】

図 4 は、第 1 の実施の形態における時間デジタル変換器 2 5 0 の動作の一例を示すタイミングチャートである。初段の遅延素子 2 5 1 は、デジタル制御発振器 2 7 0 からの高速クロック信号を遅延させて、遅延信号 D_1 として後段に出力する。また、2 段目から 8 段目までの遅延素子 2 5 1 のそれぞれは、前段からのクロック信号を遅延させて、遅延信号 D_2 乃至 D_8 として後段に出力する。また、これらの遅延信号 D_1 乃至 D_8 の値は、対応するフリップフロップ 2 5 2 に保持される。なお、同図においては、説明の便宜上、奇数段については、遅延信号 D_1 、 D_3 、 D_5 および D_7 の代わりに、それらを反転した遅延クロック信号 D_1' 、 D_3' 、 D_5' および D_7' の波形を記載している。

【 0 0 4 5 】

保持された遅延クロック信号の値からなるコードは、低速クロック信号に同期して TDC コードとして出力される。

【 0 0 4 6 】

10

20

30

40

50

例えば、低速クロック信号の立上りエッジのタイミングにおいて、遅延信号 D 1'、D 2、D 3'、および、D 8 がハイレベルであり、残りの遅延信号がローレベルであった場合、8ビットの「10000111」のTDCコードが生成される。

【0047】

このTDCコードは、低速クロック信号のエッジに対する、高速クロック信号のエッジの相対的な位相を示す。例えば、TDCコードにおいて「0」から「1」へ、または、「1」から「0」へ遷移したタイミングが、高速クロック信号の立上りまたは立下りのエッジのタイミングを示す。

【0048】

このTDCデータから、デコーダ部140により周期データが生成される。例えば、ある立上りエッジから次の立上りエッジまでのビット数（すなわち、遅延素子の段数） B_n を示すデータが周期データとして生成される。高精度なデータを得るために、デコーダ部140は、ビット数 B_n を複数回求めて、それらの平均値を示すデータを周期データとして算出してもよい。遅延素子251の個々の遅延時間を T_d とし、高速クロック信号の実際の周期を T_c とすると、周期 T_c をビット数 B_n により除した商が遅延時間 T_d を示す。このビット数 B_n が所定の基準値になるように、電圧制御部130が電源電圧 V_{DD_A} を制御することにより、遅延時間 T_d は、周期 T_c を基準値 T_n により除した商に等しい目標値 T_g に制御される。

【0049】

図5は、第1の実施の形態における遅延素子の遅延時間と電源電圧との関係を示すグラフの一例である。同図の縦軸は、遅延素子251のそれぞれの遅延時間を示し、横軸は、遅延素子251の電源電圧を示す。また、点線、実線および一定鎖線の曲線は、温度やプロセスが互いに異なる条件下で測定された遅延素子の特性を示す。同図に示すように、遅延素子の遅延時間は、電源電圧が低くなるほど長くなる。また、電源電圧の他、プロセスや温度などの条件により、遅延時間が変動する。

【0050】

[電圧制御部130の動作例]

図6は、第1の実施の形態における電圧制御部130の動作の一例を示すフローチャートである。この動作は、例えば、半導体集積回路100に電源が投入されたときに実行される。

【0051】

電圧制御部130は、周期データCYCの示すビット数 B_n と基準値 T_n との差を誤差として検出する。例えば、ビット数 B_n から基準値 T_n を引いた値が誤差として検出される（ステップS901）。電圧制御部130は、誤差の検出が初回の検出であるか否かを判断する（ステップS902）。

【0052】

2回目以降の検出であれば（ステップS902：No）、電圧制御部130は、誤差の今回値の極性が誤差の前回値の極性と異なるか否かを判断する（ステップS903）。以下、誤差の今回値および前回値をそれぞれ、「誤差今回値」および「誤差前回値」と称する。

【0053】

誤差今回値の極性が誤差前回値と異なる場合には（ステップS903：Yes）、電圧制御部130は、誤差前回値の絶対値が誤差今回値の絶対値よりも小さいか否かを判断する（ステップS904）。誤差前回値の絶対値が誤差今回値の絶対値よりも小さいのであれば（ステップS904：Yes）、電圧制御部130は、前回の制御データ V_{CTRL_A} を供給する。

【0054】

初回の検出である場合（ステップS902：Yes）、電圧制御部130は、誤差今回値の極性に基づいて周期データの示す値（例えば、ビット数 B_n ）が基準値 T_n より大きいか否かを判断する（ステップS906）。また、誤差今回値の極性が誤差前回値と同一

10

20

30

40

50

である場合（ステップ S 9 0 3 : N o）にも、電圧制御部 1 3 0 は、ステップ S 9 0 6 を実行する。

【 0 0 5 5 】

周期データの示す値が基準値 T_n より大きいのであれば（ステップ S 9 0 6 : Y e s）、電圧制御部 1 3 0 は、現在の電源電圧 V_{DD_A} が、上限値未満であるか否かを判断する（ステップ S 9 0 7）。上限値未満であるならば（ステップ S 9 0 7 : Y e s）、電圧制御部 1 3 0 は、前回より一定電圧 dV だけ高い電圧に電源電圧 V_{DD_A} を制御する制御データを生成して供給する。これにより、電源電圧 V_{DD_A} が一定電圧 dV の分、高くなる（ステップ S 9 0 8）。ステップ S 9 0 8 の後、電圧制御部 1 3 0 は、ステップ S 9 0 1 に戻る。

10

【 0 0 5 6 】

また、周期データの示す値が基準値 T_n 以下である場合（ステップ S 9 0 6 : N o）、電圧制御部 1 3 0 は、周期データの示す値が基準値 T_n より小さいか否かを判断する（ステップ S 9 0 9）。

【 0 0 5 7 】

周期データの示す値が基準値 T_n より小さいのであれば（ステップ S 9 0 9 : Y e s）、電圧制御部 1 3 0 は、現在の電源電圧 V_{DD_A} が、下限値より高いか否かを判断する（ステップ S 9 1 0）。現在の電源電圧 V_{DD_A} が下限値より高ければ（ステップ S 9 1 0 : Y e s）、電圧制御部 1 3 0 は、前回より一定電圧 dV だけ低い電圧に電源電圧 V_{DD_A} を制御する制御データを生成して供給する。これにより、電源電圧 V_{DD_A} が一定電圧 dV の分、低くなる（ステップ S 9 1 1）。ステップ S 9 1 1 の後、電圧制御部 1 3 0 は、ステップ S 9 0 1 に戻る。

20

【 0 0 5 8 】

現在の電源電圧が上限値以上（ステップ S 9 0 7 : N o）または下限値以下である場合（ステップ S 9 1 0 : N o）、あるいは、周期データが基準値 T_n である場合（ステップ S 9 0 9 : N o）、電圧制御部 1 3 0 は、電圧を制御する動作を終了する。また、誤差前回の絶対値が誤差今回値以上である場合（ステップ S 9 0 4 : N o）、または、ステップ S 9 0 5 の後も、電圧制御部 1 3 0 は、電圧を制御する動作を終了する。動作終了後は、最後に出力された制御データが保持され、そのデータの示す電圧に電源電圧 V_{DD_A} が維持される。

30

【 0 0 5 9 】

なお、電圧制御部 1 3 0 は、誤差が最小になる電圧に電源電圧 V_{DD_A} を制御しているが、誤差が低減する制御であれば、この構成に限定されない。例えば、電圧を増減させるステップ S 9 0 8 または S 9 1 1 を一定回数行った場合、または、誤差が最小となった場合に、制御を終了する構成であってもよい。

【 0 0 6 0 】

図 7 は、第 1 の実施の形態における周期データの補正結果の一例を示す図である。同図において縦軸が周期データ CYC の示す周期を示し、横軸が時間を示す。

【 0 0 6 1 】

時刻 T_0 において電源が投入され、電源電圧 V_{DD_A} の制御が開始されたものとする。時刻 T_0 の時点では、周期データの示す値が基準値 T_n より小さいものとする。この場合、電圧制御部 1 3 0 は、電源電圧 V_{DD_A} を一定電圧 dV だけ低くする。この結果、遅延素子 2 5 1 の遅延時間が長くなり、高速クロック信号の周期が長くなる。したがって、その後の時刻 T_1 においては、 T_0 の時点よりも誤差が小さくなる。

40

【 0 0 6 2 】

時刻 T_1 においても、周期データの示す値が基準値 T_n より小さいため、電圧制御部 1 3 0 は、電源電圧 V_{DD_A} をさらに上昇させる。そして、時刻 T_2 、 T_3 においても、電圧制御部 1 3 0 は、電源電圧を上昇させる。この結果、時刻 T_4 において、周期データの示す値が基準値より大きくなる。この時刻 T_4 における誤差が、時刻 T_3 のときより大きい場合、電圧制御部 1 3 0 は、誤差が小さかった時刻 T_4 の電圧に電源電圧を制御する

50

。一方、時刻 T 4 における誤差が時刻 T 3 のときより低い場合や、同一である場合には、時刻 T 4 の時点の電源電圧が維持される。

【 0 0 6 3 】

図 7 に例示したように、電圧制御部 1 3 0 は、制御範囲内で電源電圧を一定電圧ずつ増減しながら、誤差が最小になる電圧を探索している。このように、対象のデータ（例えば、誤差が最小になる電圧）を先頭から順番に探索する探索アルゴリズムは、線形探索アルゴリズムと呼ばれる。

【 0 0 6 4 】

このように、本技術の第 1 の実施の形態によれば、電圧制御部 1 3 0 は、遅延素子の遅延時間が目標値より長い場合には電源電圧を高くし、目標値より短い場合には電源電圧を低く制御するため、遅延時間を目標値に制御することができる。

10

【 0 0 6 5 】

[変形例]

第 1 の実施の形態において電圧制御部 1 3 0 は、誤差が最小になる電圧を線形探索アルゴリズムにより探索していたが、線形探索アルゴリズム以外のアルゴリズムにより、その電圧を探索してもよい。例えば、電圧制御部 1 3 0 は、二分探索アルゴリズムにより電源電圧を探索することもできる。第 1 の実施の形態の変形例の電圧制御部 1 3 0 は、二分探索アルゴリズムにより電源電圧を探索する点において第 1 の実施の形態と異なる。

【 0 0 6 6 】

図 8 は、第 1 の実施の形態の変形例における電圧制御部 1 3 0 の動作の一例を示すフローチャートである。変形例の電圧制御部 1 3 0 の動作は、ステップ S 9 0 7、S 9 0 8、S 9 1 0 および S 9 1 1 の代わりにステップ S 9 1 5 乃至 S 9 1 8 を実行する点において第 1 の実施の形態と異なる。

20

【 0 0 6 7 】

電圧制御部 1 3 0 は、変数 L に制御範囲内の電圧の上限値を設定し、変数 R に電圧の下限値を設定する（ステップ S 9 1 5）。そして、電圧制御部 1 3 0 は、 $(L + R) / 2$ の電圧に制御する制御データを生成して供給する（ステップ S 9 1 6）。電圧制御部 1 3 0 は、周期データ CYC の基準値に対する誤差を検出し（ステップ S 9 0 1）、誤差の検出が初回の検出であるか否かを判断する（ステップ S 9 0 2）。

【 0 0 6 8 】

2 回目以降の検出であれば（ステップ S 9 0 2 : No）、電圧制御部 1 3 0 は、ステップ S 9 0 4 および S 9 0 5 を実行する。

30

【 0 0 6 9 】

初回の検出である場合（ステップ S 9 0 2 : Yes）、または、誤差今回値の極性が誤差前回値と同一である場合（ステップ S 9 0 3 : No）、電圧制御部 1 3 0 は、周期データの示す値が基準値より大きいと判断する（ステップ S 9 0 6）。

【 0 0 7 0 】

周期データの示す値が基準値より大きいのであれば（ステップ S 9 0 6 : Yes）、電圧制御部 1 3 0 は、変数 L に $(L + R) / 2$ を設定し（ステップ S 9 1 7）、ステップ S 9 1 6 に戻る。

40

【 0 0 7 1 】

また、周期データの示す値が基準値以下である場合（ステップ S 9 0 6 : No）、電圧制御部 1 3 0 は、周期データの示す値が基準値より小さいと判断する（ステップ S 9 0 9）。

【 0 0 7 2 】

周期データの示す値が基準値より小さいのであれば（ステップ S 9 0 9 : Yes）、電圧制御部 1 3 0 は、変数 R に $(L + R) / 2$ を設定し（ステップ S 9 1 8）、ステップ S 9 1 6 に戻る。周期データが基準値である場合（ステップ S 9 0 9 : No）、電圧制御部 1 3 0 は、電圧を制御する動作を終了する。

【 0 0 7 3 】

50

このように第 1 の実施の形態における変形例によれば、電圧制御部 130 は、二分探索アルゴリズムを使用して探索を行うため、線形探索アルゴリズムを使用する場合よりも高速に電圧を探索することができる。

【0074】

< 2 . 第 2 の実施の形態 >

第 1 の実施の形態において半導体集積回路 100 は、電源が投入されたときに電源電圧の制御を行っていたが、電源が投入されたとき以外のタイミングにおいて電源電圧の制御を行ってもよい。遅延素子の遅延時間は、温度変化によっても変動するため、例えば、温度が所定の温度範囲外の値になったときにも電源電圧を制御することが望ましい。第 2 の実施の形態の半導体集積回路 100 は、温度が所定の温度範囲外の値になったときにも電源電圧の制御を行う点において第 1 の実施の形態と異なる。

10

【0075】

図 9 は、第 2 の実施の形態における半導体集積回路 100 の一構成例を示すブロック図である。第 2 の実施の形態の半導体集積回路 100 は、温度センサ 160 をさらに備える点において第 1 の実施の形態と異なる。

【0076】

温度センサ 160 は、半導体集積回路 100 の温度を測定するものである。この温度センサ 160 は、温度の測定値を集積回路制御部 110 に供給する。なお、温度センサ 160 は、特許請求の範囲に記載の温度測定部の一例である。

【0077】

第 2 の実施の形態の集積回路制御部 110 は、電源が投入された場合、または、温度センサ 160 により測定された温度が所定の温度範囲外の値である場合に、電圧制御部 130 に電源電圧の制御を開始させる。なお、集積回路制御部 110 は、温度が所定の温度範囲外の値であるときにのみ電源電圧の制御を開始させてもよい。

20

【0078】

このように、本技術の第 2 の実施の形態によれば、電圧制御部 130 は、温度が所定範囲外の値であるときに電源電圧を制御するため、温度が所定範囲外の値に変化した際にも、遅延素子の遅延時間を目標値にすることができる。

【0079】

< 3 . 第 3 の実施の形態 >

第 1 の実施の形態において半導体集積回路 100 は、電源が投入されたときに電源電圧の制御を行っていたが、一定時間ごとに電源電圧の制御を行ってもよい。第 3 の実施の形態の半導体集積回路 100 は、一定時間ごとに電源電圧の制御を行う点において第 1 の実施の形態と異なる。

30

【0080】

図 10 は、第 3 の実施の形態における半導体集積回路 100 の一構成例を示すブロック図である。第 3 の実施の形態の半導体集積回路 100 は、インターバルタイマ 170 をさらに備える点において第 1 の実施の形態と異なる。

【0081】

インターバルタイマ 170 は、時間を計時し、一定時間が経過するたびに、一定時間の経過を通知するイベント信号を生成して集積回路制御部 110 に供給するものである。

40

【0082】

第 3 の集積回路制御部 110 は、電源が投入された場合、または、イベント信号が供給された場合に、電圧制御部 130 に電源電圧の制御を開始させる。なお、集積回路制御部 110 は、イベント信号が供給された場合にのみ、電源電圧の制御を開始させてもよい。

【0083】

このように、本技術の第 3 の実施の形態によれば、電圧制御部 130 は、一定時間ごとに電源電圧の制御を行うため、時間の経過に伴って遅延時間が変化した場合であっても、その遅延時間を目標値に制御することができる。

【0084】

50

< 4 . 第 4 の実施の形態 >

第 1 の実施の形態において半導体集積回路 1 0 0 は、1 つの電源電圧のみを制御していたが、複数の電源電圧を制御してもよい。第 4 の実施の形態の半導体集積回路 1 0 0 は、複数の電源電圧を制御する点において第 1 の実施の形態と異なる。

【 0 0 8 5 】

図 1 1 は、第 4 の実施の形態における半導体集積回路 1 0 0 の一構成例を示すブロック図である。この第 4 の実施の形態の半導体集積回路 1 0 0 には、電源ドメイン A および電源ドメイン B が設けられる。電源ドメイン A は、電源電圧 V D D _ A が供給される領域であり、電源回路 1 2 0、電圧制御部 1 3 0、デコーダ部 1 4 0、コア回路 1 5 0 およびデジタル位相同期回路 2 0 0 が配置される。

10

【 0 0 8 6 】

一方、電源ドメイン B は、電源電圧 V D D _ A と異なる電源電圧 V D D _ B が供給される領域であり、電源回路 1 8 0 およびコア回路 1 9 0 が配置される。

【 0 0 8 7 】

電源回路 1 8 0 は、電源電圧 V D D _ B をコア回路 1 9 0 等に供給するものである。コア回路 1 9 0 は、高速クロック信号に同期して、音声処理、画像処理または通信処理などの所定の処理を行うものである。なお、電源回路 1 8 0 は、特許請求の範囲に記載の第 2 の電源回路の一例である。

【 0 0 8 8 】

第 4 の実施の形態の電源制御部 1 3 0 は、電源電圧 V D D _ A を制御する他、その制御量に基づいて電源電圧 V D D _ B も制御する。電源制御部 1 3 0 は、制御データ V C T R L _ B により、電源電圧 V D D _ A の制御量と同一の制御量だけ、電源電圧 V D D _ B を制御する。ここで、制御量の単位は、ボルト (V) であってもよいし、百分率であってもよい。例えば、電源電圧 V D D _ A が + 0 . 0 1 V または + 1 % 制御された際には、電源制御部 1 3 0 により、電源電圧 V D D _ B も + 0 . 0 1 V または + 1 % 制御される。

20

【 0 0 8 9 】

このように、本技術の第 4 の実施の形態によれば、電源制御部 1 3 0 が電源電圧 V D D _ A の制御量に基づいて電源電圧 V D D _ B を制御するため、複数の電源ドメインにおいて電源電圧を制御することができる。

【 0 0 9 0 】

30

< 5 . 第 5 の実施の形態 >

第 1 の実施の形態において半導体集積回路 1 0 0 は、1 つの電源電圧のみを制御していたが、複数の電源電圧を制御してもよい。第 5 の実施の形態の半導体集積回路 1 0 0 は、電源管理部をさらに設けて、複数の電源電圧を制御する点において第 1 の実施の形態と異なる。

【 0 0 9 1 】

図 1 2 は、第 5 の実施の形態における電子回路の一構成例を示すブロック図である。この電子回路は、半導体集積回路 1 0 0 に加えて、電源管理部 3 0 0 をさらに備える点において第 1 の実施の形態と異なる。

【 0 0 9 2 】

40

また、第 5 の実施の形態の半導体集積回路 1 0 0 には、電源ドメイン A および電源ドメイン B が設けられる。電源ドメイン A は、電源電圧 V D D _ A が供給される領域であり、電源回路 1 2 0、電圧制御部 1 3 0、デコーダ部 1 4 0、コア回路 1 5 0 およびデジタル位相同期回路 2 0 0 が配置される。

【 0 0 9 3 】

一方、電源ドメイン B は、電源電圧 V D D _ A と異なる電源電圧 V D D _ B が供給される領域であり、電源回路 1 8 0 およびコア回路 1 9 0 が配置される。

【 0 0 9 4 】

第 5 の実施の形態の電圧制御部 1 3 0 は、制御データ V C T R L _ A を電源回路 1 2 0 の他、電源管理部 3 0 0 にも供給する。

50

【 0 0 9 5 】

電源回路 1 8 0 は、電源電圧 V D D _ B をコア回路 1 9 0 等に供給するものである。コア回路 1 9 0 は、高速クロック信号に同期して、音声処理、画像処理または通信処理などの所定の処理を行うものである。なお、電源回路 1 8 0 は、特許請求の範囲に記載の第 2 の電源回路の一例である。

【 0 0 9 6 】

電源管理部 3 0 0 は、電源電圧 V D D _ A の制御量に基づいて電源電圧 V D D _ B を制御するものである。この電源管理部 3 0 0 は、制御データ V C T R L _ B により、電源電圧 V D D _ A の制御量と同一の制御量だけ、電源電圧 V D D _ B を制御する。ここで、制御量の単位は、ボルト (V) であってもよいし、百分率であってもよい。例えば、電源電圧 V D D _ A が + 0 . 0 1 V または + 1 % 制御された際には、電源管理部 3 0 0 により、電源電圧 V D D _ B も + 0 . 0 1 V または + 1 % 制御される。

10

【 0 0 9 7 】

このように、本技術の第 5 の実施の形態によれば、電源管理部 3 0 0 が電源電圧 V D D _ A の制御量に基づいて電源電圧 V D D _ B を制御するため、複数の電源ドメインにおいて電源電圧を制御することができる。

【 0 0 9 8 】

なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

20

【 0 0 9 9 】

また、上述の実施の形態において説明した処理手順は、これら一連の手順を有する方法として捉えてもよく、また、これら一連の手順をコンピュータに実行させるためのプログラム乃至そのプログラムを記憶する記録媒体として捉えてもよい。この記録媒体として、例えば、C D (Compact Disc)、M D (MiniDisc)、D V D (Digital Versatile Disc)、メモリカード、ブルーレイディスク (Blu-ray (登録商標) Disc) 等を用いることができる。

30

【 0 1 0 0 】

なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

【 0 1 0 1 】

なお、本技術は以下のような構成もとることができる。

(1) 電源電圧が高いほど短い遅延時間によりクロック信号を遅延させて遅延信号として供給する複数の遅延素子と、

前記遅延信号のそれぞれの値から前記遅延時間を取得する遅延時間取得部と、

前記取得された遅延時間が所定の目標値より長い場合には前記電源電圧を高く制御し、前記遅延時間が前記所定の目標値より短い場合には前記電源電圧を低く制御する電圧制御処理を実行する電圧制御部とを具備する電子回路。

40

(2) 前記電圧制御部は、前記複数の遅延素子に前記電源電圧が供給されると前記電圧制御処理を実行する

前記 (1) 記載の電子回路。

(3) 前記電子回路において温度を測定する温度測定部をさらに具備し、

前記電圧制御部は、前記測定された温度が所定の範囲外の温度である場合には前記電圧制御処理を実行する

前記 (1) または (2) 記載の電子回路。

(4) 前記電圧制御部は、一定時間が経過するたびに前記電圧制御処理を実行する

50

前記(1)から(3)のいずれかに記載の電子回路。

(5) 第1の電圧を前記電源電圧として供給する第1の電源回路と、
前記第1の電圧と異なる第2の電圧を供給する第2の電源回路とをさらに具備し、
前記電圧制御部は、前記電源電圧の制御量に基づいて前記第2の電圧をさらに制御する
前記(1)から(4)のいずれかに記載の電子回路。

(6) 第1の電圧を前記電源電圧として供給する第1の電源回路と、
前記第1の電圧と異なる第2の電圧を供給する第2の電源回路と、
前記電圧制御部による前記電源電圧の制御量に基づいて前記第2の電圧を制御する電源
管理部とをさらに具備する前記(1)から(4)のいずれかに記載の電子回路。

(7) 前記電圧制御部は、前記遅延時間と前記所定の目標値との間の差が最小となる探索
対象電圧を異なる複数の電圧の中から探索して当該探索した探索対象電圧に制御する
前記(1)から(6)のいずれかに記載の電子回路。

(8) 前記電圧制御部は、線形探索アルゴリズムを使用して前記探索対象電圧を探索する
前記(7)記載の電子回路。

(9) 前記電圧制御部は、二分探索アルゴリズムを使用して前記探索対象電圧を探索する
前記(7)記載の電子回路。

(10) 電源電圧が高いほど短い遅延時間によりクロック信号を遅延させて遅延信号とし
て供給する複数の遅延素子により供給された前記遅延信号のそれぞれの値から前記遅延時
間を取得する遅延時間取得手順と、

前記取得された遅延時間が所定の目標値より長い場合には前記電源電圧を高く制御し、
前記遅延時間が前記所定の目標値より短い場合には前記電源電圧を低く制御する電圧制御
処理を実行する電圧制御手順と
を具備する電子回路の制御方法。

(11) 電源電圧が高いほど短い遅延時間によりクロック信号を遅延させて遅延信号とし
て供給する複数の遅延素子と、

前記遅延信号のそれぞれの値から前記遅延時間を取得する遅延時間取得部と、
前記取得された遅延時間が所定の目標値より長い場合には前記電源電圧を高く制御し、
前記遅延時間が前記所定の目標値より短い場合には前記電源電圧を低く制御する電圧制御
処理を実行する電圧制御部と、

前記クロック信号に同期して所定の処理を行う処理回路と
を具備する電子装置。

【符号の説明】

【0102】

- 100 半導体集積回路
- 110 集積回路制御部
- 120、180 電源回路
- 130 電圧制御部
- 140 デコーダ部
- 150、190 コア回路
- 160 温度センサ
- 170 インターバルタイマ
- 200 デジタル位相同期回路
- 210 基準位相生成部
- 220 位相比較器
- 230 ループフィルタ
- 240 利得調整部
- 250 時間デジタル変換器
- 251 遅延素子
- 252 フリップフロップ
- 260 可変位相生成部

10

20

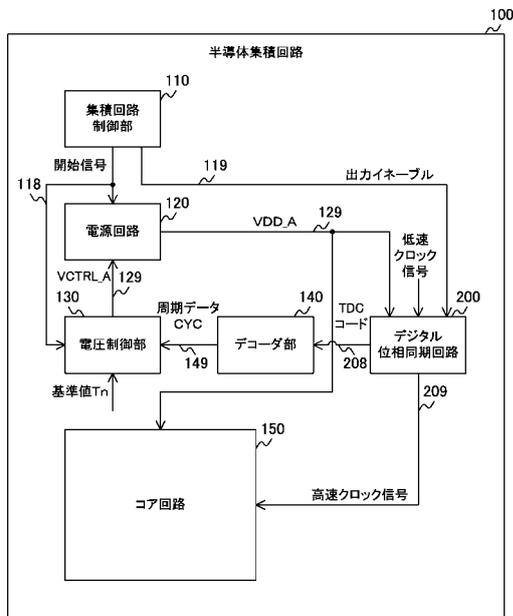
30

40

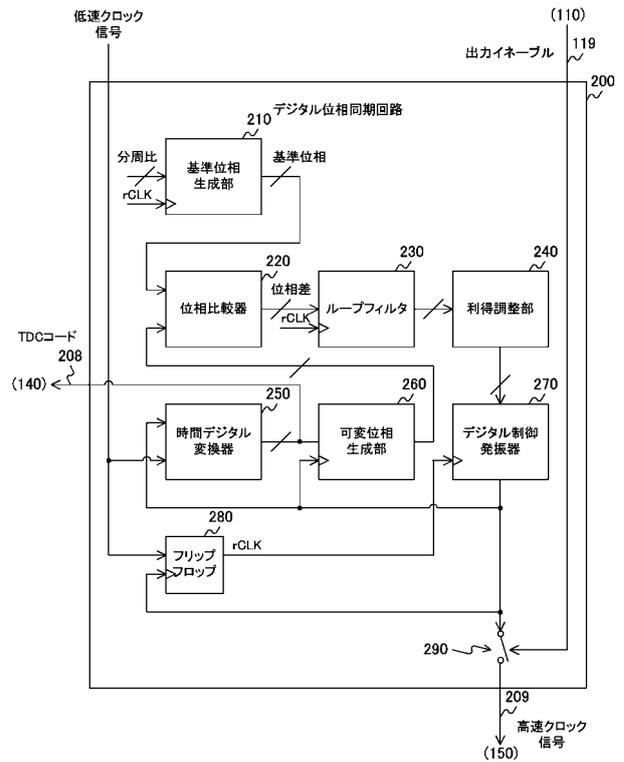
50

- 270 デジタル制御発振器
- 280 フリップフロップ
- 290 スイッチ
- 300 電源管理部

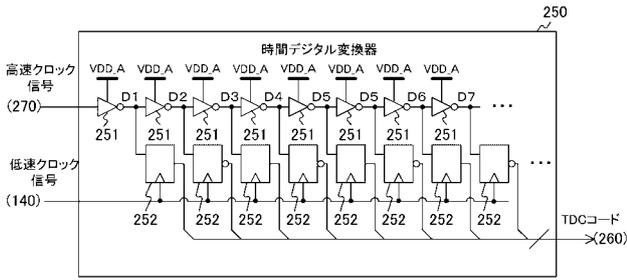
【図1】



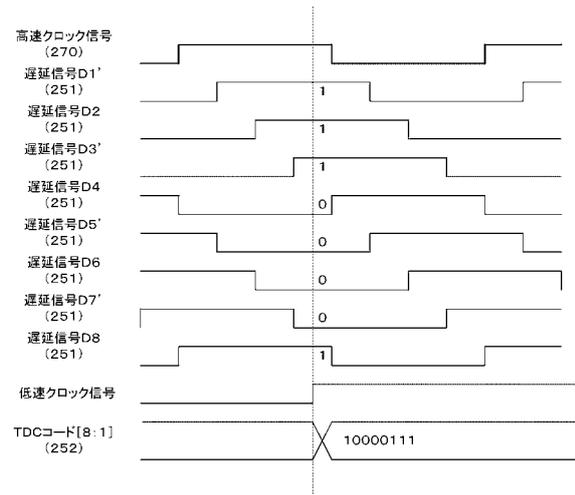
【図2】



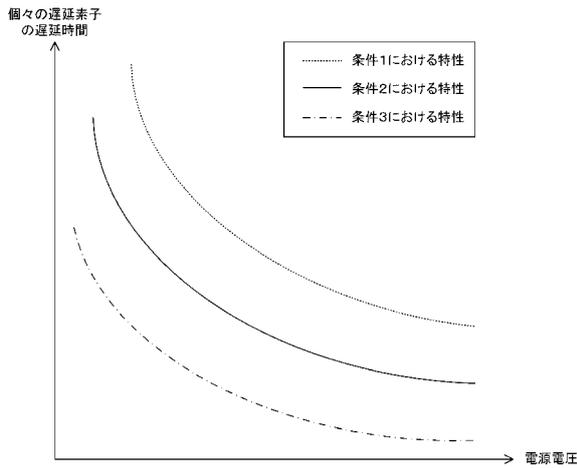
【 図 3 】



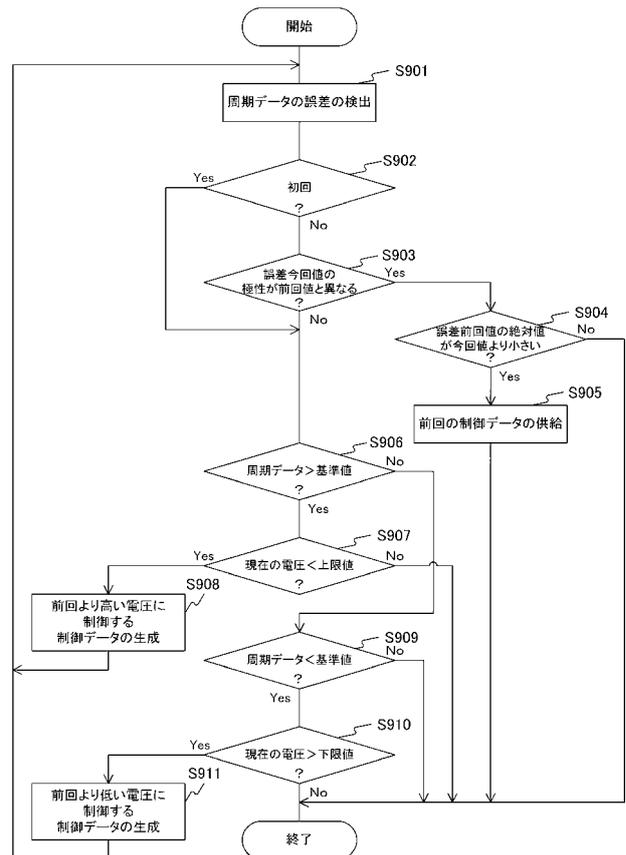
【 図 4 】



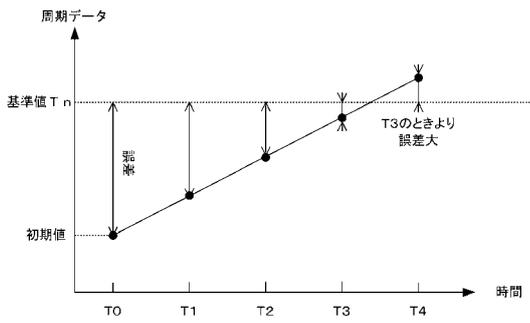
【 図 5 】



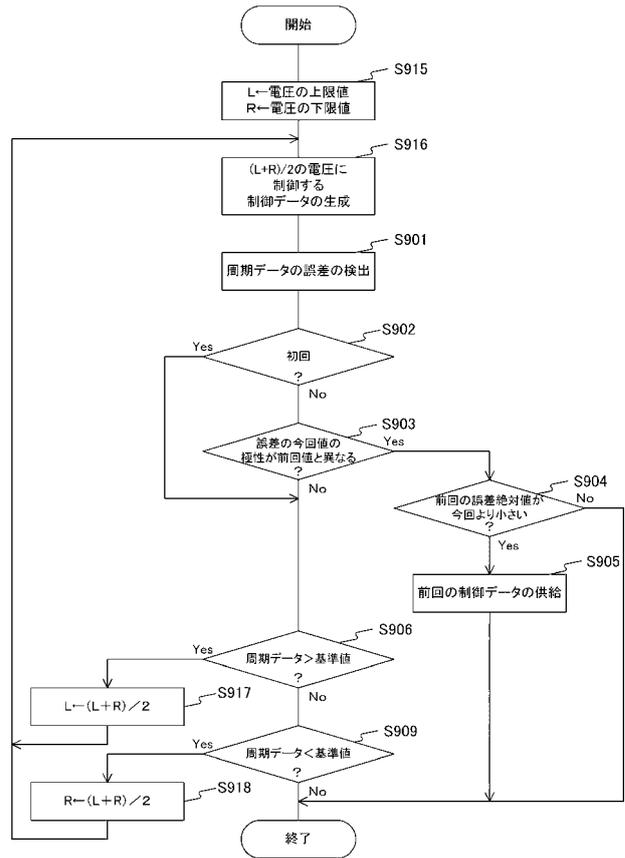
【 図 6 】



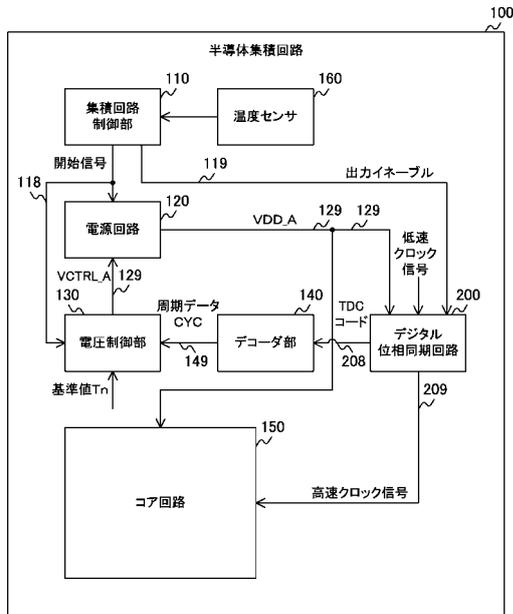
【図7】



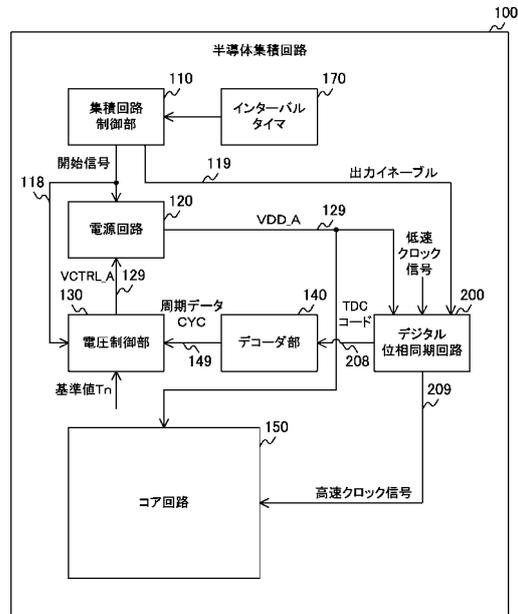
【図8】



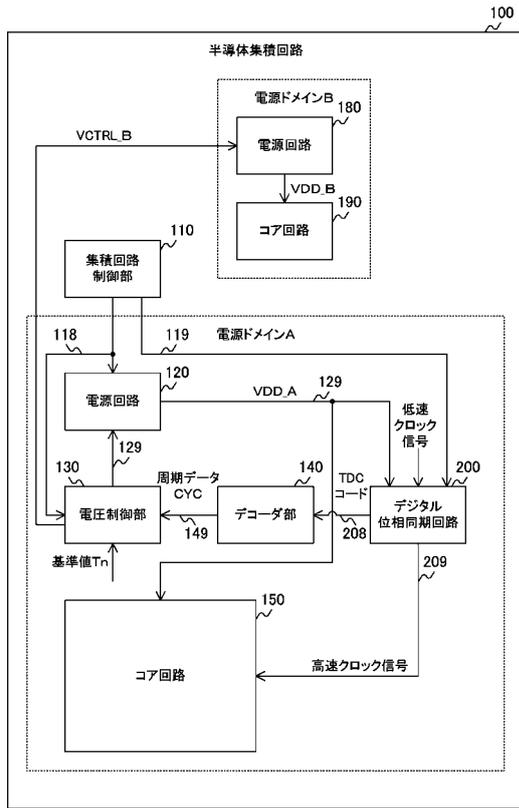
【図9】



【図10】



【図 1 1】



【図 1 2】

