



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년11월01일
(11) 등록번호 10-1671627
(24) 등록일자 2016년10월26일

(51) 국제특허분류(Int. Cl.)
H01L 21/306 (2006.01) H01L 29/16 (2006.01)
(52) CPC특허분류
H01L 21/30604 (2013.01)
H01L 21/02019 (2013.01)
(21) 출원번호 10-2015-0063142
(22) 출원일자 2015년05월06일
심사청구일자 2015년05월06일
(56) 선행기술조사문헌
KR1020110123578 A*
KR1020130050167 A*
KR1020140113929 A
US20120107562 A1
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
경희대학교 산학협력단
경기도 용인시 기흥구 덕영대로 1732 (서천동, 경희대학교 국제캠퍼스내)
(72) 발명자
최석호
경기도 수원시 영통구 매영로 366, 726동 1103호 (영통동, 현대아파트)
김정길
경기도 용인시 수지구 신봉1로48번길 29, 101동 402호(신봉동, 한일아파트)
(74) 대리인
김연권

전체 청구항 수 : 총 7 항

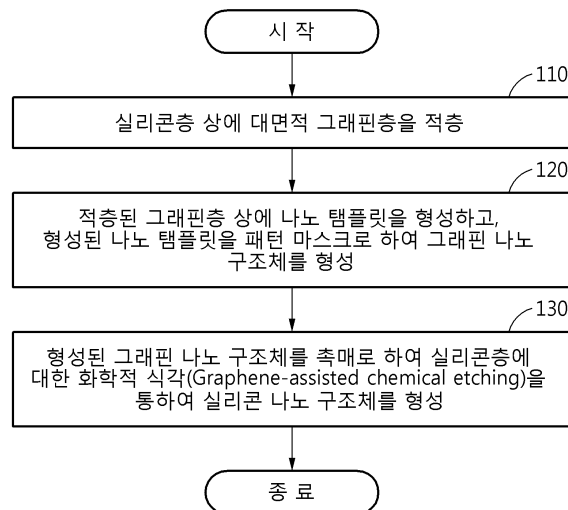
심사관 : 심병로

(54) 발명의 명칭 그래핀을 촉매로 한 실리콘의 화학적 식각 방법

(57) 요약

귀금속이 아닌 그래핀을 촉매로 사용하여 경제적인 비용 부담을 낮추고, 독성이 높은 강산성의 용액을 사용하지 않아 상대적으로 안전한 그래핀을 촉매로 한 실리콘의 화학적 식각 방법을 제공한다.

대표도 - 도1



(52) CPC특허분류

H01L 29/1606 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 2011-0017373

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 도전과제

연구과제명 그래핀 기반 융복합 나노구조의 특성 및 소자 응용 연구

기 여 율 1/1

주관기관 경희대학교 산학협력단

연구기간 2011.05.01 ~ 2016.04.30

공지예외적용 : 있음

명세서

청구범위

청구항 1

실리콘층 상에 대면적 그래핀층을 적층하는 단계;

상기 적층된 그래핀층 상에 나노 템플릿을 형성하고, 상기 형성된 나노 템플릿을 패턴 마스크로 하여 그래핀 나노 구조체를 형성하는 단계; 및

상기 형성된 그래핀 나노 구조체를 촉매로 하여 상기 실리콘층에 대한 화학적 식각(Graphene-assisted chemical etching)을 통하여 실리콘 나노 구조체를 형성하는 단계를 포함하며,

불산(HF) 및 과산화수소(H₂O₂)를 포함하는 혼합 식각용액 환경에서 상기 화학적 식각의 처리 조건에 기반하여 실리콘 나노 와이어(Si nanowire), 실리콘 원추 어레이(Si cone arrays), 실리콘 홀 어레이(Si hole arrays) 및 다공성 실리콘(Porous Si) 중 적어도 어느 하나의 상기 실리콘 나노 구조체를 형성하는

그래핀을 촉매로 하는 실리콘의 화학적 식각 방법.

청구항 2

제1항에 있어서,

그래핀 나노 구조체를 형성하는 상기 단계는,

상기 형성된 나노 템플릿에 산소 플라즈마 처리를 하여 상기 나노 템플릿을 통하여 노출된 그래핀층을 식각하여 상기 그래핀 나노 구조체를 형성하는 것을 특징으로 하는 그래핀을 촉매로 하는 실리콘의 화학적 식각 방법.

청구항 3

제1항에 있어서,

실리콘 나노 구조체를 형성하는 상기 단계는,

상기 나노 템플릿을 제거한 이후, 상기 형성된 그래핀 나노 구조체를 촉매로 하고, 식각용액 환경에서 상기 실리콘층을 식각하여 상기 실리콘 나노 구조체를 형성하는 것을 특징으로 하는 그래핀을 촉매로 하는 실리콘의 화학적 식각 방법.

청구항 4

제1항에 있어서,

그래핀 나노 구조체를 형성시키는 상기 단계는,

나노스피어 리소그래피(nanosphere lithography)를 이용하여 정렬된(ordered) 나노스피어 어레이(nanosphere array)를 상기 적층된 그래핀층 상에 형성하는 단계;

상기 형성된 나노스피어 어레이에 산소 플라즈마 처리를 하여 상기 나노스피어 어레이를 통하여 노출된 그래핀층을 식각하여 그래핀 나노닷(graphene nanodos)을 형성하는 단계; 및

상기 나노스피어 어레이를 제거하는 단계

를 포함하는 것을 특징으로 하는 그래핀을 촉매로 하는 실리콘의 화학적 식각 방법.

청구항 5

제4항에 있어서,

실리콘 나노 구조체를 형성하는 상기 단계는,

불산(HF) 및 과산화수소(H_2O_2)를 포함하는 상기 혼합 식각용액 환경에서 상기 형성된 그래핀 나노닷을 촉매로 하여 상기 실리콘층을 식각함으로써 상기 실리콘 나노 구조체를 형성하는 것을 특징으로 하는 그래핀을 촉매로 하는 실리콘의 화학적 식각 방법.

청구항 6

제1항에 있어서,

그래핀 나노 구조체를 형성시키는 상기 단계는,

양극산화 알루미늄 멤브레인(AAO membrane)을 준비하는 단계;

상기 준비된 양극산화 알루미늄 멤브레인 상에 금속 박막을 증착하는 단계;

상기 양극산화 알루미늄 멤브레인을 선택적으로 제거하여 형성되는 패터화된 금속 박막을 상기 적층된 그래핀층 상에 전사시키는 단계;

상기 전사된 패터화된 금속 박막에 산소 플라즈마 처리를 하여 상기 패터화된 금속 박막을 통하여 노출된 그래핀층을 식각하여 그래핀 메쉬(graphene mesh)를 형성하는 단계; 및

상기 패터화된 금속 박막을 선택적으로 제거하는 단계

를 포함하는 것을 특징으로 하는 그래핀을 촉매로 하는 실리콘의 화학적 식각 방법.

청구항 7

제6항에 있어서,

실리콘 나노 구조체를 형성하는 상기 단계는,

불산 및 과산화수소를 포함하는 상기 혼합 식각용액 환경에서 상기 형성된 그래핀 메쉬를 촉매로 하여 상기 실리콘층을 식각함으로써 상기 실리콘 나노 구조체를 형성하는 것을 특징으로 하는 그래핀을 촉매로 하는 실리콘의 화학적 식각 방법.

청구항 8

삭제

발명의 설명

기술 분야

[0001] 본 발명은 그래핀 나노 구조체를 촉매로 하여 화학적 식각법을 통해 실리콘 나노 구조체의 제조가 가능한 그래핀을 촉매로 한 실리콘의 화학적 식각 방법에 관한 것이다.

배경 기술

[0002] 지난 수년간 금, 은, 백금, 팔라듐, 구리와 같은 귀금속을 촉매로 한 반도체의 화학적 식각법(Metal-assisted chemical etching of semiconductor, MaCE)은 반도체 나노구조를 제작하는데 많이 활용되어 왔다.

[0003] 특히, 금속을 촉매로 한 화학적 식각법은 실리콘 나노선/나노홀, 다공성 실리콘과 같은 실리콘의 나노구조의 제작에 있어 눈에 띄는 우수한 결과를 가져왔다.

[0004] 최근 연구에 의하면, 구조적으로 제어된 실리콘 나노선 및 갈륨비소의 나노구조가 금속을 촉매로 한 화학적 식

각법을 통해 제작이 된 바 있다. 또한, 금속을 촉매로 한 화학적 식각법을 통하여 제작된 실리콘 나노선 및 다공성 실리콘은 태양전지, 광검출기, 분자센서와 같은 첨단소자의 기반물질로서 성공적으로 응용이 되고 있다.

[0005] 그러나 전술한 우수한 결과에도 불구하고, 금속을 촉매로 한 화학적 식각법은 오직 귀금속을 촉매로 사용해야 하고, 귀금속은 경제적으로 비용부담이 클 뿐만 아니라, 제거하는 방법이 매우 어렵다는 문제점이 있었다.

[0006] 또한, 종래의 금속을 촉매로 한 화학적 식각법은 식각 공정 중 귀금속을 제거하기 위하여 질산과 염산을 섞은 왕수와 같은 독성이 높은 강산성의 용액을 사용해야 하는 문제점도 있었다.

[0007] 최근 그래핀은 독특하고 우수한 물리적 특성 때문에 미래 신소재로서 많은 각광을 받고 있다. 그래핀은 높은 전기 전도도를 가질 뿐만 아니라 광학적으로도 높은 성능을 가지고 있어서 플렉시블 디스플레이와 터치패널 등 차세대 디스플레이 분야와 태양전지 등 에너지 사업분야, 스마트윈도우, RFID 등 다양한 전자 산업 분야에서 신소재로 활용도가 확대되고 있다.

[0008] 또한, 그래핀은 저렴하게 제작할 수 있고, 오직 탄소로만 구성되어 있어 독한 물질의 사용 없이 산소 플라즈마 처리를 통하여 손쉽게 제거를 할 수 있는 장점이 있다.

선행기술문헌

특허문헌

[0009] (특허문헌 0001) 미국공개특허 제2012/0301953호(2012.11.29), "graphene nanomesh and method of making the same"

(특허문헌 0002) 한국공개특허 제2013-0050167호(2013.05.15), "그래핀 나노-메시, 그래핀 나노-메시의 제조 방법, 및 그래핀 나노-메시를 이용한 전자 소자"

비특허문헌

[0010] (비특허문헌 0001) Zhipeng Huang , Nadine Geyer , Peter Werner , Johannes de Boor , and Ulrich Gosele, Adv. Mater. 2011, 23, 285-308

발명의 내용

해결하려는 과제

[0011] 본 발명은 그래핀을 촉매로 하는 실리콘의 화학적 식각 방법을 통하여 다양한 반도체 나노 구조체를 제조하는 방법을 제공하고자 한다.

[0012] 또한, 본 발명은 귀금속이 아닌 그래핀을 촉매로 사용하여 경제적인 비용 부담을 낮출 수 있는 그래핀을 촉매로 한 반도체의 화학적 식각 방법을 제공하고자 한다.

[0013] 또한, 본 발명은 식각 공정 중 독성이 높은 강산성의 용액을 사용하지 않고, 산소 플라즈마 처리를 통하여 촉매의 제거가 가능한 그래핀을 촉매로 한 반도체의 화학적 식각 방법을 제공하고자 한다.

과제의 해결 수단

[0014] 실시예에 따른 그래핀을 촉매로 하는 실리콘의 화학적 식각 방법은 실리콘층 상에 대면적 그래핀층을 적층하는 단계; 상기 적층된 그래핀층 상에 나노 템플릿을 형성하고, 상기 형성된 나노 템플릿을 패턴 마스크로 하여 그래핀 나노 구조체를 형성하는 단계; 및 상기 형성된 그래핀 나노 구조체를 촉매로 하여 상기 실리콘층에 대한 화학적 식각(Graphene-assisted chemical etching)을 통하여 실리콘 나노 구조체를 형성하는 단계를 포함한다.

[0015] 그래핀 나노 구조체를 형성하는 상기 단계는, 상기 형성된 나노 템플릿에 산소 플라즈마 처리를 하여 상기 나노 템플릿을 통하여 노출된 그래핀층을 식각하여 상기 그래핀 나노 구조체를 형성할 수 있다.

[0016] 실리콘 나노 구조체를 형성하는 상기 단계는, 상기 나노 템플릿을 제거한 이후, 상기 형성된 그래핀 나노 구조

체를 촉매로 하고, 식각용액 환경에서 상기 실리콘층을 식각하여 상기 실리콘 나노 구조체를 형성할 수 있다.

- [0017] 그래핀 나노 구조체를 형성시키는 상기 단계는, 나노스피어 리소그래피(nanosphere lithography)을 이용하여 정렬된(ordered) 나노스피어 어레이(nanosphere array)를 상기 적층된 그래핀층 상에 형성하는 단계; 상기 형성된 나노스피어 어레이에 산소 플라즈마 처리를 하여 상기 나노스피어 어레이를 통하여 노출된 그래핀층을 식각하여 그래핀 나노닷(graphene nanodos)을 형성하는 단계; 및 상기 나노스피어 어레이를 제거하는 단계를 포함할 수 있다.
- [0018] 실리콘 나노 구조체를 형성하는 상기 단계는, 불산(HF) 및 과산화수소(H_2O_2)를 포함하는 식각용액 환경에서 상기 형성된 그래핀 나노닷을 촉매로 하여 상기 실리콘층을 식각함으로써 상기 실리콘 나노 구조체를 형성할 수 있다.
- [0019] 그래핀 나노 구조체를 형성시키는 상기 단계는, 양극산화 알루미늄 멤브레인(AAO membrane)을 준비하는 단계; 상기 준비된 양극산화 알루미늄 멤브레인 상에 금속 박막을 증착하는 단계; 상기 양극산화 알루미늄 멤브레인을 선택적으로 제거하여 형성되는 패턴화된 금속 박막을 상기 적층된 그래핀층 상에 전사시키는 단계; 상기 전사된 패턴화된 금속 박막에 산소 플라즈마 처리를 하여 상기 패턴화된 금속 박막을 통하여 노출된 그래핀층을 식각하여 그래핀 메쉬(graphene mesh)를 형성하는 단계; 및 상기 패턴화된 금속 박막을 선택적으로 제거하는 단계를 포함할 수 있다.
- [0020] 실리콘 나노 구조체를 형성하는 상기 단계는, 불산 및 과산화수소를 포함하는 식각용액 환경에서 상기 형성된 그래핀 메쉬를 촉매로 하여 상기 실리콘층을 식각함으로써 상기 실리콘 나노 구조체를 형성할 수 있다.
- [0021] 상기 실리콘 나노 구조체는 실리콘 나노 와이어(Si nanowire), 실리콘 원추 어레이(Si cone arrays), 실리콘 홀 어레이(Si hole arrays) 및 다공성 실리콘(Porous Si) 중 어느 하나일 수 있다.

발명의 효과

- [0022] 본 발명에 따르면, 그래핀을 촉매로 하는 실리콘의 화학적 식각 방법을 통하여 다양한 반도체 나노 구조체를 제조할 수 있다.
- [0023] 또한, 본 발명에 따르면, 귀금속이 아닌 그래핀을 촉매로 사용하여 경제적인 비용 부담을 낮출 수 있다.
- [0024] 또한, 본 발명에 따르면 식각 공정 중 독성이 높은 강산성의 용액을 사용하지 않고, 산소 플라즈마 처리를 통하여 촉매의 제거가 가능한 그래핀을 촉매로 한 반도체의 화학적 식각 방법을 제공할 수 있다.

도면의 간단한 설명

- [0025] 도 1은 본 발명의 실시예에 따른 그래핀을 촉매로 하는 실리콘의 화학적 식각 방법을 설명하기 위한 흐름도를 도시한 것이다.
- 도 2a 내지 도 2d는 본 발명의 실시예에 따른 나노스피어 리소그래피를 이용하여 그래핀 나노 구조체를 제작하고, 그래핀 나노 구조체를 촉매로 한 실리콘의 화학적 식각 방법의 프로세스를 도시한 것이다.
- 도 3a 내지 도 3f는 본 발명의 다른 실시예에 따른 양극산화 알루미늄 멤브레인을 이용하여 그래핀 나노 구조체를 제작하고, 그래핀 나노 구조체를 촉매로 한 실리콘의 화학적 식각 방법의 프로세스를 도시한 것이다.
- 도 4a 내지 도 4c는 본 발명의 실시예에 의한 그래핀을 촉매로 한 화학적 식각 방법을 통하여 제작된 실리콘 나노 구조체의 예를 도시한 것이다.
- 도 5a 및 도 5b는 본 발명의 실시예에 따른 그래핀 나노 구조체를 제작하기 위한 산소 플라즈마의 처리 전의 주사전자현미경(SEM, scanning electron microscopy) 이미지를 도시한 것이다.
- 도 6a 및 도 6b는 본 발명의 실시예에 따라 제작된 그래핀 나노 구조체에 대한 주사전자현미경(SEM, scanning electron microscopy) 이미지를 도시한 것이다.
- 도 7a 내지 도 7c는 본 발명의 실시예에 따른 그래핀을 촉매로 한 실리콘의 화학적 식각 방법을 통하여 제작된 실리콘 나노 구조체에 대한 주사전자현미경 이미지를 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 이하 첨부 도면들 및 첨부 도면들에 기재된 내용들을 참조하여 본 발명의 실시예를 상세하게 설명하지만, 본 발명이 실시예에 의해 제한되거나 한정되는 것은 아니다.
- [0027] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다.
- [0028] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below 또는 beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있으며, 이 경우 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.
- [0029] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0030] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0031] 한편, 본 발명을 설명함에 있어서, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는, 그 상세한 설명을 생략할 것이다. 그리고, 본 명세서에서 사용되는 용어(terminology)들은 본 발명의 실시예를 적절히 표현하기 위해 사용된 용어들로서, 이는 사용자, 운용자의 의도 또는 본 발명이 속하는 분야의 관례 등에 따라 달라질 수 있다. 따라서, 본 용어들에 대한 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.
- [0032] 도 1은 본 발명의 실시예에 따른 그래핀을 촉매로 하는 실리콘의 화학적 식각 방법을 설명하기 위한 흐름도를 도시한 것이다.
- [0033] 도 1을 참조하면, 본 발명의 실시예에 따른 그래핀을 촉매로 한 실리콘의 화학적 식각 방법은 단계 110 에서 실리콘층 상에 대면적으로 그래핀층을 적층한다.
- [0034] 단계 110은 그래핀을 화학기상증착법(chemical vapor deposition, CVD)을 이용하여 성장시키고, 대면적으로 성장시킨 그래핀을 실리콘 기판 상에 전사하는 단계일 수 있다.
- [0035] 단계 120에서 적층된 그래핀층 상에 나노 템플릿을 형성하고, 형성된 나노 템플릿을 패턴 마스크로 하여 그래핀 나노 구조체를 형성한다.
- [0036] 예를 들어, 단계 120은 형성된 나노 템플릿에 산소 플라즈마 처리를 하여 나노 템플릿을 통하여 노출된 그래핀층을 식각하여 그래핀 나노 구조체를 형성하는 단계일 수 있다.
- [0037] 또한, 실시예에 따라서는 단계 120은 그래핀층 상에 나노스피어 리소그래피(nanosphere lithography)를 이용하여 제조되는 정렬된 나노스피어 어레이를 형성하고, 형성된 나노스피어 어레이에 산소 플라즈마 처리를 하여 나노스피어 어레이를 통하여 노출된 그래핀층을 식각한 이후, 나노스피어 어레이를 제거하여 그래핀 나노 구조체를 형성하는 단계를 포함할 수 있다.
- [0038] 이 경우, 형성된 그래핀 나노 구조체는 그래핀 나노닷(graphene nanodots)일 수 있다.
- [0039] 또한, 다른 실시예에 따라 단계 120은 양극산화 알루미늄(anodized aluminum oxide, AAO) 상에 금속 박막을 증착하고, 양극산화 알루미늄 멤브레인(membrane)을 선택적으로 제거하며, 선택적 제거를 통해 형성된 패턴화된 금속 박막을 상기 적층된 그래핀층 상에 전사시킨 이후, 산소 플라즈마 처리를 하여 상기 패턴화된 금속 박막을 통하여 노출된 그래핀층을 식각한 이후, 패턴화된 금속 박막을 선택적으로 제거하여 그래핀 나노 구조체를 형성

하는 단계를 포함할 수 있다.

- [0040] 이 경우, 형성된 그래핀 나노 구조체는 그래핀 메쉬(graphene mesh)일 수 있다.
- [0041] 단계 130에서 형성된 그래핀 나노 구조체를 촉매로 하여 실리콘층에 대한 화학적 식각(Graphene-assisted chemical etching)을 통하여 실리콘 나노 구조체를 형성한다.
- [0042] 단계 130은 나노 템플릿을 제거한 이후, 형성된 그래핀 나노 구조체를 촉매로 하고, 식각 용액 환경에서 실리콘층을 식각하여 실리콘 나노 구조체를 형성할 수 있다.
- [0043] 상기 실리콘 나노 구조체는 실리콘 나노 와이어(Si nanowire), 실리콘 원추 어레이(Si cone arrays), 실리콘 홀 어레이(Si hole arrays) 및 다공성 실리콘(porous Si) 중 어느 하나일 수 있다.
- [0044] 도 2a 내지 도 2d는 본 발명의 일실시예에 따른 나노스피어 리소그래피를 이용하여 그래핀 나노 구조체를 제작하고, 그래핀 나노 구조체를 촉매로 한 실리콘의 화학적 식각 방법의 프로세스를 도시한 것이다.
- [0045] 도 2a를 참고하면, 본 발명의 일실시예에 따른 그래핀을 촉매로 하는 실리콘의 화학적 식각 방법은 실리콘층(210) 상에 대면적으로 그래핀층(220)을 적층한다.
- [0046] 그래핀층(220)은 화학기상증착법(chemical vapor deposition, CVD)을 이용하여 성장시킬 수 있고, 대면적으로 성장시킨 그래핀층(220)을 실리콘층(210) 상에 전사시킬 수 있다.
- [0047] 이를 보다 구체적으로 설명하면, 화학기상증착법을 이용한 그래핀 제조는 촉매층으로 활용할 구리(또는 니켈)를 기판 위에 증착하고, 고온에서 메탄 및 수소의 혼합가스와 반응시켜 적절한 양의 탄소가 촉매층에 녹아 들어가거나 흡착되도록 하고, 냉각을 하여 촉매층에 포함되어 있던 탄소원자들이 표면에서 결정화되면서 그래핀 결정 구조를 급속 위에 형성한다.
- [0048] 이후, 합성된 그래핀 박막에서 촉매층을 제거함으로써 기판으로부터 분리시킨 후 그래핀을 제조할 수 있다.
- [0049] 이후, 폴리메타크릴산메틸(Poly(methyl methacrylate) 및 벤젠을 혼합한 PMMA를 합성된 그래핀 위에 스핀-코팅하는데, PMMA의 코팅을 통하여 PMMA가 과황산암모늄(ammonium persulfate) 용액을 사용하여 구리 호일을 제거할 때 그래핀을 잡아서 고정시키는 역할을 하도록 할 수 있다.
- [0050] 이후, 과황산암모늄 용액에 구리 호일을 제거한 후, 그래핀 상에 잔존하는 과황산암모늄 용액을 초순수(DI water)로 세척하고, 세척된 그래핀을 실리콘층(210) 상에 전사하여 그래핀층(220)을 형성할 수 있다.
- [0051] 다음으로, 그래핀층(220)을 실리콘층(210)에 전사한 후 열처리를 통하여 실리콘층(210) 및 그래핀층(220) 사이의 결합력을 높일 수 있다. 열처리 이후, 아세톤을 사용하여 그래핀 위에 존재하는 PMMA를 제거하고, 그래핀 표면에 남아 있는 PMMA 잔여물을 제거하기 위해 급속열처리기로 열처리하여 최종적으로 그래핀층(220)을 형성할 수 있다.
- [0052] 도 2b를 참고하면, 본 발명의 일실시예에 따른 그래핀을 촉매로 하는 실리콘의 화학적 식각 방법은 실리콘층(210) 상에 적층된 그래핀층(220) 위에 나노스피어 리소그래피를 이용하여 정렬된(ordered) 나노스피어 어레이(nanosphere array, 230)를 형성한다.
- [0053] 예를 들어, 나노스피어 리소그래피를 이용한 나노스피어 어레이의 형성을 위하여 물 위에 직경이 100~1000nm인 폴리스티렌 비드(Polystyrene bead, PS bead)를 뿌려서 단층으로 입힌 후 도데실 황산 나트륨(Sodium dodecyl sulfate, NaDS)를 물 위에 뿌린다.
- [0054] 이를 통하여 폴리스티렌이 육방배열을 갖는 구조로 서로 표면이 달라붙게 되고, 폴리스티렌 비드 어레이(230)가 제조될 수 있다.
- [0055] 도 2b에 도시된 바와 같이 전술하여 제조된 폴리스티렌 비드 어레이(230)를 그래핀층(220) 위에 전사한다.
- [0056] 도 2c 및 도 2d를 참조하면, 본 발명의 일실시예에 따른 그래핀을 촉매로 하는 실리콘의 화학적 식각 방법은 형성된 나노스피어 어레이(230)에 산소 플라즈마 처리를 하고, 나노스피어 어레이(230)를 통하여 노출된 그래핀층(220)을 식각하며, 나노스피어 어레이(230)를 제거하여 그래핀 나노닷(graphene nanodos, 310)의 그래핀 나노 구조체를 형성한다.
- [0057] 보다 구체적으로는, 도 2c에 도시된 바와 같이 나노스피어 어레이(230)에 산소 플라즈마 처리를 하면 나노스피

어 어레이의 나노스피어의 직경이 줄어들고, 동시에 표면에 노출된 그래핀층(220)이 제거된다.

- [0058] 이후, 도 2d에 도시된 바와 같이 나노스피어 어레이(230)를 제거하여 그래핀 나노닷(310) 형태의 그래핀 나노 구조체를 형성한다. 예를 들면, 나노스피어 어레이(230)가 폴리스티렌 비드 어레이인 경우, 아세톤으로 처리하여 선택적으로 폴리스티렌을 제거하여 그래핀 나노닷(310)을 형성할 수 있다.
- [0059] 이후, 형성된 그래핀 나노 구조체인 그래핀 나노닷(310)을 촉매로 하여 실리콘층(210)에 대한 화학적 식각(Graphene-assisted chemical etching)을 통하여 실리콘 나노 구조체를 제작할 수 있다.
- [0060] 도 3a 내지 도 3f는 본 발명의 다른 실시예에 따른 양극산화 알루미늄 멤브레인을 이용하여 그래핀 나노 구조체를 제작하고, 그래핀 나노 구조체를 촉매로 한 실리콘의 화학적 식각 방법의 프로세스를 도시한 것이다.
- [0061] 도 3a 및 도 3b를 참고하면, 본 발명의 다른 실시예에 따른 그래핀을 촉매로 하는 실리콘의 화학적 식각 방법은 양극산화 알루미늄 멤브레인(AAO membrane, 240)을 준비하고, 준비된 양극산화 알루미늄 멤브레인(240) 상에 금속 박막(250)을 증착한다.
- [0062] 도 3c 및 도 3d를 참고하면, 본 발명의 다른 실시예에 따른 그래핀을 촉매로 하는 실리콘의 화학적 식각 방법은 양극산화 알루미늄 멤브레인(240)을 선택적으로 제거하고, 이를 통하여 형성되는 패터화된 금속 박막(250)을 실리콘층(210) 상에 적층된 그래핀층(220) 위에 전사시킬 수 있다.
- [0063] 예를 들면, 육방 배열의 채널을 갖는 알루미늄 멤브레인(240)의 표면에 금 박막을 50nm 두께로 증착하고, KOH 또는 NaOH 와 같은 용액 위에 띄워 알루미늄 멤브레인(240)만 선택적으로 제거할 수 있고, 알루미늄 멤브레인(240)의 구멍 배열 모양을 똑같이 갖고 있는 금 박막(250)을 제작할 수 있다. 이후, 제작된 금 박막(250)을 그래핀층(220) 위에 전사시킨다.
- [0064] 또한, 실리콘층(210) 상에 적층된 그래핀층(220)의 형성 과정은 도 2a 에서 전술하여 설명한 바와 동일하여 이에 대한 상세한 설명은 생략하기로 한다.
- [0065] 도 3e 및 도 3f를 참조하면, 본 발명의 다른 실시예에 따른 그래핀을 촉매로 하는 실리콘의 화학적 식각 방법은 도 3e에 도시된 바와 같이 전사된 패터화된 금속 박막(250)에 산소 플라즈마 처리를 하여 패터화된 금속 박막(250)을 통하여 노출된 그래핀층(220)을 식각한 이후, 패터화된 금속 박막(250)을 선택적으로 제거하면 도 3f에 도시된 바와 같이 그래핀 메쉬(graphene mesh, 320)를 형성할 수 있다.
- [0066] 이후, 형성된 그래핀 나노 구조체인 그래핀 메쉬(320)를 촉매로 하여 실리콘층(210)에 대한 화학적 식각(Graphene-assisted chemical etching)을 통하여 실리콘 나노 구조체를 형성할 수 있다.
- [0067] 이하에서는 도 4a 내지 도 4c를 참고하여 그래핀 나노 구조체를 촉매로 한 화학적 식각 방법을 통하여 제작된 실리콘 나노 구조체를 설명하기로 한다.
- [0068] 도 4a 내지 도 4c는 본 발명의 실시예에 의한 그래핀을 촉매로 한 화학적 식각 방법을 통하여 제작된 실리콘 나노 구조체의 예를 도시한 것이다.
- [0069] 도 4a 내지 도 4c를 참고하면, 본 발명의 실시예에 따른 그래핀을 촉매로 한 실리콘의 화학적 식각 방법을 통하여 실리콘 나노 와이어(Si nanowire), 실리콘 원추 어레이(Si cone arrays), 실리콘 홀 어레이(Si hole arrays) 및 다공성 실리콘(Porous Si)와 같은 실리콘 나노 구조체를 제작할 수 있다.
- [0070] 실시예에 따르면, 도 3f의 n 형 실리콘층(210) 위에 제작한 그래핀 메쉬(320)를 50도 이상에서 부피비가 10:0.5인 불산 및 과산화수소수의 혼합 식각 용액에 넣으면 수 십분 후에 그래핀 메쉬(320)가 덮고 있는 부분이 식각되고, 그래핀 메쉬(320)의 구멍에 남은 실리콘이 도 4a에 도시된 것과 같은 나노 와이어 또는 원추 어레이의 모습을 갖도록 제조할 수 있다.
- [0071] 또한, 다른 실시예에 따르면, 도 2d의 n 형 실리콘층(210) 위에 제작한 그래핀 나노닷(310)을 불산 및 과산화수소수의 혼합 식각 용액에 수 십분간 넣으면 그래핀 나노닷(310)이 선택적으로 식각되어 도 4b에 도시된 것과 같은 실리콘 홀 어레이를 제작할 수 있다.
- [0072] 또 다른 실시예에 따르면, 도 3f의 n 형 실리콘층(210) 위에 제작한 그래핀 메쉬(320)를 부피비가 1:1인 불산 및 과산화수소수의 혼합 식각 용액에 수분간 넣으면 실리콘 표면이 전체적으로 식각되어 도 4c에 도시된 것과

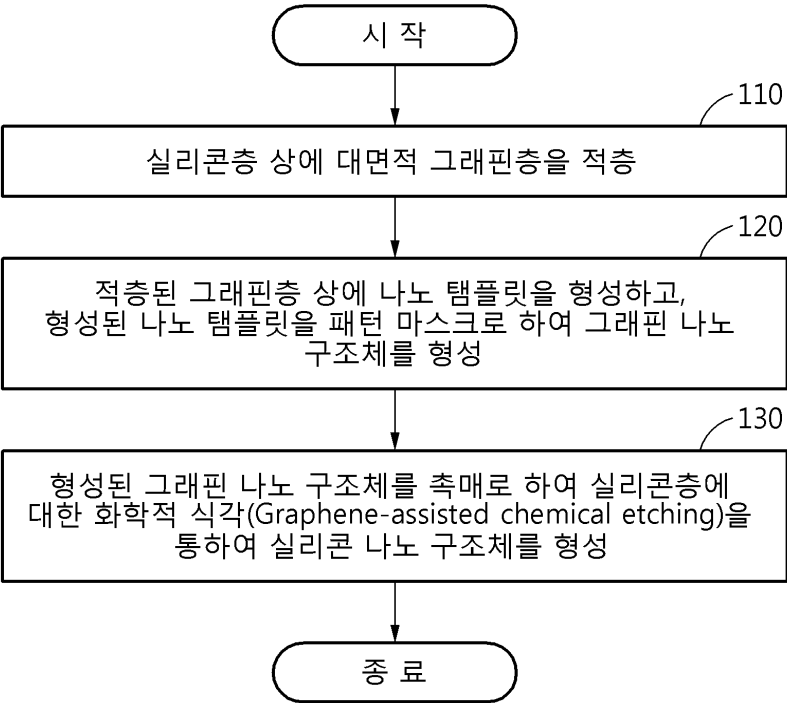
같은 다공성 실리콘을 제작할 수 있다.

- [0073] 실리콘 나노 구조체를 제작하기 위한 불산 및 과산화수소수의 혼합 식각 용액에서의 식각 시간은 30분 이상일 수 있고, 상기 식각 시간이 증가할 수록 실리콘층(210)의 식각 정도가 증가되어 기둥의 길이가 긴 실리콘 원추 어레이 및 더 깊은 구멍을 갖는 실리콘 홀 어레이와 같은 실리콘 나노 구조체를 형성할 수 있다.
- [0074] 도 5a 및 도 5b 는 본 발명의 실시예에 따른 그래핀 나노 구조체를 제작하기 위한 산소 플라즈마의 처리 전의 주사전자현미경(SEM, scanning electron microscopy) 이미지를 도시한 것이다.
- [0075] 도 5a는 도 2b에 도시된 바와 같은 그래핀층 상에 전사된 폴리스티렌 비드 어레이의 주사전자현미경 이미지를 도시한 것으로서, 도 5a를 참고하면, 폴리스티렌 비드 어레이가 육방 배열의 형태로 그래핀층 상에 전사된 것을 확인할 수 있다.
- [0076] 도 5b는 도 3에 도시된 바와 같은 양극산화 알루미늄(AAO)로부터 얻은 홀 배열을 갖는 금속(Au) 박막을 그래핀층 상에 전사한 주사전자현미경 이미지를 도시한 것으로서, 도 5b를 참고하면, 금속 박막인 금 박막이 육방 배열의 구멍 배열을 갖고 그래핀층 상에 잘 전사된 것을 확인할 수 있다.
- [0077] 도 6a 및 도 6b는 본 발명의 실시예에 따라 제작된 그래핀 나노 구조체에 대한 주사전자현미경(SEM, scanning electron microscopy) 이미지를 도시한 것이다.
- [0078] 도 6a은 도 5a의 그래핀층 상에 전사된 폴리스티렌 비드 어레이에 산소 플라즈마를 50W로 1분간 처리하고 폴리스티렌을 아세톤을 사용하여 선택적으로 제거한 후의 실리콘층 상의 그래핀 나노닷의 주사전자현미경 이미지를 도시한 것으로서, 실리콘층 상에 그래핀 나노닷이 잘 형성된 것을 확인할 수 있다.
- [0079] 도 6b는 도 5b에서의 그래핀층 상에 전사된 금 박막에 대하여 산소 플라즈마를 50W로 1분간 처리하고 처리하고, 금 박막을 테이프를 사용하여 선택적으로 제거한 후 실리콘 상에 그래핀 메쉬를 도시한 주사전자현미경 이미지로서, 실리콘층 상에 그래핀 메쉬가 잘 형성된 것을 확인할 수 있다.
- [0080] 도 7a 내지 도 7c는 본 발명의 실시예에 따른 그래핀을 촉매로 한 실리콘의 화학적 식각 방법을 통하여 제작된 실리콘 나노 구조체에 대한 주사전자현미경 이미지를 도시한 것이다.
- [0081] 도 7a는 직경이 약 50 nm인 실리콘 기둥 배열(Si pillars)에 대한 주사전자현미경 이미지로서, 평평한 실리콘층 표면에 형성된 기둥 배열을 확실히 구별할 수 있으며, 표면은 아주 매끄럽지 않고 다소 거친 것을 확인할 수 있다.
- [0082] 도 7b는 얇은 홀 배열(hole arrays)을 갖는 실리콘 홀 어레이에 대한 주사전자현미경 이미지이고, 도 7c는 실리콘층 표면에 형성된 수 nm 미만의 크기를 갖는 다공성 실리콘에 대한 주사전자현미경 이미지로서, 본 발명의 그래핀을 촉매로 한 실리콘의 화학적 식각 방법에 따르면, 식각 공정 처리 조건에 따라 다양한 형태의 실리콘 나노 구조체를 제작할 수 있다.
- [0083] 전술한 바와 같이 본 발명의 실시예에 따른 그래핀을 촉매로 한 실리콘의 화학적 식각 방법은 실리콘뿐만 아니라, 갈륨비소(GaAs) 및 인듐인(InP)와 같은 다양한 반도체에 대해서도 화학적 식각이 가능하다.
- [0084] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.
- [0085]
- [0086] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한

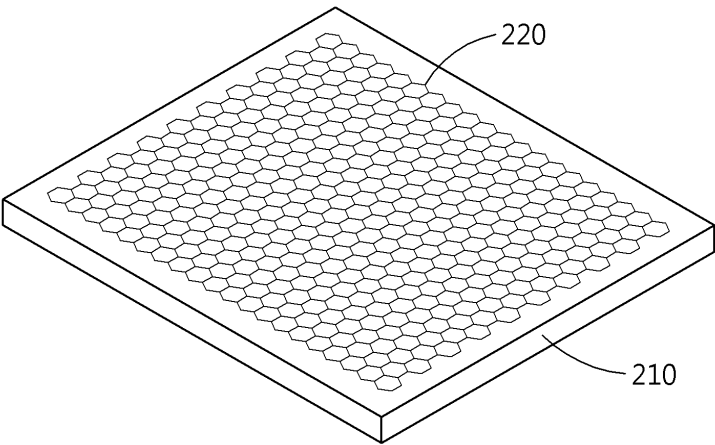
다.

도면

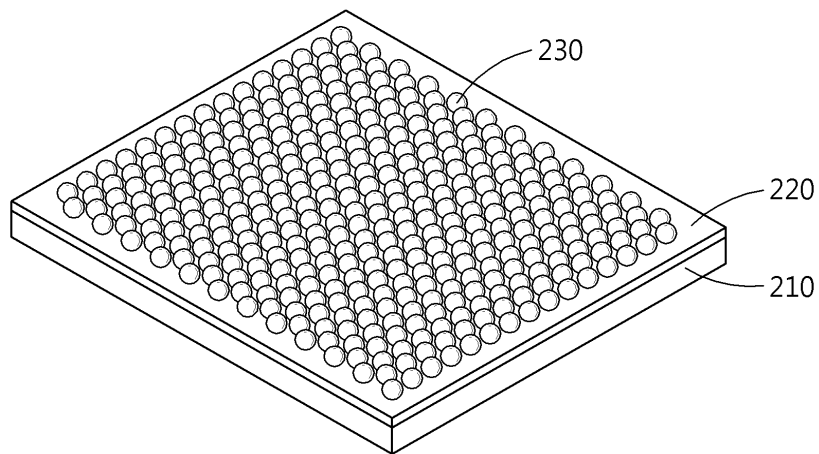
도면1



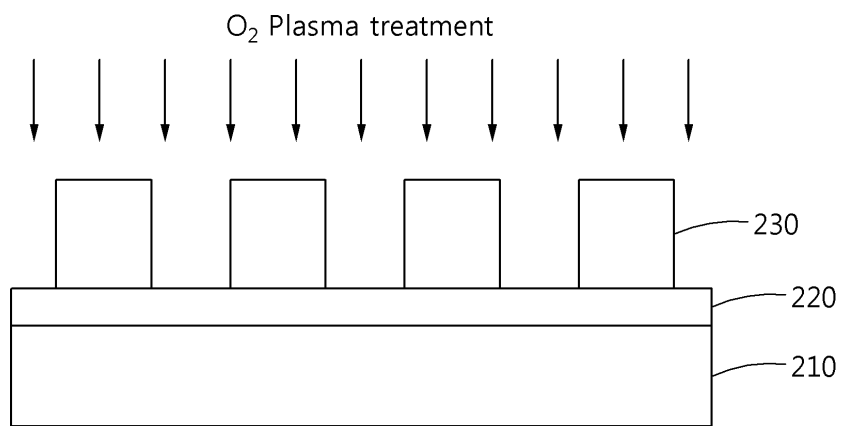
도면2a



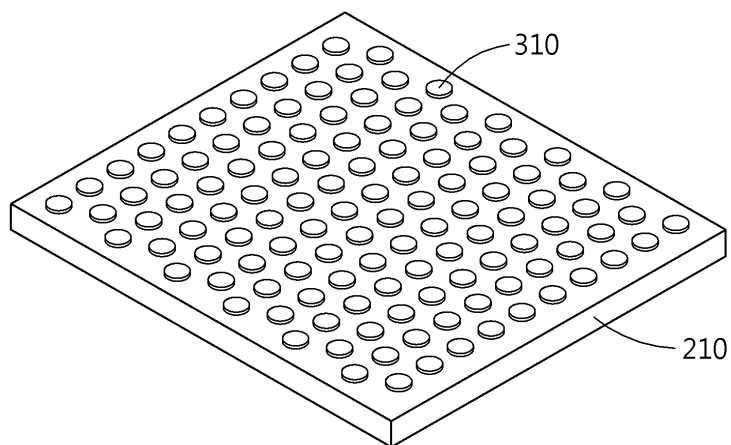
도면2b



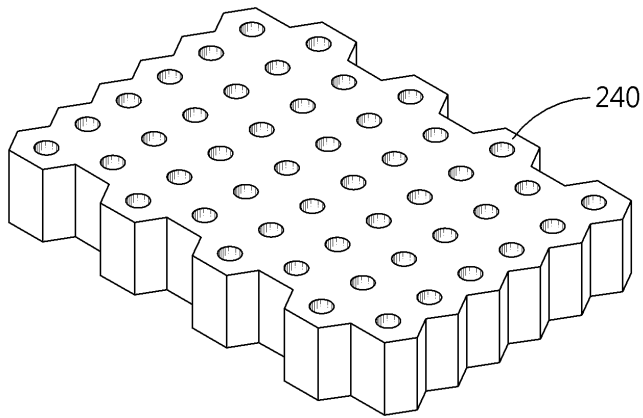
도면2c



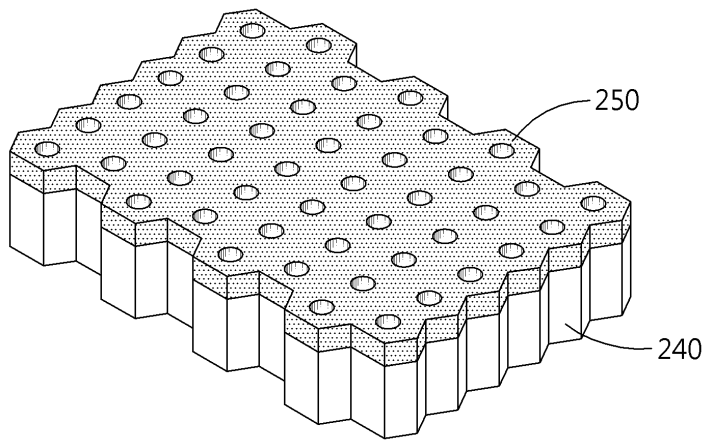
도면2d



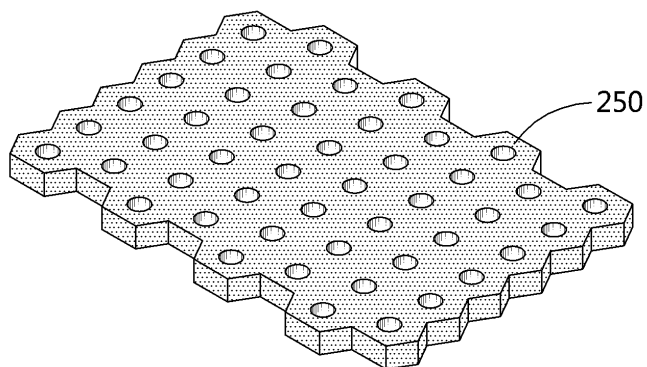
도면3a



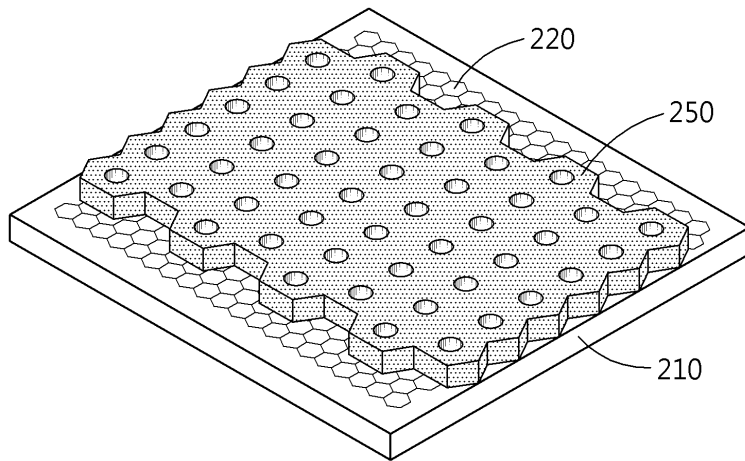
도면3b



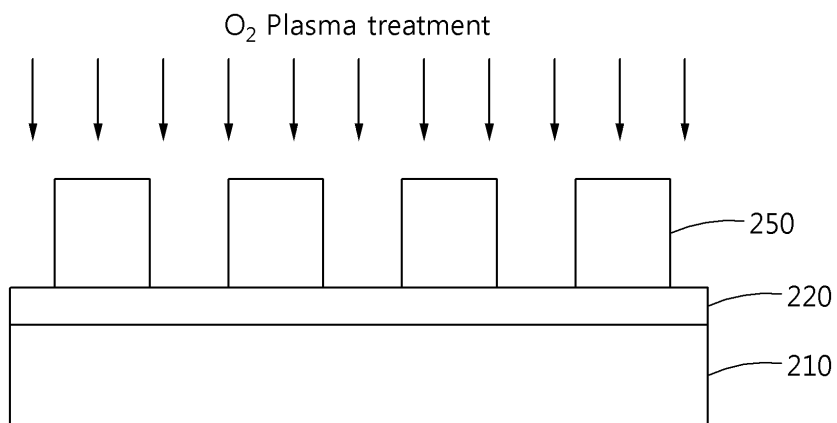
도면3c



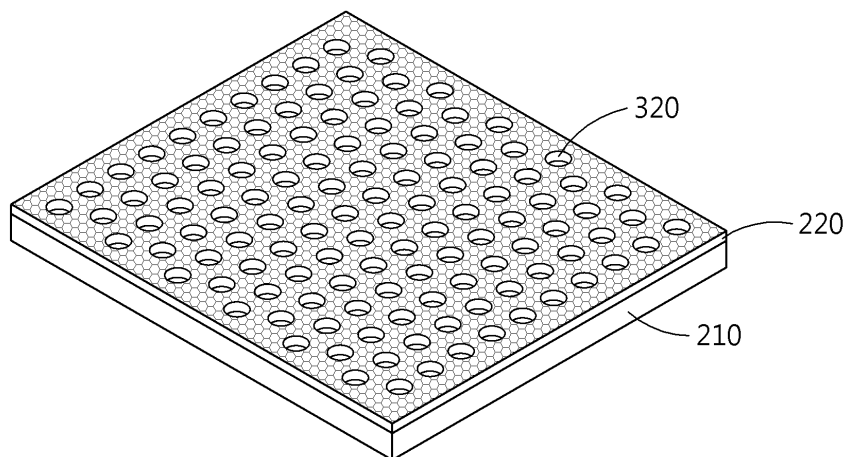
도면3d



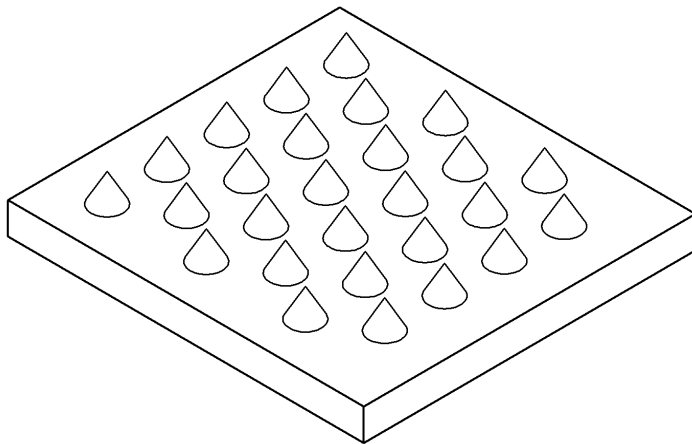
도면3e



도면3f

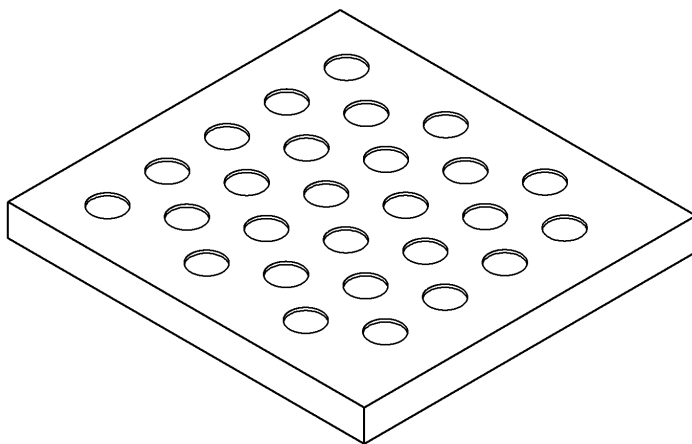


도면4a



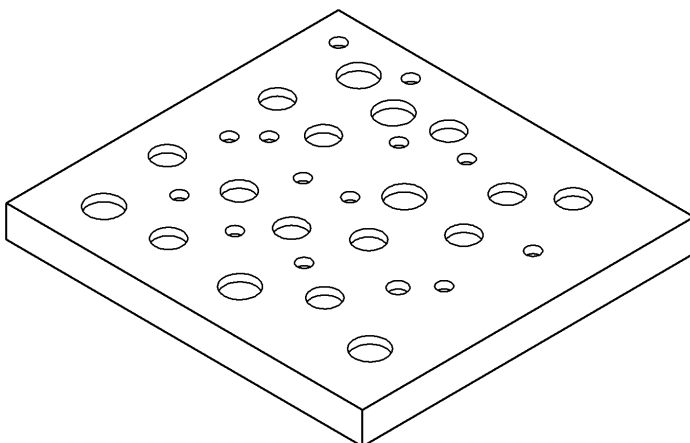
Si cone arrays

도면4b



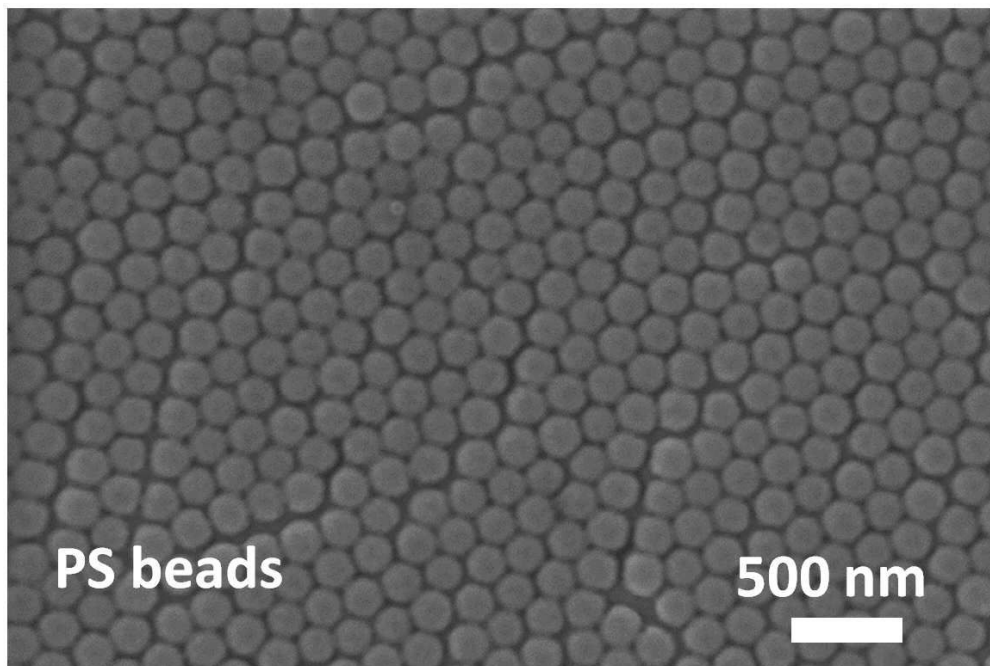
Si hole arrays

도면4c

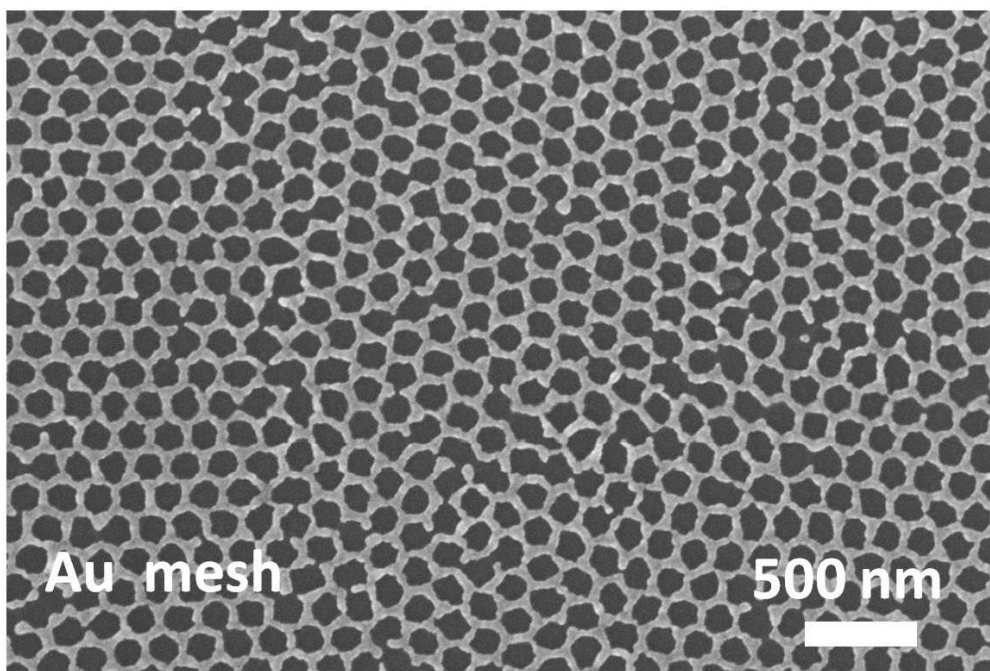


Porous Si

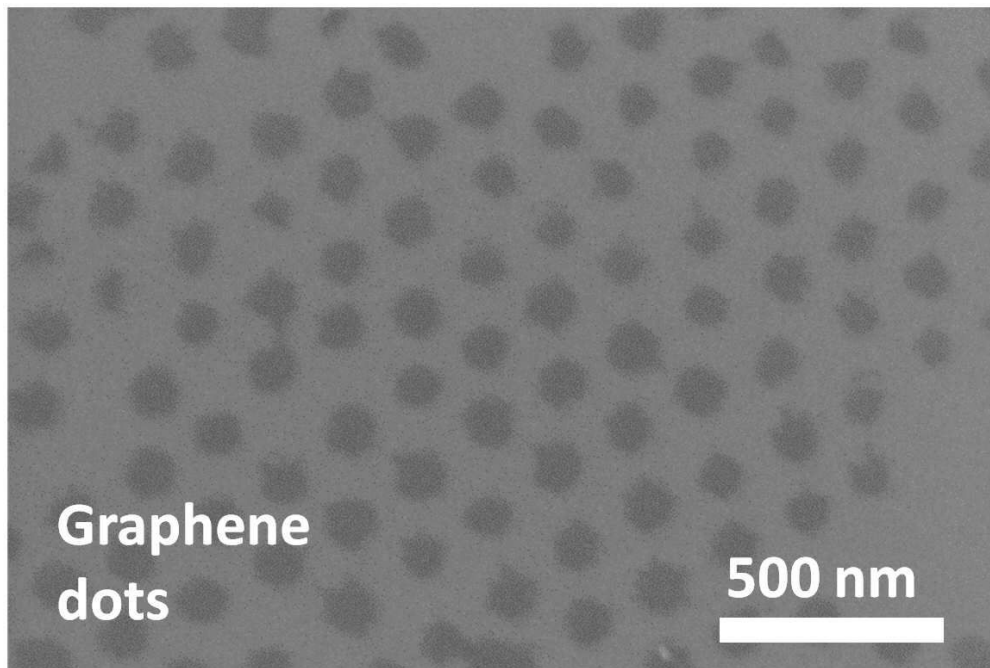
도면5a



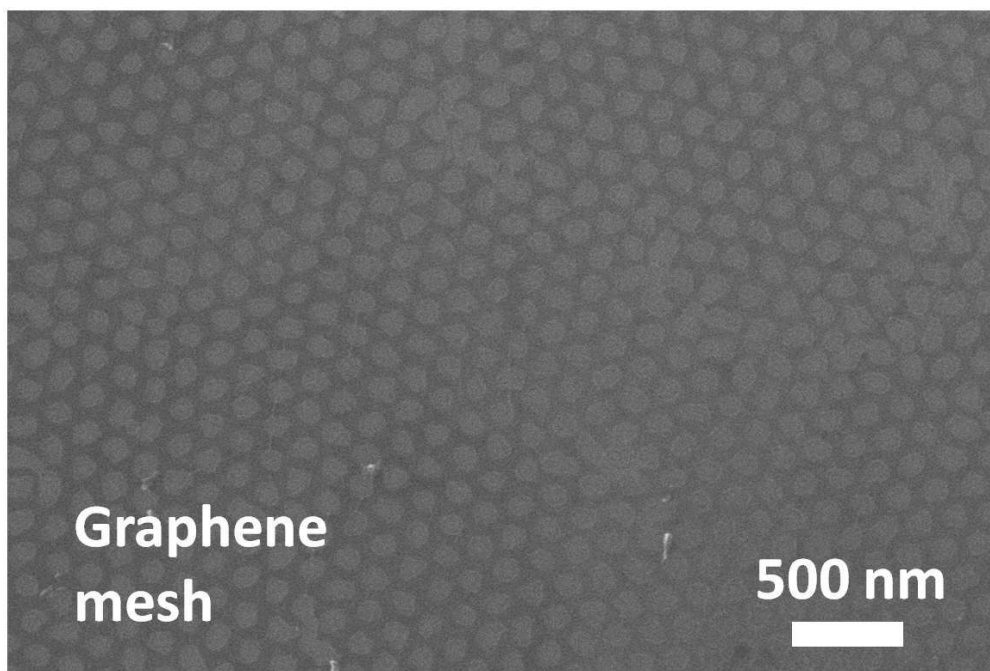
도면5b



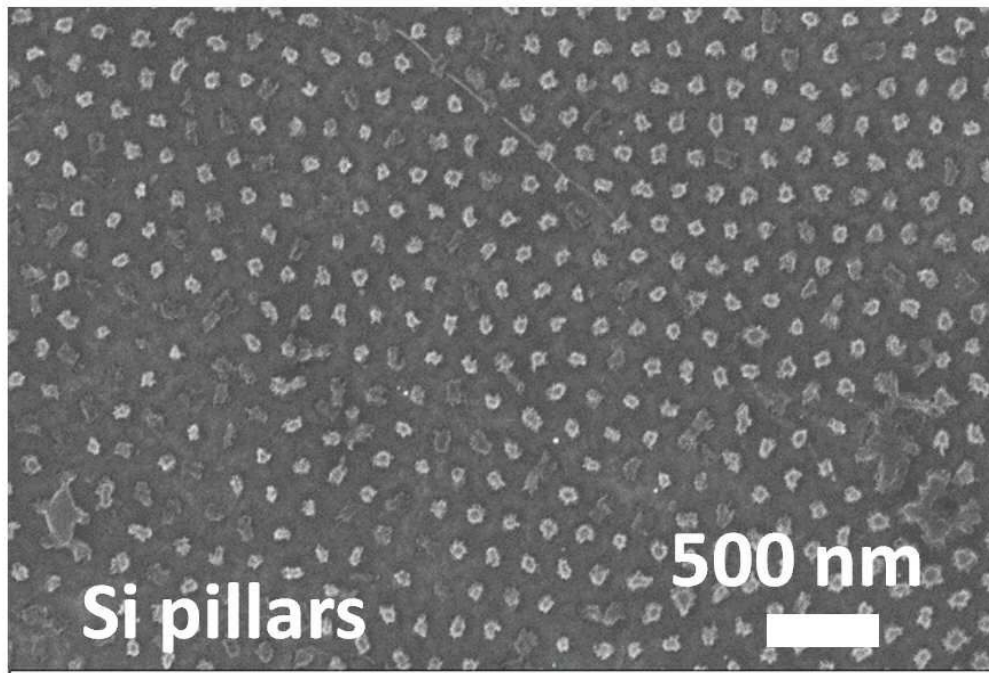
도면6a



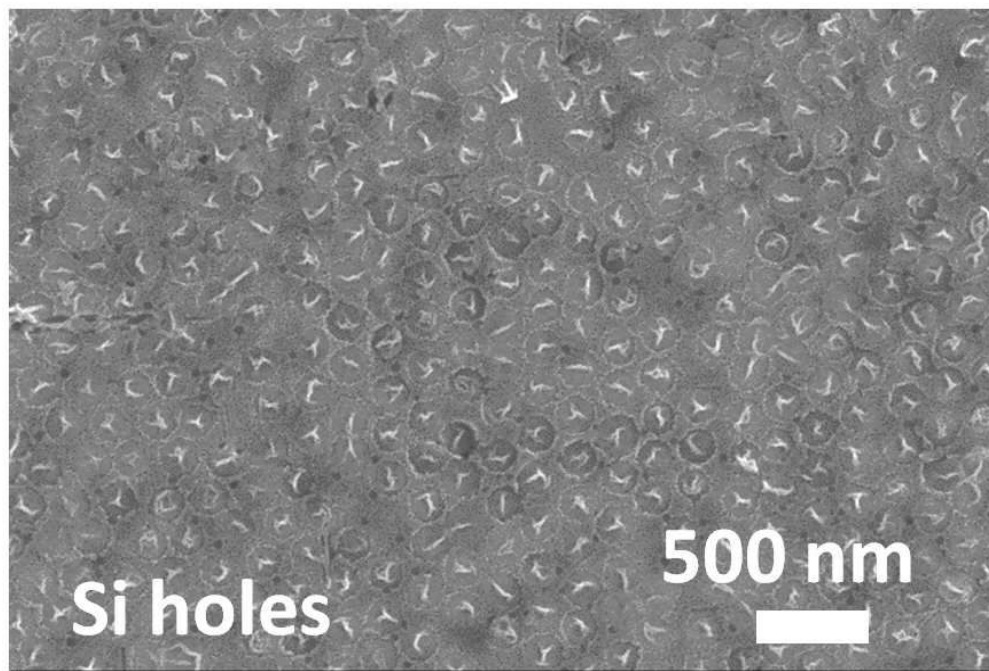
도면6b



도면7a



도면7b



도면7c

