



(12) 发明专利申请

(10) 申请公布号 CN 101847582 A

(43) 申请公布日 2010.09.29

(21) 申请号 201010151185.8

(22) 申请日 2010.04.16

(71) 申请人 清华大学

地址 100084 北京市 100084-82 信箱

(72) 发明人 王敬 郭磊 谭楨 许军

(74) 专利代理机构 北京清亦华知识产权代理事

务所(普通合伙) 11201

代理人 廖元秋

(51) Int. Cl.

H01L 21/336(2006.01)

H01L 21/205(2006.01)

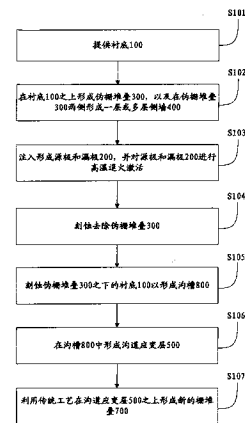
权利要求书 1 页 说明书 3 页 附图 5 页

(54) 发明名称

半导体结构的形成方法

(57) 摘要

本发明提出一种半导体结构的形成方法,包括以下步骤:提供衬底;在衬底之上形成伪栅堆叠,以及在伪栅堆叠两侧形成一层或多层侧墙;注入形成源极和漏极,并对源极和漏极进行高温退火激活;去除伪栅堆叠;刻蚀伪栅堆叠之下的所述衬底以形成沟槽;在沟槽中形成沟道应变层;在沟道应变层之上形成栅堆叠。本发明实施例在对源极和漏极高温退火激活之后再通过后栅(gate last)工艺形成沟道应变层,从而能够确保高温和低温步骤之间不相互影响,因此本发明不仅能够保证沟道应变层的性能,还能够确保源极和漏极的激活率。



1. 一种半导体结构的形成方法,其特征在于,包括以下步骤:
提供衬底;
在所述衬底之上形成伪栅堆叠,以及在所述伪栅堆叠两侧形成一层或多层侧墙;
注入形成源极和漏极,并对所述源极和漏极进行高温退火激活;
去除所述伪栅堆叠;
刻蚀所述伪栅堆叠之下的所述衬底以形成沟槽;
在所述沟槽中形成沟道应变层;
在所述沟道应变层之上形成栅堆叠。
2. 如权利要求 1 所述的半导体结构的形成方法,其特征在于,所述沟道应变层包括应变 Ge 层、应变 SiGe 层或其组合。
3. 如权利要求 1 或 2 所述的半导体结构的形成方法,其特征在于,在形成所述沟道应变层之后,还包括:
在所述沟道应变层之上形成应变 Si 层。
4. 如权利要求 1 或 2 所述的半导体结构的形成方法,其特征在于,所述衬底包括低 Ge 组分的弛豫 SiGe 衬底。
5. 如权利要求 1 或 2 所述的半导体结构的形成方法,其特征在于,所述沟道应变层的厚度为 3-20nm。
6. 如权利要求 1 或 2 所述的半导体结构的形成方法,其特征在于,在所述沟槽中形成沟道应变层包括:
采用低温减压化学气相淀积 RPCVD 及选择性外延在所述沟槽中形成所述沟道应变层;
或者,采用超高真空化学气相淀积 UHVCVD 及选择性外延在所述沟槽中形成所述沟道应变层。
7. 如权利要求 6 所述的半导体结构的形成方法,其特征在于,所述 RPCVD 的温度为 450°C -550°C。
8. 如权利要求 6 所述的半导体结构的形成方法,其特征在于,所述 UHVCVD 的温度为 250°C -550°C。
9. 如权利要求 1 所述的半导体结构的形成方法,其特征在于,所述栅堆叠包括高 k 值栅介质层和金属栅极。
10. 如权利要求 1 所述的半导体结构的形成方法,其特征在于,所述源极和漏极由 P 或 As 元素注入。
11. 如权利要求 1 所述的半导体结构的形成方法,其特征在于,所述源极和漏极由 B 元素注入。

半导体结构的形成方法

技术领域

[0001] 本发明涉及半导体设计及制造技术领域,特别涉及一种半导体结构的形成方法。

背景技术

[0002] 随着场效应晶体管特征尺寸的不断缩小,其工作速度也越来越快,但是目前的特征尺寸已接近了极限,因此想通过继续缩小特征尺寸来提高速度则将会变得越来越困难和难以实现。因此有必要通过其他方式来提高器件的速度,例如通过对沟道材料引入应力以达到提高载流子的迁移率的目的,但是沟道应变材料对高温工艺非常敏感,高温工艺会显著降低沟道应变材料的性能。例如对于应变 Ge 材料来说,其自身的特性就使其工艺温度限制在 500 度以下,并且 P 或 As 元素在 Ge 材料中固溶度有限,低温下退火不容易对其激活,因此如果采用 500 度以上的高温进行退火激活的话,势必会降低应变 Ge 材料的性能,这样只能延长退火时间来对 P 或 As 进行激活。但是如果延长退火时间又会引起 P 或 As 的扩散问题,不利于超浅结的制备。对于 B 元素也存在同样的问题。因此,可以看出目前现有技术中源极和漏极的高温激活与应变沟道材料(例如应变 Ge 材料)的低温要求之间存在着矛盾,亟待解决。

发明内容

[0003] 本发明的目的旨在至少解决上述技术缺陷之一,特别是解决源极和漏极的高温激活与应变沟道材料的低温要求之间的矛盾。

[0004] 为达到上述目的,本发明一方面提出一种半导体结构的形成方法,包括以下步骤:提供衬底;在所述衬底之上形成伪栅堆叠,以及在所述伪栅堆叠两侧形成一层或多层侧墙;注入形成源极和漏极,并对所述源极和漏极进行高温退火激活;去除所述伪栅堆叠;刻蚀所述伪栅堆叠之下的所述衬底以形成沟槽;在所述沟槽中形成沟道应变层;在所述沟道应变层之上形成栅堆叠。

[0005] 在本发明的一个实施例中,所述沟道应变层包括应变 Ge 层、应变 SiGe 层或其组合。

[0006] 在本发明的一个实施例中,在形成所述沟道应变层之后,还包括:在所述沟道应变层之上形成应变 Si 层。

[0007] 在本发明的一个实施例中,所述衬底包括低 Ge 组分的弛豫 SiGe 衬底。

[0008] 在本发明的一个实施例中,所述沟道应变层的厚度为 3-20nm。

[0009] 在本发明的一个实施例中,在所述沟槽中形成沟道应变层包括:采用低温减压化学气相淀积 RPCVD 及选择性外延在所述沟槽中形成所述沟道应变层,其中,RPCVD 的温度可为约 450°C -550°C。或者,采用超高真空化学气相淀积 UHVCVD 及选择性外延在所述沟槽中形成所述沟道应变层,其中,UHVCVD 的温度为 250°C -550°C。

[0010] 在本发明的一个实施例中,所述栅堆叠包括高 k 值栅介质层和金属栅极。

[0011] 在本发明的一个实施例中,所述源极和漏极由 P 或 As 元素注入,或者由 B 元素注

入。

[0012] 本发明实施例在对源极和漏极高温退火激活之后再通过后栅 (gate last) 工艺形成沟道应变层,从而能够确保高温和低温步骤之间不相互影响,因此本发明不仅能够保证沟道应变层的性能,还能够确保源极和漏极的激活率。

[0013] 本发明附加的方面和优点将在下面的描述中部分给出,部分将从下面的描述中变得明显,或通过本发明的实践了解到。

附图说明

[0014] 本发明上述的和 / 或附加的方面和优点从下面结合附图对实施例的描述中将变得明显和容易理解,其中:

[0015] 图 1 为本发明实施例的半导体结构的形成方法的流程图;

[0016] 图 2-9 为形成本发明实施例半导体结构的中间步骤的示意图。

具体实施方式

[0017] 下面详细描述本发明的实施例,所述实施例的示例在附图中示出,其中自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施例是示例性的,仅用于解释本发明,而不能解释为对本发明的限制。

[0018] 下文的公开提供了许多不同的实施例或例子用来实现本发明的不同结构。为了简化本发明的公开,下文中对特定例子的部件和设置进行描述。当然,它们仅仅为示例,并且目的不在于限制本发明。此外,本发明可以在不同例子中重复参考数字和 / 或字母。这种重复是为了简化和清楚的目的,其本身不指示所讨论各种实施例和 / 或设置之间的关系。此外,本发明提供了的各种特定的工艺和材料的例子,但是本领域普通技术人员可以意识到其他工艺的可应用于性和 / 或其他材料的使用。另外,以下描述的第一特征在第二特征之“上”的结构可以包括第一和第二特征形成为直接接触的实施例,也可以包括另外的特征形成在第一和第二特征之间的实施例,这样第一和第二特征可能不是直接接触。

[0019] 如图 1 所示,为本发明实施例的半导体结构的形成方法的流程图,该实施例通过后栅工艺在对源极和漏极高温退火激活之后再形成沟道应变层,从而能够确保高温和低温步骤之间不相互影响,该实施例包括以下步骤:

[0020] 步骤 S101,提供衬底 100。在本发明实施例中,衬底 100 可包括任何半导体衬底材料,具体可以是但不限于 Si、Ge、SiGe、SOI(绝缘体上硅)、SiC 或者任何 III/V 族化合物半导体等。在本发明的一个优选实施例中,衬底 100 可为低 Ge 组分的弛豫 SiGe 衬底。

[0021] 步骤 S102,在衬底 100 之上形成伪栅堆叠 300,以及在伪栅堆叠 300 两侧形成一层或多层侧墙 400,如图 2 所示。在该实施例中伪栅堆叠 300 可为任意结构,即可包括多晶硅栅极也可包括金属栅极,高 k 栅介质层或其他氮化物或氧化物介质层。

[0022] 步骤 S103,注入形成源极和漏极 200,并对源极和漏极 200 进行高温退火激活,如图 3 所示。在本发明的一个实施例中,如果为 PMOS 管,可采用 P 或 As 元素对源极和漏极 200 进行注入;如果为 NMOS 管,可采用 B 元素对源极和漏极 200 进行注入。此时由于没有形成沟道应变层因此对源极和漏极 200 进行高温退火激活不会对沟道应变层的特性造成影响,另外还能够保证 P/As 元素或者 B 元素在源极和漏极 200 中的充分激活。

[0023] 步骤 S104, 刻蚀去除伪栅堆叠 300, 如图 4 所示。

[0024] 步骤 S105, 刻蚀伪栅堆叠 300 之下的衬底 100 以形成沟槽 800, 如图 5 所示。

[0025] 步骤 S106, 在沟槽 800 中形成沟道应变层 500, 如图 6 所示。在本发明的一个实施例中, 沟道应变层 500 可包括应变 Ge 层、高 Ge 组分的应变 SiGe 层或其组合, 对于不同材料的沟道应变层 500 其厚度也不同, 如果该沟道应变层 500 为应变 Ge 层, 则其厚度可为约 3-20nm, 优选为 5-10nm。在本发明的另一个实施例中, 可采用选择性外延在沟槽 800 中形成沟道应变层 500。在本发明的一个实施例中, 可采用低温减压化学气相淀积 (RPCVD) 及选择性外延结合的方式在沟槽 800 中形成沟道应变层 500, 优选的 RPCVD 的温度为约 450°C -550°C, 这样能够生长出表面粗糙度低, 厚度较薄及位错缺陷密度低的应变 Ge 层、高 Ge 组分的应变 SiGe 层或其组合。在本发明的另一个实施例中, 也可以采用超高真空化学气相淀积 (UHVCVD) 及选择性外延在沟槽 800 中形成沟道应变层 500, 其中, UHVCVD 的温度为约 250°C -550°C。

[0026] 在本发明的一个优选实施例中, 为了抑制 BTBT (Band-To-Band Tunneling, 带带隧穿) 漏电中的 GIDL (栅极感应漏极漏电) 漏电, 还可在沟槽 800 中及沟道应变层 500 之上形成应变 Si 层 600, 如图 7 所示。

[0027] 步骤 S107, 利用传统工艺在沟道应变层 500 之上形成新的栅堆叠 700, 如图 8 所示。当然如果在步骤 S106 中在沟道应变层 500 之上形成了应变 Si 层 600, 则在该步骤中需要在应变 Si 层 600 之上形成新的栅堆叠 700, 如图 9 所示。其中, 在本发明实施例中, 该栅堆叠 700 也可为任意形态的栅堆叠结构, 优选包括高 k 值栅介质层和金属栅极, 当然也可包括多晶硅栅极和其他的氮化物或氧化物介质层。

[0028] 本发明实施例在对源极和漏极高温退火激活之后再通过后栅 (gate last) 工艺形成沟道应变材料层, 从而能够确保高温和低温步骤之间不相互影响, 不仅能够保证沟道应变层的性能, 还能够确保源极和漏极的激活率。

[0029] 尽管已经示出和描述了本发明的实施例, 对于本领域的普通技术人员而言, 可以理解在不脱离本发明的原理和精神的情况下可以对这些实施例进行多种变化、修改、替换和变型, 本发明的范围由所附权利要求及其等同限定。

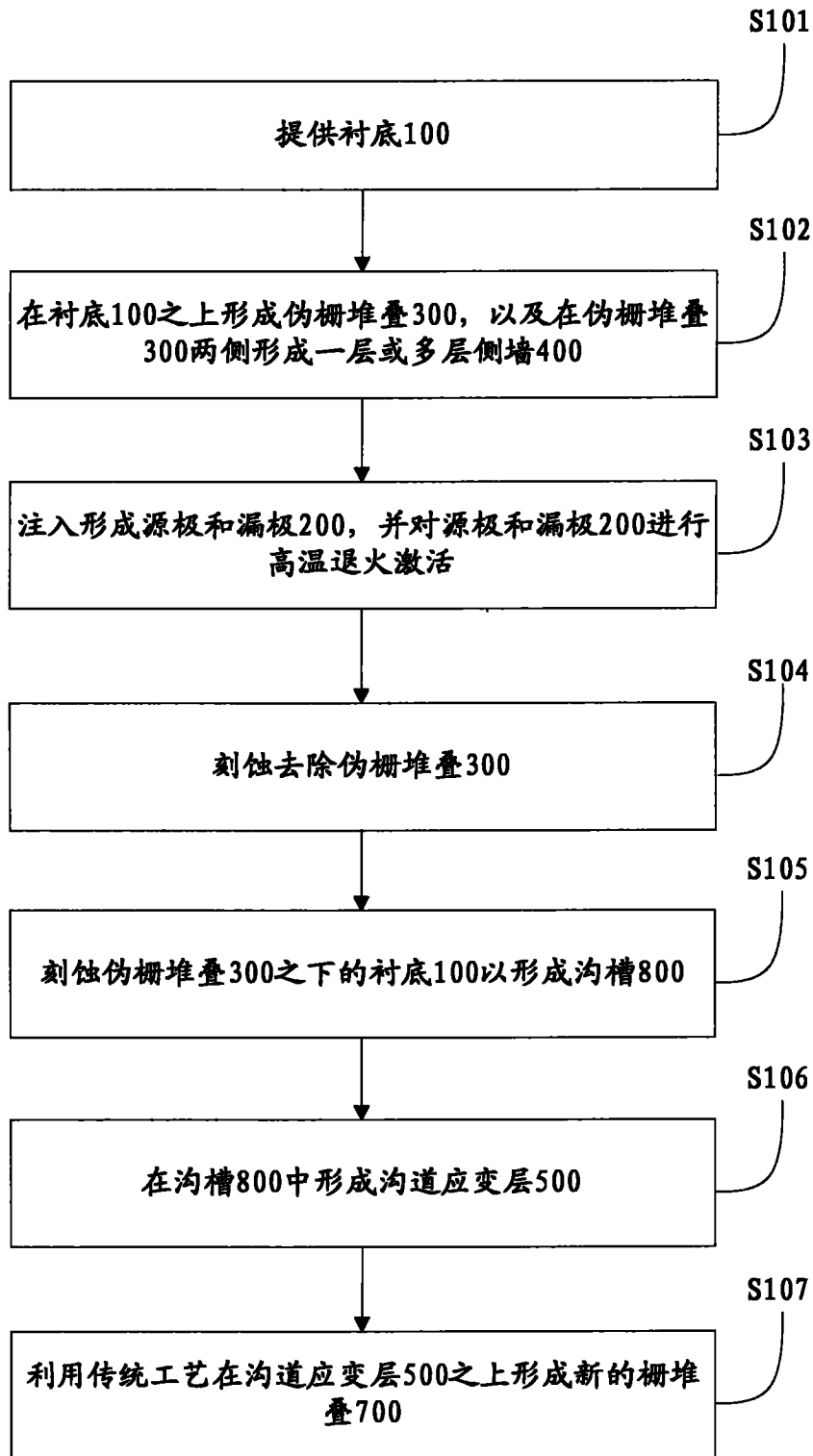


图 1

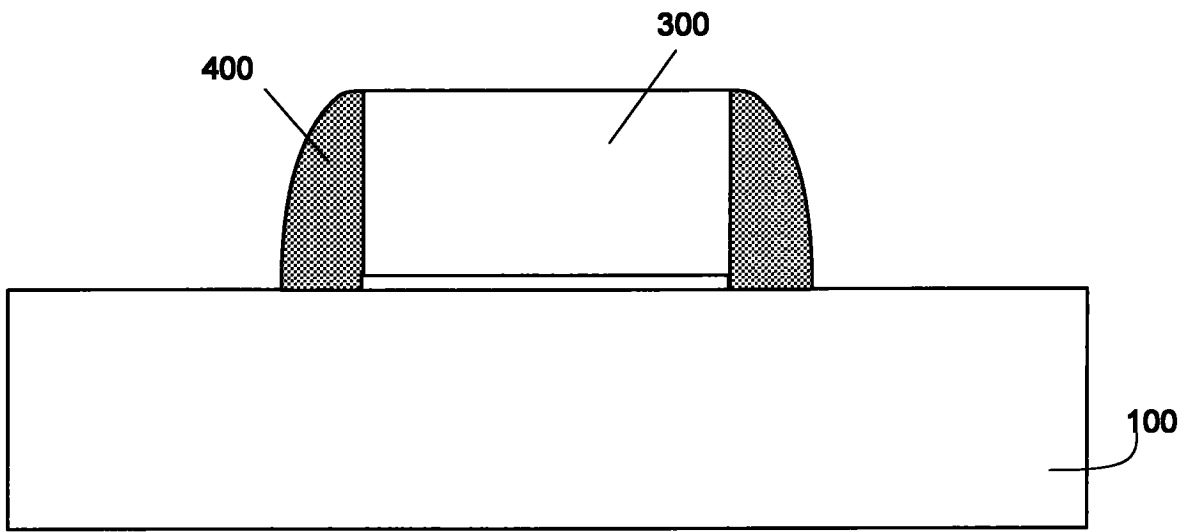


图 2

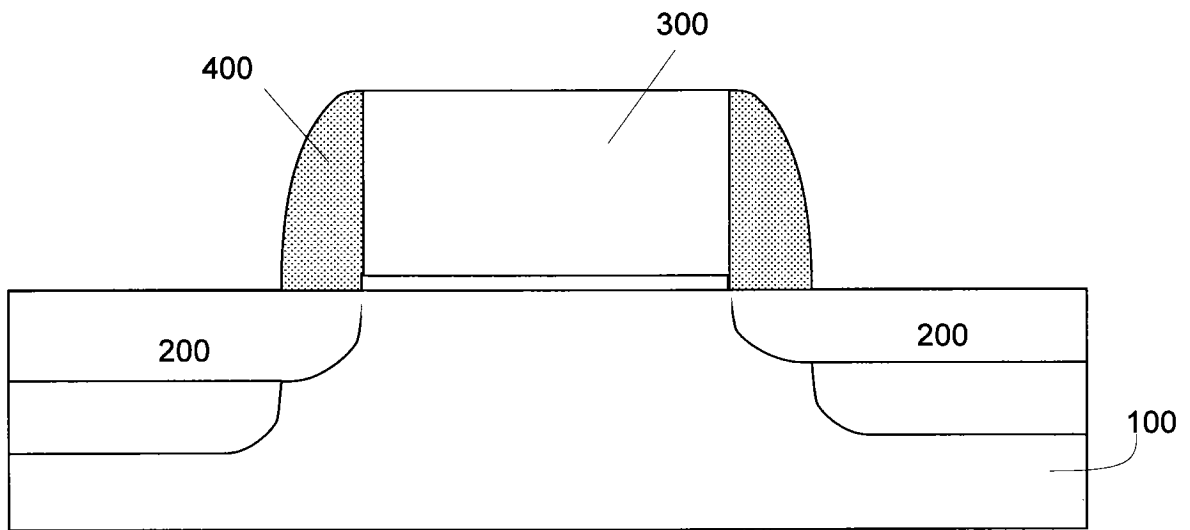


图 3

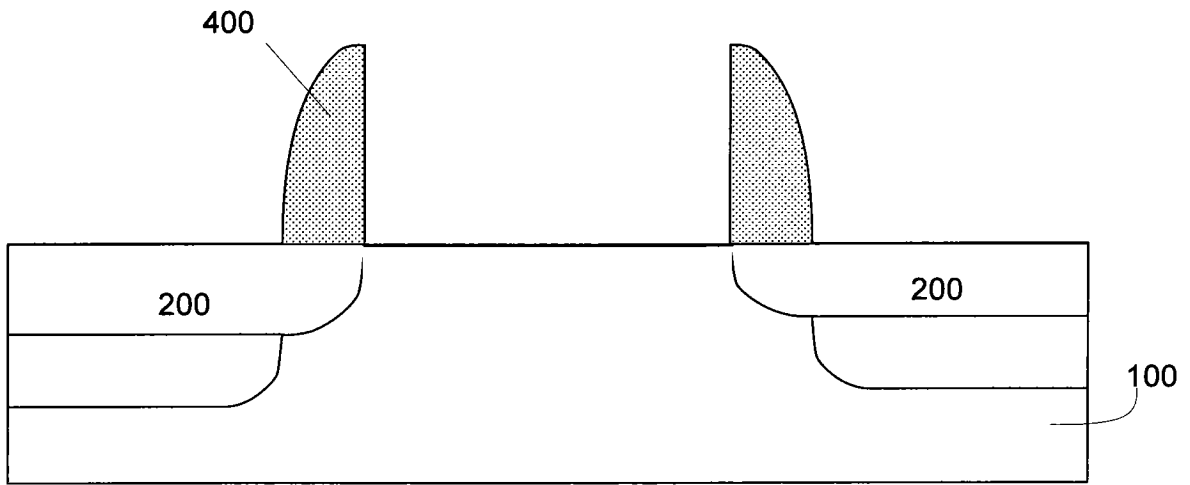


图 4

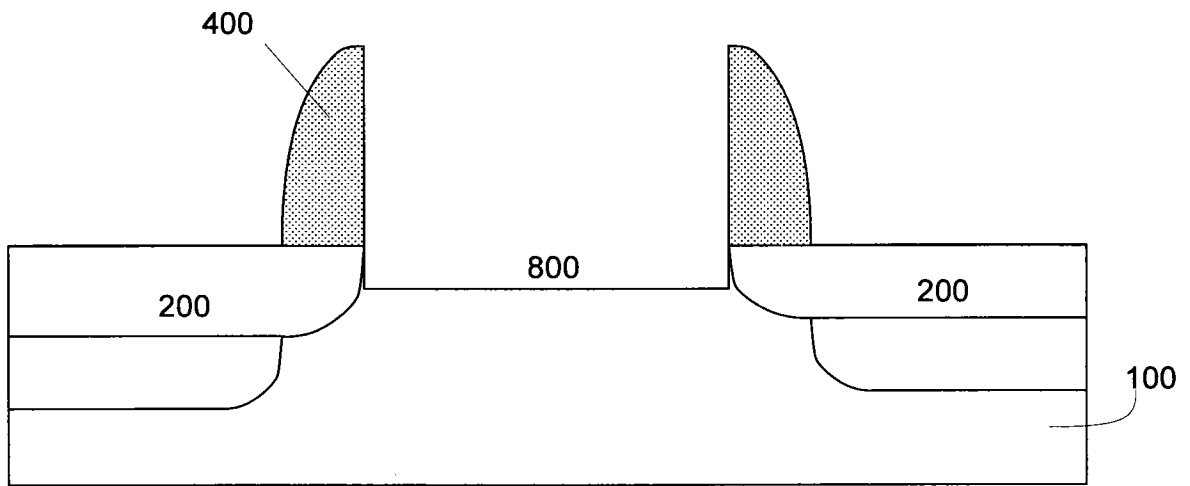


图 5

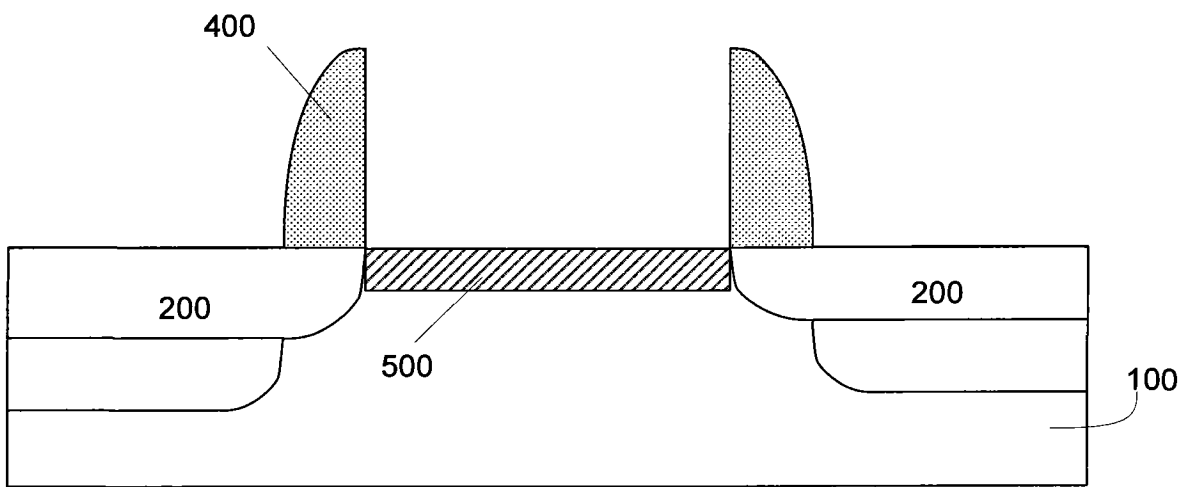


图 6

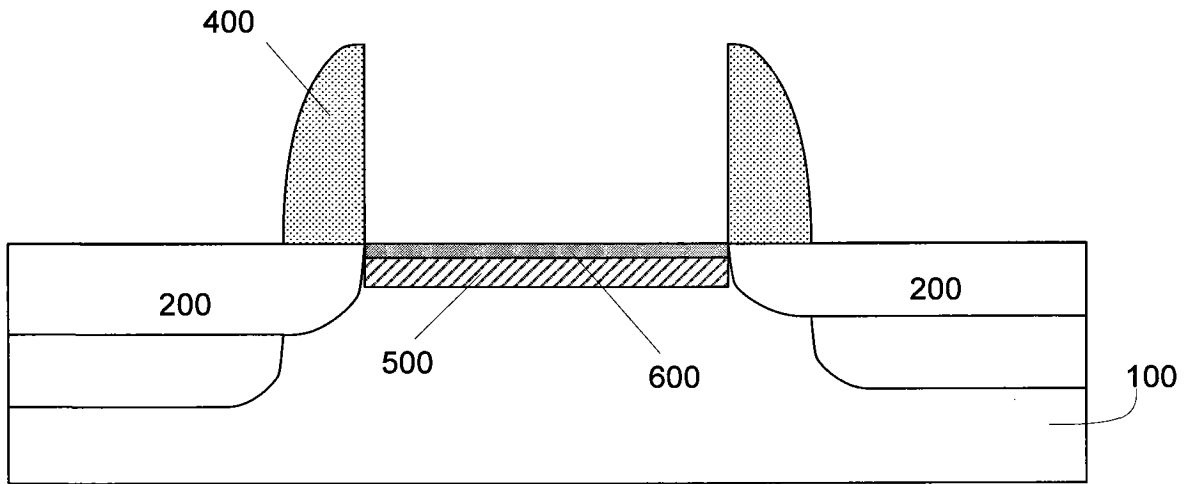


图 7

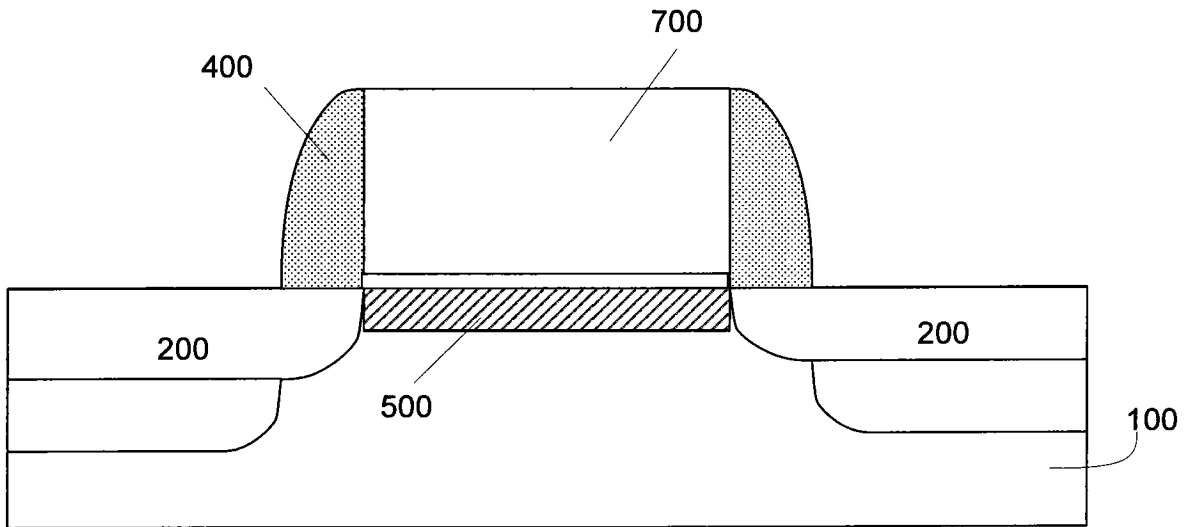


图 8

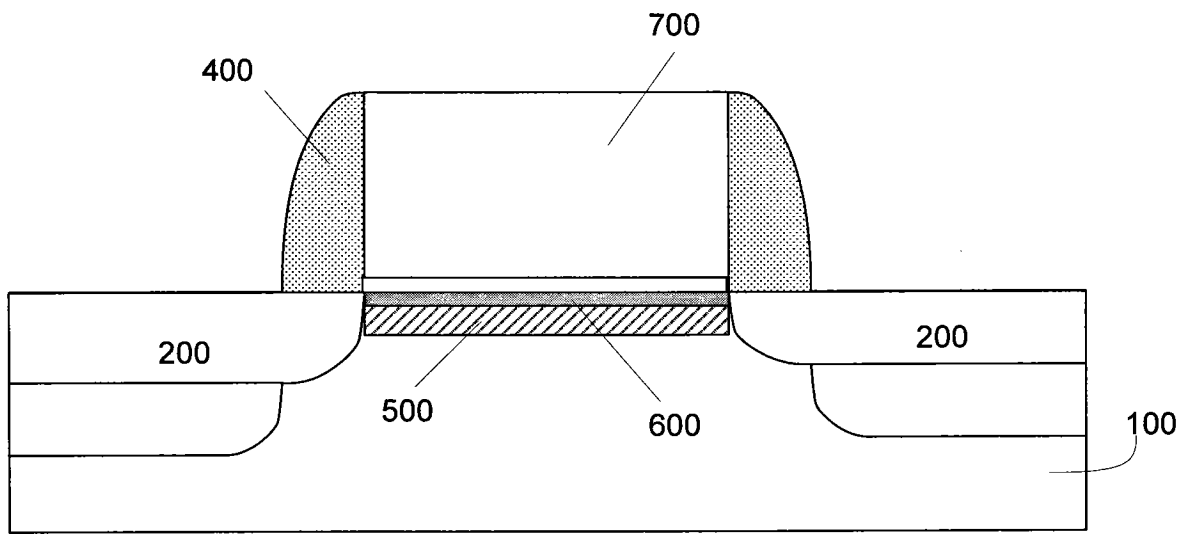


图 9