

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6259499号
(P6259499)

(45) 発行日 平成30年1月10日 (2018. 1. 10)

(24) 登録日 平成29年12月15日 (2017. 12. 15)

(51) Int. Cl.

F I

H O 1 L 21/336 (2006. 01)

H O 1 L 29/78 6 2 6 C

H O 1 L 29/786 (2006. 01)

H O 1 L 29/78 6 1 8 B

H O 1 L 21/8242 (2006. 01)

H O 1 L 27/108 3 2 1

H O 1 L 27/108 (2006. 01)

H O 1 L 27/108 6 7 1

C 2 3 C 14/08 (2006. 01)

C 2 3 C 14/08 K

請求項の数 3 (全 44 頁) 最終頁に続く

(21) 出願番号 特願2016-148064 (P2016-148064)
 (22) 出願日 平成28年7月28日 (2016. 7. 28)
 (62) 分割の表示 特願2012-133995 (P2012-133995)
 の分割
 原出願日 平成24年6月13日 (2012. 6. 13)
 (65) 公開番号 特開2016-192575 (P2016-192575A)
 (43) 公開日 平成28年11月10日 (2016. 11. 10)
 審査請求日 平成28年8月22日 (2016. 8. 22)
 (31) 優先権主張番号 特願2011-134056 (P2011-134056)
 (32) 優先日 平成23年6月16日 (2011. 6. 16)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 遠藤 佑太
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 井本 裕己
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 高林 ゆう子
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 山根 靖正
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第 1 の膜と、

前記第 1 の膜上の酸化物半導体膜と、

前記酸化物半導体膜と重なる領域を有するゲート電極と、

前記酸化物半導体膜と電氣的に接続されたソース電極と、

前記酸化物半導体膜と電氣的に接続されたドレイン電極と、を有し、

前記酸化物半導体膜は、結晶領域を有し、

前記結晶領域は、c 軸配向し、a 軸の向きが異なる二以上の結晶を含み、

前記第 1 の膜と前記酸化物半導体膜とは異なる材料であり、

前記酸化物半導体膜は、インジウム、ガリウム、亜鉛、錫、チタンおよびアルミニウム
 から選ばれた二種以上の元素を含み、

前記第 1 の膜と前記酸化物半導体膜とが接している面で、前記面内における前記第 1 の
 膜の最隣接原子間距離と前記酸化物半導体膜の格子定数の差を、前記面内における前記第
 1 の膜の最隣接原子間距離で除した値が 0 . 1 5 以下であることを特徴する半導体装置。

【請求項 2】

第 1 の膜と、

前記第 1 の膜上の酸化物半導体膜と、

前記酸化物半導体膜上のゲート絶縁膜と、

前記ゲート絶縁膜を介して前記酸化物半導体膜に重畳するゲート電極と、

10

20

前記酸化物半導体膜と電氣的に接続されたソース電極と、
 前記酸化物半導体膜と電氣的に接続されたドレイン電極と、を有し、
前記酸化物半導体膜は、結晶領域を有し、
前記結晶領域は、c軸配向し、a軸の向きが異なる二以上の結晶を含み、
前記第1の膜と前記酸化物半導体膜とは異なる材料であり、

前記酸化物半導体膜は、インジウム、ガリウム、亜鉛、錫、チタンおよびアルミニウムから選ばれた二種以上の元素を含み、

前記第1の膜と前記酸化物半導体膜とが接している面で、前記面内における前記第1の膜の最隣接原子間距離と前記酸化物半導体膜の格子定数の差を、前記面内における前記第1の膜の最隣接原子間距離で除した値が0.15以下であることを特徴する半導体装置。

10

【請求項3】

ゲート電極と、
 前記ゲート電極を覆う第1の膜と、
 前記第1の膜を介して前記ゲート電極と重畳した酸化物半導体膜と、
 前記酸化物半導体膜と電氣的に接続されたソース電極と、
 前記酸化物半導体膜と電氣的に接続されたドレイン電極と、を有し、
前記酸化物半導体膜は、結晶領域を有し、
前記結晶領域は、c軸配向し、a軸の向きが異なる二以上の結晶を含み、
前記第1の膜と前記酸化物半導体膜とは異なる材料であり、

前記酸化物半導体膜は、インジウム、ガリウム、亜鉛、錫、チタンおよびアルミニウムから選ばれた二種以上の元素を含み、

20

前記第1の膜と前記酸化物半導体膜とが接している面で、前記面内における前記第1の膜の最隣接原子間距離と前記酸化物半導体膜の格子定数の差を、前記面内における前記第1の膜の最隣接原子間距離で除した値0.15以下であることを特徴する半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

トランジスタなどの半導体素子を含む回路を有する半導体装置に関する。例えば、電源回路に搭載されるパワーデバイス、メモリ、サイリスタ、コンバータ、イメージセンサなどを含む半導体集積回路、液晶表示パネルに代表される電気光学装置、発光素子を有する発光表示装置等を部品として搭載した電子機器に関する。

30

【0002】

なお、本明細書中において半導体装置は、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、発光表示装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

液晶表示装置に代表されるように、ガラス基板等に形成されるトランジスタの多くは非晶質シリコン、多結晶シリコンなどによって構成されている。非晶質シリコンを用いたトランジスタは、電界効果移動度が低いもののガラス基板の大面积化に対応することができる。また、多結晶シリコンを用いたトランジスタは、電界効果移動度が高いもののガラス基板の大面积化には適していないという欠点を有している。

40

【0004】

シリコンを用いたトランジスタのほかに、近年は酸化物半導体を用いてトランジスタを作製し、電子デバイスや光デバイスに応用する技術が注目されている。例えば、酸化物半導体として、酸化亜鉛、In-Ga-Zn-O系酸化物を用いてトランジスタを作製し、表示装置の画素のスイッチング素子などに用いる技術が特許文献1および特許文献2で開示されている。

【0005】

ホモロガス相を有する $\text{InGaO}_3(\text{ZnO})_m$ (m : 自然数) の格子定数が非特許文献

50

1 に開示されている。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【0007】

【非特許文献1】M. Nakamura, N. Kimizuka, and T. Mohri, 「The Phase Relations in the In_2O_3 - Ga_2ZnO_4 - ZnO System at 1350 °C」, J. Solid State Chem., Vol. 93, 1991, pp. 298 - 315

10

【発明の概要】

【発明が解決しようとする課題】

【0008】

トランジスタの電気的特性は、酸化物半導体膜と、該酸化物半導体膜と接する下地膜またはゲート絶縁膜との界面の電子状態に影響される。トランジスタの作製中または作製後において、酸化物半導体膜と該酸化物半導体膜と接する下地膜またはゲート絶縁膜との界面が乱雑であると、界面の欠陥状態密度が大きく、トランジスタの電気的特性が不安定となりやすい。

【0009】

20

このような問題に鑑み、本発明の一態様は、酸化物半導体膜と該酸化物半導体膜と接する下地膜またはゲート絶縁膜との界面の電子状態が良好なトランジスタを有する半導体装置を提供することを課題の一とする。

【0010】

また、酸化物半導体膜をチャネルに用いたトランジスタに安定した電気的特性を付与し、信頼性の高い半導体装置を作製することを課題の一とする。

【課題を解決するための手段】

【0011】

トランジスタのチャネル領域において、下地膜の直上においても、下地膜に対してc軸配向し、ab面、上面または界面に垂直の方向から見て少なくとも三角形状または六角形状の原子配列を有する、a軸の向きが異なる二カ所以上の結晶部分を含む酸化物半導体膜を有する。

30

【0012】

下地膜は酸化物半導体膜との界面において同様の原子配列を有し、その原子配列の不整合率は0.15以下、好ましくは0.12以下、さらに好ましくは0.10以下、さらに好ましくは0.08以下とする。なお、原子配列の不整合率は、下層と上層とが接している面において、面内の最隣接原子間距離の差を、下層の同面内における最隣接原子間距離で除した値である。

【0013】

例えば、下地膜が三角形状の原子配列を有し、かつ酸化物半導体膜が形成する結晶が三角形状の原子配列を有し、それぞれの原子間隔（原子の形成する三角形状の辺の長さに対応）が前述の不整合率の範囲とすればよい。

40

【0014】

例えば、下地膜は、酸化ジルコニウムを含む。なお、酸化ジルコニウムは、酸化イットリウムなどの安定化材料を含むと、立方晶系の結晶構造を有し(111)面に配向する。なお、安定化材料を含む酸化ジルコニウムを以下では安定化ジルコニアと呼ぶ。

【0015】

(111)面に配向する安定化ジルコニアを含む下地膜上に酸化物半導体膜を成膜することで、下地膜の直上においても結晶化度の高い結晶領域を有する酸化物半導体膜が得られる。

50

【 0 0 1 6 】

なお、結晶化度とは、膜全体に対する結晶領域の割合をいう。

【 0 0 1 7 】

また、下地膜が平滑であると、酸化物半導体膜の結晶成長が起こりやすく、好ましい。

【 0 0 1 8 】

なお、前述の酸化物半導体膜は亜鉛を含むと好ましい。亜鉛を含むことにより、下地膜に対してc軸配向し、ab面、上面または界面に垂直な方向から見て少なくとも三角形状または六角形状の原子配列を有する、a軸の向きが異なる二カ所以上の結晶部分を含む酸化物半導体膜を形成しやすくなる。

【 0 0 1 9 】

または、前述の酸化物半導体膜は、インジウム、ガリウム、亜鉛、錫、チタンおよびアルミニウムから選ばれた二種以上の元素を含む材料からなる。

【 0 0 2 0 】

前述の酸化物半導体膜は、スパッタリング法、分子線エピタキシー(MBE: Molecular Beam Epitaxy)法、原子層堆積(ALD: Atomic Layer Deposition)法またはパルスレーザー堆積(PLD: Pulse Laser Deposition)法によって形成することができる。

【 0 0 2 1 】

前述の酸化物半導体膜は、適切な下地膜上に酸化物半導体膜を成膜した後に加熱処理すること、または酸化物半導体膜を加熱処理しつつ成膜することで、下地膜直上においても結晶領域を有する酸化物半導体膜を形成することができる。なお、酸化物半導体膜を加熱処理しつつ成膜し、かつ成膜後に加熱処理を行うと好ましい。

【 発明の効果 】

【 0 0 2 2 】

本発明の一態様により、優れた電気的特性を有する半導体装置を作製することができる。

【 図面の簡単な説明 】

【 0 0 2 3 】

【図1】本発明の一態様に係る酸化物半導体膜の一例を示す断面図。

【図2】図8に示す半導体装置の作製方法の一例を示す断面図。

【図3】図9に示す半導体装置の作製方法の一例を示す断面図。

【図4】図10に示す半導体装置の作製方法の一例を示す断面図。

【図5】図11に示す半導体装置の作製方法の一例を示す断面図。

【図6】図12に示す半導体装置の作製方法の一例を示す断面図。

【図7】図13に示す半導体装置の作製方法の一例を示す断面図。

【図8】本発明の一態様に係る半導体装置の一例を示す上面図および断面図。

【図9】本発明の一態様に係る半導体装置の一例を示す上面図および断面図。

【図10】本発明の一態様に係る半導体装置の一例を示す上面図および断面図。

【図11】本発明の一態様に係る半導体装置の一例を示す上面図および断面図。

【図12】本発明の一態様に係る半導体装置の一例を示す上面図および断面図。

【図13】本発明の一態様に係る半導体装置の一例を示す上面図および断面図。

【図14】本発明の一態様に係る液晶表示装置の一例を示す回路図。

【図15】本発明の一態様に係る半導体記憶装置の一例を示す回路図および電気特性を示す図。

【図16】本発明の一態様に係る半導体記憶装置の一例を示す回路図および電気特性を示す図。

【図17】本発明の一態様に係るCPUの具体例を示すブロック図およびその一部の回路図。

【図18】本発明の一態様に係る電子機器の一例を示す斜視図。

【図19】立方晶系および六方晶系の単位格子を示す図。

【図20】YSZ膜のXRD結果。

10

20

30

40

50

【図 2 1】本発明の一態様に係る酸化物半導体の結晶構造を説明する図。

【図 2 2】本発明の一態様に係る酸化物半導体の結晶構造を説明する図。

【図 2 3】本発明の一態様に係る酸化物半導体の結晶構造を説明する図。

【図 2 4】本発明の一態様に係る酸化物半導体の結晶構造を説明する図。

【図 2 5】計算によって得られた電界効果移動度の V_{gs} 依存性を説明する図。

【図 2 6】計算によって得られた I_{ds} および電界効果移動度の V_{gs} 依存性を説明する図。

【図 2 7】計算によって得られた I_{ds} および電界効果移動度の V_{gs} 依存性を説明する図。

【図 2 8】計算によって得られた I_{ds} および電界効果移動度の V_{gs} 依存性を説明する図。

10

【図 2 9】トランジスタの上面図および断面図。

【発明を実施するための形態】

【0024】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。なお、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さない場合がある。

20

【0025】

以下、本発明の説明を行うが、本明細書で用いる用語について簡単に説明する。まず、トランジスタのソースおよびドレインについては、本明細書においては、一方をドレインと呼ぶとき他方をソースと呼ぶ。即ち、電位の高低によって、それらを区別しない。したがって、本明細書において、ソースとされている部分をドレインと読み替えることもできる。また、単にソースと記載する場合、ソース電極およびソース領域のいずれかを示す。また、単にドレインと記載する場合、ドレイン電極およびドレイン領域のいずれかを示す。

【0026】

また、電圧は、ある電位と、基準の電位（例えばグラウンド電位）との電位差のことを示す場合が多い。よって、電圧と電位とを言い換えることが可能である。

30

【0027】

本明細書においては、「接続する」と表現される場合であっても、現実の回路においては、物理的な接続部分がなく、配線が延在しているだけの場合もある。

【0028】

なお、第 1、第 2 として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

【0029】

（実施の形態 1）

本実施の形態では、本発明の一態様の半導体装置であるトランジスタの一例について図 8

40

を用いて説明する。

【0030】

図 8（A）はトランジスタの上面図である。図 8（A）に示した一点鎖線 A - B および一点鎖線 C - D における断面は、それぞれ図 8（B）に示す A - B 断面および図 8（C）に示す C - D 断面に対応する。

【0031】

ここでは、図 8（B）に示す A - B 断面について詳細に説明する。

【0032】

図 8 に示すトランジスタは、基板 100 と、基板 100 上の下地膜 102 と、下地膜 102 上の酸化物半導体膜 106 と、酸化物半導体膜 106 上にあり、酸化物半導体膜 106

50

と少なくとも一部が接する一対の電極 116 と、酸化物半導体膜 106 および一対の電極 116 上のゲート絶縁膜 112 と、ゲート絶縁膜 112 を介して酸化物半導体膜 106 と重畳するゲート電極 104 と、を有する。

【0033】

本実施の形態において、酸化物半導体膜 106 は C A A C - O S (C A x i s A l i g n e d C r y s t a l l i n e O x i d e S e m i c o n d u c t o r) である。

【0034】

C A A C - O S は、下地膜に対して c 軸配向し、a b 面、上面または界面に垂直な方向から見て少なくとも三角形または六角形の原子配列を有する、a 軸の向きが異なる二カ所以上の結晶部分を含む酸化物半導体のことである。

10

【0035】

広義に、C A A C - O S とは、非単結晶であって、a b 面に垂直な方向から見て、三角形または六角形の原子配列を有し、かつ c 軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子が層状に配列した相を含む材料をいう。

【0036】

C A A C - O S は単結晶ではないが、非晶質のみから形成されているものでもない。また、C A A C - O S は結晶部分を含むが、1つの結晶部分と他の結晶部分の境界を明確に判別できないこともある。

【0037】

C A A C - O S を構成する酸素の一部は窒素で置換されてもよい。また、C A A C - O S を構成する個々の結晶部分の c 軸は一定の方向（例えば、C A A C - O S が形成される基板面や C A A C - O S の上面、界面などに垂直な方向）に揃っていてもよい。または、C A A C - O S を構成する個々の結晶部分の a b 面の法線は一定の方向（例えば、基板面、上面、界面などに垂直な方向）を向いていてもよい。

20

【0038】

C A A C - O S は、その組成などを変えることによって、導体または絶縁体とすることができる。また、その組成などに応じて、可視光に対して透明であったり不透明であったりする。

【0039】

C A A C - O S に含まれる結晶構造の一例について図 21 乃至図 24 を用いて詳細に説明する。なお、特に断りがない限り、図 21 乃至図 24 は上方向を c 軸方向とし、c 軸方向と直交する面を a b 面とする。なお、単に上半分、下半分という場合、a b 面を境にした場合の上半分、下半分をいう。また、図 21 において、丸で囲まれた O は 4 配位の O を示し、二重丸で囲まれた O は 3 配位の O を示す。

30

【0040】

図 21 (A) に、1 個の 6 配位の I n と、I n に近接の 6 個の 4 配位の酸素原子（以下 4 配位の O）と、を有する構造を示す。ここでは、金属原子が 1 個に対して、近接の酸素原子のみ示した構造を小グループと呼ぶ。図 21 (A) の構造は、八面体構造をとるが、簡単のため平面構造で示している。なお、図 21 (A) の上半分および下半分にはそれぞれ 3 個ずつ 4 配位の O がある。図 21 (A) に示す小グループの総電荷が 0 である。

40

【0041】

図 21 (B) に、1 個の 5 配位の G a と、G a に近接の 3 個の 3 配位の酸素原子（以下 3 配位の O）と、G a に近接の 2 個の 4 配位の O と、を有する構造を示す。3 配位の O は、いずれも a b 面に存在する。図 21 (B) の上半分および下半分にはそれぞれ 1 個ずつ 4 配位の O がある。また、I n も 5 配位をとるため、図 21 (B) に示す構造をとりうる。図 21 (B) に示す小グループの総電荷が 0 である。

【0042】

図 21 (C) に、1 個の 4 配位の Z n と、Z n に近接の 4 個の 4 配位の O と、を有する構造を示す。図 21 (C) の上半分には 1 個の 4 配位の O があり、下半分には 3 個の 4 配位

50

のOがある。または、図21(C)の上半分に3個の4配位のOがあり、下半分に1個の4配位のOがあってもよい。図21(C)に示す小グループの総電荷が0である。

【0043】

図21(D)に、1個の6配位の S_n と、 S_n に近接の6個の4配位のOと、を有する構造を示す。図21(D)の上半分には3個の4配位のOがあり、下半分には3個の4配位のOがある。図21(D)に示す小グループの総電荷が+1となる。

【0044】

図21(E)に、2個の Z_n を含む小グループを示す。図21(E)の上半分には1個の4配位のOがあり、下半分には1個の4配位のOがある。図21(E)に示す小グループの総電荷が-1となる。

【0045】

ここでは、複数の小グループの集合体を中グループと呼び、複数の中グループの集合体を大グループと呼ぶ。

【0046】

ここで、これらの小グループ同士が結合する規則について説明する。図21(A)に示す6配位の I_n の上半分の3個のOは下方向にそれぞれ3個の近接 I_n を有し、下半分の3個のOは、上方向にそれぞれ3個の近接 I_n を有する。図21(B)に示す5配位の G_a の上半分の1個のOは下方向に1個の近接 G_a を有し、下半分の1個のOは上方向に1個の近接 G_a を有する。図21(C)に示す4配位の Z_n の上半分の1個のOは下方向に1個の近接 Z_n を有し、下半分の3個のOは、上方向にそれぞれ3個の近接 Z_n を有する。この様に、金属原子の上方向の4配位のOの数と、そのOの下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の4配位のOの数と、そのOの上方向にある近接金属原子の数は等しい。Oは4配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は4になる。したがって、金属原子の上方向にある4配位のOの数と、別の金属原子の下方向にある4配位のOの数との和が4個のとき、金属原子を有する二種の小グループ同士は結合することができる。例えば、6配位の金属原子(I_n または S_n)が下半分の4配位のOを介して結合する場合、4配位のOが3個であるため、5配位の金属原子(G_a または I_n)、4配位の金属原子(Z_n)のいずれかと結合することになる。

【0047】

これらの配位数を有する金属原子は、c軸方向において、4配位のOを介して結合する。また、このほかにも、層構造の合計の電荷が0となるように複数の小グループが結合して中グループを構成する。

【0048】

図22(A)に、 $I_n - S_n - Z_n - O$ 系化合物の層構造を構成する中グループのモデル図を示す。図22(B)に、3つの中グループで構成される大グループを示す。なお、図22(C)は、図22(B)の層構造をc軸方向から観察した場合の原子配列を示す。

【0049】

図22(A)においては、簡単のため、3配位のOは省略し、4配位のOは個数のみ示し、例えば、 S_n の上半分および下半分にはそれぞれ3個ずつ4配位のOがあることを丸枠の3として示している。同様に、図22(A)において、 I_n の上半分および下半分にはそれぞれ1個ずつ4配位のOがあり、丸枠の1として示している。また、同様に、図22(A)において、下半分には1個の4配位のOがあり、上半分には3個の4配位のOがある Z_n と、上半分には1個の4配位のOがあり、下半分には3個の4配位のOがある Z_n とを示している。

【0050】

図22(A)において、 $I_n - S_n - Z_n - O$ 系化合物の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分および下半分にある S_n が、4配位のOが1個ずつ上半分および下半分にある I_n と結合し、その I_n が、上半分に3個の4配位のOがある Z_n と結合し、その Z_n の下半分の1個の4配位のOを介して4配位のOが3個ずつ

10

20

30

40

50

上半分および下半分にある In と結合し、その In が、上半分に 1 個の 4 配位の O がある Zn 2 個からなる小グループと結合し、この小グループの下半分の 1 個の 4 配位の O を介して 4 配位の O が 3 個ずつ上半分および下半分にある Sn と結合している構成である。この中グループが複数結合して大グループを構成する。

【0051】

ここで、3 配位の O および 4 配位の O の場合、結合 1 本当当たりの電荷はそれぞれ -0.667 、 -0.5 と考えることができる。例えば、 In (6 配位または 5 配位)、 Zn (4 配位)、 Sn (5 配位または 6 配位) の電荷は、それぞれ $+3$ 、 $+2$ 、 $+4$ である。したがって、 Sn を含む小グループの総電荷が $+1$ となる。そのため、 Sn を含む層構造を形成するためには、電荷 $+1$ を打ち消す電荷 -1 が必要となる。電荷 -1 をとる構造として、図 21 (E) に示すように、2 個の Zn を含む小グループが挙げられる。例えば、 Sn を含む小グループが 1 個に対し、2 個の Zn を含む小グループが 1 個あれば、電荷が打ち消されるため、層構造の合計の電荷を 0 とすることができる。

10

【0052】

具体的には、図 22 (B) に示した大グループが繰り返されることで、 In-Sn-Zn-O 系化合物の結晶 ($\text{In}_2\text{SnZn}_3\text{O}_8$) を得ることができる。なお、得られる In-Sn-Zn-O 系化合物の層構造は、 $\text{In}_2\text{SnZnO}_6(\text{ZnO})_m$ (m は自然数。) とする組成式で表すことができる。

【0053】

また、このほかにも、 In-Sn-Ga-Zn-O 系化合物、 In-Ga-Zn-O 系化合物、 In-Al-Zn-O 系化合物、 Sn-Ga-Zn-O 系化合物、 Al-Ga-Zn-O 系化合物、 Sn-Al-Zn-O 系化合物や、 In-Hf-Zn-O 系化合物、 In-La-Zn-O 系化合物、 In-Ce-Zn-O 系化合物、 In-Pr-Zn-O 系化合物、 In-Nd-Zn-O 系化合物、 In-Sm-Zn-O 系化合物、 In-Eu-Zn-O 系化合物、 In-Gd-Zn-O 系化合物、 In-Tb-Zn-O 系化合物、 In-Dy-Zn-O 系化合物、 In-Ho-Zn-O 系化合物、 In-Er-Zn-O 系化合物、 In-Tm-Zn-O 系化合物、 In-Yb-Zn-O 系化合物、 In-Lu-Zn-O 系化合物や、 In-Zn-O 系化合物、 Sn-Zn-O 系化合物、 Al-Zn-O 系化合物、 Zn-Mg-O 系化合物、 Sn-Mg-O 系化合物、 In-Mg-O 系化合物や、 In-Ga-O 系化合物などを用いた場合も同様である。

20

30

【0054】

例えば、図 23 (A) に、 In-Ga-Zn-O 系化合物の層構造を構成する中グループのモデル図を示す。

【0055】

図 23 (A) において、 In-Ga-Zn-O 系化合物の層構造を構成する中グループは、上から順に 4 配位の O が 3 個ずつ上半分および下半分にある In が、4 配位の O が 1 個上半分にある Zn と結合し、その Zn の下半分の 3 個の 4 配位の O を介して、4 配位の O が 1 個ずつ上半分および下半分にある Ga と結合し、その Ga の下半分の 1 個の 4 配位の O を介して、4 配位の O が 3 個ずつ上半分および下半分にある In と結合している構成である。この中グループが複数結合して大グループを構成する。

40

【0056】

図 23 (B) に 3 つの中グループで構成される大グループを示す。なお、図 23 (C) は、図 23 (B) の層構造を c 軸方向から観察した場合の原子配列を示している。

【0057】

ここで、 In (6 配位または 5 配位)、 Zn (4 配位)、 Ga (5 配位) の電荷は、それぞれ $+3$ 、 $+2$ 、 $+3$ であるため、 In 、 Zn および Ga のいずれかを含む小グループは、電荷が 0 となる。そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に 0 となる。

【0058】

また、 In-Ga-Zn-O 系化合物の層構造を構成する中グループは、図 23 (A) に

50

示した中グループに限定されず、I n、G a、Z nの配列が異なる中グループを組み合わせた大グループも取りうる。

【0059】

具体的には、図23(B)に示した大グループが繰り返されることで、I n - G a - Z n - O系化合物の結晶を得ることができる。なお、得られるI n - G a - Z n - O系化合物の層構造は、 $I n G a O_3 (Z n O)_n$ (nは自然数。)とする組成式で表すことができる。

【0060】

n = 1 (I n G a Z n O₄) の場合は、例えば、図24(A)に示す結晶構造を取りうる。なお、図24(A)に示す結晶構造において、図21(B)で説明したように、G aおよびI nは5配位をとるため、G aがI nに置き換わった構造も取りうる。

10

【0061】

また、n = 2 (I n G a Z n₂ O₅) の場合は、例えば、図24(B)に示す結晶構造を取りうる。なお、図24(B)に示す結晶構造において、図21(B)で説明したように、G aおよびI nは5配位をとるため、G aがI nに置き換わった構造も取りうる。

【0062】

C A A C - O Sは、下地となる膜によっては、下地となる膜との界面近傍における結晶化度が十分でない場合がある。具体的には、下地となる膜と酸化物半導体膜との界面から3 nm ~ 15 nmの範囲で非晶質領域が形成されてしまうことがある。

【0063】

例えば、酸化物半導体膜106と下地膜102との界面から酸化物半導体膜106を結晶成長させるためには、下地膜102が酸化物半導体膜106と同様の原子配列を有すると好ましい。

20

【0064】

例えば、下地膜102は、酸化ジルコニウムを含む。酸化ジルコニウムは、酸化イットリウムを含むと、(111)面に配向する。このように酸化イットリウムを含む酸化ジルコニウムのことを、イットリア安定化ジルコニア(Y S Z : Y t t r i a - S t a b i l i z e d Z i r c o n i a)ともいう。Y S Zは、例えば、酸化ジルコニウムと酸化イットリウムは、mol数比(ここでは合計1とする。)で酸化ジルコニウムが0.57以上0.99以下、酸化イットリウムが0.01以上0.43以下とすればよい。好ましくは、mol数比(ここでは合計1とする。)で酸化ジルコニウムが0.85以上0.98以下、酸化イットリウムが0.02以上0.15以下とすればよい。下地膜102は、例えば、スパッタリング法、蒸着法、プラズマ化学気相成長法(PCVD法)、パルスレーザー堆積法(PLD法)、原子層堆積法(ALD法)または分子線エピタキシー法(MBE法)などで形成すればよい。

30

【0065】

なお、適切な成膜条件によりスパッタリング法で成膜したY S Zは、(111)面に強く配向する。また、スパッタリング法は、大面積への成膜が比較的容易であるため好ましい。なお、酸化イットリウムに代えて、酸化カルシウム、酸化マグネシウム、酸化セリウム(セリア)、または酸化アルミニウム(アルミナ)によって安定化ジルコニアを形成しても構わないが、本細書では、簡単のため前述したY S Zについてのみ記載する。ただし、Y S Zに限定されるものではなく、適宜、酸化ジルコニウムに、酸化カルシウム、酸化マグネシウム、酸化セリウムまたは酸化アルミニウムを添加した安定化ジルコニアに置き換えることができる。

40

【0066】

下地膜102は、立方晶系の結晶構造である酸化ジルコニウムを有し(111)面に強く配向しており、X線回折(XRD: X - R a y D i f f r a c t i o n)法によって得られる29°から31°の間にあるピークにおいて、半値全幅(FWHM: F u l l W i d t h a t H a l f M a x i m u m)が1°以下、好ましくは0.6°以下、さらに好ましくは0.4°以下のY S Z膜である。

50

【0067】

そこで、下地膜102としてYSZ膜を用いることで、下地膜102と酸化物半導体膜106との界面からの酸化物半導体膜106の結晶成長を起りやすくすることができる。これは、立方晶系の結晶構造を有する酸化ジルコニウムを(111)面側から見ると、正三角形の原子配列を有するためであり、同様の原子配列を有するCAAC-OSの結晶領域と整合性をとることが可能となるためである。ただし、原子配列の不整合率(下層と上層とが接している面において、面内の上層の最隣接原子間距離をA、下層の最隣接原子間距離をBとしたとき、BとAとの差をBで除した値 $|B - A| / B$)が大きくなると下地との界面からの結晶成長が困難となる。一般的に、原子配列の不整合率が高いと、結晶成長する厚さが薄くなり、原子配列の不整合率が低いと結晶成長する厚さが厚くなる傾向となる。そのため、下地膜102と、酸化物半導体膜106の原子配列の不整合率が低いほど好ましい。具体的には、原子配列の不整合率が、0.15以下、好ましくは0.12以下、さらに好ましくは0.10以下、さらに好ましくは0.08以下となるように材料を選択すればよい。

10

【0068】

例えば、YSZ膜上に、酸化物半導体である $\text{InGaO}_3(\text{ZnO})_m$ ($m > 0$)をスパッタリング法で加熱しながら成膜することで、YSZ膜との界面近傍から六方晶系でありc軸配向した $\text{InGaO}_3(\text{ZnO})_m$ ($m > 0$)の結晶領域を形成することができる。

【0069】

なお、格子定数aが0.51nm程度であるYSZにおいて、(111)面に垂直方向から見た最隣接原子間距離は、最小のもので0.36nm程度となる。また、 $\text{InGaO}_3(\text{ZnO})$ の格子定数aは0.3295nmであり、 $\text{InGa}(\text{ZnO})_2$ の格子定数aは0.3292nmであり、 $\text{InGaZn}_3\text{O}_6$ の格子定数aは0.3288nmである(非特許文献1参照)。そのため、原子配列の不整合率が0.09程度となり、YSZ上に酸化物半導体である $\text{InGaO}_3(\text{ZnO})_m$ ($m > 0$)を結晶成長させることが可能となる。ただし、YSZの格子定数aは組成比によって変化することが知られており、前述の値に限定されるものではない。

20

【0070】

図19(A)に、立方晶の面心立方格子を示す。立方晶の面心立方格子では、面の中央にある原子7001同士を破線7010で結ぶと、(111)面と平行であり、一辺(最隣接原子間距離)が格子定数aの2分のルート2倍である正三角形を形成することがわかる。

30

【0071】

図19(B)は、六方晶の単位格子を示す。六方晶の単位格子の底面は内角が60°と120°のひし形であるため、原子7002を3個抽出したときの配列は一辺が格子定数aの正三角形を形成する。

【0072】

即ち、図19(A)に示す(111)面に配向する膜(ここではYSZ膜)上に、図19(B)に示す六方晶系でありc軸配向する膜(ここではIn-Ga-Zn-O膜)を積層すると、破線7010で示した原子配列と原子7002を3個抽出したときの配列が整合する場合、(111)面に配向する膜上に、六方晶系でありc軸配向する膜が結晶成長しやすいといえる。

40

【0073】

また、酸化物半導体膜106と下地膜102との界面から酸化物半導体膜106を結晶成長させるためには、下地膜102が十分な平坦性を有することが好ましい。

【0074】

具体的には、平均面粗さ(Ra)が1nm以下、好ましくは0.3nm以下となるように下地膜102を設ける。なお、Raとは、JIS B0601:2001(ISO4287:1997)で定義されている算術平均粗さ(arithmetic mean surface roughness)を曲面に対して適用できるよう三次元に拡張したもの

50

であり、「基準面から指定面までの偏差の絶対値を平均した値」で表現でき、数式 1 にて定義される。

【 0 0 7 5 】

【数 1】

$$Ra = \frac{1}{S_0} \int_{y_2}^{y_1} \int_{x_2}^{x_1} |f(x, y) - Z_0| dx dy \quad (\text{数式1})$$

【 0 0 7 6 】

ここで、指定面とは、粗さ計測の対象となる面であり、座標 $(x_1, y_1, f(x_1, y_1))$, $(x_1, y_2, f(x_1, y_2))$, $(x_2, y_1, f(x_2, y_1))$, $(x_2, y_2, f(x_2, y_2))$ の 4 点で表される四角形の領域とし、指定面を xy 平面に投影した長方形の面積を S_0 、基準面の高さ（指定面の平均の高さ）を Z_0 とする。Ra は原子間力顕微鏡（AFM: Atomic Force Microscope）にて測定可能である。

10

【 0 0 7 7 】

ここで、下地となる膜と酸化物半導体膜に注目し、下地となる膜によって酸化物半導体膜の結晶状態がどのようなになるか、図 1 を用いて説明する。

【 0 0 7 8 】

図 1 (A) は、酸化物半導体膜の被成膜面に凹凸を有し、酸化物半導体膜の結晶が形成する原子配列と不整合率の高い原子配列を有する下地膜 901 と、下地膜 901 上に設けられた、第 1 の領域 902 と第 2 の領域 903 を含む酸化物半導体膜と、を有する断面図である。

20

【 0 0 7 9 】

ここで、第 1 の領域 902 と第 2 の領域 903 との違いは、非晶質領域と結晶領域の割合であり、第 1 の領域 902 は第 2 の領域 903 と比べて非晶質の割合が多い領域である。なお、第 1 の領域 902 は、厚さが 3 nm ~ 15 nm 程度となるが、第 2 の領域 903 と明瞭に区別できないこともある。

【 0 0 8 0 】

具体的には、第 1 の領域 902 は結晶化度が 0.1 未満の領域である。また、第 2 の領域 903 は結晶化度が 0.1 以上、好ましくは 0.3 以上、さらに好ましくは 0.5 以上、さらに好ましくは 0.7 以上の領域である。

30

【 0 0 8 1 】

同様に、図 1 (B) は、酸化物半導体膜の被成膜面に平坦性を有し、酸化物半導体膜の結晶が形成する原子配列と不整合率の低い原子配列を有する下地膜 911 と、下地膜 911 上に設けられた、第 3 の領域 913 を含む酸化物半導体膜と、を有する断面図である。

【 0 0 8 2 】

ここで、第 3 の領域 913 は第 2 の領域 903 と同様の結晶化度を有する。

【 0 0 8 3 】

即ち、下地となる膜が平坦性を有することにより、下地となる膜の直上においても結晶化度の高い領域を含む酸化物半導体膜を得ることができる。

40

【 0 0 8 4 】

また、下地となる膜が酸化物半導体膜の結晶が形成する原子配列と不整合率の低い原子配列を有することにより、下地となる膜の直上においても結晶化度の高い領域を含む酸化物半導体膜を得ることができる。

【 0 0 8 5 】

酸化物半導体膜 106 として、例えば、In - Zn - O 系化合物、Sn - Zn - O 系化合物、Al - Zn - O 系化合物、Zn - Mg - O 系化合物、Sn - Mg - O 系化合物、In - Mg - O 系化合物、In - Ga - O 系化合物、In - Ga - Zn - O 系化合物、In - Al - Zn - O 系化合物、In - Sn - Zn - O 系化合物、Sn - Ga - Zn - O 系化合物

50

物、Al - Ga - Zn - O系化合物、Sn - Al - Zn - O系化合物、In - Hf - Zn - O系化合物、In - La - Zn - O系化合物、In - Ce - Zn - O系化合物、In - Pr - Zn - O系化合物、In - Nd - Zn - O系化合物、In - Sm - Zn - O系化合物、In - Eu - Zn - O系化合物、In - Gd - Zn - O系化合物、In - Tb - Zn - O系化合物、In - Dy - Zn - O系化合物、In - Ho - Zn - O系化合物、In - Er - Zn - O系化合物、In - Tm - Zn - O系化合物、In - Yb - Zn - O系化合物、In - Lu - Zn - O系化合物、In - Sn - Ga - Zn - O系化合物、In - Hf - Ga - Zn - O系化合物、In - Al - Ga - Zn - O系化合物、In - Sn - Al - Zn - O系化合物、In - Sn - Hf - Zn - O系化合物、In - Hf - Al - Zn - O系化合物を用いることができる。

10

【0086】

例えば、In - Ga - Zn - O系化合物とは、In、GaおよびZnを主成分として有する酸化物という意味であり、In、GaおよびZnの比率は問わない。

【0087】

例えば、In - Sn - Zn - O系化合物を用いたトランジスタでは高い電界効果移動度が比較的容易に得られる。具体的には、トランジスタの電界効果移動度を $31 \text{ cm}^2 / \text{Vs}$ 以上、 $40 \text{ cm}^2 / \text{Vs}$ 以上、 $60 \text{ cm}^2 / \text{Vs}$ 以上、 $80 \text{ cm}^2 / \text{Vs}$ 以上または $100 \text{ cm}^2 / \text{Vs}$ 以上とすることができる。なお、In - Sn - Zn - O系化合物以外（例えばIn - Ga - Zn - O系化合物）でも、欠陥密度を低減することにより電界効果移動度を高めることができる。

20

【0088】

以下にトランジスタの電界効果移動度について図25乃至図28を用いて説明する。

【0089】

酸化物半導体に限らず、トランジスタの電界効果移動度は、様々な理由によって本来の得られるはずの電界効果移動度よりも低く測定される。電界効果移動度を低下させる要因としては半導体内部の欠陥や半導体と絶縁膜との界面における欠陥がある。ここでは、Levinsonモデルを用い、半導体内部に欠陥がないと仮定した場合の電界効果移動度を理論的に導き出す。

【0090】

本来のトランジスタの電界効果移動度を μ_0 とし、半導体中に何らかのポテンシャル障壁（粒界等）が存在すると仮定したときに測定される電界効果移動度 μ は数式2で表される。

30

【0091】

【数2】

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right) \quad (\text{数式2})$$

【0092】

ここで、Eはポテンシャル障壁の高さであり、kはボルツマン定数、Tは絶対温度である。なお、Levinsonモデルでは、ポテンシャル障壁の高さEが欠陥に由来すると仮定し、数式3で表される。

40

【0093】

【数3】

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_{gs}} \quad (\text{数式3})$$

【0094】

50

ここで、 e は電気素量、 N はチャネル内の単位面積あたりの平均欠陥密度、 μ_0 は半導体の誘電率、 n はチャネルの単位面積あたりのキャリア密度、 C_{ox} は単位面積当たりのゲート絶縁膜容量、 V_{gs} はゲート電圧、 t はチャネルの厚さである。なお、厚さが 30 nm 以下の半導体層であれば、チャネルの厚さは半導体層の厚さとして差し支えない。

【0095】

線形領域におけるドレイン電流 I_{ds} は、数式 4 で表される。

【0096】

【数 4】

$$\frac{I_{ds}}{V_{gs}} = \frac{W\mu V_{ds} C_{ox}}{L} \exp\left(-\frac{E}{kT}\right) \quad (\text{数式4})$$

10

【0097】

ここで、 L はチャネル長、 W はチャネル幅であり、ここでは、 L および W は $10\text{ }\mu\text{m}$ とする。また、 V_{ds} はドレイン電圧である。

【0098】

数式 4 の両辺の対数を取ると、数式 5 で表される。

【0099】

【数 5】

$$\ln\left(\frac{I_{ds}}{V_{gs}}\right) = \ln\left(\frac{W\mu V_{ds} C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W\mu V_{ds} C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT\epsilon C_{ox} V_{gs}} \quad (\text{数式5})$$

20

【0100】

数式 5 の右辺は V_{gs} の関数であるため、縦軸を $\ln(I_{ds}/V_{gs})$ 、横軸を $1/V_{gs}$ とする直線の傾きから欠陥密度 N が求められる。即ち、トランジスタの $V_{gs} - I_{ds}$ 特性から半導体中の欠陥密度 N が得られる。

【0101】

半導体中の欠陥密度 N は半導体の成膜時の基板加熱温度に依存する。半導体として、 In 、 Sn および Zn の比率が、 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ [原子数比] の $\text{In} - \text{Sn} - \text{Zn} - \text{O}$ ターゲットを用いて成膜した酸化物半導体を用いた場合、酸化物半導体中の欠陥密度 N は $1 \times 10^{12} / \text{cm}^2$ 程度となる。

30

【0102】

上述した酸化物半導体中の欠陥密度 N をもとに、数式 2 および数式 3 を用いて計算すると、本来のトランジスタの電界効果移動度 μ_0 は $120\text{ cm}^2 / \text{Vs}$ となる。したがって、酸化物半導体中および酸化物半導体と接するゲート絶縁膜との界面に欠陥がない、理想的なトランジスタの電界効果移動度 μ_0 は $120\text{ cm}^2 / \text{Vs}$ とわかる。ところが、欠陥の多い酸化物半導体では、トランジスタの電界効果移動度 μ は $30\text{ cm}^2 / \text{Vs}$ 程度である。

40

【0103】

また、半導体内部に欠陥がなくても、チャネルとゲート絶縁膜との界面散乱によってトランジスタの輸送特性は影響を受ける。ゲート絶縁膜界面から x だけ離れた場所における電界効果移動度 μ_1 は、数式 6 で表される。

【0104】

【数 6】

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{l}\right) \quad (\text{数式6})$$

【0105】

ここで、Dはゲート電極による電界強度、Bは定数、lは界面散乱の影響が生じる深さである。Bおよびlは、トランジスタの電気的特性の実測より求めることができ、上記酸化物半導体を用いたトランジスタの電気的特性の実測からは、 $B = 4.75 \times 10^7 \text{ cm/s}$ 、 $l = 10 \text{ nm}$ が得られる。Dが増加すると、即ち V_{gs} が高くなると、数式6の第2項が増加するため、電界効果移動度 μ_1 は低下することがわかる。

10

【0106】

酸化物半導体中および酸化物半導体と接するゲート絶縁膜との界面に欠陥のない、理想的なトランジスタの電界効果移動度 μ_2 を計算した結果を図25に示す。なお、計算にはシノプシス社製Sentaurus Deviceを使用し、酸化物半導体のバンドギャップを2.8 eV、電子親和力を4.7 eV、比誘電率を15、厚さを15 nmとした。さらに、ゲートの仕事関数を5.5 eV、ソースおよびドレインの仕事関数を4.6 eVとした。また、ゲート絶縁膜の厚さは100 nm、比誘電率を4.1とした。また、チャネル長およびチャネル幅はともに10 μm 、 V_{ds} は0.1 Vとした。

20

【0107】

図25で示されるように、 V_{gs} が1 V近傍で電界効果移動度 μ_2 は100 cm^2/Vs 以上のピークを有するが、 V_{gs} がさらに高くなると、界面散乱の影響が大きくなり、電界効果移動度 μ_2 が低下することがわかる。

【0108】

このような理想的なトランジスタを微細化した場合について、計算した結果を図26乃至図28に示す。なお、計算には図29に示した構造のトランジスタを仮定している。

【0109】

次に、図29に示すトランジスタの構造について説明する。図29(A)はトランジスタの上面図である。図29(A)に示す一点鎖線A-Bに対応する断面図が図29(B)である。

30

【0110】

図29(B)に示すトランジスタは、基板100と、基板100上に設けられた下地絶縁膜3002と、下地絶縁膜3002の周辺に設けられた保護膜3020と、下地絶縁膜3002および保護膜3020上に設けられた、高抵抗領域3006aおよび低抵抗領域3006bを含む酸化物半導体膜3006と、酸化物半導体膜3006上に設けられたゲート絶縁膜3012と、ゲート絶縁膜3012を介して酸化物半導体膜3006に重畳して設けられたゲート電極3004と、ゲート電極3004の側面に接して設けられた側壁絶縁膜3024と、酸化物半導体膜3006上にあり、少なくとも酸化物半導体膜3006と一部を接して設けられた一対の電極3016と、ゲート電極3004、側壁絶縁膜3024および一対の電極3016を覆って設けられた保護絶縁膜3018と、保護絶縁膜3018に設けられた開口部を介して一対の電極3016と接して設けられた配線3022と、を有する。

40

【0111】

ここで、低抵抗領域3006bの抵抗率を $2 \times 10^{-3} \text{ cm}$ 、ゲート電極3004の幅を33 nm、側壁絶縁膜3024の幅を5 nm、チャネル幅を40 nmとする。なお、チャネル領域を便宜上高抵抗領域3006aという名称で記載しているが、ここではチャネル領域を真性半導体と仮定している。

【0112】

計算にはシノプシス社製Sentaurus Deviceを使用した。図26は、図2

50

9 (B) に示される構造のトランジスタの I_{ds} (実線) および電界効果移動度 μ (点線) の V_{gs} 依存性である。なお、 I_{ds} は V_{ds} を 1 V とし、電界効果移動度 μ は V_{ds} を 0 . 1 V とし計算している。ここで、ゲート絶縁膜の厚さが 15 nm とした場合を図 26 (A) に、10 nm とした場合を図 26 (B) に、5 nm とした場合を図 26 (C) にそれぞれ示す。

【 0 1 1 3 】

図 26 より、ゲート絶縁膜が薄くなるほど、オフ状態 (ここでは V_{gs} が - 3 V から 0 V の範囲を指す。) でのドレイン電流 I_{ds} が低下する。一方、電界効果移動度 μ のピーク値やオン状態 (ここでは V_{gs} が 0 V から 3 V の範囲を指す。) でのドレイン電流 I_{ds} には目立った変化がない。図 26 より、 V_{gs} が 1 V 近傍で I_{ds} は半導体装置であるメモリなどに必要とされる 10 μ A を超えることがわかる。

10

【 0 1 1 4 】

同様に、図 29 (C) で示されるトランジスタについて計算を行っている。図 29 (C) で示されるトランジスタは、高抵抗領域 3007a および低抵抗領域 3007b を有する酸化物半導体膜 3007 を有する点で、図 29 (B) で示されるトランジスタとは異なる。具体的には、図 29 (C) で示されるトランジスタは、側壁絶縁膜 3024 と重畳する酸化物半導体膜 3007 の領域が高抵抗領域 3007a に含まれる。即ち、該トランジスタは側壁絶縁膜 3024 の幅だけオフセット領域を有するトランジスタである。なお、オフセット領域の幅をオフセット長 (L_{off}) ともいう (図 29 (A) 参照。) 。なお、 L_{off} は便宜上左右で同じ幅としている。

20

【 0 1 1 5 】

図 29 (C) で示されるトランジスタにおいて、 L_{off} を 5 nm とし、ドレイン電流 I_{ds} (実線) および電界効果移動度 μ (点線) の V_{gs} 依存性を図 27 に示す。なお、 I_{ds} は、 V_{ds} を 1 V とし、電界効果移動度 μ は V_{ds} を 0 . 1 V とし計算している。ここで、ゲート絶縁膜の厚さが 15 nm とした場合を図 27 (A) に、10 nm とした場合を図 27 (B) に、5 nm とした場合を図 27 (C) にそれぞれ示す。

【 0 1 1 6 】

また、図 28 は、図 29 (C) に示されるトランジスタの構造から、 L_{off} を 15 nm としたもののドレイン電流 I_{ds} (実線) および電界効果移動度 μ (点線) の V_{gs} 依存性である。なお、 I_{ds} は、 V_{ds} を 1 V とし、電界効果移動度 μ は V_{ds} を 0 . 1 V とし計算している。ここで、ゲート絶縁膜の厚さが 15 nm とした場合を図 28 (A) に、10 nm とした場合を図 28 (B) に、5 nm とした場合を図 28 (C) にそれぞれ示す。

30

【 0 1 1 7 】

図 27 および図 28 に示した計算結果より、図 26 と同様に、いずれもゲート絶縁膜が薄くなるほどオフ状態 (ここでは V_{gs} が - 3 V から 0 V の範囲を指す。) でのドレイン電流 I_{ds} が低下する。一方、電界効果移動度 μ のピーク値やオン状態 (ここでは V_{gs} が 0 V から 3 V の範囲を指す。) でのドレイン電流 I_{ds} には目立った変化がないとわかる。

【 0 1 1 8 】

なお、電界効果移動度 μ のピークは、図 26 では 80 cm^2 / Vs 程度であるが、図 27 では 60 cm^2 / Vs 程度、図 28 では 40 cm^2 / Vs と程度、 L_{off} が増加するほど低下することがわかる。また、オフ状態での I_{ds} も同様の傾向となることがわかる。一方、オン状態の I_{ds} はオフセット長 L_{off} の増加に伴って減少するが、オフ状態の I_{ds} の低下に比べるとはるかに緩やかである。また、いずれの計算結果からも V_{gs} が 1 V 近傍で、 I_{ds} はメモリなどに必要とされる 10 μ A を超えることがわかる。

40

【 0 1 1 9 】

酸化物半導体膜 106 として In - Zn - O 系化合物を用いる場合、原子数比で、 $\text{In} / \text{Zn} = 0 . 5$ 以上 50 以下、好ましくは $\text{In} / \text{Zn} = 1$ 以上 20 以下、さらに好ましくは $\text{In} / \text{Zn} = 1 . 5$ 以上 15 以下とする。Zn の原子数比を前述の範囲とすることで、ト

50

ランジスタの電界効果移動度を向上させることができる。ここで、化合物の原子数比が $I n : Z n : O = X : Y : Z$ のとき、 $Z > 1.5 X + Y$ とすると好ましい。

【0120】

酸化物半導体膜 106 として、化学式 $I n M O_3 (Z n O)_m (m > 0)$ で表記される材料を用いてもよい。ここで、M は、Zn、Ga、Al、Mn、Sn、Hf および Co から選ばれた一または複数の金属元素を示す。例えば、M として、Ga、Ga および Al、Ga および Mn または Ga および Co などを用いてもよい。

【0121】

酸化物半導体膜 106 は、トランジスタのオフ電流を低減するため、バンドギャップが 2.5 eV 以上、好ましくは 2.8 eV 以上、さらに好ましくは 3.0 eV 以上の材料を選択する。ただし、酸化物半導体膜に代えて、バンドギャップが前述の範囲である半導体性を示す材料を用いても構わない。

【0122】

酸化物半導体において水素は一部がドナーとなりキャリアを生成する。そのため、酸化物半導体膜 106 中の水素濃度は、 $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以下とする。

【0123】

アルカリ金属は酸化物半導体を構成する元素ではないため、不純物である。アルカリ土類金属も、酸化物半導体を構成する元素ではない場合において、不純物となる。特に、アルカリ金属のうちナトリウム (Na) は、酸化物半導体膜に接する絶縁膜中に拡散して Na^+ となる。また、Na は、酸化物半導体膜内において、酸化物半導体を構成する金属と酸素の結合を分断する、または、その結合中に割り込む。その結果、例えば、しきい値電圧がマイナス方向にシフトすることによるノーマリーオン化、電界効果移動度の低下などの、トランジスタ特性の劣化が起こり、加えて、特性のばらつきも生じる。したがって、酸化物半導体膜中の上記不純物の濃度を低減することが望ましい。具体的に、Na 濃度は、二次イオン質量分析 (SIMS: Secondary Ion Mass Spectrometry) において、 $5 \times 10^{16} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{15} \text{ atoms/cm}^3$ 以下とする。同様に、リチウム (Li) 濃度の測定値は、 $5 \times 10^{15} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{15} \text{ atoms/cm}^3$ 以下とする。同様に、カリウム (K) 濃度の測定値は、 $5 \times 10^{15} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{15} \text{ atoms/cm}^3$ 以下とする。

【0124】

酸化物半導体膜 106 は、水素、アルカリ金属およびアルカリ土類金属などが低減され、極めて不純物濃度の低い酸化物半導体膜である。そのため、酸化物半導体膜 106 をチャネル領域に用いたトランジスタはオフ電流を小さくできる。

【0125】

以上に示した酸化物半導体膜 106 を用いることでトランジスタのオフ電流を小さくできる。例えば、チャネル長が $3 \mu\text{m}$ 、チャネル幅が $1 \mu\text{m}$ のときのトランジスタのオフ電流を $1 \times 10^{-18} \text{ A}$ 以下、または $1 \times 10^{-21} \text{ A}$ 以下、または $1 \times 10^{-24} \text{ A}$ 以下とすることができる。

【0126】

下地膜 102 は、加熱処理により酸素を放出する膜との積層構造にすると好ましい。加熱処理により酸素を放出する膜を用いることで、酸化物半導体膜 106 に生じる欠陥を修復することができ、トランジスタの電気的特性の劣化を抑制できる。ただし、YSZ 膜を酸化物半導体膜 106 と接する側に設けるものとする。例えば、加熱処理により酸素を放出する酸化シリコン膜を 50 nm 以上 600 nm 以下、好ましくは 200 nm 以上 500 nm 以下の厚さで形成し、次に YSZ 膜を 1 nm 以上 50 nm 以下、好ましくは 2 nm 以上 10 nm 以下の厚さで形成すればよい。加熱処理により酸素を放出する膜は、厚さが厚い

10

20

30

40

50

ほど酸素の放出量が増加する。ただし、厚さを厚くしすぎると、成膜の時間が長くなり生産性の低下を招くことになるため、最適な厚さを有する。また、Y S Z 膜は、上面の結晶性が十分高ければ厚さは問わない。ただし、酸化シリコン膜から放出された酸素の少なくとも一部が透過する程度に薄いことが好ましい。

【0127】

「加熱処理により酸素を放出する」とは、TDS (Thermal Desorption Spectroscopy: 昇温脱離ガス分光法) 分析にて放出される酸素が、酸素原子に換算して $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、または $1.0 \times 10^{20} \text{ atoms/cm}^3$ 以上であることをいう。

【0128】

ここで、TDS 分析を用いた酸素の放出量の測定方法について、以下に説明する。

【0129】

TDS 分析したときの気体の全放出量は、放出ガスのイオン強度の積分値に比例する。そしてこの積分値と、標準試料との比較により、気体の全放出量を計算することができる。

【0130】

例えば、標準試料である所定の密度の水素を含むシリコンウェハの TDS 分析結果、および絶縁膜の TDS 分析結果から、絶縁膜の酸素分子の放出量 (N_{O_2}) は、数式 7 で求めることができる。ここで、TDS 分析で得られる質量数 32 で検出されるガスの全てが酸素分子由来と仮定する。質量数 32 のものとしてほかに CH_3OH があるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である質量数 17 の酸素原子および質量数 18 の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。

【0131】

【数 7】

$$N_{O_2} = \frac{N_{H_2}}{S_{H_2}} \times S_{O_2} \times \alpha \quad (\text{数式7})$$

【0132】

N_{H_2} は、標準試料から脱離した水素分子を密度で換算した値である。 S_{H_2} は、標準試料を TDS 分析したときのイオン強度の積分値である。ここで、標準試料の基準値を、 N_{H_2} / S_{H_2} とする。 S_{O_2} は、絶縁膜を TDS 分析したときのイオン強度の積分値である。 α は、TDS 分析におけるイオン強度に影響する係数である。数式 7 の詳細に関しては、特開平 6 - 275697 公報を参照する。なお、上記絶縁膜の酸素の放出量は、電子科学株式会社製の昇温脱離分析装置 EMD - WA1000S/W を用い、標準試料として $1 \times 10^{16} \text{ atoms/cm}^3$ の水素原子を含むシリコンウェハを用いて測定した。

【0133】

また、TDS 分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述の α は酸素分子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の放出量についても見積もることができる。

【0134】

なお、 N_{O_2} は酸素分子の放出量である。酸素原子に換算したときの放出量は、酸素分子の放出量の 2 倍となる。

【0135】

上記構成において、加熱処理により酸素を放出する膜は、酸素が過剰な酸化シリコン (SiO_x ($x > 2$)) であってもよい。酸素が過剰な酸化シリコン (SiO_x ($x > 2$)) は、シリコン原子数の 2 倍より多い酸素原子を単位体積当たりを含むものである。単位体積当たりのシリコン原子数および酸素原子数は、ラザフォード後方散乱法 (RBS: Ru

10

20

30

40

50

therford Backscattering Spectrometry)により測定した値である。

【0136】

下地膜102から酸化物半導体膜106に酸素が供給されることで、酸化物半導体膜106と下地膜102との界面準位密度を低減できる。この結果、トランジスタの動作などに起因して、酸化物半導体膜106と下地膜102との界面にキャリアが捕獲されることを抑制することができ、電気的特性の劣化の少ないトランジスタを得ることができる。

【0137】

さらに、酸化物半導体膜の酸素欠損に起因して電荷が生じる場合がある。一般に酸化物半導体膜の酸素欠損は、一部がドナーとなりキャリアである電子を放出する。この結果、トランジスタのしきい値電圧がマイナス方向にシフトしてしまう。下地膜102から酸化物半導体膜106に酸素が十分に供給されることにより、しきい値電圧がマイナス方向へシフトする要因である、酸化物半導体膜の酸素欠損を低減することができる。

10

【0138】

即ち、下地膜102に、加熱処理により酸素を放出する膜を設けることで、酸化物半導体膜106と下地膜102との界面準位密度、および酸化物半導体膜106の酸素欠損を低減し、酸化物半導体膜106と下地膜102との界面におけるキャリア捕獲の影響を小さくすることができる。

【0139】

基板100は、トランジスタの作製面の平坦性が高いと好ましい。具体的には、Raが1nm以下、好ましくは0.3nm以下とする。材料に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有している必要がある。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板などを、基板100として用いてもよい。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI(Silicon On Insulator)基板などを適用することも可能であり、これらの基板上に半導体素子が設けられたものを、基板100として用いてもよい。

20

【0140】

基板100として、可とう性基板を用いてもよい。その場合は、可とう性基板上に直接トランジスタを作製すればよい。なお、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板である基板100に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。

30

【0141】

ゲート電極104は、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ag、TaおよびW、それらの窒化物、酸化物ならびに合金から一種以上選択し、単層でまたは積層で用いればよい。

【0142】

なお、図8ではゲート電極104が酸化物半導体膜106を完全に覆う形状ではないが、ゲート電極104が酸化物半導体膜106を完全に覆う形状とすることで酸化物半導体膜106の光による劣化、電荷の発生を抑制しても構わない。

40

【0143】

一对の電極116は、トランジスタの動作に伴いソース電極およびドレイン電極として機能する。

【0144】

一对の電極116は、ゲート電極104で示した金属膜、金属窒化物膜、金属酸化物膜または合金膜などを単層でまたは積層で用いればよい。

【0145】

一对の電極116にCuを含む膜を用いると、配線の抵抗を低減でき、大型表示装置などでも配線遅延等の発生を低減することができる。一对の電極116にCuを用いる場合、

50

基板 100 の材質によっては密着性が悪くなるため、基板 100 と密着性のよい膜との積層構造にすることが好ましい。基板 100 と密着性のよい膜として、Ti、Mo、Mn、Cu または Al などを含む膜を用いればよい。例えば、Ti 膜、窒化チタン膜、Ti - Mo 合金膜または Cu - Mn - Al 合金膜を用いてもよい。

【0146】

ゲート絶縁膜 112 は、窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化イットリウム、酸化ジルコニウムまたは YSZ など、単層で、または積層して用いればよい。例えば、プラズマ CVD 法およびスパッタリング法などで形成すればよい。また、ゲート絶縁膜 112 は、加熱処理により酸素を放出する膜を用いると好ましい。加熱処理により酸素を放出する膜を用いることで、酸化物半導体膜 106 に生じる欠陥を修復することができ、トランジスタの電気的特性の劣化を抑制できる。

10

【0147】

なお、ゲート絶縁膜 112 として、YSZ 膜を用いると好ましい。CAAC - OS である酸化物半導体膜 106 上に YSZ 膜を結晶成長させて形成することで、酸化物半導体膜 106 とゲート絶縁膜 112 との界面の電子状態を良好にすることができる。ゲート絶縁膜 112 を積層して設ける場合、YSZ 膜を酸化物半導体膜 106 側に設ければよい。

【0148】

以上のように、下地膜 102 に、(111) 面に配向している酸化ジルコニウムを含む膜を用い、下地膜 102 と原子配列の不整合率が低い酸化物半導体膜 106 を下地膜 102 上に設けることで、下地膜 102 直上においても結晶化度の高い結晶領域を有する CAAC - OS である酸化物半導体膜 106 を形成させることができる。そのため、トランジスタに安定した電気的特性を付与し、信頼性の高い半導体装置を作製することができる。

20

【0149】

次に、図 8 に示したトランジスタの作製方法について、図 2 を用いて説明する。

【0150】

まず、基板 100 上に下地膜 102 を成膜する(図 2 (A) 参照。)。

【0151】

基板 100 は、平坦性が高いほど結晶性の高い下地膜 102 を形成することができるため好ましい。そのため、基板 100 は、あらかじめ平坦化処理を行っておくと好ましい。平坦化処理として、化学機械研磨 (CMP : Chemical Mechanical Polishing) または逆スパッタリング法などがある。

30

【0152】

逆スパッタリング法とは、通常のスパッタリングにおいては、スパッタターゲットにイオンを衝突させるところを、逆に、被処理面にイオンを衝突させることによって被処理面を改質する方法のことをいう。被処理面にイオンを衝突させる方法としては、希ガス (ヘリウム、ネオン、アルゴン、クリプトン、キセノンなど) 雰囲気下で被処理面側に高周波電圧を印加して、被処理面付近にプラズマを生成する方法などがある。なお、希ガス雰囲気に代えて窒素または酸素などによる雰囲気を適用してもよい。逆スパッタリング法で用いる装置は、スパッタリング装置に限定されず、プラズマ CVD 装置、ドライエッチング装置などで同様の処理を行うことができる。

40

【0153】

下地膜 102 は、スパッタリング法、MBE 法、PLD 法または ALD 法などを用いて成膜すればよい。好ましくは、スパッタリング法を用いる。

【0154】

スパッタリング法を用いて下地膜 102 を成膜する方法について以下に説明する。ターゲットは、金属ジルコニウムを含むターゲットを用い、成膜ガスに酸素を含ませた反応性スパッタリング法によって成膜できる。または、酸化ジルコニウムを含むターゲットを用い、成膜ガスに、希ガスおよび酸素のいずれか一種以上を含ませて成膜しても構わない。ここで、ターゲット中にイットリウムまたは酸化イットリウムを含ませることで、YSZ 膜を成膜することができる。また、イットリウムに代えて、カルシウム、マグネシウム、セ

50

リウムまたはアルミニウムを含ませても構わないが、本実施の形態では便宜上イットリウムを含ませたターゲットを用いて成膜したＹＳＺ膜についてのみ説明する。

【 0 1 5 5 】

下地膜 1 0 2 は、(1 1 1) 面に配向している酸化ジルコニウムを含む膜である。酸化ジルコニウムは、単独では熱的安定性が低く、イットリウムなどの安定化材料を含ませることで結晶状態を安定させることができる。

【 0 1 5 6 】

ＹＳＺ膜において、(1 1 1) 面の配向がより強くなるよう成膜するには、成膜電力を高くすること、成膜圧力を低くすること、ターゲット - 基板間距離 (T - S 間距離) を短くすることおよび成膜時の基板表面温度 (T s u b) を高くすることが重要である。これらは、スパッタリング現象によりターゲットから基板表面に飛来したスパッタリング粒子の持つエネルギーを高くするために行う。即ち、高エネルギーであるスパッタリング粒子が基板表面に到達した後、マイグレーションを起こすことで、得られる膜の結晶性を高めることができる。

【 0 1 5 7 】

具体的には、単位面積あたりの成膜電力を $5 \text{ W} / \text{cm}^2$ 以上 $50 \text{ W} / \text{cm}^2$ 以下とする。成膜電力は、高いほど膜の結晶性を高める傾向であるが、高すぎると異常放電を起こし、ターゲットの割れが生じることがある。なお、スパッタリング用電源は、DC 電源、AC 電源または RF 電源を用いればよく、好ましくは RF 電源を用いる。RF 電源を用いることで、絶縁性の高いターゲット (金属酸化物ターゲットなど) を用いることができるほか、基板面内における膜質の均一性を高め、さらに膜表面の平坦性を高めることができる。

【 0 1 5 8 】

また、成膜圧力を 0.01 Pa 以上 0.4 Pa 以下、好ましくは 0.05 Pa 以上 0.3 Pa 以下とする。成膜圧力は、低いほど膜の結晶性を高める傾向であるが、低すぎるとスパッタリングするために必要なプラズマを形成できない。また、成膜圧力が低すぎると、反跳イオンによって膜へダメージが入ることがある。

【 0 1 5 9 】

また、T - S 間距離を 10 mm 以上 200 mm 以下、好ましくは 20 mm 以上 80 mm 以下とする。T - S 間距離は、短いほど膜の結晶性を高める傾向であるが、短すぎるとスパッタリングするために必要なプラズマを形成できない。また、T - S 間距離が短すぎると基板面内の膜質および膜厚分布が均一にできなくなることがある。

【 0 1 6 0 】

また、T s u b を 100 以上 500 以下、好ましくは 150 以上 450 以下とする。T s u b は、高いほど膜の結晶性を高める傾向であるが、高すぎると酸化ジルコニウムの結晶系および結晶方位が変動してしまう。また、T s u b が高すぎる (例えば 500 より高い) と、かえって結晶状態が崩れ、立方晶系の結晶構造を有する酸化ジルコニウムを含む膜が得られなくなる。

【 0 1 6 1 】

下地膜 1 0 2 の成膜後、下地膜 1 0 2 の結晶性をさらに高めるために、第 1 の加熱処理を行うと好ましい。第 1 の加熱処理は、酸化性雰囲気、不活性雰囲気、減圧雰囲気または乾燥空気雰囲気において、 150 以上 650 以下、好ましくは 250 以上 500 以下、さらに好ましくは 300 以上 450 以下の温度で行えばよい。第 1 の加熱処理は、抵抗加熱方式、ランプヒータ方式、加熱ガス方式などを適用すればよい。ただし、加熱処理の温度が高すぎる (例えば 650 より高い) と、かえって結晶状態が崩れ、立方晶系の結晶構造を有する酸化ジルコニウムを含む膜が得られなくなる。

【 0 1 6 2 】

酸化性雰囲気とは、酸化性ガスを含む雰囲気をいう。酸化性ガスとは、酸素、オゾンまたは亜酸化窒素などであって、水、水素などが含まれないことが好ましい。例えば、加熱処理装置に導入する酸素、オゾン、亜酸化窒素の純度を、 $8 \text{ N} (99.999999\%)$ 以上、好ましくは $9 \text{ N} (99.9999999\%)$ 以上とする。酸化性雰囲気には、酸化性

ガスと不活性ガスが混合されていてもよい。その場合、酸化性ガスが少なくとも10 ppm以上含まれる雰囲気とする。

【0163】

不活性雰囲気とは、窒素、希ガスなどの不活性ガスを主成分とする雰囲気を用いる。具体的には、酸化性ガスなどの反応性ガスが10 ppm未満である雰囲気とする。

【0164】

減圧雰囲気とは、処理室の圧力が10 Pa以下の雰囲気を用いる。

【0165】

乾燥空気雰囲気とは、露点 - 40 以下、好ましくは露点 - 50 以下の雰囲気を用いる。

【0166】

ここで、下地膜102の平坦性が十分でない場合、基板100と同様の方法で平坦化処理を行っても構わない。

【0167】

次に、酸化物半導体膜136を成膜する(図2(B)参照。)。酸化物半導体膜136は、スパッタリング法、MBE法、PLD法またはALD法などを用いて成膜すればよい。好ましくは、スパッタリング法を用いる。

【0168】

スパッタリング法を用いて酸化物半導体膜136を成膜する方法について以下に説明する。例えば、酸化物半導体膜106に適用できる前述の材料を含むターゲットを用い、成膜ガスに、希ガス、窒素および酸素のいずれか一種以上を含ませて成膜する。

【0169】

酸化物半導体膜136を下地膜102の直上においても結晶化度の高い結晶領域を有するCAAC-OSとするためには、下地膜102の結晶性が十分高く、かつ下地膜102の平坦性が十分高いうえで、下地膜102の結晶性を高める方法と同様の方法で成膜すればよい。即ち、成膜電力を高くすること、成膜圧力を低くすること、T-S間距離を短くすることおよびTsubを高くすることが重要である。

【0170】

具体的には、単位面積あたりの成膜電力を5 W/cm²以上50 W/cm²以下、成膜圧力を0.01 Pa以上0.4 Pa以下、好ましくは0.05 Pa以上0.3 Pa以下、T-S間距離を10 mm以上200 mm以下、好ましくは20 mm以上80 mm以下、Tsubを100 以上500 以下、好ましくは150 以上450 以下とする。

【0171】

酸化物半導体膜136の成膜後、第2の加熱処理を行うと、CAAC-OSにおける結晶化度が高まり好ましい。第2の加熱処理は第1の加熱処理と同様の方法で行うことができる。

【0172】

以上の方法で、下地膜102の直上にCAAC-OSである酸化物半導体膜136を形成することができる。

【0173】

次に、酸化物半導体膜136を加工して島状の酸化物半導体膜106を形成する(図2(C)参照。)。なお、「加工する」とは、例えば、フォトリソグラフィ法によって形成したレジストマスクを用い、エッチング処理を行って、所望の形状の膜を得ることをいう。

【0174】

次に、酸化物半導体膜106上に導電膜を成膜し、加工して、酸化物半導体膜106と少なくとも一部が接する一対の電極116を形成する。次に、酸化物半導体膜106および一対の電極116上にゲート絶縁膜112を成膜する。一対の電極116となる導電膜およびゲート絶縁膜112は、前述の材料を用い、スパッタリング法、プラズマCVD法、PLD法、ALD法、蒸着法または印刷法などを用いて成膜すればよい。なお、ゲート絶縁膜112にYSZ膜を用いる場合、酸化物半導体膜106とゲート絶縁膜112との界面から結晶成長させるために、下地膜102と同様の方法で形成すると好ましい。

10

20

30

40

50

【 0 1 7 5 】

次に、ゲート絶縁膜 1 1 2 上に導電膜を成膜し、加工して酸化物半導体膜 1 0 6 と重畳するゲート電極 1 0 4 を形成する（図 2（D）参照。）。ゲート電極 1 0 4 となる導電膜は、前述の材料を用い、スパッタリング法、プラズマ C V D 法、P L D 法、A L D 法、蒸着法または印刷法などを用いて成膜すればよい。

【 0 1 7 6 】

以上のように、下地膜 1 0 2 の直上においても結晶化度の高い結晶領域を有する酸化物半導体膜 1 0 6 を形成することができる。そのため、下地膜 1 0 2 と酸化物半導体膜 1 0 6 との界面の電子状態が良好になり、安定した電気的特性を有する信頼性の高い半導体装置を作製することができる。

10

【 0 1 7 7 】

以上の工程によって、図 8 に示したトランジスタを作製することができる。

【 0 1 7 8 】

続いて、図 8 に示したトランジスタとは異なる構造のトランジスタについて図 9 を用いて説明する。

【 0 1 7 9 】

図 9 はトランジスタの上面図および断面図である。図 9（A）に示した一点鎖線 A - B および一点鎖線 C - D における断面は、それぞれ図 9（B）に示す A - B 断面および図 9（C）に示す C - D 断面に対応する。

【 0 1 8 0 】

以下に、図 9（B）に示す A - B 断面について詳細に説明する。

20

【 0 1 8 1 】

図 9 に示すトランジスタは、基板 1 0 0 と、基板 1 0 0 上の下地膜 1 0 2 と、下地膜 1 0 2 上の一对の電極 2 1 6 と、一对の電極 2 1 6 上にあり、一对の電極 2 1 6 と少なくとも一部が接する酸化物半導体膜 2 0 6 と、酸化物半導体膜 2 0 6 および一对の電極 2 1 6 上のゲート絶縁膜 2 1 2 と、ゲート絶縁膜 2 1 2 を介して酸化物半導体膜 2 0 6 と重畳するゲート電極 2 0 4 と、を有する。

【 0 1 8 2 】

なお、一对の電極 2 1 6、酸化物半導体膜 2 0 6、ゲート絶縁膜 2 1 2 およびゲート電極 2 0 4 は、それぞれ一对の電極 1 1 6、酸化物半導体膜 1 0 6、ゲート絶縁膜 1 1 2 およびゲート電極 1 0 4 と同様の方法および同様の材料により形成すればよい。

30

【 0 1 8 3 】

なお、図 9 ではゲート電極 2 0 4 が酸化物半導体膜 2 0 6 を完全に覆う形状ではないが、ゲート電極 2 0 4 が酸化物半導体膜 2 0 6 を完全に覆う形状とすることで酸化物半導体膜 2 0 6 の光による劣化、電荷の発生を抑制しても構わない。

【 0 1 8 4 】

次に、図 9 に示したトランジスタの作製方法について、図 3 を用いて説明する。

【 0 1 8 5 】

まず、基板 1 0 0 上に、下地膜 1 0 2 を形成する。次に、下地膜 1 0 2 上に一对の電極 2 1 6 を形成する（図 3（A）参照。）。

40

【 0 1 8 6 】

次に、一对の電極 2 1 6 上にあり、一对の電極 2 1 6 と少なくとも一部が接する酸化物半導体膜 2 0 6 を形成する（図 3（B）参照。）。

【 0 1 8 7 】

次に酸化物半導体膜 2 0 6 および一对の電極 2 1 6 上にゲート絶縁膜 2 1 2 を成膜する（図 3（C）参照。）。

【 0 1 8 8 】

次に、ゲート絶縁膜 2 1 2 を介して酸化物半導体膜 2 0 6 と重畳するゲート電極 2 0 4 を形成する（図 3（D）参照。）。

【 0 1 8 9 】

50

以上のように、下地膜 102 の直上においても結晶化度の高い結晶領域を有する酸化物半導体膜 206 を形成することができる。そのため、下地膜 102 と酸化物半導体膜 206 との界面の電子状態が良好になり、安定した電気的特性を有する信頼性の高い半導体装置を作製することができる。

【0190】

以上の工程によって、図 9 に示したトランジスタを作製することができる。

【0191】

続いて、図 8 および図 9 に示したトランジスタとは異なる構造のトランジスタについて図 10 を用いて説明する。

【0192】

図 10 はトランジスタの上面図および断面図である。図 10 (A) に示した一点鎖線 A - B および一点鎖線 C - D における断面は、それぞれ図 10 (B) に示す A - B 断面および図 10 (C) に示す C - D 断面に対応する。

【0193】

以下に、図 10 (B) に示す A - B 断面について詳細に説明する。

【0194】

図 10 に示すトランジスタは、基板 100 と、基板 100 上の下地膜 102 と、下地膜 102 上のチャネル領域 305、ソース領域 307a およびドレイン領域 307b を有する酸化物半導体膜 306 と、酸化物半導体膜 306 および下地膜 102 上のゲート絶縁膜 312 と、ゲート絶縁膜 312 を介して酸化物半導体膜 306 と重畳するゲート電極 304 と、ゲート電極 304 およびゲート絶縁膜 312 上の保護膜 318 と、保護膜 318 上にあり、ゲート絶縁膜 312 および保護膜 318 に設けられた開口部を介して、ソース領域 307a およびドレイン領域 307b と接する一対の電極 316 と、を有する。

【0195】

なお、一対の電極 316、酸化物半導体膜 306、ゲート電極 304 およびゲート絶縁膜 312 は、それぞれ一対の電極 116、酸化物半導体膜 106、ゲート電極 104 およびゲート絶縁膜 112 と同様の方法および同様の材料により形成すればよい。

【0196】

なお、図 10 ではゲート絶縁膜 312 および保護膜 318 に設けられた開口部の上面形状は円形であるが、これに限定されるものではない。該開口部は、ソース領域 307a およびドレイン領域 307b を露出するものであれば、形状は問わない。

【0197】

チャネル領域 305 は、ゲート電極 304 と概略同一の上面形状としてもよい。なお、ソース領域 307a およびドレイン領域 307b は、窒素、リン、ホウ素、水素または希ガスなどを含む。

【0198】

なお、便宜上、チャネル領域、ソース領域およびドレイン領域という名称で表しているが、トランジスタが動作していない場合は、チャネル領域 305 は高抵抗領域であり、ソース領域 307a およびドレイン領域 307b は低抵抗領域である。

【0199】

ソース領域 307a およびドレイン領域 307b を有することにより、ソース電極およびドレイン電極が直接チャネル領域と接する構造と比べ、電界集中が緩和されるため、ホットキャリア劣化などのトランジスタの劣化を低減することができる。

【0200】

また、ソース領域 307a およびドレイン領域 307b を有することにより、ドレイン側からソース側への電界の広がりの影響を低減することができる。そのため、チャネル長が短くなるに伴ってしきい値電圧がマイナス方向へシフトする、いわゆる短チャネル効果を抑制できる。

【0201】

次に、図 10 に示したトランジスタの作製方法について、図 4 を用いて説明する。

【0202】

まず、基板100上に下地膜102を形成する。次に、下地膜102上に酸化物半導体膜306を形成する。次に、酸化物半導体膜306および下地膜102上に、ゲート絶縁膜312を成膜する(図4(A)参照。)。

【0203】

次に、ゲート絶縁膜312を介して酸化物半導体膜306と重畳するゲート電極304を形成する。次に、ゲート電極304をマスクとし、酸化物半導体膜306の一部に窒素、リン、ホウ素、水素または希ガスのイオンを添加する。イオンの添加、またはイオンの添加に加えて加熱処理を行うことにより、酸化物半導体膜306のイオンの添加された領域を低抵抗とし、チャネル領域305、ソース領域307aおよびドレイン領域307bを形成する。なお、チャネル領域305は、イオンの添加により低抵抗化されていない領域である(図4(B)参照。)。

10

【0204】

次に、酸化物半導体膜306およびゲート電極304上に保護膜318を形成し(図4(C)参照。)、ソース領域307aおよびドレイン領域307bをそれぞれ露出する開口部をゲート絶縁膜312および保護膜318に形成する。次に、酸化物半導体膜306と接する一対の電極316を形成する(図4(D)参照。)。なお、ソース領域307aおよびドレイン領域307bを形成するための加熱処理に代えて、保護膜318または一対の電極316の形成後に加熱処理を行っても構わない。

20

【0205】

以上のように、下地膜102の直上においても結晶化度の高い結晶領域を有する酸化物半導体膜306を形成することができる。そのため、下地膜102と酸化物半導体膜306との界面の電子状態が良好になり、安定した電気的特性を有する信頼性の高い半導体装置を作製することができる。なお、酸化物半導体膜306において、ソース領域307aおよびドレイン領域307bは、イオンの添加のダメージで結晶が崩れることがある。本発明の一態様に係るトランジスタは、少なくともチャネル領域305がCAAC-OSであればよい。結晶が崩れるとは、結晶性が低下すること、または非晶質化することをいう。

【0206】

以上の工程によって、図10に示したトランジスタを作製することができる。

【0207】

続いて、図8乃至図10に示したトランジスタとは異なる構造のトランジスタについて図11を用いて説明する。

30

【0208】

図11はトランジスタの上面図および断面図である。図11(A)に示した一点鎖線A-Bおよび一点鎖線C-Dにおける断面は、それぞれ図11(B)に示すA-B断面および図11(C)に示すC-D断面に対応する。

【0209】

以下に、図11(B)に示すA-B断面について詳細に説明する。

【0210】

図11に示すトランジスタは、基板100と、基板100上のゲート電極404と、ゲート電極404を覆うゲート絶縁膜412と、ゲート絶縁膜412を介してゲート電極404と重畳する酸化物半導体膜406と、酸化物半導体膜406上にあり、酸化物半導体膜406と少なくとも一部が接する一対の電極416と、酸化物半導体膜406および一対の電極416上の保護膜418と、を有する。

40

【0211】

なお、ゲート電極404、酸化物半導体膜406および一対の電極416は、それぞれゲート電極104、酸化物半導体膜106および一対の電極116と同様の方法および同様の材料により形成すればよい。

【0212】

この構造では、酸化物半導体膜406の下地となる膜はゲート絶縁膜412である。その

50

ため、ゲート絶縁膜 4 1 2 は、下地膜 1 0 2 と同様の方法および同様の材料により形成する。こうすることで、ゲート絶縁膜 4 1 2 の直上においても結晶化度の高い結晶領域を有する C A A C - O S である酸化物半導体膜 4 0 6 を形成することができる。

【 0 2 1 3 】

保護膜 4 1 8 は、ゲート絶縁膜 1 1 2 と同様の方法および同様の材料により形成する。

【 0 2 1 4 】

保護膜 4 1 8 は、比誘電率が低く、かつ十分な厚さを有すると好ましい。例えば、比誘電率が 3 . 8 である酸化シリコン膜を用い、3 0 0 n m 以上 1 0 0 0 n m 以下の厚さとすればよい。保護膜 4 1 8 の表面は、大気成分などの影響でわずかに固定電荷を有し、その影響により、トランジスタのしきい値電圧が変動することがある。そのため、保護膜 4 1 8 は、表面にある固定電荷の影響が十分に小さくなるような範囲の比誘電率および厚さとするのが好ましい。同様の理由で、保護膜 4 1 8 上に樹脂膜を形成することで、固定電荷の影響を低減しても構わない。

10

【 0 2 1 5 】

なお、図 1 1 ではゲート電極 4 0 4 が酸化物半導体膜 4 0 6 を完全に覆う形状ではないが、ゲート電極 4 0 4 が酸化物半導体膜 4 0 6 を完全に覆う形状とすることで酸化物半導体膜 4 0 6 の光による劣化、電荷の発生を抑制しても構わない。

【 0 2 1 6 】

次に、図 1 1 に示したトランジスタの作製方法について、図 5 を用いて説明する。

【 0 2 1 7 】

20

まず、基板 1 0 0 上にゲート電極 4 0 4 を形成する。次に、ゲート電極 4 0 4 を覆ってゲート絶縁膜 4 1 2 を成膜する（図 5 (A) 参照。 ）。

【 0 2 1 8 】

次に、ゲート絶縁膜 4 1 2 を介してゲート電極 4 0 4 と重畳する酸化物半導体膜 4 0 6 を形成する（図 5 (B) 参照。 ）。

【 0 2 1 9 】

次に、酸化物半導体膜 4 0 6 上にあり、酸化物半導体膜 4 0 6 と少なくとも一部が接する一対の電極 4 1 6 を形成する（図 5 (C) 参照。 ）。

【 0 2 2 0 】

次に、酸化物半導体膜 4 0 6 および一対の電極 4 1 6 上に保護膜 4 1 8 を形成する（図 5 (D) 参照。 ）。

30

【 0 2 2 1 】

以上のように、ゲート絶縁膜 4 1 2 の直上においても結晶化度の高い結晶領域を有する酸化物半導体膜 4 0 6 を形成することができる。そのため、ゲート絶縁膜 4 1 2 と酸化物半導体膜 4 0 6 との界面の電子状態が良好になり、安定した電気的特性を有する信頼性の高い半導体装置を作製することができる。

【 0 2 2 2 】

以上の工程によって、図 1 1 に示したトランジスタを作製することができる。

【 0 2 2 3 】

続いて、図 8 乃至図 1 1 に示したトランジスタとは異なる構造のトランジスタについて図 1 2 を用いて説明する。

40

【 0 2 2 4 】

図 1 2 は本発明の一態様の半導体装置であるトランジスタの上面図および断面図である。図 1 2 (A) に示した一点鎖線 A - B および一点鎖線 C - D における断面は、それぞれ図 1 2 (B) に示す A - B 断面および図 1 2 (C) に示す C - D 断面に対応する。

【 0 2 2 5 】

以下に、図 1 2 (B) に示す A - B 断面について詳細に説明する。

【 0 2 2 6 】

図 1 2 に示すトランジスタは、基板 1 0 0 と、基板 1 0 0 上のゲート電極 4 0 4 と、ゲート電極 4 0 4 を覆うゲート絶縁膜 4 1 2 と、ゲート絶縁膜 4 1 2 上の一対の電極 5 1 6 と

50

、一对の電極 5 1 6 と少なくとも一部が接し、かつゲート絶縁膜 4 1 2 を介してゲート電極 4 0 4 と重畳する酸化物半導体膜 5 0 6 と、酸化物半導体膜 5 0 6 および一对の電極 5 1 6 上の保護膜 5 1 8 と、を有する。

【 0 2 2 7 】

なお、酸化物半導体膜 5 0 6 、一对の電極 5 1 6 、保護膜 5 1 8 は、それぞれ酸化物半導体膜 1 0 6 、一对の電極 1 1 6 および保護膜 4 1 8 と同様の方法および同様の材料により形成すればよい。

【 0 2 2 8 】

なお、図 1 2 ではゲート電極 4 0 4 が酸化物半導体膜 5 0 6 を完全に覆う形状ではないが、ゲート電極 4 0 4 が酸化物半導体膜 5 0 6 を完全に覆う形状とすることで酸化物半導体膜 5 0 6 の光による劣化、電荷の発生を抑制しても構わない。

10

【 0 2 2 9 】

次に、図 1 2 に示したトランジスタの作製方法について、図 6 を用いて説明する。

【 0 2 3 0 】

まず、基板 1 0 0 上にゲート電極 4 0 4 を形成する。次に、ゲート電極 4 0 4 を覆ってゲート絶縁膜 4 1 2 を成膜する。次に、ゲート絶縁膜 4 1 2 上に一对の電極 5 1 6 を形成する（図 6（A）参照。）。

【 0 2 3 1 】

次に、ゲート絶縁膜 4 1 2 を介してゲート電極 4 0 4 と重畳し、一对の電極 5 1 6 と少なくとも一部が接する酸化物半導体膜 5 0 6 を形成する（図 6（B）参照。）。

20

【 0 2 3 2 】

次に、酸化物半導体膜 5 0 6 および一对の電極 5 1 6 上に保護膜 5 1 8 を形成する（図 6（C）参照。）。

【 0 2 3 3 】

以上のように、ゲート絶縁膜 4 1 2 の直上においても結晶化度の高い結晶領域を有する酸化物半導体膜 5 0 6 を形成することができる。そのため、ゲート絶縁膜 4 1 2 と酸化物半導体膜 5 0 6 との界面の電子状態が良好になり、安定した電気的特性を有する信頼性の高い半導体装置を作製することができる。

【 0 2 3 4 】

以上の工程によって、図 1 2 に示したトランジスタを作製することができる。

30

【 0 2 3 5 】

続いて、図 8 乃至図 1 2 に示したトランジスタとは異なる構造のトランジスタについて図 1 3 を用いて説明する。

【 0 2 3 6 】

図 1 3 はトランジスタの上面図および断面図である。図 1 3（A）に示した一点鎖線 A - B および一点鎖線 C - D における断面は、それぞれ図 1 3（B）に示す A - B 断面および図 1 3（C）に示す C - D 断面に対応する。

【 0 2 3 7 】

以下に、図 1 3（B）に示す A - B 断面について詳細に説明する。

【 0 2 3 8 】

40

図 1 3 に示すトランジスタは、基板 1 0 0 と、基板 1 0 0 上のゲート電極 4 0 4 と、ゲート電極 4 0 4 を覆うゲート絶縁膜 4 1 2 と、ゲート絶縁膜 4 1 2 を介してゲート電極 4 0 4 上にあり、チャネル領域 6 0 5、ソース領域 6 0 7 a およびドレイン領域 6 0 7 b を有する酸化物半導体膜 6 0 6 と、該酸化物半導体膜 6 0 6 およびゲート絶縁膜 4 1 2 上の保護膜 6 1 8 と、保護膜 6 1 8 上にあり、ゲート絶縁膜 4 1 2 および保護膜 6 1 8 に設けられた開口部を介して、ソース領域 6 0 7 a およびドレイン領域 6 0 7 b と接する一对の電極 6 1 6 と、を有する。

【 0 2 3 9 】

なお、一对の電極 6 1 6、酸化物半導体膜 6 0 6 および保護膜 6 1 8 は、それぞれ示した一对の電極 1 1 6、酸化物半導体膜 1 0 6 および保護膜 4 1 8 と同様の方法および同様の

50

材料により形成すればよい。

【0240】

図13は、ゲート電極404とチャネル領域605が概略同一の上面形状として図示されているが、これに限定されない。ゲート電極404とチャネル領域605の形状が異なっている場合でも構わない。

【0241】

なお、ソース領域607aおよびドレイン領域607bは、窒素、リン、ホウ素、水素または希ガスなどを含む。

【0242】

なお、便宜上、チャネル領域、ソース領域およびドレイン領域という名称で表しているが、トランジスタが動作していない場合は、チャネル領域605は高抵抗領域であり、ソース領域607aおよびドレイン領域607bは低抵抗領域である。

【0243】

次に、図13に示したトランジスタの作製方法について、図7を用いて説明する。

【0244】

まず、基板100上にゲート電極404を形成する。次に、ゲート電極404を覆ってゲート絶縁膜412を形成する。次に、ゲート絶縁膜412を介してゲート電極404と重畳する酸化物半導体膜606を形成する(図7(A)参照。)。

【0245】

次に、レジストマスクなどを用いて、酸化物半導体膜606の一部に窒素、リン、ホウ素、水素または希ガスのイオンを添加する。イオンの添加、またはイオンの添加に加えて加熱処理を行うことにより、酸化物半導体膜606のイオンの添加された領域を低抵抗とし、チャネル領域605、ソース領域607aおよびドレイン領域607bを形成する(図7(B)参照。)。なお、レジストマスクなどは、ゲート電極404をマスクとして裏面露光技術によって形成しても構わない。その場合、ソース領域607aおよびドレイン領域607bと、ゲート電極404との重畳する面積が小さくできるため寄生容量が低減され、トランジスタの動作速度を高めることができる。また、レジストマスクを形成するためのフォトリソマスク数が低減できるため、トランジスタの作製コストを低減することができるため好ましい。

【0246】

次に、酸化物半導体膜606およびゲート絶縁膜412上に保護膜638を形成する(図7(C)参照。)。なお、前述のイオンの添加を、保護膜638の形成後に行っても構わない。保護膜638が形成されていることによって、前述の添加による酸化物半導体膜606へのダメージを低減することができる。

【0247】

次に、保護膜638にソース領域607aおよびドレイン領域607bをそれぞれ露出する開口部を形成し、次に導電膜を成膜し、該導電膜を加工することで、保護膜618および酸化物半導体膜606と接する一対の電極616を形成する(図7(D)参照。)。

【0248】

以上のように、ゲート絶縁膜412の直上においても結晶化度の高い結晶領域を有する酸化物半導体膜606を形成することができる。そのため、ゲート絶縁膜412と酸化物半導体膜606との界面の電子状態が良好になり、安定した電気的特性を有する信頼性の高い半導体装置を作製することができる。なお、酸化物半導体膜606において、ソース領域607aおよびドレイン領域607bは、イオンの添加のダメージで結晶が崩れることがある。本発明の一態様は、少なくともチャネル領域605がCAAC-OSであればよい。

【0249】

以上の工程によって、図13に示したトランジスタを作製することができる。

【0250】

本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

【 0 2 5 1 】

(実施の形態 2)

本実施の形態では実施の形態 1 に示したトランジスタを用いて作製した液晶表示装置について説明する。なお、本実施の形態では液晶表示装置に本発明の一形態を適用した例について説明するが、これに限定されるものではない。例えば、発光装置の一つである EL (Electro Luminescence) 表示装置に本発明の一形態を適用することも、当業者であれば容易に想到しうるものである。

【 0 2 5 2 】

図 1 4 にアクティブマトリクス駆動方式の液晶表示装置の回路図を示す。液晶表示装置は、ソース線 S L _ 1 乃至 S L _ a、ゲート線 G L _ 1 乃至 G L _ b および複数の画素 2 2 0 0 を有する。画素 2 2 0 0 は、トランジスタ 2 2 3 0 と、キャパシタ 2 2 2 0 と、液晶素子 2 2 1 0 と、を含む。こうした画素 2 2 0 0 が複数集まって液晶表示装置の画素部を構成する。なお、単にソース線またはゲート線を指す場合には、ソース線 S L またはゲート線 G L と記載することもある。

10

【 0 2 5 3 】

トランジスタ 2 2 3 0 は、本発明の一態様である実施の形態 1 で示したトランジスタを用いる。実施の形態 1 で示したトランジスタは電気的特性が良好な酸化物半導体を用いたトランジスタであるため、表示品位の高い表示装置を得ることができる。

【 0 2 5 4 】

ゲート線 G L はトランジスタ 2 2 3 0 のゲートと接続し、ソース線 S L はトランジスタ 2 2 3 0 のソースと接続し、トランジスタ 2 2 3 0 のドレインは、キャパシタ 2 2 2 0 の一方の容量電極および液晶素子 2 2 1 0 の一方の画素電極と接続する。キャパシタ 2 2 2 0 の他方の容量電極および液晶素子 2 2 1 0 の他方の画素電極は、共通電極と接続する。なお、共通電極はゲート線 G L と同一層かつ同一材料で設けてもよい。

20

【 0 2 5 5 】

また、ゲート線 G L は、ゲート駆動回路と接続される。ゲート駆動回路は、実施の形態 1 で示したトランジスタを含んでもよい。

【 0 2 5 6 】

また、ソース線 S L は、ソース駆動回路と接続される。ソース駆動回路は、実施の形態 1 で示したトランジスタを含んでもよい。

30

【 0 2 5 7 】

なお、ゲート駆動回路およびソース駆動回路のいずれかまたは両方を、別途用意された基板上に形成し、COG (Chip On Glass)、ワイヤボンディング、またはTAB (Tape Automated Bonding) などの方法を用いて接続してもよい。

【 0 2 5 8 】

また、トランジスタは静電気などにより破壊されやすいため、保護回路を設けることが好ましい。保護回路は、非線形素子を用いて構成することが好ましい。

【 0 2 5 9 】

ゲート線 G L にトランジスタ 2 2 3 0 のしきい値電圧以上になるように電圧を印加すると、ソース線 S L から供給された電荷がトランジスタ 2 2 3 0 のドレイン電流となってキャパシタ 2 2 2 0 に蓄積される。1 行分の充電後、該行にあるトランジスタ 2 2 3 0 はオフ状態となり、ソース線 S L から電圧が掛からなくなるが、キャパシタ 2 2 2 0 に蓄積された電荷によって必要な電圧を維持することができる。その後、次の行のキャパシタ 2 2 2 0 の充電に移る。このようにして、1 行から b 行の充電を行う。ドレイン電流は、トランジスタにおいてドレインからチャネルを介してソースに流れる電流のことである。ドレイン電流はゲート電圧がしきい値電圧よりも大きいときに流れる。

40

【 0 2 6 0 】

なお、トランジスタ 2 2 3 0 にオフ電流の小さなトランジスタを用いる場合、電圧を維持する期間を長くすることができる。この効果によって、動きの少ない画像 (静止画を含む

50

。) では、表示の書き換え周波数を低減でき、さらなる消費電力の低減が可能となる。また、キャパシタ 2 2 2 0 の容量をさらに小さくすることが可能となるため、充電に必要な消費電力を低減することができる。

【 0 2 6 1 】

以上のように、本発明の一態様によって、表示品位が高く、消費電力の小さい液晶表示装置を提供することができる。

【 0 2 6 2 】

本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

【 0 2 6 3 】

(実施の形態 3)

本実施の形態では、実施の形態 1 で示したトランジスタを用いて、半導体記憶装置を作製する例について説明する。

【 0 2 6 4 】

揮発性半導体記憶装置の代表的な例としては、記憶素子を構成するトランジスタを選択してキャパシタに電荷を蓄積することで、情報を記憶する D R A M (D y n a m i c R a n d o m A c c e s s M e m o r y)、フリップフロップなどの回路を用いて記憶内容を保持する S R A M (S t a t i c R a n d o m A c c e s s M e m o r y) がある。

【 0 2 6 5 】

不揮発性半導体記憶装置の代表例としては、トランジスタのゲートとチャネル領域との間にノードを有し、当該ノードに電荷を保持することで記憶を行うフラッシュメモリがある。

【 0 2 6 6 】

上述した半導体記憶装置に含まれるトランジスタの一部に実施の形態 1 で示したトランジスタを適用することができる。

【 0 2 6 7 】

まずは、実施の形態 1 で示したトランジスタを適用した半導体記憶装置を構成するメモリセルについて図 1 5 を用いて説明する。

【 0 2 6 8 】

メモリセルは、ビット線 B L と、ワード線 W L と、センスアンプ S A m p と、トランジスタ T r と、キャパシタ C と、を有する (図 1 5 (A) 参照。) 。

【 0 2 6 9 】

なお、キャパシタ C に保持された電圧の時間変化は、トランジスタ T r のオフ電流によって図 1 5 (B) に示すように徐々に低減していくことが知られている。当初 V 0 から V 1 まで充電された電圧は、時間が経過すると d a t a 1 を読み出す限界点である V A まで低減する。この期間を保持期間 T _ 1 とする。即ち、 2 値メモリセルの場合、保持期間 T _ 1 の間にリフレッシュをする必要がある。

【 0 2 7 0 】

ここで、トランジスタ T r に実施の形態 1 で示したトランジスタを適用すると、オフ電流が小さいため、保持期間 T _ 1 を長くすることができる。即ち、リフレッシュの頻度を少なくすることが可能となるため、消費電力を低減することができる。例えば、高純度化されオフ電流が 1×10^{-21} A 以下、好ましくは 1×10^{-24} A 以下となった酸化物半導体膜を用いたトランジスタでメモリセルを構成すると、電力を供給せずに数日間から数十年間に渡ってデータを保持することが可能となる。

【 0 2 7 1 】

以上のように、本発明の一態様によって、信頼性が高く、消費電力の小さい D R A M を得ることができる。

【 0 2 7 2 】

次に、実施の形態 1 で示したトランジスタを適用した半導体記憶装置について図 1 6 を用いて説明する。

10

20

30

40

50

【0273】

図16(A)は、半導体記憶装置を構成するメモリセルの回路図である。メモリセルは、トランジスタ T_{r_1} と、トランジスタ T_{r_1} のゲートと接続するゲート線 GL_1 と、トランジスタ T_{r_1} のソースと接続するソース線 SL_1 と、トランジスタ T_{r_2} と、トランジスタ T_{r_2} のソースと接続するソース線 SL_2 と、トランジスタ T_{r_2} のドレインと接続するドレイン線 DL_2 と、キャパシタ C と、キャパシタ C の一端と接続する容量線 CL と、キャパシタ C の他端、トランジスタ T_{r_1} のドレインおよびトランジスタ T_{r_2} のゲートと接続するノード N と、を有する。

【0274】

なお、本実施の形態に示すメモリセルを有する半導体装置は、ノード N の電位に応じて、トランジスタ T_{r_2} のしきい値電圧が変動することを利用したものである。例えば、図16(B)は容量線 CL の電圧 V_{CL} と、トランジスタ T_{r_2} を流れるドレイン電流 I_{ds_2} との関係を説明する図である。

10

【0275】

ここで、ノード N は、トランジスタ T_{r_1} を介して電圧を調整することができる。例えば、ソース線 SL_1 の電位を V_{DD} とする。このとき、ゲート線 GL_1 の電位をトランジスタ T_{r_1} のしきい値電圧 V_{th} に V_{DD} を加えた電位以上とすることで、ノード N の電圧を $HIGH$ にすることができる。また、ゲート線 GL_1 の電位をトランジスタ T_{r_1} のしきい値電圧 V_{th} 以下とすることで、ノード N の電位を LOW にすることができる。

20

【0276】

そのため、 $N = LOW$ で示した $V_{CL} - I_{ds_2}$ カーブと、 $N = HIGH$ で示した $V_{CL} - I_{ds_2}$ カーブのいずれかを得ることができる。即ち、 $N = LOW$ では、 $V_{CL} = 0V$ にて I_{ds_2} が小さいため、データ0となる。また、 $N = HIGH$ では、 $V_{CL} = 0V$ にて I_{ds_2} が大きいため、データ1となる。このようにして、データを記憶することができる。

【0277】

ここで、トランジスタ T_{r_1} に実施の形態1で示したトランジスタを適用すると、該トランジスタはオフ電流を極めて小さくすることができるため、ノード N に蓄積された電荷がトランジスタ T_{r_1} のソースおよびドレイン間を意図せずにリークすることを抑制できる。そのため、長期間に渡ってデータを保持することができる。また、本発明の一態様を用いることでトランジスタ T_{r_1} のしきい値電圧が調整されるため、書き込みに必要な電圧を低減することが可能となり、フラッシュメモリなどと比較して消費電力を低減することができる。

30

【0278】

なお、トランジスタ T_{r_2} に、実施の形態1で示したトランジスタを適用しても構わない。

【0279】

以上のように、本発明の一態様によって、長期間の信頼性が高く、消費電力の小さく、集積度の高い半導体記憶装置を得ることができる。

40

【0280】

本実施の形態は、他の実施の形態と適宜組み合わせる用いることができる。

【0281】

(実施の形態4)

実施の形態1で示したトランジスタまたは実施の形態3に示した半導体記憶装置を少なくとも一部に用いてCPU(Central Processing Unit)を構成することができる。

【0282】

図17(A)は、CPUの具体的な構成を示すブロック図である。図17(A)に示すCPUは、基板1190上に、演算回路(ALU: Arithmetic logic u

50

nit) 1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース(Bus I/F)1198、書き換え可能なROM1199、およびROMインターフェース(ROM I/F)1189を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199およびROMインターフェース1189は、別チップに設けてもよい。もちろん、図17(A)に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。

【0283】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

10

【0284】

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行う。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行う。

20

【0285】

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、およびレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、クロック信号CLK2を上記各種回路に供給する。

【0286】

図17(A)に示すCPUでは、レジスタ1196に、記憶素子が設けられている。レジスタ1196の記憶素子には、実施の形態3に示す半導体記憶装置を用いることができる。

30

【0287】

図17(A)に示すCPUにおいて、レジスタコントローラ1197は、ALU1191からの指示に従い、レジスタ1196における保持動作を行う。即ち、レジスタ1196が有する記憶素子において、フリップフロップによるデータの保持を行うか、キャパシタによるデータの保持を行う。フリップフロップによってデータが保持されている場合、レジスタ1196内の記憶素子への、電源電圧の供給が行われる。キャパシタによってデータが保持されている場合、キャパシタへのデータの書き換えが行われ、レジスタ1196内の記憶素子への電源電圧の供給を停止することができる。

40

【0288】

電源停止に関しては、図17(B)または図17(C)に示すように、記憶素子群と、電源電位VDDまたは電源電位VSSの与えられているノード間に、スイッチング素子を設けることにより行うことができる。以下に図17(B)および図17(C)の回路の説明を行う。

【0289】

図17(B)および図17(C)では、記憶素子への電源電位の供給を制御するスイッチング素子に実施の形態1に示したトランジスタ用いた構成の一例を示す。

【0290】

図17(B)に示す記憶装置は、スイッチング素子1141と、記憶素子1142を複数

50

有する記憶素子群 1 1 4 3 とを有している。具体的に、それぞれの記憶素子 1 1 4 2 には、実施の形態 3 に示す記憶素子を用いることができる。記憶素子群 1 1 4 3 が有するそれぞれの記憶素子 1 1 4 2 には、スイッチング素子 1 1 4 1 を介して、ハイレベルの電源電位 VDD が供給されている。さらに、記憶素子群 1 1 4 3 が有するそれぞれの記憶素子 1 1 4 2 には、信号 IN の電位と、ローレベルの電源電位 VSS の電位が与えられている。

【0291】

図 17 (B) では、スイッチング素子 1 1 4 1 として、酸化物半導体などのバンドギャップの大きい半導体を活性層に有するトランジスタを用いており、該トランジスタは、そのゲートに与えられる信号 $Signal$ によりスイッチングが制御される。

【0292】

なお、図 17 (B) では、スイッチング素子 1 1 4 1 がトランジスタを一つだけ有する構成を示しているが、これに限定されず、トランジスタを複数有していてもよい。スイッチング素子 1 1 4 1 が、スイッチング素子として機能するトランジスタを複数有している場合、上記複数のトランジスタは並列に接続されていてもよいし、直列に接続されていてもよいし、直列と並列が組み合わされて接続されていてもよい。

【0293】

また、図 17 (C) には、記憶素子群 1 1 4 3 が有するそれぞれの記憶素子 1 1 4 2 に、スイッチング素子 1 1 4 1 を介して、ローレベルの電源電位 VSS が供給されている、記憶装置の一例を示す。スイッチング素子 1 1 4 1 により、記憶素子群 1 1 4 3 が有するそれぞれの記憶素子 1 1 4 2 への、ローレベルの電源電位 VSS の供給を制御することができる。

【0294】

記憶素子群と、電源電位 VDD または電源電位 VSS の与えられているノード間に、スイッチング素子を設け、一時的に CPU の動作を停止し、電源電圧の供給を停止した場合においてもデータを保持することが可能であり、消費電力の低減を行うことができる。例えば、パーソナルコンピュータのユーザーが、キーボードなどの入力装置への情報の入力を停止している間でも、CPU の動作を停止することができ、それにより消費電力を低減することができる。

【0295】

ここでは、CPU を例に挙げて説明したが、DSP (Digital Signal Processor)、カスタム LSI、FPGA (Field Programmable Gate Array) などの LSI にも応用可能である。

【0296】

本実施の形態は、上記実施の形態と適宜組み合わせることで実施することが可能である。

【0297】

(実施の形態 5)

本実施の形態では、実施の形態 1 乃至実施の形態 4 を適用した電子機器の例について説明する。

【0298】

図 18 (A) は携帯型情報端末である。図 18 (A) に示す携帯型情報端末は、筐体 9300 と、ボタン 9301 と、マイクロフォン 9302 と、表示部 9303 と、スピーカ 9304 と、カメラ 9305 と、を具備し、携帯型電話機としての機能を有する。本発明の一態様は、表示部 9303 およびカメラ 9305 に適用することができる。また、図示しないが、本体内部にある演算装置、無線回路または記憶回路に本発明の一態様を適用することもできる。

【0299】

図 18 (B) は、ディスプレイである。図 18 (B) に示すディスプレイは、筐体 9310 と、表示部 9311 と、を具備する。本発明の一態様は、表示部 9311 に適用することができる。本発明の一態様を適用することで、表示部 9311 のサイズを大きくしたときにも表示品位の高いディスプレイとすることができる。

【 0 3 0 0 】

図 1 8 (C) は、デジタルスチルカメラである。図 1 8 (C) に示すデジタルスチルカメラは、筐体 9 3 2 0 と、ボタン 9 3 2 1 と、マイクロフォン 9 3 2 2 と、表示部 9 3 2 3 と、を具備する。本発明の一態様は、表示部 9 3 2 3 に適用することができる。また、図示しないが、記憶回路またはイメージセンサに本発明の一態様を適用することもできる。

【 0 3 0 1 】

本発明の一態様を用いることで、電子機器の性能を高め、かつ信頼性を高めることができる。

【 0 3 0 2 】

本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

10

【実施例 1】

【 0 3 0 3 】

本実施例では、本発明の一態様で用いる Y S Z 膜の結晶状態について評価した結果を示す。

【 0 3 0 4 】

なお、結晶状態は、B r u k e r A X S 社製 X 線回折装置 D 8 A D V A N C E を用い、O u t - o f - P l a n e 法で測定した。

【 0 3 0 5 】

試料は 6 種類用意した。試料は、ガラス基板上に Y S Z 膜を 1 0 0 n m の厚さで成膜したものをを用いた。Y S Z 膜は、スパッタリング法により、直径 6 インチ丸形 Y S Z ターゲット (Z r O ₂ : Y ₂ O ₃ = 9 2 : 8 [m o l 数比]) を用い、成膜電力を 5 0 0 W (R F)、成膜圧力を 0 . 4 P a、成膜ガスをアルゴン 2 0 s c c m および酸素 2 0 s c c m、T - S 間距離を 1 3 5 m m として成膜した。

20

【 0 3 0 6 】

試料 1 乃至試料 3 は T s u b を室温としたものであり、試料 4 乃至試料 6 は T s u b を 3 0 0 としてのものである。

【 0 3 0 7 】

また、試料 1 および試料 4 は Y S Z 膜の成膜後に加熱処理を行っていないもの、試料 2 および試料 5 は Y S Z 膜の成膜後に窒素雰囲気にて 3 5 0 の温度で 1 時間の加熱処理を行ったもの、試料 3 および試料 6 は Y S Z 膜の成膜後に窒素雰囲気にて 6 0 0 の温度で 1 時間の加熱処理を行ったものである。

30

【 0 3 0 8 】

各試料の T s u b および Y S Z 膜の成膜後に行った加熱処理について表 1 に示す。

【 0 3 0 9 】

【表 1】

試料名	Tsub	加熱処理条件
試料1	室温	処理なし
試料2	室温	350°C
試料3	室温	600°C
試料4	300°C	処理なし
試料5	300°C	350°C
試料6	300°C	600°C

40

【 0 3 1 0 】

各試料の X R D 結果を図 2 0 に示す。試料 2 乃至試料 6 において (1 1 1) 面の強い回折

50

が見られた。

【0311】

図20より、ピーク強度を比較すると、必ずしもYSZ膜の成膜後に高い温度で加熱処理を行えば結晶性が高まるわけではないとわかった。これにより、YSZ膜の結晶構造が高い温度での加熱処理により崩れている可能性が示唆される。

【0312】

各試料の(111)面におけるピーク強度、FWHM、格子定数aおよび格子定数aから算出した最隣接原子間距離を表2に示す。ここで、最隣接原子間距離とは、図19(A)で示した、破線7010の一辺の長さに相当する。

【0313】

【表2】

試料名	ピーク位置[deg]	FWHM[deg]	格子定数a[nm]	最隣接原子間距離[nm]
試料1	—	—	—	—
試料2	29.736	0.326	0.5200	0.3677
試料3	30.075	0.301	0.5142	0.3636
試料4	29.829	0.549	0.5184	0.3666
試料5	29.797	0.530	0.5189	0.3669
試料6	29.733	0.765	0.5200	0.3677

【0314】

また、最隣接原子間距離が0.36nm~0.37nmとなるため、本実施例で示したYSZ膜上にCAAC-OSである酸化物半導体膜の結晶成長が起こりやすいことがわかる。

【0315】

具体的には、六方晶系であり、格子定数aが0.31nm以上0.42nm以下、好ましくは0.33nm以上0.40nm以下、さらに好ましくは0.34nm以上0.38nm以下の酸化物半導体膜の場合、本実施例で示したYSZ膜の直上においても結晶化度の高い結晶領域を有しやすいとわかる。

【符号の説明】

【0316】

- 100 基板
- 102 下地膜
- 104 ゲート電極
- 106 酸化物半導体膜
- 112 ゲート絶縁膜
- 116 一対の電極
- 136 酸化物半導体膜
- 204 ゲート電極
- 206 酸化物半導体膜
- 212 ゲート絶縁膜
- 216 一対の電極
- 304 ゲート電極
- 305 チャネル領域
- 306 酸化物半導体膜
- 307a ソース領域
- 307b ドレイン領域
- 312 ゲート絶縁膜
- 316 一対の電極
- 318 保護膜
- 404 ゲート電極

10

20

30

40

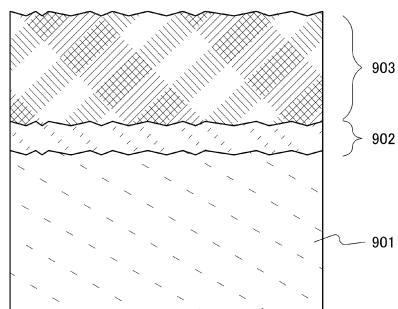
50

4 0 6	酸化物半導体膜	
4 1 2	ゲート絶縁膜	
4 1 6	一对の電極	
4 1 8	保護膜	
5 0 6	酸化物半導体膜	
5 1 6	一对の電極	
5 1 8	保護膜	
6 0 5	チャネル領域	
6 0 6	酸化物半導体膜	
6 0 7 a	ソース領域	10
6 0 7 b	ドレイン領域	
6 1 6	一对の電極	
6 1 8	保護膜	
6 3 8	保護膜	
9 0 1	下地膜	
9 0 2	第1の領域	
9 0 3	第2の領域	
9 1 1	下地膜	
9 1 3	第3の領域	
1 1 4 1	スイッチング素子	20
1 1 4 2	記憶素子	
1 1 4 3	記憶素子群	
1 1 8 9	R O Mインターフェース	
1 1 9 0	基板	
1 1 9 1	A L U	
1 1 9 2	A L Uコントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インタラプトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	30
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	
1 1 9 9	R O M	
2 2 0 0	画素	
2 2 1 0	液晶素子	
2 2 2 0	キャパシタ	
2 2 3 0	トランジスタ	
3 0 0 2	下地絶縁膜	
3 0 0 4	ゲート電極	
3 0 0 6	酸化物半導体膜	40
3 0 0 7	酸化物半導体膜	
3 0 1 2	ゲート絶縁膜	
3 0 1 6	一对の電極	
3 0 1 8	保護絶縁膜	
3 0 2 0	保護膜	
3 0 2 2	配線	
3 0 2 4	側壁絶縁膜	
7 0 0 1	原子	
7 0 0 2	原子	
7 0 1 0	破線	50

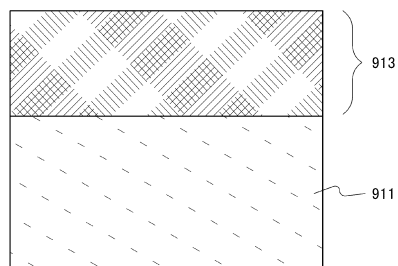
9 3 0 0	筐体
9 3 0 1	ボタン
9 3 0 2	マイクロフォン
9 3 0 3	表示部
9 3 0 4	スピーカ
9 3 0 5	カメラ
9 3 1 0	筐体
9 3 1 1	表示部
9 3 2 0	筐体
9 3 2 1	ボタン
9 3 2 2	マイクロフォン
9 3 2 3	表示部

【図 1】

(A)

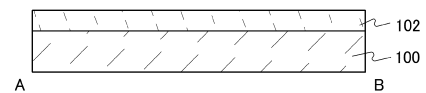


(B)

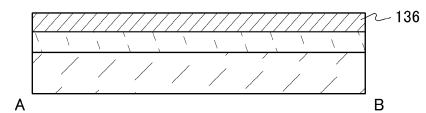


【図 2】

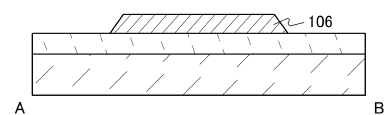
(A)



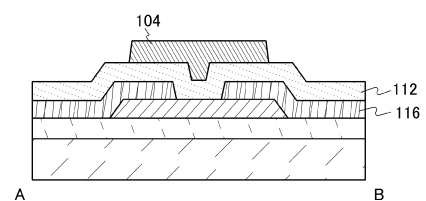
(B)



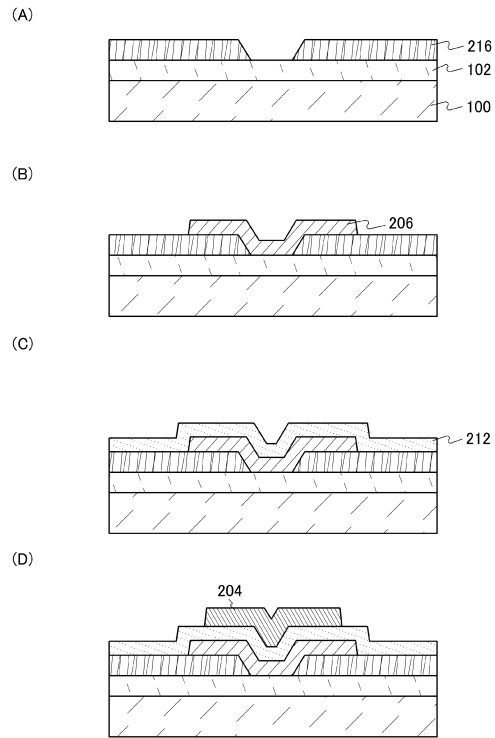
(C)



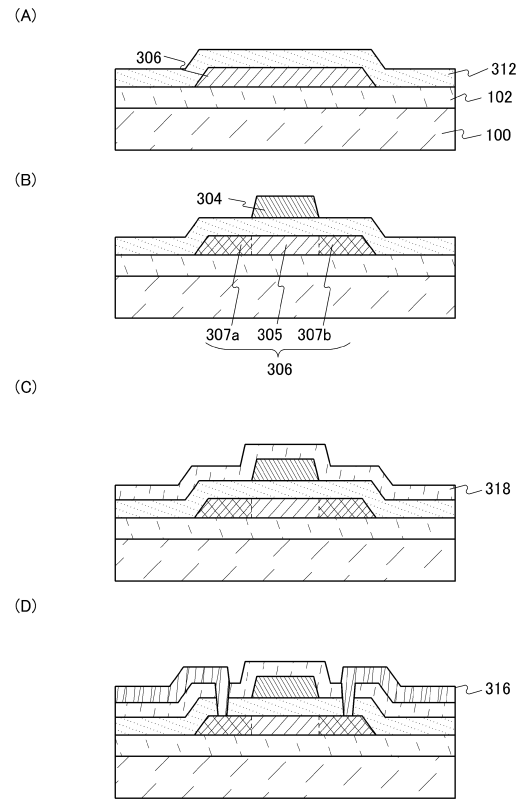
(D)



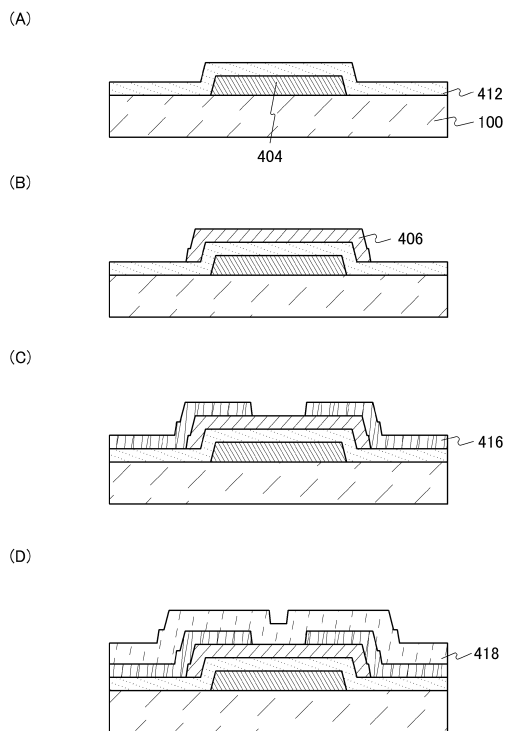
【図 3】



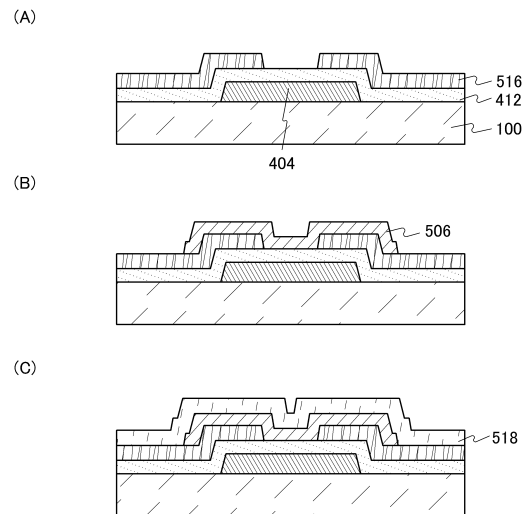
【図 4】



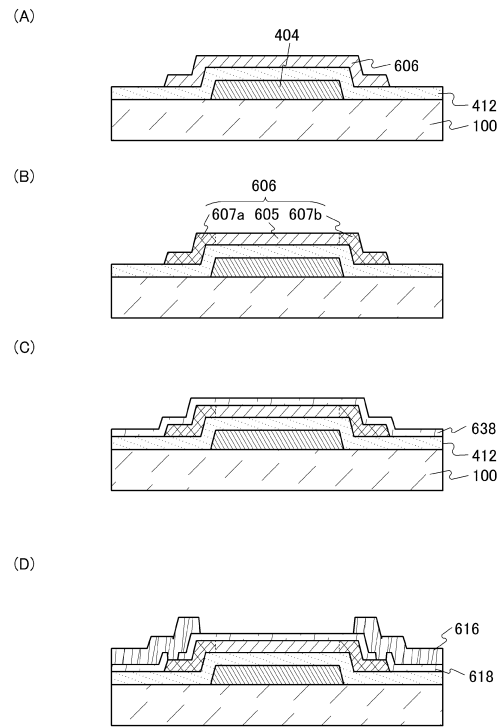
【図 5】



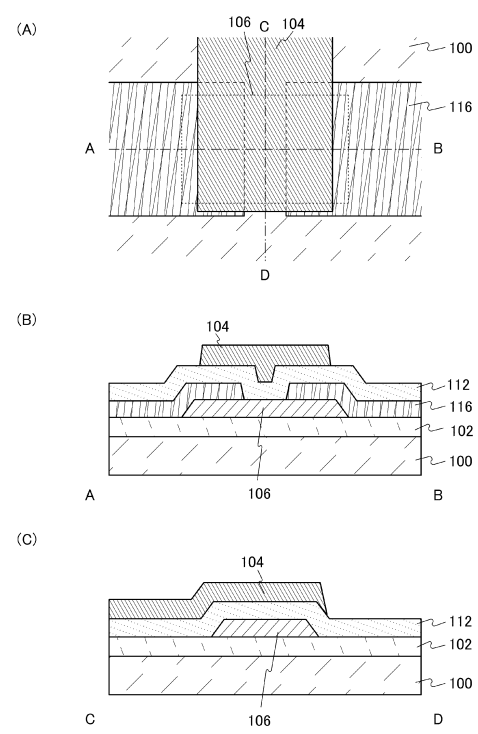
【図 6】



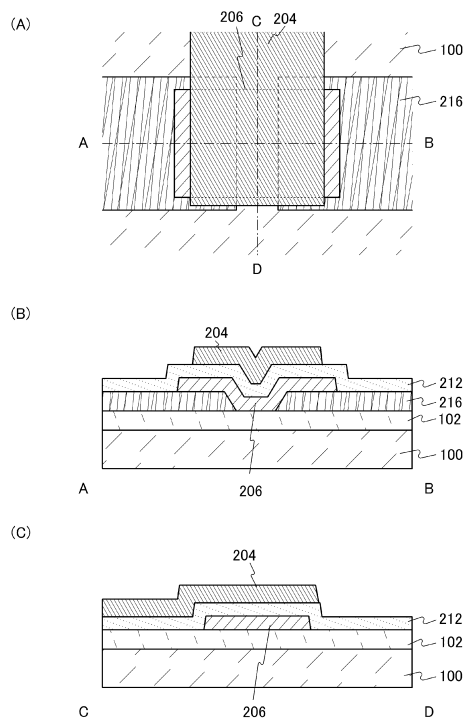
【図 7】



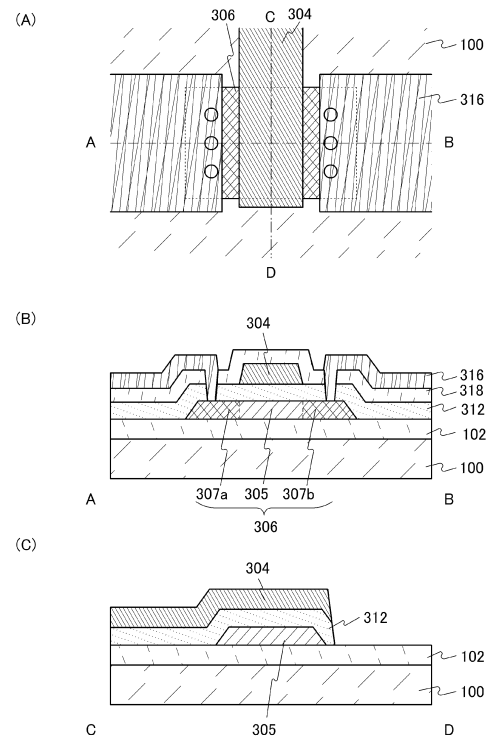
【図 8】



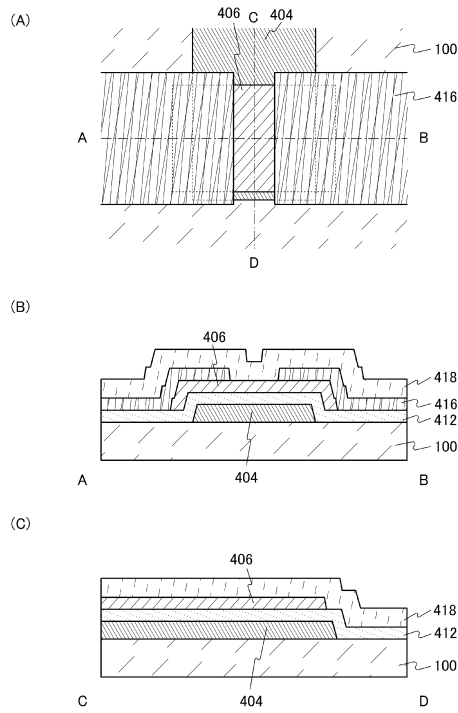
【図 9】



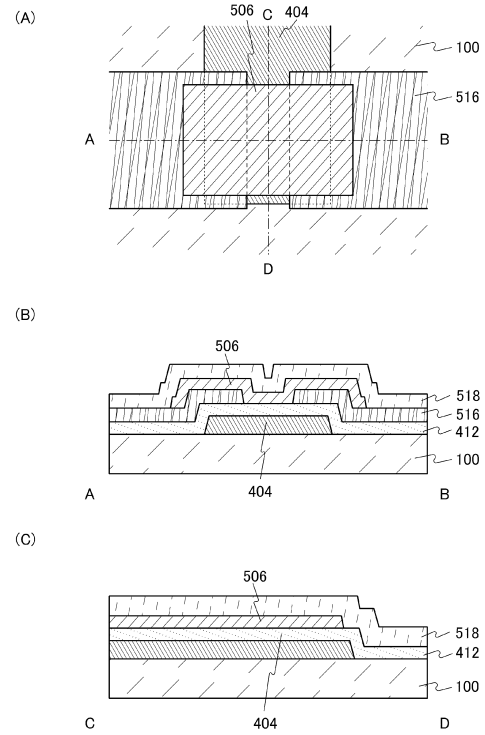
【図 10】



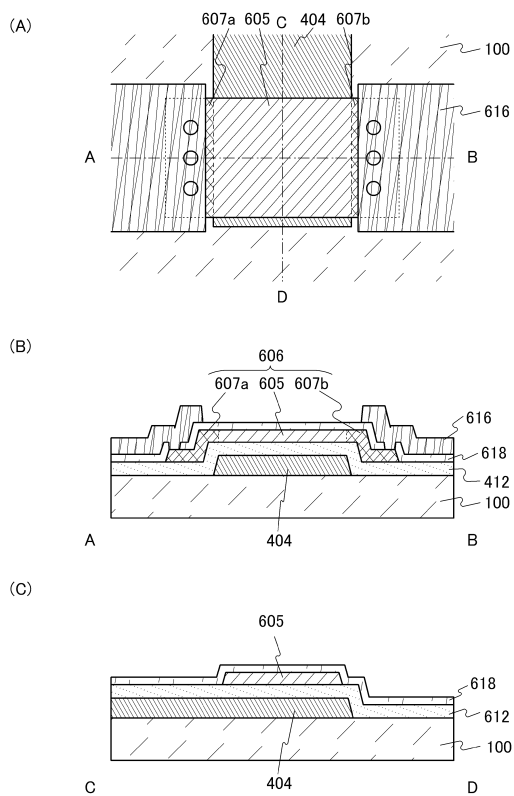
【図 1 1】



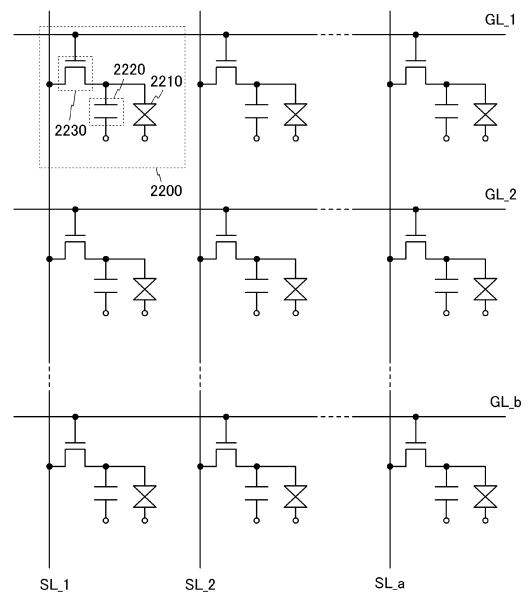
【図 1 2】



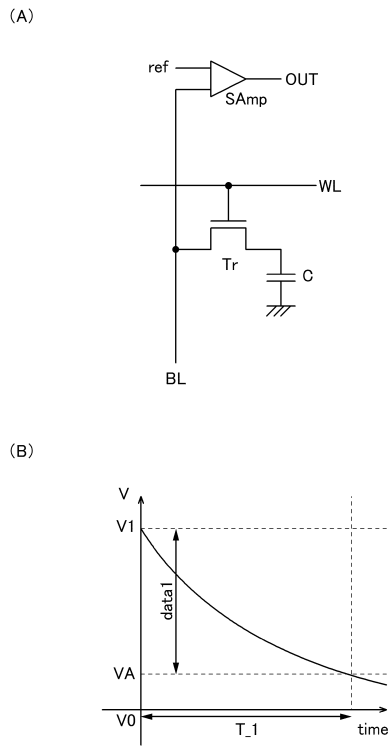
【図 1 3】



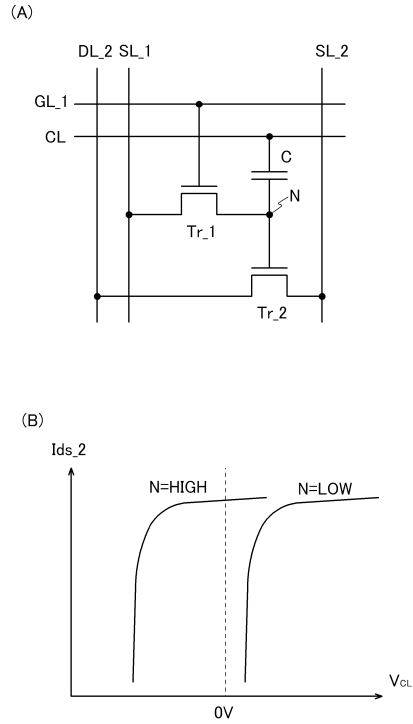
【図 1 4】



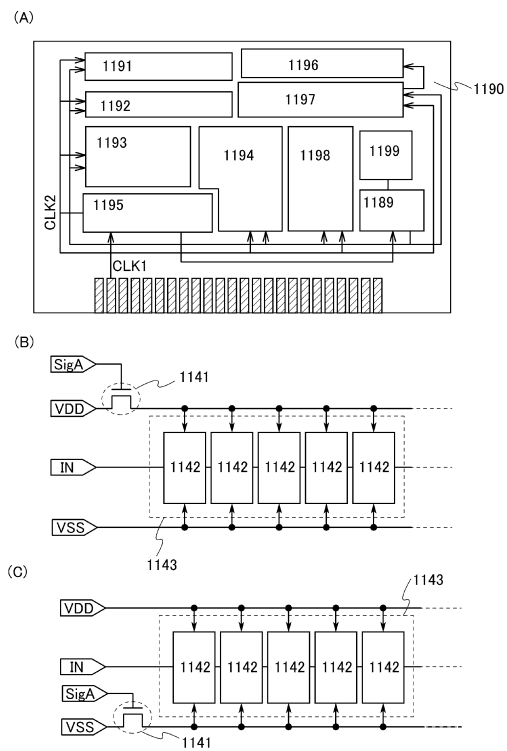
【図 15】



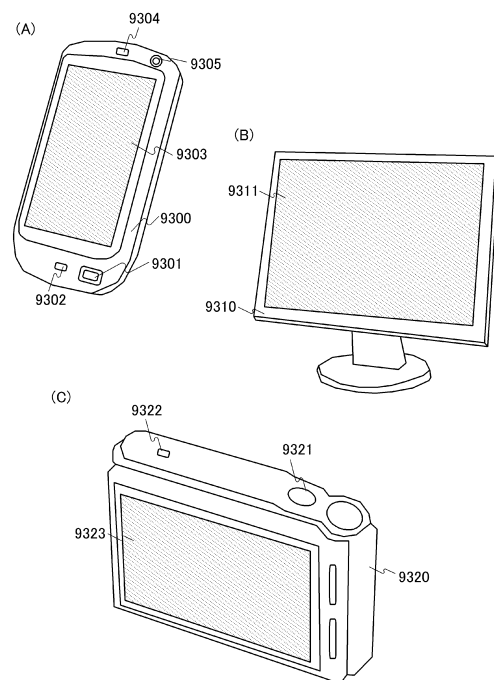
【図 16】



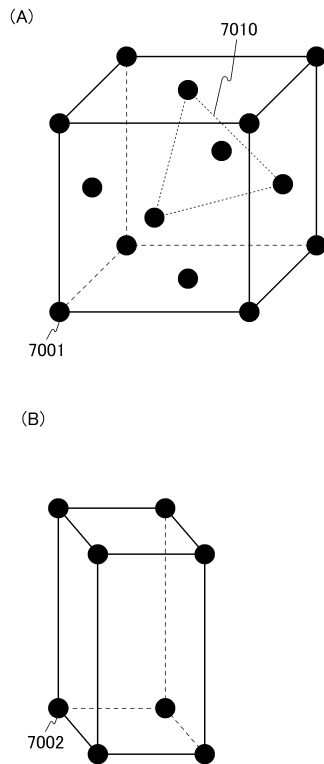
【図 17】



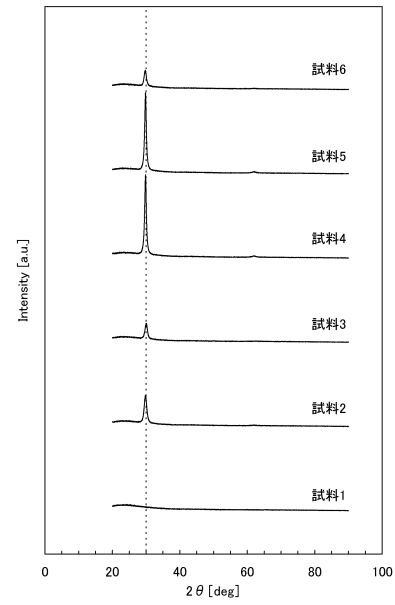
【図 18】



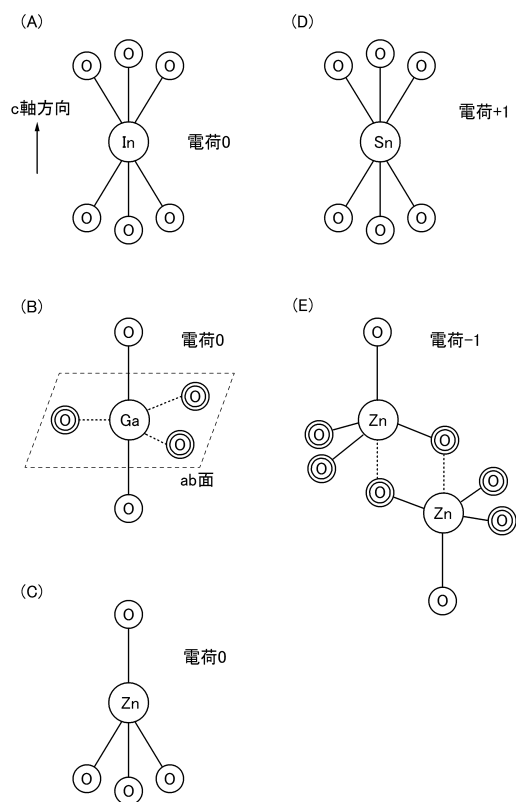
【図 19】



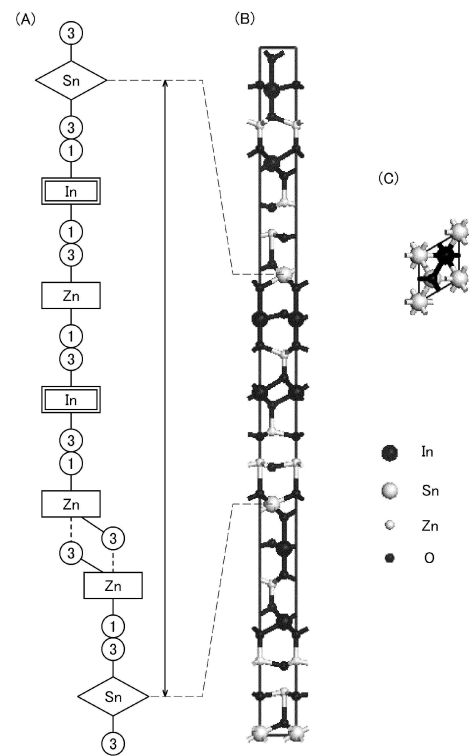
【図 20】



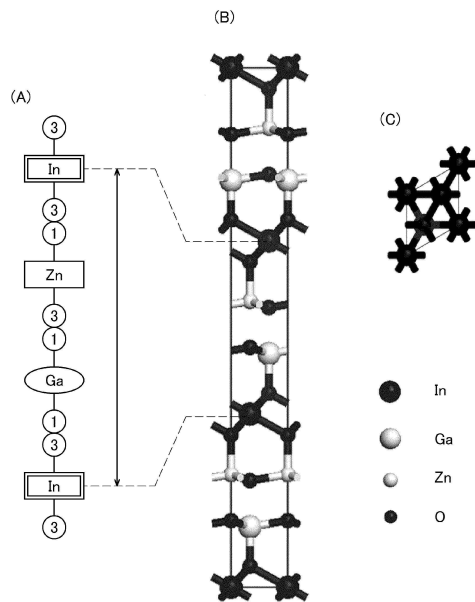
【図 21】



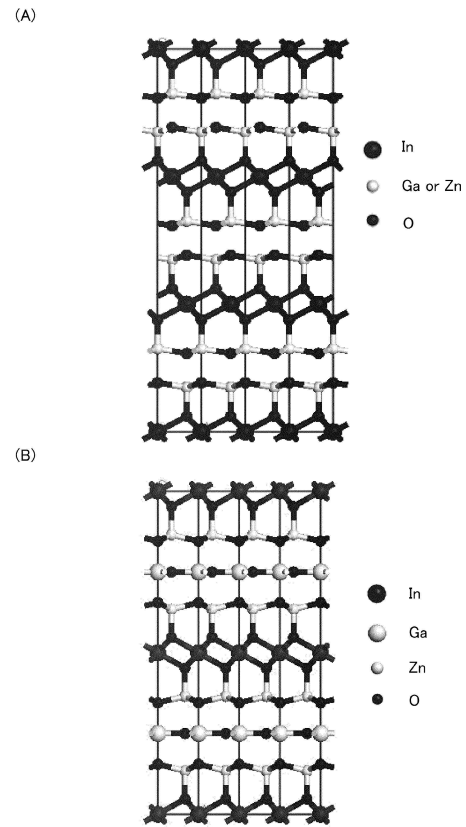
【図 22】



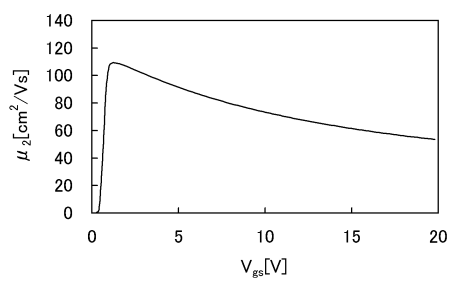
【図 2 3】



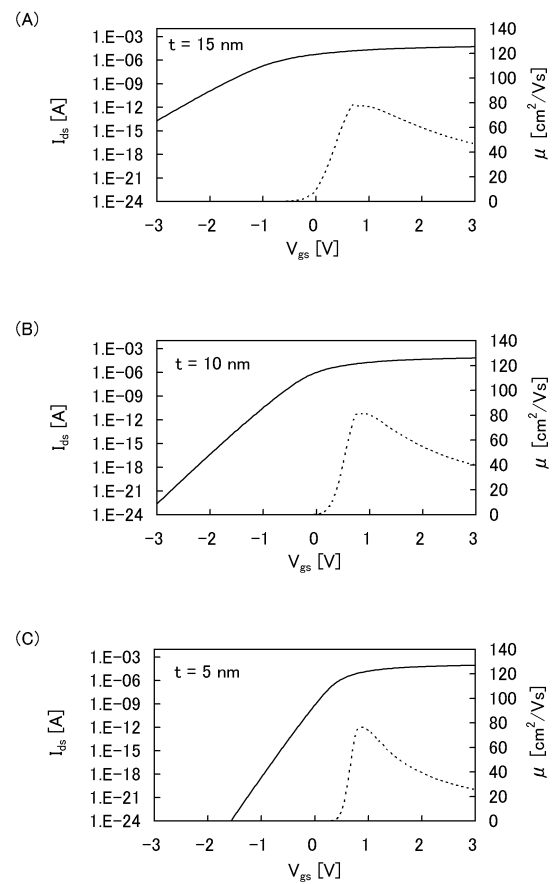
【図 2 4】



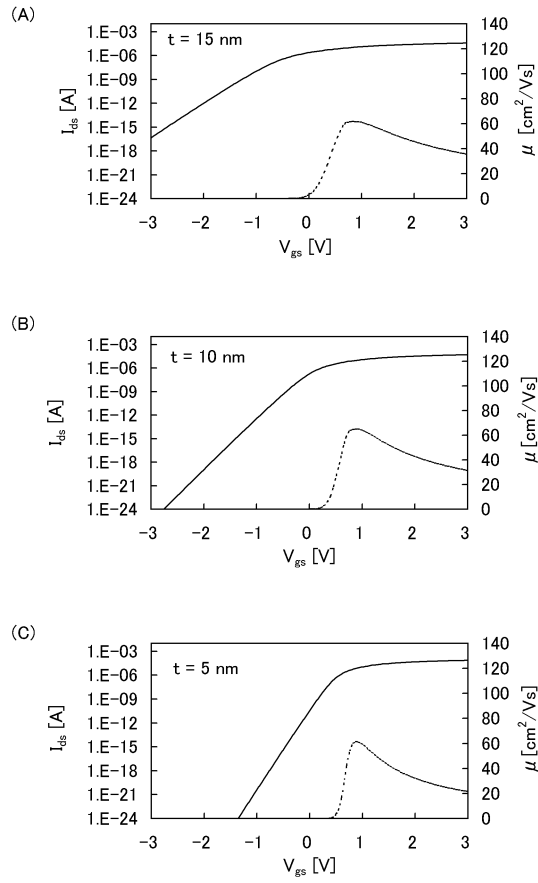
【図 2 5】



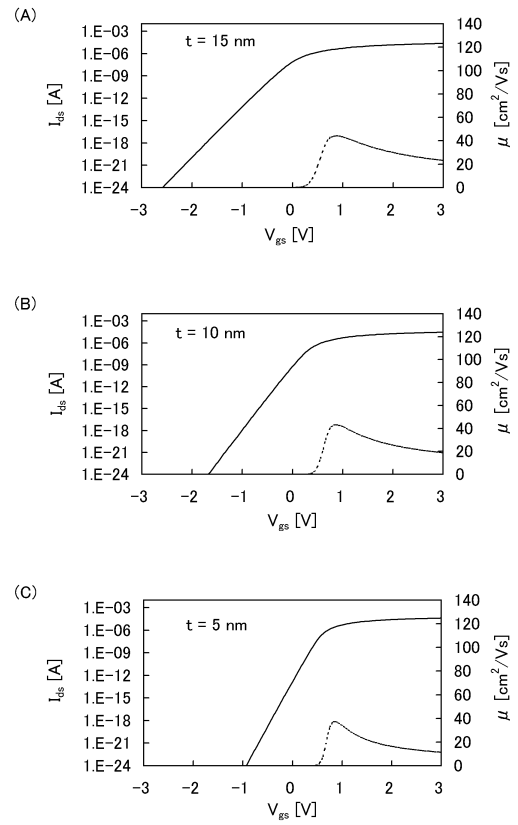
【図 2 6】



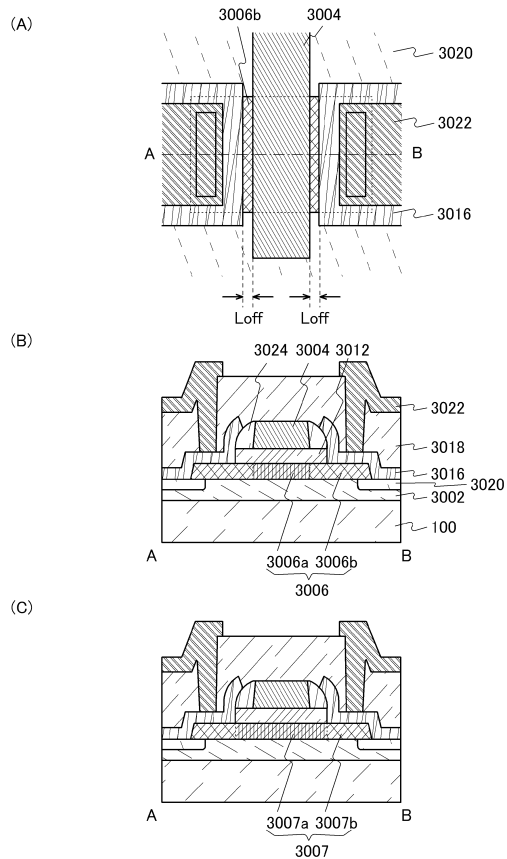
【図 27】



【図 28】



【図 29】



フロントページの続き

(51)Int.Cl.	F I		
	C 2 3 C	14/08	D
	C 2 3 C	14/08	C

審査官 岩本 勉

(56)参考文献 特開2011-003775(JP,A)
特開2009-170896(JP,A)
特開2004-103957(JP,A)
特開2011-003856(JP,A)
特開2003-273400(JP,A)
米国特許出願公開第2009/0152550(US,A1)
米国特許出願公開第2005/0039670(US,A1)
米国特許出願公開第2010/0320459(US,A1)
米国特許出願公開第2006/0145182(US,A1)

(58)調査した分野(Int.Cl.,DB名)
H01L 29/786
H01L 21/336