(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年11月18日(18.11.2021)

WIPO | PCT

(10) 国際公開番号
WO 2021/230283 A1

(51) 国際特許分類:
H01L 21/28 (2006.01) *H01L 21/338* (2006.01)
H01L 29/06 (2006.01) *H01L 29/778* (2006.01)
H01L 29/41 (2006.01) *H01L 29/812* (2006.01)

(21) 国際出願番号： PCT/JP2021/018033

(22) 国際出願日： 2021年5月12日(12.05.2021)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2020-084418 2020年5月13日(13.05.2020) JP

(71) 出願人: ヌヴォトンテクノロジージャパン株式会社 (**NUVOTON TECHNOLOGY CORPORATION JAPAN**) [JP/JP]; 〒6178520 京都府長岡京市神足焼町１番地 Kyoto (JP).

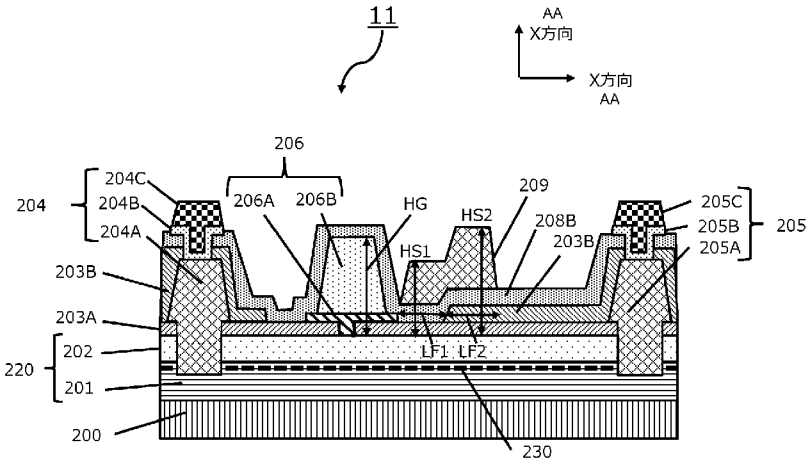
(72) 発明者: 川島 克彦 (**KAWASHIMA, Katsuhiko**). 神田 裕介 (**KANDA, Yusuke**). 宮島 賢一 (**MIYAJIMA, Kenichi**).

(74) 代理人: 新居 広守, 外 (**NII, Hiromori** et al.); 〒5320011 大阪府大阪市淀川区西中島５丁目３番１０号タナカ・イトーピア新大阪ビル６階新居国際特許事務所内 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) **Title:** SEMICONDUCTOR DEVICE FOR POWER AMPLIFICATION

(54) 発明の名称： 電力増幅用半導体装置



AA X-direction

(57) **Abstract:** This semiconductor device (11) for power amplification comprises: a source electrode (204), a drain electrode (205) and a gate electrode (206), which are formed on a semiconductor multilayer body (220) that is composed of a first nitride semiconductor layer (201) and a second nitride semiconductor layer (202); and a source field plate (209) which is formed on the semiconductor multilayer body (220) between the gate electrode (206) and the drain electrode (205), while being applied with the same potential as the source electrode (204). The source field plate (209) is in a stepped shape, and an increase in the parasitic capacitance Cds generated between the source field plate (209) and a 2DEG surface (230) is suppressed even if the length LF2 of the upper tier is extended for electric field attenuation.

WO 2021/230283 A1

［続葉有］

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約:電力増幅用半導体装置(１１)は、第１窒化物半導体層(２０１)と第２窒化物半導体層(２０２)とからなる半導体積層体(２２０)の上に形成されたソース電極(２０４)、ドレイン電極(２０５)、及びゲート電極(２０６)と、ゲート電極(２０６)とドレイン電極(２０５)との間の半導体積層体(２２０)の上に形成された、ソース電極(２０４)と同電位が与えられたソースフィールドプレート(２０９)と、を有し、ソースフィールドプレート(２０９)は、階段状であり、電界緩和のために、上段の長さＬＦ２を延長しても、ソースフィールドプレート(２０９)と２ＤＥＧ面(２３０)に発生する寄生容量Ｃｄｓの増大が抑制される。

明　細　書

発明の名称 ： 電力増幅用半導体装置

技術分野

[0001] 本開示は、電力増幅用半導体装置に関する。

背景技術

[0002] ヘテロ接合窒化ガリウム（ＧａＮ）を利用した電界効果トランジスタ（以下、「ＨＥＭＴ：Ｈｉｇｈ　Ｅｌｅｃｔｒｏｎ　Ｍｏｂｉｌｉｔｙ　Ｔｒａｎｓｉｓｔｏｒ」とも称する）は、ピエゾ効果によりヘテロ接合界面近傍に生じる２次元電子ガス（以下、「２ＤＥＧ：Ｔｗｏ　Ｄｉｍｅｎｓｉｏｎａｌ　Ｅｌｅｃｔｒｏｎ　ＧａＡｓ」とも称する）の高移動度による高速動作性と、比較的広いバンドギャップを有するＧａＮの特徴を生かした高耐圧特性とによって、高周波向け高出力電力増幅用半導体装置（パワーアンプデバイス）として期待されている。

[0003] ＧａＮを利用したＨＥＭＴ特有の課題として、高電圧印加前に比べて高電圧印加後のオン抵抗の値が上昇する現象である電流コラプスの発生が挙げられる。以下、電流コラプスを簡単に説明する。ドレイン電極とゲート電極との間の高電界によって発生したホットエレクトロンが、半導体内部、半導体上部に設けられた絶縁膜内部、及び、半導体と絶縁膜との界面に存在する捕獲準位に捕獲されることで、捕獲準位が負に帯電する。その結果、２ＤＥＧの走行キャリアである電子にとって、負に帯電された捕獲準位は同じ電荷であるため反発し、２ＤＥＧの電子キャリア濃度が減少し、オン抵抗が上昇する。

[0004] ＧａＮを利用したＨＥＭＴの電流コラプスを抑制するために、一般に、ゲート電極とドレイン電極との間に、ソース電極と同電位のフィールドプレート電極（以下、ソースフィールドプレートと称する）を設ける構造が採用されている。この構造により、ゲート電極とドレイン電極との間に発生する電界が、ソースフィールドプレートによって分散されることとなり、ゲート電

極とドレイン電極との間の電界が緩和される。

[0005] 特許文献１には、ゲート電極とドレイン電極との間に第２のフィールドプレート電極（本開示のソースフィールドプレートに相当）が配置され、ゲート電極の傘の下に一部が潜り込むように第１のフィールドプレート電極が配置された構造が記載されている。この構造によると、最も電界が高くなるゲート電極のドレイン側の端部が、潜り込んだ第１のフィールドプレート電極のゲート電極側端部よりもドレイン電極側にあるため、ゲート電極のドレイン側の端部を第１のフィールドプレート電極により下側から覆うことができる。これにより、電界緩和の効果を高めることができる。

先行技術文献

特許文献

[0006] 特許文献1：国際公開第２０１４／０５００５４号

発明の概要

発明が解決しようとする課題

[0007] しかしながら、特許文献１に記載された構造では、第１のフィールドプレート電極の下面は、ゲート電極の傘部の底面よりも低い高さに位置するため、半導体層に近接する。このため、半導体層の２ＤＥＧ面と第１のフィールドプレート電極の下面との間に発生する寄生容量が比較的大きくなるという問題がある。

[0008] つまり、２ＤＥＧ面の一端はドレイン電極と接続されているため、２ＤＥＧ面と第１のフィールドプレート電極との間に発生する寄生容量は、ドレイン－ソース間の寄生容量（以下、Ｃｄｓと称する）となる。

[0009] 容量値は、電極面積に比例し、電極間間隔に反比例する。特許文献１に記載された構造では、第１のフィールドプレート電極の下面が半導体層に近接するため、電極間間隔が狭く、Ｃｄｓは増大する。

[0010] 一方、Ｃｄｓは、ＨＥＭＴの消費電力に影響を与える寄生容量であるため、Ｃｄｓの増大は消費電力の増加につながる。

[0011] そこで、本開示は、ソースフィールドプレートによる電界緩和と、Ｃｄｓの抑制とを両立することができる電力増幅用半導体装置を提供することを目的とする。

課題を解決するための手段

[0012] 本開示の一態様に係る電力増幅用半導体装置は、基板と、前記基板の上に形成された第１窒化物半導体層と、前記第１窒化物半導体層の上に形成された前記第１窒化物半導体層よりバンドギャップの大きい第２窒化物半導体層と、前記第２窒化物半導体層の上に形成された第１絶縁層と、前記第２窒化物半導体層の上に互いに間隔を空けて形成されたソース電極およびドレイン電極と、前記ソース電極と前記ドレイン電極との間において、前記第１絶縁層の上に接触して形成され、かつ前記第１絶縁層に形成された第１開口部を経由して前記第２窒化物半導体層の上面にショットキー接合して形成されたゲート電極と、前記ゲート電極と前記ドレイン電極との間の前記第２窒化物半導体層の上に形成され、前記ソース電極と同電位が与えられた第１ソースフィールドプレートと、を有し、前記基板上面の垂直方向である第１方向において、前記第１ソースフィールドプレートの最下面位置は、前記ゲート電極と接触した前記第１絶縁層の上面位置と同一または上方であり、前記ゲート電極に最近接する前記第１ソースフィールドプレート側面の上端位置は、前記ゲート電極の最上面位置より下方である。

発明の効果

[0013] ソースフィールドプレートによる、ゲート電極とドレイン電極との間の電界の緩和と、Ｃｄｓの抑制とを両立することができる電力増幅用半導体装置が提供される。

図面の簡単な説明

[0014] [図1A]図１Ａは、実施の形態１に係る電力増幅用半導体装置の構造を示す断面図である。

[図1B]図１Ｂは、実施の形態２、４に係る電力増幅用半導体装置の構造を示す断面図である。

[図1C]図１Ｃは、実施の形態２に係る電力増幅用半導体装置の構造を示す断面図である。

[図1D]図１Ｄは、実施の形態３に係る電力増幅用半導体装置の構造を示す断面図である。

[図1E]図１Ｅは、実施の形態５に係る電力増幅用半導体装置の構造を示す断面図である。

[図1F]図１Ｆは、実施の形態６に係る電力増幅用半導体装置の構造を示す断面図である。

[図1G]図１Ｇは、実施の形態７に係る電力増幅用半導体装置の構造を示す断面図である。

[図1H]図１Ｈは、実施の形態８に係る電力増幅用半導体装置の構造を示す断面図である。

[図1I]図１Ｉは、実施の形態８に係る電力増幅用半導体装置の構造を示す断面図である。

[図1J]図１Ｊは、実施の形態２に係る電力増幅用半導体装置のメカニズムを説明する図である。

[図1K]図１Ｋは、実施の形態２に係る電力増幅用半導体装置のメカニズムを説明する図である。

[図1L]図１Ｌは、実施の形態２に係る電力増幅用半導体装置のメカニズムを説明する図である。

[図1M]図１Ｍは、実施の形態２に係る電力増幅用半導体装置のメカニズムを説明する図である。

[図1N]図１Ｎは、実施の形態２に係る電力増幅用半導体装置のメカニズムを説明する図である。

[図2A]図２Ａは、製造途上における実施の形態１に係る電力増幅用半導体装置の構造を示す断面図である。

[図2B]図２Ｂは、製造途上における実施の形態１に係る電力増幅用半導体装置の構造を示す断面図である。

[図2C]図２Ｃは、製造途上における実施の形態１に係る電力増幅用半導体装置の構造を示す断面図である。

[図2D]図２Ｄは、製造途上における実施の形態１に係る電力増幅用半導体装置の構造を示す断面図である。

[図2E]図２Ｅは、製造途上における実施の形態１に係る電力増幅用半導体装置の構造を示す断面図である。

[図2F]図２Ｆは、製造途上における実施の形態１に係る電力増幅用半導体装置の構造を示す断面図である。

[図2G]図２Ｇは、製造途上における実施の形態１に係る電力増幅用半導体装置の構造を示す断面図である。

[図2H]図２Ｈは、製造途上における実施の形態１に係る電力増幅用半導体装置の構造を示す断面図である。

[図2I]図２Ｉは、製造途上における実施の形態１に係る電力増幅用半導体装置の構造を示す断面図である。

[図2J]図２Ｊは、製造途上における実施の形態１に係る電力増幅用半導体装置の構造を示す断面図である。

[図2K]図２Ｋは、製造途上における実施の形態１に係る電力増幅用半導体装置の構造を示す断面図である。

[図2L]図２Ｌは、製造途上における実施の形態１に係る電力増幅用半導体装置の構造を示す断面図である。

[図2M]図２Ｍは、製造途上における実施の形態１に係る電力増幅用半導体装置の構造を示す断面図である。

[図2N]図２Ｎは、製造途上における実施の形態１に係る電力増幅用半導体装置の構造を示す断面図である。

[図2O]図２Ｏは、製造途上における実施の形態１に係る電力増幅用半導体装置の構造を示す断面図である。

[図2P]図２Ｐは、製造途上における実施の形態１に係る電力増幅用半導体装置の構造を示す断面図である。

[図2Q]図２Ｑは、製造途上における実施の形態１に係る電力増幅用半導体装置の構造を示す断面図である。

[図2R]図２Ｒは、製造途上における実施の形態１に係る電力増幅用半導体装置の構造を示す断面図である。

[図3A]図３Ａは、製造途上における実施の形態２に係る電力増幅用半導体装置の構造を示す断面図である。

[図3B]図３Ｂは、製造途上における実施の形態２に係る電力増幅用半導体装置の構造を示す断面図である。

[図3C]図３Ｃは、製造途上における実施の形態２に係る電力増幅用半導体装置の構造を示す断面図である。

[図3D]図３Ｄは、製造途上における実施の形態２に係る電力増幅用半導体装置の構造を示す断面図である。

[図3E]図３Ｅは、製造途上における実施の形態２に係る電力増幅用半導体装置の構造を示す断面図である。

[図3F]図３Ｆは、製造途上における実施の形態２に係る電力増幅用半導体装置の構造を示す断面図である。

[図3G]図３Ｇは、製造途上における実施の形態２に係る電力増幅用半導体装置の構造を示す断面図である。

[図3H]図３Ｈは、製造途上における実施の形態２に係る電力増幅用半導体装置の構造を示す断面図である。

[図3I]図３Ｉは、製造途上における実施の形態２に係る電力増幅用半導体装置の構造を示す断面図である。

[図3J]図３Ｊは、製造途上における実施の形態２に係る電力増幅用半導体装置の構造を示す断面図である。

[図3K]図３Ｋは、製造途上における実施の形態２に係る電力増幅用半導体装置の構造を示す断面図である。

[図3L]図３Ｌは、製造途上における実施の形態２に係る電力増幅用半導体装置の構造を示す断面図である。

[図3M]図３Ｍは、製造途上における実施の形態２に係る電力増幅用半導体装置の構造を示す断面図である。

[図3N]図３Ｎは、製造途上における実施の形態２に係る電力増幅用半導体装置の構造を示す断面図である。

[図3O]図３Ｏは、製造途上における実施の形態２に係る電力増幅用半導体装置の構造を示す断面図である。

[図3P]図３Ｐは、製造途上における実施の形態２に係る電力増幅用半導体装置の構造を示す断面図である。

[図3Q]図３Ｑは、製造途上における実施の形態２に係る電力増幅用半導体装置の構造を示す断面図である。

[図3R]図３Ｒは、製造途上における実施の形態２に係る電力増幅用半導体装置の構造を示す断面図である。

[図4A]図４Ａは、製造途上における実施の形態５に係る電力増幅用半導体装置の構造を示す断面図である。

[図4B]図４Ｂは、製造途上における実施の形態５に係る電力増幅用半導体装置の構造を示す断面図である。

[図4C]図４Ｃは、製造途上における実施の形態５に係る電力増幅用半導体装置の構造を示す断面図である。

[図4D]図４Ｄは、製造途上における実施の形態５に係る電力増幅用半導体装置の構造を示す断面図である。

[図4E]図４Ｅは、製造途上における実施の形態５に係る電力増幅用半導体装置の構造を示す断面図である。

[図4F]図４Ｆは、製造途上における実施の形態５に係る電力増幅用半導体装置の構造を示す断面図である。

[図4G]図４Ｇは、製造途上における実施の形態５に係る電力増幅用半導体装置の構造を示す断面図である。

[図4H]図４Ｈは、製造途上における実施の形態５に係る電力増幅用半導体装置の構造を示す断面図である。

[図4I]図４Ｉは、製造途上における実施の形態５に係る電力増幅用半導体装置の構造を示す断面図である。

[図4J]図４Ｊは、製造途上における実施の形態５に係る電力増幅用半導体装置の構造を示す断面図である。

[図4K]図４Ｋは、製造途上における実施の形態５に係る電力増幅用半導体装置の構造を示す断面図である。

[図4L]図４Ｌは、製造途上における実施の形態５に係る電力増幅用半導体装置の構造を示す断面図である。

[図4M]図４Ｍは、製造途上における実施の形態５に係る電力増幅用半導体装置の構造を示す断面図である。

[図4N]図４Ｎは、製造途上における実施の形態５に係る電力増幅用半導体装置の構造を示す断面図である。

[図4O]図４Ｏは、製造途上における実施の形態５に係る電力増幅用半導体装置の構造を示す断面図である。

[図4P]図４Ｐは、製造途上における実施の形態５に係る電力増幅用半導体装置の構造を示す断面図である。

[図4Q]図４Ｑは、製造途上における実施の形態５に係る電力増幅用半導体装置の構造を示す断面図である。

[図4R]図４Ｒは、製造途上における実施の形態５に係る電力増幅用半導体装置の構造を示す断面図である。

[図4S]図４Ｓは、製造途上における実施の形態５に係る電力増幅用半導体装置の構造を示す断面図である。

[図4T]図４Ｔは、製造途上における実施の形態５に係る電力増幅用半導体装置の構造を示す断面図である。

[図4U]図４Ｕは、製造途上における実施の形態５に係る電力増幅用半導体装置の構造を示す断面図である。

[図5A]図５Ａは、製造途上における実施の形態６に係る電力増幅用半導体装置の構造を示す断面図である。

[図5B]図５Ｂは、製造途上における実施の形態６に係る電力増幅用半導体装置の構造を示す断面図である。

[図5C]図５Ｃは、製造途上における実施の形態６に係る電力増幅用半導体装置の構造を示す断面図である。

[図5D]図５Ｄは、製造途上における実施の形態６に係る電力増幅用半導体装置の構造を示す断面図である。

[図5E]図５Ｅは、製造途上における実施の形態６に係る電力増幅用半導体装置の構造を示す断面図である。

[図5F]図５Ｆは、製造途上における実施の形態６に係る電力増幅用半導体装置の構造を示す断面図である。

[図5G]図５Ｇは、製造途上における実施の形態６に係る電力増幅用半導体装置の構造を示す断面図である。

[図5H]図５Ｈは、製造途上における実施の形態６に係る電力増幅用半導体装置の構造を示す断面図である。

[図5I]図５Ｉは、製造途上における実施の形態６に係る電力増幅用半導体装置の構造を示す断面図である。

[図5J]図５Ｊは、製造途上における実施の形態６に係る電力増幅用半導体装置の構造を示す断面図である。

[図5K]図５Ｋは、製造途上における実施の形態６に係る電力増幅用半導体装置の構造を示す断面図である。

[図5L]図５Ｌは、製造途上における実施の形態６に係る電力増幅用半導体装置の構造を示す断面図である。

[図5M]図５Ｍは、製造途上における実施の形態６に係る電力増幅用半導体装置の構造を示す断面図である。

[図5N]図５Ｎは、製造途上における実施の形態６に係る電力増幅用半導体装置の構造を示す断面図である。

[図5O]図５Ｏは、製造途上における実施の形態６に係る電力増幅用半導体装置の構造を示す断面図である。

[図5P]図５Ｐは、製造途上における実施の形態６に係る電力増幅用半導体装置の構造を示す断面図である。

[図5Q]図５Ｑは、製造途上における実施の形態６に係る電力増幅用半導体装置の構造を示す断面図である。

[図5R]図５Ｒは、製造途上における実施の形態６に係る電力増幅用半導体装置の構造を示す断面図である。

[図5S]図５Ｓは、製造途上における実施の形態６に係る電力増幅用半導体装置の構造を示す断面図である。

[図5T]図５Ｔは、製造途上における実施の形態６に係る電力増幅用半導体装置の構造を示す断面図である。

[図5U]図５Ｕは、製造途上における実施の形態６に係る電力増幅用半導体装置の構造を示す断面図である。

発明を実施するための形態

[0015] （実施の形態１）

図１Ａの電力増幅用半導体装置１０は、実施の形態１に係る電力増幅用半導体装置の構造を示す断面図である。

[0016] 図１Ａに示すように、電力増幅用半導体装置は、基板２００と、半導体積層体２２０と、ソース電極２０４と、ドレイン電極２０５と、ゲート電極２０６と、ソースフィールドプレート２０９と、絶縁膜２０３Ａと、絶縁膜２０３Ｂと、絶縁膜２０８とを備える。

[0017] 基板２００は、例えばＳｉ基板上にバッファ層が積層されて構成される。基板２００の上部には、後述する半導体積層体２２０をエピタキシャル成長させる。Ｓｉ基板に替えて、ＳｉＣ基板、サファイア基板、ダイヤモンド基板であっても構わない。半導体積層体２２０をエピタキシャル成長させた後に、元のＳｉ基板を剥離し、別の基板に張り替えても構わない。バッファ層は、例えば、ＡｌＮ及びＡｌＧａＮの複数の積層構造からなる窒化物半導体である。バッファ層は、その他に、ＧａＮ、ＡｌＧａＮ、ＡｌＮ、ＩｎＧａＮ、ＡｌＩｎＧａＮ等のIII族窒化物半導体の単層もしくは複数層によって構

成されてもよい。

[0018] 半導体積層体２２０は、基板２００上に形成された第１窒化物半導体層２０１と、第１窒化物半導体層２０１上に形成された第２窒化物半導体層２０２とから構成される。

[0019] 第１窒化物半導体層２０１は、窒化ガリウム（ＧａＮ）からなるＧａＮチャネル層である。第１窒化物半導体層２０１は、例えば、厚さ２００ｎｍのアンドープ（ｉ型）ＧａＮによって構成することができる。アンドープ（ｉ型）とは、エピタキシャル成長時に不純物が意図的にドーピングされていないことを意味する。なお、第１窒化物半導体層２０１は、ＧａＮに限らず、ＩｎＧａＮ、ＡｌＧａＮ、ＡｌＩｎＧａＮ等のIII族窒化物半導体によって構成されてもよく、また、ｎ型の不純物が含まれていてもよい。

[0020] 第２窒化物半導体層２０２は、窒化アルミニウムガリウム（$Al_xGa_{1-x}N$（０≦ｘ≦１））からなる$Al_xGa_{1-x}N$バリア層である。第２窒化物半導体層２０２は、例えば、厚さ２０ｎｍでＡｌ組成比が２５％のアンドープ（ｉ型）$Al_xGa_{1-x}N$によって構成される。なお、第２窒化物半導体層２０２は、$Al_xGa_{1-x}N$に限らず、ＡｌＮ、ＩｎＧａＮ、ＡｌＩｎＧａＮ等のIII族窒化物半導体によって構成されてもよく、また、ｎ型の不純物が含まれていてもよい。

[0021] 本実施形態において、第２窒化物半導体層２０２のバンドギャップは、第１窒化物半導体層２０１のバンドギャップより大きい。また、アンドープ（ｉ型）$Al_xGa_{1-x}N$からなる第２窒化物半導体層２０２とアンドープ（ｉ型）ＧａＮからなる第１窒化物半導体層２０１とはヘテロ構造となっている。つまり、第２窒化物半導体層２０２と第１窒化物半導体層２０１との界面はヘテロ接合されており、第２窒化物半導体層２０２と第１窒化物半導体層２０１との界面にはヘテロ障壁が形成されている。

[0022] この結果、第２窒化物半導体層２０２と第１窒化物半導体層２０１とのヘテロ界面の第１窒化物半導体層２０１側には２ＤＥＧが発生し、２ＤＥＧ面２３０が形成される。

[0023] ソース電極２０４は、半導体積層体２２０の上に形成され、オーミック部２０４Ａと、バリア金属部２０４Ｂと、配線２０４Ｃとからなる。

[0024] ドレイン電極２０５は、半導体積層体２２０の上に形成され、オーミック部２０５Ａと、バリア金属部２０５Ｂと、配線２０５Ｃとからなる。

[0025] ゲート電極２０６は、ソース電極２０４とドレイン電極２０５との間の半導体積層体２２０の上に形成され、下部層２０６Ａと上部層２０６Ｂとからなる。

[0026] この第１絶縁層２０３Ａの上の下部層２０６Ａは、一般にゲートフィールドプレートと呼ばれるものである。

[0027] ソースフィールドプレート２０９は、ゲート電極２０６を覆わないように、ゲート電極２０６とドレイン電極２０５との間の半導体積層体２２０の上に形成される。ソースフィールドプレート２０９はソース電極２０４と同電位が与えられる。

[0028] 以下、第２窒化物半導体層２０２と対向するソースフィールドプレート２０９の下面を、ソースフィールドプレート最下面と称する。

[0029] ＜製造方法の説明＞

次に、電力増幅用半導体装置１０の製造方法について、図２Ａ～図２Ｒを参照しながら説明する。

[0030] 図２Ａ～図２Ｒは、それぞれ、製造途上における電力増幅用半導体装置１０の構造を示す断面図である。

[0031] まず、図２Ａに示すように、基板２００に、第１窒化物半導体層２０１をエピタキシャル成長させ、続いて、第２窒化物半導体層２０２をエピタキシャル成長させることで、基板２００上に、第１窒化物半導体層２０１と、第２窒化物半導体層２０２とを積層する。

[0032] 次に、図２Ｂに示すように、第２窒化物半導体層２０２の上面全面に、Si_3N_4からなる絶縁膜２０３Ａを堆積する。

[0033] 次に、図２Ｃに示すように、ドライエッチング開口により、半導体積層体２２０にオーミック接合するソース電極２０４を形成するためのオーミック

電極開口部２４０Ａと、半導体積層体２２０にオーミック接合するドレイン電極２０５を形成するためのオーミック電極開口部２４０Ｂとを形成する。

[0034] このドライエッチング開口は、絶縁膜２０３Ａをエッチングした後、第２窒化物半導体層２０２をエッチングし、さらに、第１窒化物半導体層２０１を、２ＤＥＧ面２３０が現れるまでエッチングすることで行われる。

[0035] 次に、図２Ｄに示すように、オーミック電極開口部２４０Ａにオーミック部２０４Ａを形成し、オーミック電極開口部２４０Ｂにオーミック部２０５Ａを形成する。

[0036] オーミック部２０４Ａとオーミック部２０５Ａとは、共に同じ材料からなり、例えば、Ｔｉ、ＡｌＩが含まれる材料である。オーミック部２０４Ａとオーミック部２０５Ａとは、オーミック電極開口部２４０Ａとオーミック電極開口部２４０Ｂとの領域を含む絶縁膜２０３Ａの上面全面に、Ｔｉ、ＡｌＩの金属を連続的にスパッタ法で堆積した後、フォトリソグラフィで、オーミック部２０４Ａとオーミック部２０５Ａとにレジストマスクを形成した後、ドライエッチングによって、オーミック部２０４Ａとオーミック部２０５Ａと以外の部分を除去することで形成される。

[0037] また、オーミック部２０４Ａとオーミック部２０５Ａとは、それぞれ、オーミック電極開口部２４０Ａとオーミック電極開口部２４０Ｂとに、Ｔｉ、ＡｌＩの金属を蒸着・リフトオフ法により堆積することで形成されてもよい。

[0038] オーミック部２０４Ａとオーミック部２０５Ａとが形成された後、５００℃を超える高温で、半導体積層体２２０とＴｉ、ＡｌＩの金属との合金反応をさせて、金属と半導体とのオーミック接合を行う。ＴｉとＧａＮのＮが反応するとＮ型化しやすいという性質を利用している。

[0039] 次に、図２Ｅに示すように、オーミック部２０４Ａとオーミック部２０５Ａとを含む絶縁膜２０３Ａの上面全面に、Si_3N_4からなる絶縁膜２０３Ｂを堆積する。

[0040] 次に、図２Ｆに示すように、オーミック部２０４Ａとオーミック部２０５Ａとをフォトレジストマスクで覆って、絶縁膜２０３Ｂをエッチング除去し

、絶縁膜２０３Ａを露出させる。

[0041] 次に、図２Ｇに示すように、絶縁膜２０３Ａに、下部層２０６Ａと第２窒化物半導体層２０２とをショットキー接合させるためのゲート開口部２５０を形成する。ゲート開口部２５０は、レジスト塗布したフォトリソグラフィによってパターン開口した後に、絶縁膜２０３Ａを、第２窒化物半導体層２０２の上面が露出するまでエッチング除去することで形成される。このエッチングは、通常はCF_4を含むガスによるSi_3N_4のドライエッチングによって実現されるが、ＨＦを用いたウエットエッチングによって実現されてもよい。又は、上記ドライエッチングと上記ウエットエッチングとを合成した方法によって実現されてもよい。

[0042] 次に、図２Ｈに示すように、絶縁膜２０３Ｂとゲート開口部２５０とを含む絶縁膜２０３Ａの上面全面に、下部層２０６Ａと上部層２０６Ｂとを、連続的にスパッタ法により堆積する。スパッタ法とは、半導体基板に堆積したい金属種のターゲット表面に加速したイオンを衝突させることによって、ターゲットと対向する半導体基板の表面に所望の金属材料を堆積する方法である。

[0043] 下部層２０６Ａは、第２窒化物半導体層２０２とショットキー接合する必要がある。このため、下部層２０６Ａは、例えば、ＴｉＮを含む金属である。

[0044] 上部層２０６Ｂは、ゲート電極２０６の全体の抵抗値を下げるためのものである。このため、上部層２０６Ｂは、例えば、ＡｌＩを含む金属である。

[0045] ここで、下部層２０６Ａの材料例のＴｉＮは、高耐熱金属である。このため、下部層２０６Ａは、上部層２０６Ｂと第２窒化物半導体層２０２との間の高温時のバリア金属としても機能する。

[0046] 次に、図２Ｉに示すように、ゲート電極２０６の形成領域に、フォトリソグラフィのパターニングにより、上部層２０６Ｂの所望の領域のみ残るようなパターンのレジストマスク２１０Ａを形成する。

[0047] 次に、図２Ｊに示すように、レジストマスク２１０Ａが形成されていない

領域の上部層２０６Ｂを、垂直的にドライエッチングを行うことで除去し、下部層２０６Ａが露出した時点でドライエッチングを止める。

[0048] 次に、図２Ｋに示すように、レジストマスク２１０Ａを、例えば有機溶剤で除去する。

[0049] 次に、図２Ｌに示すように、上部層２０６Ｂと、下部層２０６Ａのうちの所望の領域とを覆うように、フォトリソグラフィのパターニングによりレジストマスク２１０Ｂを形成する。

[0050] 次に、図２Ｍに示すように、下部層２０６Ａをドライエッチングにより除去する。このエッチングのエンドポイントは、絶縁膜２０３Ａが露出したところである。

[0051] 次に、図２Ｎに示すように、レジストマスク２１０Ｂを、例えば有機溶剤で除去する。ここで、レジストマスク２１０Ｂは、図２Ｌに示すように、ゲート開口部２５０よりもドレイン電極２０５側に寄せて形成してもよい。

[0052] 次に、図２Ｏに示すように、絶縁膜２０３Ｂと下部層２０６Ａと上部層２０６Ｂとを含む絶縁膜２０３Ａの上面全面に、絶縁膜２０８を堆積する。

[0053] 次に、図２Ｐに示すように、ソースフィールドプレート２０９を、下部層２０６Ａと上部層２０６Ｂとからなるゲート電極２０６の絶縁膜２０８の平坦上に形成する。ソースフィールドプレート２０９は、例えば、絶縁膜２０８上面全面にＴｉ、ＡｌをＩ連続的にスパッタ法で堆積した後、フォトリソグラフィで、所望の位置にレジストマスクを形成し、レジストマスクで覆われていない部分をドライエッチングにより除去することで形成される。

[0054] 次に、図２Ｑに示すように、オーミック部２０４Ａ上の絶縁膜２０３Ｂ及び絶縁膜２０８と、オーミック部２０５Ａ上の絶縁膜２０３Ｂ及び絶縁膜２０８とをエッチング開口して、コンタクト部２７０Ａとコンタクト部２７０Ｂとを形成する。

[0055] 次に、図２Ｒに示すように、コンタクト部２７０Ａの上とコンタクト部２７０Ｂとの上に、それぞれ、例えば、Ｗ、ＴｉＮ等の高融点金属からなるバリア金属部２０４Ｂとバリア金属部２０５Ｂとを、スパッタ・ドライエッチ

ング法で形成した後に、バリア金属部２０４Ｂとバリア金属部２０５Ｂとの上に、それぞれ、例えば、Ａｕ、ＡＩ、Ｃｕからなる金属による配線２０４Ｃと配線２０５Ｃとを、メッキ法で形成する。

[0056] 配線２０４Ｃと配線２０５Ｃとが形成されることで、図１Ａに示す電力増幅用半導体装置１０が完成する。

[0057] ここでは、ゲート電極２０６の構造例について補足説明する。

[0058] 実施の形態１において、ゲート電極２０６は、下部層２０６Ａと上部層２０６Ｂとからなるとして説明した。しかしながら、ゲート電極２０６は、必ずしも、下部層２０６Ａと上部層２０６Ｂとからなる構造例に限定される必要はなく、例えば、ゲート電極２０６は、層構造を有さない構造（以下、「一体型構造」とも称する）であっても構わない。

[0059] 一体型構造のゲート電極２０６の材料は、ゲート電極２０６と第２窒化物半導体層２０２とをショットキー接合させることができる金属材料であればよく、具体的には、例えば、Ｎｉ、ＴｉＮ、Ｐｔ、Ｐｄ、Ｃｕ、Ｔａ、ＴａＮ、Ｗ、ＷＳｉ、ＡＩ等であればよい。

[0060] 実施の形態１において説明したように、ゲート電極２０６が、下部層２０６Ａと上部層２０６Ｂとからなる構成である場合には、下部層２０６Ａと上部層２０６Ｂとを互いに異なる材料とすることができる。

[0061] 以上は、ゲート電極２０６とソースフィールドプレート２０９とを、スパッタ・ドライエッチング法により製造する電力増幅用半導体装置１０の製造方法であるが、電力増幅用半導体装置１０は、ゲート電極２０６とソースフィールドプレート２０９とを、蒸着・リフトオフ法により製造することも可能である。

[0062] 蒸着・リフトオフ法は、まず、電極形成領域が開口するように、フォトレジストマスクを形成し、その上層からＮｉ、Ａｕからなる金属を連続的に蒸着する。蒸着炉の中で、半導体基板に堆積したい金属を、真空中で、抵抗加熱もしくは電子ビームで融点以上に加熱し溶解することで、半導体基板上に堆積する。次に、上記フォトレジストマスクを有機溶剤で除去する。そのと

き、上記フォトレジストマスクと共に、フォトレジストマスク上の上記電極も同時に除去される。その工程によって、フォトレジストマスクの開口部のゲート電極２０６部に、下部層２０６ＡをＮｉ、上部層２０６ＢをＡｕとするゲート電極２０６が残されるという方法である。

[0063] 蒸着・リフトオフ法は、製造方法上簡便であることと、半導体基板に対するダメージも少ないという利点もあるが、寸法精度という点において、スパッタ・ドライエッチング法の方が優れている。

[0064] ＜特徴と効果＞

一般に、高周波向け電力増幅用半導体装置の低消費電力特性と相関の強いＣｄｓは、ソースフィールドプレートと、対向する２ＤＥＧ面２３０で形成される電極の間で発生する容量である。この容量は、電極間隔に反比例し、電極面積に比例する。

[0065] 本発明では、そのソースフィールドプレート最下面高さ位置が、ゲートフィールドプレート下面位置よりも高いことを特徴とするため、特許文献１における上記電極間隔よりも間隔が拡大する。このため、電力増幅用半導体装置１０における上記電極の間で発生する容量は、特許文献１における上記電極の間で発生する容量よりも低減される。

[0066] このように、上記構成の電力増幅用半導体装置１０によると、ソースフィールドプレートによる、ゲート電極とドレイン電極との間の電界の緩和と、Ｃｄｓの抑制とを両立することができる。

[0067] 電力増幅用半導体装置１０では、ゲート電極２０６の最上面の高さＨＧを、ゲート側に最近接した側面の上端位置の高さＨＳよりも高くすることが可能となるため、ゲート抵抗Ｒｇを低減することができる。これは、一般的にゲート抵抗Ｒｇは、ゲート電極の断面積に反比例するためである。

[0068] また、この構造は、ゲート電極２０６の側面と、ゲート側に最近接したソースフィールドプレート２０９の側面との間で発生する寄生容量（以下、Ｃｇｓと称する）を低減しやすい。

[0069] 現在、市場で広く用いられているＧａＮを用いた一般的な電力増幅用半導

体装置では、図１Ａにおけるゲート電極２０６の上面部分を、Si_3N_4からなる絶縁膜で保護したのち、ソースフィールドプレート２０９がゲート電極２０６を被覆する構造が一般的である。

[0070] このとき、ゲート電極２０６の上面を被覆する被覆部のステップカバレッジの製造安定性の問題により、ゲート電極２０６の最上面の高さを、十分に高くできない。もし高くすると、亀裂が入るなどしてソースフィールドプレートの被覆性に課題が発生し、その結果ソースフィールドプレートの抵抗成分のばらつき原因になるからである。

[0071] よって、ソースフィールドプレート２０９がゲート電極２０６を被覆しない形状を有する本発明の構造は、一般的な電力増幅用半導体装置よりも、ゲート抵抗Ｒｇを低減することができる。

[0072] 従って、電力増幅用半導体装置によると、一般的な電力増幅用半導体装置よりも、更に、高周波帯の利得特性を向上することができる。

[0073] なお、図１Ａにおいて、下部層２０６Ａからなるゲートフィールドプレートのドレイン端部とソースフィールドプレート２０９のゲート側端部の間に、わずかな隙間があるが、この隙間は広すぎるとソースフィールドプレートの電界緩和効果が弱くなり、ゲート・ドレイン間の寄生容量（以下、Ｃｇｄと称する）の増大が無視できなくなって、利得が下がる。

[0074] しかし、上記の隙間が、例えば、ゲート開口部２５０の長さ程度であれば、電界分散はソースフィールドプレート２０９の図１Ａに示すＸ方向への長さ調整で補正できるため、問題は生じない。ここで、Ｘ方向とは断面視でソース電極からドレイン電極へ向かう方向である。

[0075] （実施の形態２）

図１Ｂの電力増幅用半導体装置１１は、実施の形態２に係る電力増幅用半導体装置の構造を示す断面図である。

[0076] 図１Ｂに示すように、電力増幅用半導体装置１１は、基板２００と、半導体積層体２２０と、ソース電極２０４と、ドレイン電極２０５と、ゲート電極２０６と、ソースフィールドプレート２０９と、絶縁膜２０３Ａと、絶縁

膜２０３Ｂと、絶縁膜２０８とを備える。

[0077] 図１Ａの電力増幅用半導体装置１０と異なる点は、ソースフィールドプレート２０９が階段状の形状であることである。

[0078] 以下、階段状のソースフィールドプレート２０９において、下段側を第１ソースフィールドプレート上段側を第２ソースフィールドプレートと呼ぶ。

[0079] ＜製造方法＞

次に、電力増幅用半導体装置１１の製造方法について、図３Ａ～図３Ｒを参照しながら説明する。

[0080] 図３Ａ～図３Ｒは、それぞれ、製造途上における電力増幅用半導体装置１１の構造を示す断面図である。

[0081] 図３Ｅまでは、図２Ａから図２Ｅまでの製造方法と同じであるので説明を省略する。

[0082] 図３Ｆにおいて、絶縁膜２０３Ｂに、ゲート開口部２５０を含み、それより広い開口部３５０を形成する。このとき、オーミック部２０５Ａに近い開口部が、ソースフィールドプレート２０９の下段と上段の境目になる。

[0083] 次に、図３Ｇに示すように、第２窒化物半導体層２０２を露出させるためにゲート開口部２５０を形成する。

[0084] 次に、図３Ｈから図３Ｎに示すように、実施の形態１の図２Ｈから図２Ｎで説明した工程と同じ製造方法でゲート電極２０６（２０６Ａ、２０６Ｂ）を形成する。

[0085] そのあと、図３Ｏのように、全体に絶縁膜２０８Ｂを堆積する。

[0086] 次に、図３Ｐに示すように、ソースフィールドプレート２０９を堆積する。

[0087] そして、図３Ｑから図３Ｒに示すように、実施の形態１の図２Ｑから図２Ｒで説明した工程と同じ製造方法でソース電極２０４、ドレイン電極２０５を形成する。

[0088] 配線２０４Ｃと配線２０５Ｃとが形成されることで、図１Ｂに示す電力増幅用半導体装置１１が完成する。

[0089] ＜特徴と効果＞

ソースフィールドプレート２０９を階段状にする効果を、図１Ｎを参照しながら説明する。

[0090] 図１Ｎは、Ｘ方向の電界分布とソースフィールドプレート２０９と半導体積層体２２０の２ＤＥＧ面２３０とに発生する寄生容量Ｃｄｓの比較を示す。

[0091] 図１Ｎの（ａ）はソースフィールドプレート２０９がない場合、図１Ｎの（ｂ）はソースフィールドプレート２０９を配置した場合、図１Ｎの（ｃ）は、図１Ｎの（ｂ）よりもソースフィールドプレート２０９をＸ方向に拡張した場合、図１Ｎの（ｄ）はソースフィールドプレート２０９を階段状にした場合である。

[0092] 下部層２０６Ａのドレイン側端部（Ｘ２）の電界緩和のために、図１Ｎの（ｂ）のようにソースフィールドプレート２０９を設けるのが一般的であるが、下部層２０６Ａのドレイン側端部から分散された電界は、今度はソースフィールドプレート２０９のドレイン側（Ｘ３）にピークをもつような広がった分布になる。

[0093] よって、図１Ｎの（ｃ）のように、できるだけ、ソースフィールドプレート２０９のＸ方向の長さが長い方が、下部層２０６Ａのドレイン側端部（Ｘ２）の電界緩和効果が強い。

[0094] しかしながら、ソースフィールドプレート２０９が長くなるため、寄生容量Ｃｄｓが増大してしまう。

[0095] しかし、図１Ｎの（ｄ）のようにソースフィールドプレート２０９の形状が階段状であれば、ソースフィールドプレート下面におけるドレイン側端位置の電界ピークは、第２ソースフィールドプレート下面のドレイン側端位置（Ｘ３）まで分散される。このとき、２ＤＥＧ面２３０と第２ソースフィールドプレートの下面との距離が長くなるので、寄生容量Ｃｄｓは図１Ｎの（ｃ）よりも減少する。

[0096] つまり、本実施の形態は、電界の緩和と寄生容量Ｃｄｓの低減を両立させ

た構造である。

[0097] 次に、ソースフィールドプレート２０９の望ましい寸法に関し、図１Ｂを用いて説明する。すなわち、ソースフィールドプレートを階段状にすることの効果メカニズムから演繹されるＸ方向、Ｙ方向に関する条件である。

[0098] まず、Ｘ方向であるソースフィールドプレート２０９の長さについて説明する。

[0099] 第１ソースフィールドプレートの下面の長さをＬＦ１、第２ソースフィールドプレートの下面の長さをＬＦ２としたときの、ＬＦ１とＬＦ２の関係についてである。

[0100] 先に説明したように、寄生容量Ｃｄｓを減らすためには、２ＤＥＧ面２３０に近いＬＦ１は短くした方がよい。一方で第１ソースフィールドプレートドレイン端の電界緩和のためには、ＬＦ２を長くした方がよい。つまり、ＬＦ１＜ＬＦ２が望ましいことになる。

[0101] 次に、Ｙ方向であるソースフィールドプレート２０９の高さについて説明する。

[0102] 図１Ｂにおいて、ゲート電極２０６の最上面の高さをＨＧ、第１ソースフィールドプレートのゲート側に最近接した側面の上端位置の高さをＨＳ１、第２ソースフィールドプレートのゲート側に最近接した側面の上端位置の高さをＨＳ２とする。

[0103] 実施の形態１で示したように、ＨＧ＞ＨＳ１となる。

[0104] また、ゲート電極２０６の最上面ドレイン側端位置からドレイン電極２０５の最上面ゲート側端位置を見たとき、ソースフィールドプレート２０９によって遮られる。すなわちソースフィールドプレート２０９によってシールドされる場合は、ゲート・ドレイン電極間の寄生容量Ｃｇｄの低減に効果がある。つまり、ＨＳ２＞ＨＧが望ましい。

[0105] 次に、この第２ソースフィールドプレートによるシールドの効果を、仰角を用いて説明する。

[0106] 図１Ｊと図１Ｋを参照されたい。これらの図は、わかりやすさのために、

ゲート電極２０６の最上面ドレイン側端位置からドレイン電極２０５の最上面ゲート側端位置を見た角度を図示したものである。

[0107] 図１Ｊは第２ソースフィールドプレートが比較的高い場合、図１Ｋは第２ソースフィールドプレートが比較的低い場合である。

[0108] 図１Ｊにおいて、ゲート電極２０６の最上面ドレイン側端位置から第２ソースフィールドプレートの最上面ゲート側端位置を見たときの仰角度θ１は、第２ソースフィールドプレートの最上面ゲート側端位置からドレイン電極２０５の最上面ゲート側端位置を見たときの仰角度θ２より大きい。つまり、仰角を用いて表現すると、θ１＞θ２となる。この関係にすることで、シールド効果を強めることができる。

[0109] 一方、図１Ｋでは、ゲート電極２０６の最上面ドレイン側端位置から、ドレイン電極の最上面ゲート側端位置を結んだ直線を考えたとき、第２ソースフィールドプレートの最上面が、その線を遮っていないことがわかる。つまり、仰角を用いて表現すると、θ１≦θ２となる。これでは、シールド効果が弱い。従って、θ１＞θ２が望ましい。

[0110] 次に、第１ソースフィールドプレートと第２ソースフィールドプレートの高さに関する条件について、図１Ｌと図１Ｍを用いて説明する。

[0111] 図１Ｌは第１ソースフィールドプレートの高さと第２ソースフィールドプレートの高さの差が大きい場合、図１Ｍは第１ソースフィールドプレートの高さと第２ソースフィールドプレートの高さの差が小さい場合である。

[0112] 仰角を用いて望ましい条件を表現すると、第１ソースフィールドプレートの下面ドレイン側端位置から、第２ソースフィールドプレートの下面ドレイン側端位置を見たときの仰角度θ３は、第２ソースフィールドプレートの下面ドレイン側端位置に最近接する第１窒化物半導体層と第２窒化物半導体層との界面位置からドレイン電極の最上面ゲート側端位置を見たときの仰角度θ０より小さい、つまり、θ３＜θ０である。

[0113] 以下、この理由を説明する。

[0114] 特にドレイン電極の高電圧領域では、２ＤＥＧ面２３０のうち、ソースフ

ィールドプレート２０９により空乏化されない部分は、図１Ｌの点Ｐ３よりドレイン電極２０５側の部分である。

[0115] 点Ｐ３は、ソースフィールドプレート２０９のドレイン電極側端部から、２ＤＥＧ面２３０に向かって下ろした線と、２ＤＥＧ面２３０との交点である。

[0116] この点Ｐ３とドレイン側上方部の点Ｐ４を結ぶ線上（仰角θ０）は、計算の結果、等電界となることがわかった。

[0117] この等電界線を基準線として、それと平行になるソースフィールドプレート２０９の点Ｐ１と点Ｐ２を結ぶ線上も等電界となる。点Ｐ１は、ソースフィールドプレート２０９の下段のドレイン側端部を示し、点Ｐ２は、ソースフィールドプレート２０９の上段のドレイン側端部を示す。

[0118] つまり、電界ピークを下げたい点Ｐ１は、点Ｐ２と同じ電界になっており、これでは点Ｐ１の電界緩和が不十分な状態となる。

[0119] 一方、図１Ｍにおいては、点Ｐ３と点Ｐ４を結んだ基準線に対し、平行になる点Ｐ２を含む線は、点Ｐ２と図中の点Ｐ５を結ぶ線となり、この線上では等電界となる。

[0120] 電界緩和をしたい点Ｐ１は、上記基準線からみたとき、この点Ｐ２と点Ｐ５を結んだ線より奥側（遠く）に見え、つまりは、点Ｐ２より低電界となる。点Ｐ２が、点Ｐ１の電界緩和をしている状態である。これがソースフィールドプレート２０９に対する電界緩和観点で好ましい形状条件である。この条件を仰角で表現すると、θ３＜θ０となる。

[0121] なお、ソースフィールドプレート２０９は、図１Ｃに示したように、第１ソースフィールドプレート（２０９Ａ）と、第２ソースフィールドプレート（２０９Ｂ）が分離されている構造でもよい。

[0122] （実施の形態３）

図１Ｄの電力増幅用半導体装置１１Ｂは、実施の形態３に係る電力増幅用半導体装置の構造を示す断面図である。

[0123] 図１Ｄに示すように、電力増幅用半導体装置１１Ｂは、基板２００と、半

導体積層体２２０と、ソース電極２０４と、ドレイン電極２０５と、ゲート電極２０６と、下層金属２０９Ｃと上層金属２０９Ｄからなるソースフィールドプレート２０９と、絶縁膜２０３Ａと、絶縁膜２０３Ｂと、絶縁膜２０８Ｂとを備える。

[0124] 既に、実施の形態１、形態２で述べたソースフィールドプレート２０９の形成方法では、製造方法上、ソースフィールドプレート２０９の第１ソースフィールドプレートと第２ソースフィールドプレートは、同じ金属膜厚となるが、第２ソースフィールドプレート上だけに、もう一工程追加して、金属を堆積すれば容易に形成できる構造である。

[0125] たとえば、下層金属２０９Ｃとして、ＴｉＮ、ＡＬ、ＴｉＮの３層を堆積した金属、上層金属２０９Ｄとして、低抵抗金属ＡＬを用いる。

[0126] ソースフィールドプレートの役割として、下層金属２０９Ｃも低抵抗である必要はあるので、下層金属２０９ＣのＡＬは、膜厚３００ｎｍ以上であることが望ましい。

[0127] ＜特徴と効果＞

この図１Ｄにおいては、第２ソースフィールドプレートの上だけに、第２ソースフィールドプレートより低電気抵抗率の金属層を有する構造を特徴とする。

[0128] 第１ソースフィールドプレートの金属の高さが低い構造により、ゲート金属の上部層２０６Ｂの側面とソースフィールドプレート２０９との間の寄生容量Ｃｇｓが低減される。

[0129] 一方、第２ソースフィールドプレートの金属の厚膜化により、低抵抗のソースフィールドプレート２０９が得られる。

[0130] ソースフィールドプレート２０９の抵抗が下がると、ソース電極２０４との接地が強くなり、高利得特性・高効率特性が得られる。

[0131] 図１Ｄからわかるとおり、下層金属２０９Ｃは、絶縁膜２０３Ａと絶縁膜２０３Ｂでつくられる段差の上に堆積される。

[0132] 堆積される金属は、一般に、段差の平坦部に堆積される方が、段差の側壁

部に堆積されるよりも、緻密で電気抵抗も低い、品質のよいものができる。

[0133] この理由から、ソースフィールドプレート２０９の抵抗を下げるために、下層金属２０９Ｃを厚膜化する場合、側壁部の金属膜厚を厚くすることは効果が低く、品質のよい平坦部のみを厚くした方がよい。この理由から、上段の第２ソースフィールドプレートのみに厚膜低抵抗金属である上層金属２０９Ｄを追加堆積する。

[0134] なお、下層金属２０９Ｃと上層金属２０９Ｄは、上記のように異種金属である必要はなく、同種金属でもかまわない。

[0135] たとえば、はじめに下層金属２０９ＣにＡＬからなる金属を堆積した後、上層金属２０９Ｄとして、ＡＬを再度堆積すればよい。

[0136] （実施の形態４）

図１Ｂの電力増幅用半導体装置１１は、実施の形態４に係る電力増幅用半導体装置の構造を示す断面図である。

[0137] 図１Ｂに示すように、電力増幅用半導体装置１１は、基板２００と、半導体積層体２２０と、ソース電極２０４と、ドレイン電極２０５と、ゲート電極２０６と、ソースフィールドプレート２０９と、絶縁膜２０３Ａと、絶縁膜２０３Ｂと、絶縁膜２０８Ｂとを備える。

[0138] 表１は、電力増幅用半導体装置１１の絶縁膜２０３Ｂ、２０８Ｂの組み合わせを表す。

[0139] [表1]

組み合わせ	A	B	C
絶縁膜208B	Si_3N_4	Si_3N_4	SiO_2
絶縁膜203B	Si_3N_4	SiO_2	Si_3N_4

[0140] 実施の形態１から３の電力増幅用半導体装置の構造について説明してきた絶縁膜２０３Ｂ、２０８Ｂは、表１の絶縁膜の組み合わせＡの場合であって、下層の絶縁膜２０３ＢはSi_3N_4からなるもので、上層の絶縁膜２０８ＢはSi_3N_4からなるものである。

[0141] しかし、絶縁膜であれば、必ずしもSi_3N_4である必要はなく、より低誘電率のSiO_2も可能である。一般に、Si_3N_4の比誘電率は約７、SiO_2の比誘電率は約４であり、SiO_2の方が低誘電率な絶縁膜である。ほかに低誘電率の絶縁膜としては、ＯとＮが混晶されたＳｉＯＮもあり、これも低誘電率膜としての候補となる。本明細書ではSiO_2を例に記述する。

[0142] 実施の形態４は、表１の絶縁膜の組み合わせＢの場合、前記下層の絶縁膜２０３ＢだけSiO_2に変更した場合である。製造方法は、図３Ａから図３Ｒを用いて説明した実施の形態２の方法と同じであり、説明を省略する。堆積温度条件、エッチング時間条件は、膜質変更に伴って発生するが、Si_3N_4、SiO_2に対する一般的な堆積、エッチング条件を用いればよい。

[0143] ＜特徴と効果＞

この構造（図１Ｂ、表１のＢの組み合わせ）によって、第２のソースフィールドプレートと２ＤＥＧ面２３０との寄生容量Ｃｄｓを、より低減できる効果がある。

[0144] なお、図１Ｂの表１の絶縁膜の組み合わせＣのように、絶縁膜２０３ＢをSi_3N_4、絶縁膜２０８ＢをSiO_2とした場合でも、上記と同様の効果が得られる。

[0145] （実施の形態５）

図１Ｅの電力増幅用半導体装置１１Ｃは、実施の形態５に係る電力増幅用半導体装置の構造を示す断面図である。

[0146] 図１Ｅに示すように、電力増幅用半導体装置１１Ｃは、基板２００と、半導体積層体２２０と、ソース電極２０４と、ドレイン電極２０５と、ゲート電極２０６と、ソースフィールドプレート２０９と、絶縁膜２０３Ａと、絶縁膜２０３Ｂと、絶縁膜２０３Ｃと、絶縁膜２０８Ｂと、を備える。

[0147] この実施の形態５では、まず、実施の形態２で示した階段状のソースフィールドプレート構造の製造方法とは異なる別の製造方法について説明する。

[0148] この製造方法は、サイドウォールプロセスと言われるものである。０．２５μｍ以下の微細なゲート寸法を、製造スループットが悪く、高コストの電

子ビーム（ＥＢ）描画法を用いずに形成する場合に、しばしば採用される製造方法である。

[0149] 図４Ａ～図４Ｕを参照しながら説明する。

[0150] 図４Ａ～図４Ｕは、それぞれ、製造途上における電力増幅用半導体装置１１Ｃの構造を示す断面図である。

[0151] 図４Ｅまでは、既に述べた図２Ａから図２Ｅまでの製造方法と同じであり、説明を省略する。

[0152] 図４Ｆに示すように、ゲート電極２０６を形成する領域に、フォトレジストでパターニングをして、絶縁膜２０３Ｂ、絶縁膜２０３Ａを連続してエッチングして、開口部４５０を形成する。そのとき、半導体積層体２２０最表面が露出するまで行う。

[0153] 次に、図４Ｇに示すように、全面に絶縁膜２０３Ｃを堆積する。開口部４５０の側面（サイド）に絶縁膜２０３Ｃの壁（ウォール）ができる。

[0154] 次に、図４Ｈに示すように、ゲート電極２０６を形成する領域が開口されるように、レジストマスク４００を形成する。

[0155] 次に、図４Ｉに示すように、そのレジストマスク４００を用いて、絶縁膜２０３Ｃを絶縁膜２０３Ｂの面が出るまでエッチングする。そのとき、図４Ｉのように、開口部４５０、２０３Ｂ、２０３Ａの側面（サイド）の２０３Ｃの壁（ウォール）のみ残る。そのサイドウォール間の寸法は、もともとの開口部４５０の寸法より、ウォール分だけ短縮する。

[0156] このように、微細化寸法を実現する製造方法がサイドウォールプロセスである。

[0157] 有機溶剤でレジストマスク４００の除去をすれば、図４Ｊのような形状が形成される。

[0158] 次に、図４Ｋから図４Ｑで示すように、既に述べた図２Ｈから図２Ｎまでと同じ製造方法により、ゲート電極２０６を形成する。

[0159] 次に、図４Ｒに示すように、絶縁膜２０８Ｂを全面に堆積する。

[0160] 次に、図４Ｓに示すように、ソースフィールドプレート２０９を図のよう

に、既に説明した方法で堆積する。

[0161] そして、図４Ｔから図４Ｕに示すように、実施の形態１の図２Ｑから図２Ｒで説明した工程と同じ製造方法でソース電極２０４、ドレイン電極２０５を形成し、電力増幅用半導体装置１１Ｃが完成する。

[0162] ＜特徴と効果＞

表２に絶縁膜２０８Ｂと絶縁膜２０３Ｃの組み合わせの一例を示す。

[0163] [表2]

組み合わせ	D	E
絶縁膜208B	Si_3N_4	Si_3N_4
絶縁膜203C	Si_3N_4	SiO_2

[0164] 表２の絶縁膜の組み合わせＤのように、下層の絶縁膜２０３ＣをSi_3N_4からなるもの、上層の絶縁膜２０８ＢをSi_3N_4からなるものとした場合は、既に実施の形態２で述べた図１Ｂの表１の組み合わせＡと、結果として、変わらず、同じ構造を形成する第２の製造方法を与えるものである。

[0165] 一方、表２の絶縁膜の組み合わせＥのように、下層の絶縁膜２０３ＣをSiO_2からなるもの、上層の絶縁膜２０８ＢをSi_3N_4からなるものとした場合は、製造方法上、ゲート電極２０６の側面（サイドウォール部）は絶縁膜２０３Ｃと同じ材料になるため、ゲート電極２０６の側面にSiO_2が形成されることになる。

[0166] この構造により、ゲート電極に関わる寄生容量Ｃｇｓ、Ｃｇｄが低減されて高利得が得られる。

[0167] （実施の形態６）

図１Ｆの電力増幅用半導体装置１１Ｄは、実施の形態６に係る電力増幅用半導体装置の構造を示す断面図である。

[0168] 図１Ｆに示すように、電力増幅用半導体装置１１Ｄは、基板２００と、半導体積層体２２０と、ソース電極２０４と、ドレイン電極２０５と、ゲート

電極２０６と、ソースフィールドプレート２０９と、絶縁膜２０３Ａと、絶縁膜２０３Ｂと、絶縁膜２０８Ｃとを備える。絶縁膜２０３Ａが第１絶縁層、絶縁膜２０８Ｃが第２絶縁層に相当する。

[0169] 次に、電力増幅用半導体装置１１Ｄの製造方法について、図５Ａ～図５Ｕを参照しながら説明する。

[0170] 図５Ａ～図５Ｕは、それぞれ、製造途上における電力増幅用半導体装置１１Ｄの構造を示す断面図である。

[0171] ゲート電極２０６を形成するまでは、既に述べた図２Ａから図２Ｎまでの製造方法と同じであり、説明を省略する。

[0172] 図５Ｏは、ゲート電極２０６が形成された後に、SiO_2からなる絶縁膜２０８Ｃを全面に堆積した状態を示すものである。

[0173] 図５Ｐは、第１ソースフィールドプレート開口部５５０が開口されるようにフォトレジスト用のレジストマスク５００をパターニングした図である。

[0174] 次に、図５Ｑは、フォトレジスト用のレジストマスク５００をマスクに、絶縁膜２０８Ｃをエッチングした状態を示す。例えば、絶縁膜２０８Ｃは、SiO_2を含むため、バッファード（緩衝）フッ酸でエッチングすれば、その下層の絶縁膜２０３Ａが、フッ酸に対してエッチングレートの遅いSi_3N_4であるので、選択的に制御性良くエッチング加工が可能となる。絶縁膜２０８Ｃをエッチングして、フォトレジストを除去した状態が図５Ｒである。

[0175] 次に、これまでと同じ方法で、ソースフィールドプレート２０９を形成すると、図５Ｓのようになる。図５Ｓにおいて、ソースフィールドプレート２０９のゲート側が、絶縁膜２０８Ｃを被覆した構造になっているのは、図５Ｒのコンタクト窓よりもソースフィールドプレート２０９のパターニング用のマスクが大きなサイズであるからである。

[0176] 既に述べたように、ソース・ドレイン部にコンタクトを開け、配線を行えば、図５Ｕのように電力増幅用半導体装置１１Ｄが完成する。

[0177] ＜特徴と効果＞

絶縁膜２０８Ｃは、第１ソースフィールドプレートの下方で開口部５５０

を有し、第１ソースフィールドプレートは、開口部５５０を経由して、絶縁膜２０３Ａに接触する構造となる。このとき、第１ソースフィールドプレートの最下面位置は、下部層２０６Ａの絶縁膜２０３Ａと接する下面位置と同じ高さ位置となる。よって、下部層２０６Ａのドレイン端位置の電界緩和効果は強くなる。また、ソースフィールドプレート２０９によるＣｇｄ低減効果も大きく、低Ｃｇｄによる高利得化を図ることができる。

[0178] しかし、トレードオフとして、前記最下面位置は、２ＤＥＧ面２３０と近接するため寄生容量Ｃｄｓが増大しやすい。そこで、実施の形態２で述べたように、その場合は、ソースフィールドプレート２０９最下面の長さＬＦ１を短くすればよく、弱くなる電界緩和効果は、階段状の上段の第２ソースフィールドプレートの長さＬＦ２を長くして補正すればよい。

[0179] たとえ、ＬＦ２を長くしても、絶縁膜２０８Ｃが低誘電率の膜であるので、半導体面との寄生容量Ｃｄｓの増大は緩く、効率特性は犠牲にならない。

[0180] このように、この電力増幅用半導体装置１１Ｄの構造は、従来、発生していたＣｇｄとＣｄｓのトレードオフを改善し、特性バランスに優れた電力増幅用半導体装置を提供することが可能になる。

[0181] （実施の形態７）

図１Ｇの電力増幅用半導体装置１１Ｅは、実施の形態７に係る電力増幅用半導体装置の構造を示す断面図である。

[0182] 図１Ｇに示すように、電力増幅用半導体装置１１Ｅは、基板２００と、半導体積層体２２０と、ソース電極２０４と、ドレイン電極２０５と、ゲート電極２０６と、ソースフィールドプレート２０９と、絶縁膜２０３Ａと、絶縁膜２０３Ｂと、絶縁膜２０８Ｂ、保護膜２１０とを備える。保護膜２１０は、ソースフィールドプレート２０９を保護する絶縁膜である。

[0183] 実施の形態３で述べた製造方法で、階段状のソースフィールドプレート２０９を形成したのちに、例えば低誘電率のSiO_2からなる絶縁膜２１０を堆積することで、電力増幅用半導体装置１１Ｅを形成することができる。

[0184] ＜特徴と効果＞

階段状のソースフィールドプレート２０９の上段側のＹ方向に平行な面は、ドレイン電極２０５のＹ方向に平行な面と対向しており、ドレイン電極が近接する場合、電極同士の寄生容量Ｃｄｓが無視できなくなる。

[0185] ソースフィールドプレート２０９の保護膜２１０は、Si_3N_4からなるものが一般的であるが、上記寄生容量Ｃｄｓは、比誘電率に比例するため、上記保護膜の誘電率は、低いほど望ましい。そこで、実施の形態７では、保護膜２１０を通常のSi_3N_4から低誘電率のSiO_2に置き換えた構造を特徴とする。

[0186] 今後、ＧａＮ　ＦＥＴの応用として、現在主流の周波数６ＧＨｚ以下の基地局向けパワーアンプだけでなく、更に高周波帯のミリ波帯にて応用する場合、または、モバイル端末向けに、より低電圧の応用をする場合に、ゲート・ドレイン間距離が短縮され、ドレイン電極がソースフィールドプレート２０９に近接する。

[0187] 実施の形態７のように、寄生容量Ｃｄｓが増加しない絶縁膜構造であれば、上記短縮されたゲート・ドレイン間距離においても、高効率特性が得られ、ミリ波応用、モバイル端末向け低電圧応用に効果がある。

[0188] （実施の形態８）

図１Ｈの電力増幅用半導体装置１０Ａは、実施の形態８に係る電力増幅用半導体装置の構造を示す断面図である。

[0189] 図１Ｈに示すように、電力増幅用半導体装置１０Ａは、基板２００と、半導体積層体２２０と、ソース電極２０４と、ドレイン電極２０５と、ゲート電極２０６と、ソースフィールドプレート２０９と、絶縁膜２０３Ａと、絶縁膜２０３Ｂと、絶縁膜２０８とを備える。

[0190] 下部層２０６Ａと、その下部層の上に形成された、下部層より低電気抵抗率の上部層２０６Ｂの２層からなるゲート電極２０６のうち、下部層２０６ＡのＸ方向の長さは、ドレイン側に非対称に長くされた場合である。たとえば、実施の形態１の製造方法を説明した図２Ｌにおいて、図２Ｌの下部層２０６Ａのパターニング用マスクであるレジストマスク２１０Ｂをドレイン側

が長くなるように調整してやれば、ドレイン側に非対称に長くすることができる。

[0191] ＜特定事項と効果＞

このとき、ゲート電極２０６は、ドレイン側に下部層２０６Ａからなる突起部をもつものとなる。上記突起部は、ソースフィールドプレート２０９の最下面より下に位置することになる。この形状により、電界がもっとも強くなる下部層２０６Ａのドレイン側端部は、ソースフィールドプレート２０９に完全に保護されるため、電界緩和は効果的となる。

[0192] 上記突起部がソースフィールドプレート２０９下部へ潜り込み量は、図１１のように、ソースフィールドプレート２０９のゲート端位置から下部層２０６Ａのドレイン端までの長さＬＥとなる。この長さＬＥは、ソースフィールドプレート２０９の最下面の長さＬＦ１を超えてはならない。超える場合、ソースフィールドプレートが実効的に半導体積層体２２０からみるとシールドされて効果がなくなってしまうからである。好ましくは、上記突起部の潜り込み量ＬＥは、ソースフィールドプレート２０９の最下面の長さＬＦ１の半分以下である。

[0193] なお、図１１の電力増幅用半導体装置１１Ｆに示すように、図１Ｂに示した実施の形態２の電力増幅用半導体装置１１に、上記下部層２０６Ａの突起が設けられてもよく、同様の効果が得られる。

[0194] （補足）

以上、本開示の一態様に係る電力増幅用半導体装置について、実施の形態１～実施の形態８に基づいて説明したが、本開示は、これら実施の形態に限定されるものではない。本開示の趣旨を逸脱しない限り、当業者が思いつく各種変形をこれら実施の形態に施したものや、異なる実施の形態における構成要素を組み合わせて構築される形態も、本開示の１つまたは複数の態様の範囲内に含まれてもよい。

産業上の利用可能性

[0195] 本開示は、電力増幅用半導体装置に広く利用可能である。

符号の説明

[0196] １０、１０Ａ、１１、１１Ｂ、１１Ｃ、１１Ｄ、１１Ｅ　電力増幅用半導体装置

２００　基板

２０１　第１窒化物半導体層

２０２　第２窒化物半導体層

２０３Ａ、２０３Ｂ、２０３Ｃ、２０８、２０８Ｂ、２０８Ｃ　絶縁膜

２１０　保護膜

２０４　ソース電極

２０４Ａ、２０５Ａ　オーミック部

２０４Ｂ、２０５Ｂ　バリアメタル部

２０４Ｃ、２０５Ｃ　配線

２０５　ドレイン電極

２０６　ゲート電極

２０６Ａ　下部層

２０６Ｂ　上部層

２０９、２０９Ａ、２０９Ｂ　ソースフィールドプレート

２０９Ｃ　下層金属

２０９Ｄ　上層金属

２１０Ａ、２１０Ｂ、４００、５００　レジストマスク

２２０　半導体積層体

２３０　２ＤＥＧ面（２次元電子ガス面）

２４０Ａ、２４０Ｂ　オーミック電極開口部

２５０、３５０、４５０、５５０　開口部

２７０Ａ、２７０Ｂ　コンタクト部

ＨＧ、ＨＳ１、ＨＳ２　半導体積層体最上面を原点としたときの電極高さ

ＬＦ１、ＬＦ２　ソースフィールドプレートの辺の長さ

θ０、θ１、θ２、θ３　電極の高さ関係を表す仰角

Ｐ１、Ｐ２、Ｐ３、Ｐ４、Ｐ５　電極の頂点

Ｘ１、Ｘ２、Ｘ３　Ｘ方向の位置

請求の範囲

[請求項1] 基板と、

前記基板の上に形成された第１窒化物半導体層と、

前記第１窒化物半導体層の上に形成された前記第１窒化物半導体層よりバンドギャップの大きい第２窒化物半導体層と、

前記第２窒化物半導体層の上に形成された第１絶縁層と、

前記第２窒化物半導体層の上に互いに間隔を空けて形成されたソース電極およびドレイン電極と、

前記ソース電極と前記ドレイン電極との間において、前記第１絶縁層の上に接触して形成され、かつ前記第１絶縁層に形成された第１開口部を経由して前記第２窒化物半導体層の上面にショットキー接合して形成されたゲート電極と、

前記ゲート電極と前記ドレイン電極との間の前記第２窒化物半導体層の上に形成され、前記ソース電極と同電位が与えられた第１ソースフィールドプレートと、を有し、

前記基板上面の垂直方向である第１方向において、

前記第１ソースフィールドプレートの最下面位置は、前記ゲート電極と接触した前記第１絶縁層の上面位置と同一または上方であり、

前記ゲート電極に最近接する前記第１ソースフィールドプレート側面の上端位置は、前記ゲート電極の最上面位置より下方である

電力増幅用半導体装置。

[請求項2] 更に、前記第１ソースフィールドプレートと前記ドレイン電極との間に、前記ソース電極と同電位が与えられた第２ソースフィールドプレートを有し、

前記第１方向において、前記第２ソースフィールドプレートの上面は前記第１ソースフィールドプレートの上面より上方にあり、

前記第１方向において、前記第２ソースフィールドプレートの下面は前記第１ソースフィールドプレートの最下面より上方にある

請求項１に記載の電力増幅用半導体装置。

[請求項3] 前記第１方向において、前記第２ソースフィールドプレートの上面位置は前記ゲート電極の最上面位置より上方にある

請求項２に記載の電力増幅用半導体装置。

[請求項4] 前記ゲート電極の最上面ドレイン側端位置から前記第２ソースフィールドプレートの最上面ゲート側端位置を見たときの仰角度は、前記第２ソースフィールドプレートの最上面ゲート側端位置から前記ドレイン電極の最上面ゲート側端位置を見たときの仰角度より大きい

請求項３に記載の電力増幅用半導体装置。

[請求項5] 前記第１ソースフィールドプレートの上部と前記第２ソースフィールドプレートの下部とが連結されている

請求項２に記載の電力増幅用半導体装置。

[請求項6] 更に、前記第２ソースフィールドプレートの上に前記第２ソースフィールドプレートより低電気抵抗率の金属層を有し、

前記第１ソースフィールドプレートの上に前記金属層を有さない

請求項２に記載の電力増幅用半導体装置。

[請求項7] 前記ゲート電極から前記ドレイン電極に向かう第２方向において、前記第２ソースフィールドプレートの下面の長さは、前記第１ソースフィールドプレートの下面の長さより長い

請求項２に記載の電力増幅用半導体装置。

[請求項8] 前記第１ソースフィールドプレートの下面ドレイン側端位置から前記第２ソースフィールドプレートの下面ドレイン側端位置を見たときの仰角度は、前記第２ソースフィールドプレートの下面ドレイン側端位置に最近接する前記第１窒化物半導体層と第２窒化物半導体層との界面位置から前記ドレイン電極の最上面ゲート側端位置を見たときの仰角度より小さい

請求項２に記載の電力増幅用半導体装置。

[請求項9] 更に、前記第２ソースフィールドプレートと前記第１絶縁層との間

に、前記第１絶縁層より低誘電率の第２絶縁層を有する

請求項２に記載の電力増幅用半導体装置。

[請求項10] 前記第２絶縁層は前記第１ソースフィールドプレートの下方で第２開口部を有し、

前記第１ソースフィールドプレートは、前記第２開口部を経由して前記第１絶縁層に接触している

請求項９に記載の電力増幅用半導体装置。

[請求項11] 更に、前記第１ソースフィールドプレートと前記第１絶縁層との間に、前記第１絶縁層より低誘電率の第２絶縁層を有する

請求項２に記載の電力増幅用半導体装置。

[請求項12] 更に、前記第１開口部の周縁に前記第２絶縁層の構成材料と同一材料の挿入層を有する

請求項９に記載の電力増幅用半導体装置。

[請求項13] 前記第２ソースフィールドプレートと前記ドレイン電極との間に、前記第１絶縁層より低誘電率の第２絶縁層を有する

請求項２に記載の電力増幅用半導体装置。

[請求項14] 前記ゲート電極は、下部層と、前記下部層の上に形成された、前記下部層より低電気抵抗率の上部層とからなる

請求項１に記載の電力増幅用半導体装置。

[請求項15] 前記ゲート電極は、前記ゲート電極から前記ドレイン電極に向かう第２方向に突出した突起部を有し、

前記基板の平面視において、前記突起部の前記ドレイン電極側端位置は、前記第１ソースフィールドプレート下面の前記ゲート電極側端位置より前記ドレイン電極側である

請求項１４に記載の電力増幅用半導体装置。

[請求項16] 前記平面視において、前記突起部の前記ドレイン電極側端位置は、前記第１ソースフィールドプレート下面の前記ドレイン電極側端位置より前記ゲート電極側に位置する

請求項１５に記載の電力増幅用半導体装置。

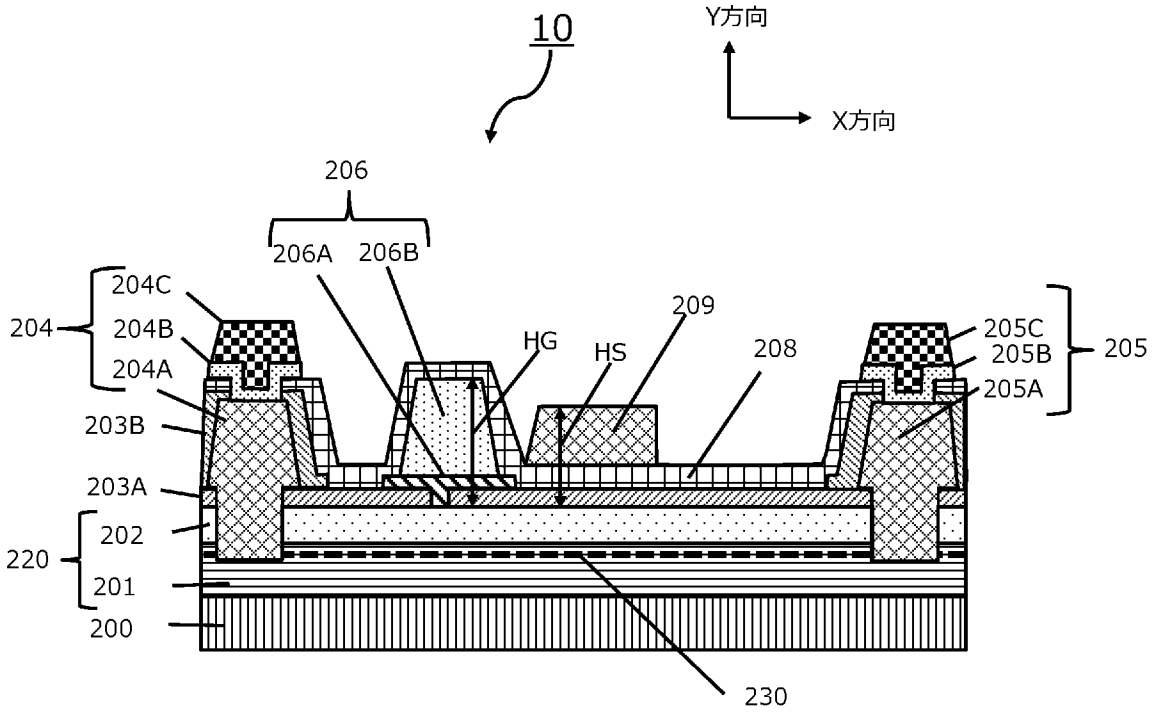
[請求項17] 前記平面視において、前記第２方向における前記突起部と前記第１ソースフィールドプレート下面との重なりの長さは、前記第１ソースフィールドプレート下面の長さの１／２以下である

請求項１６に記載の電力増幅用半導体装置。

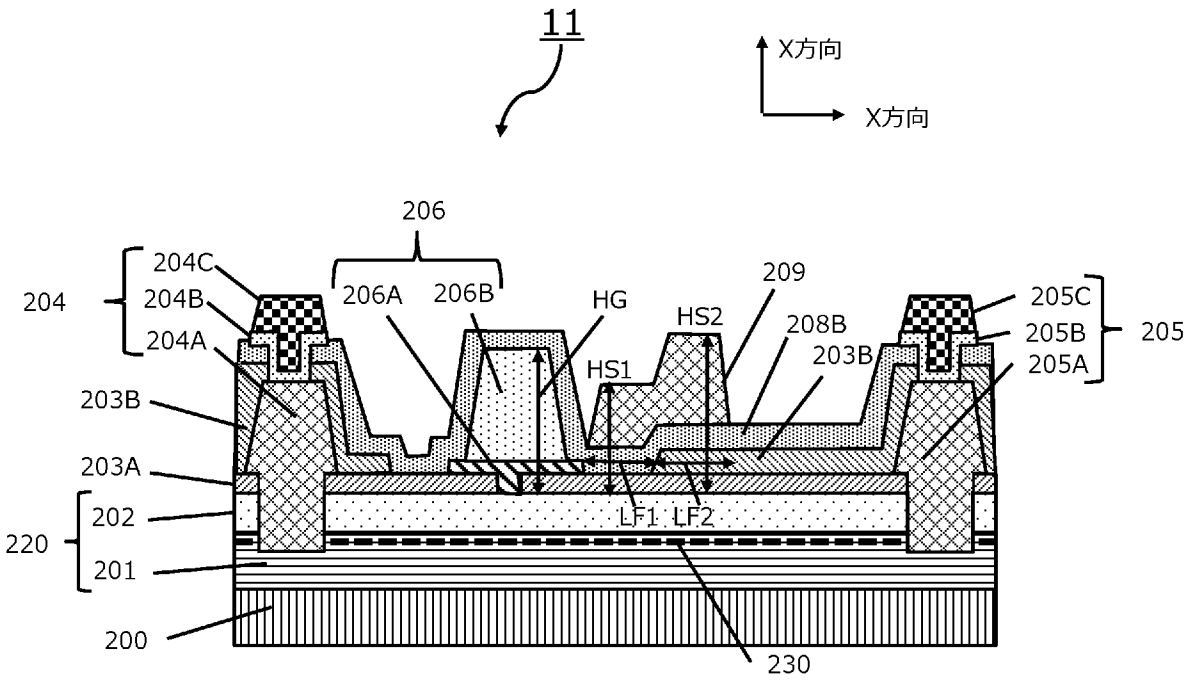
[請求項18] 前記突起部は、前記下部層の一部である

請求項１５に記載の電力増幅用半導体装置。

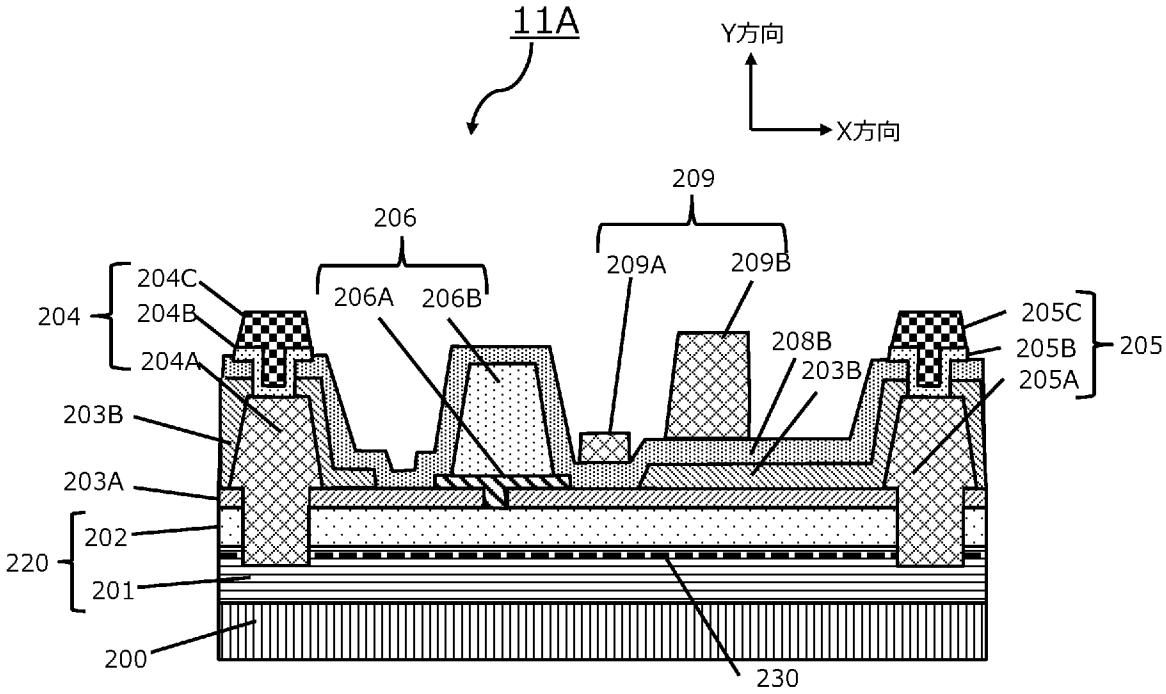
[図1A]


10
Y方向
X方向
206
206A
206B
204C
204
204B
204A
203B
203A
202
220
201
200
HG
HS
209
208
205C
205B
205
205A
230

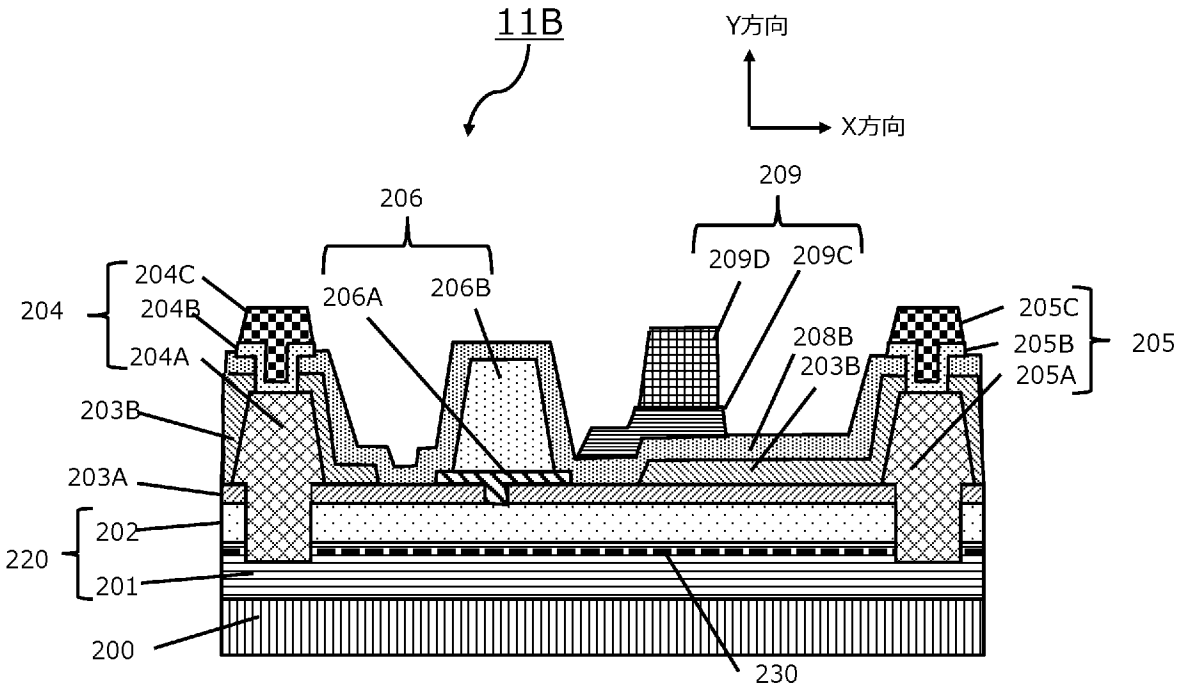
[図1B]


11
X方向
X方向
206
206A
206B
204C
204
204B
204A
203B
203A
202
220
201
200
HG
HS1
HS2
209
208B
203B
205C
205B
205
205A
LF1
LF2
230

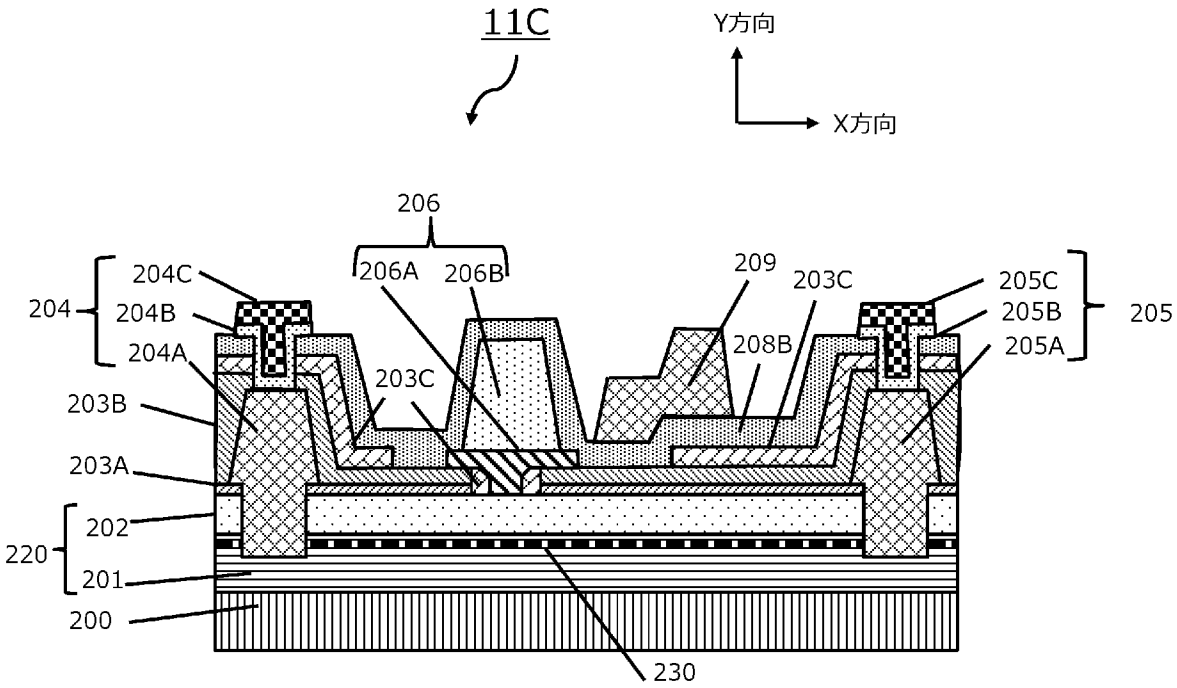
[図1C]


11A
Y方向
X方向
209
206
209A
209B
204C
204B
204A
204
206A
206B
205C
205B
205
205A
208B
203B
203B
203A
202
220
201
200
230

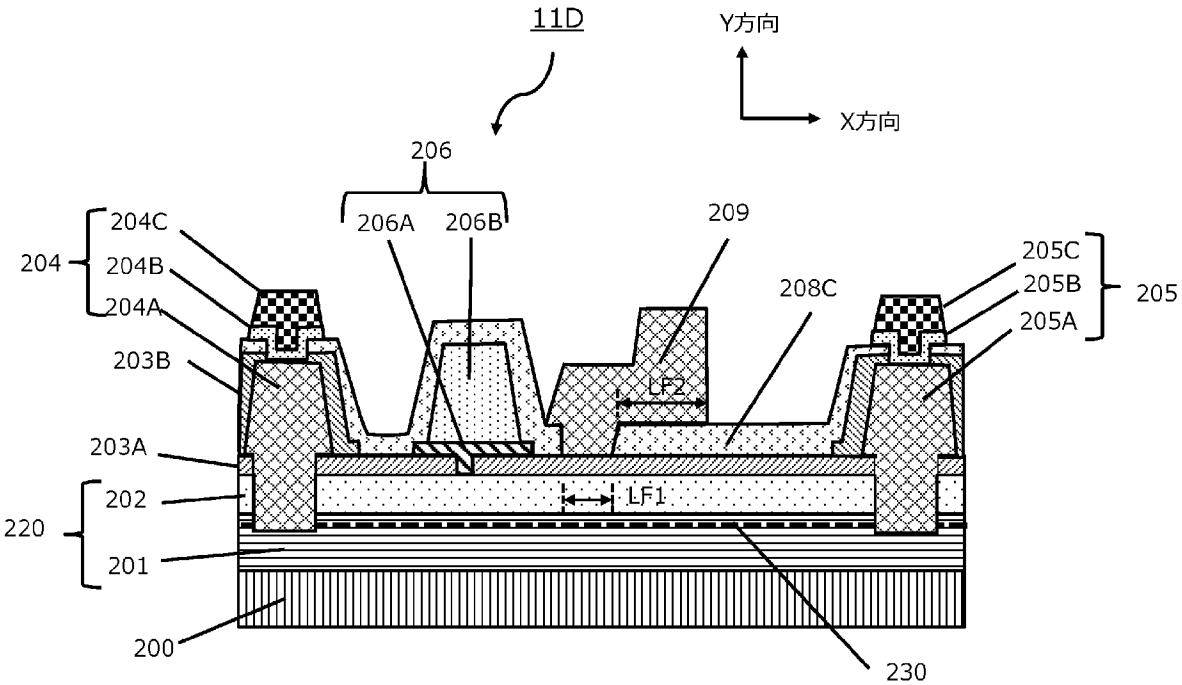
[図1D]


11B
Y方向
X方向
209
206
209D
209C
204C
204B
204A
204
206A
206B
205C
205B
205
205A
208B
203B
203B
203A
202
220
201
200
230

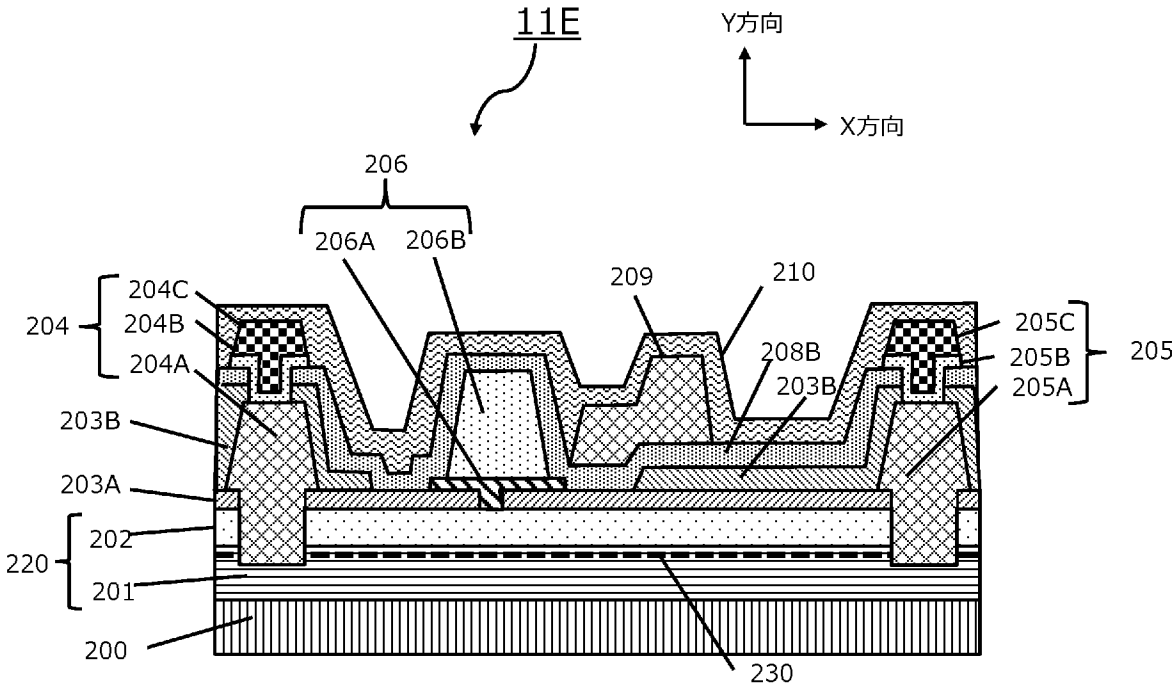
[図1E]


11C
Y方向
X方向
206
206A
206B
204C
204
204B
204A
203B
203A
202
220
201
200
209
203C
208B
205C
205B
205A
205
230

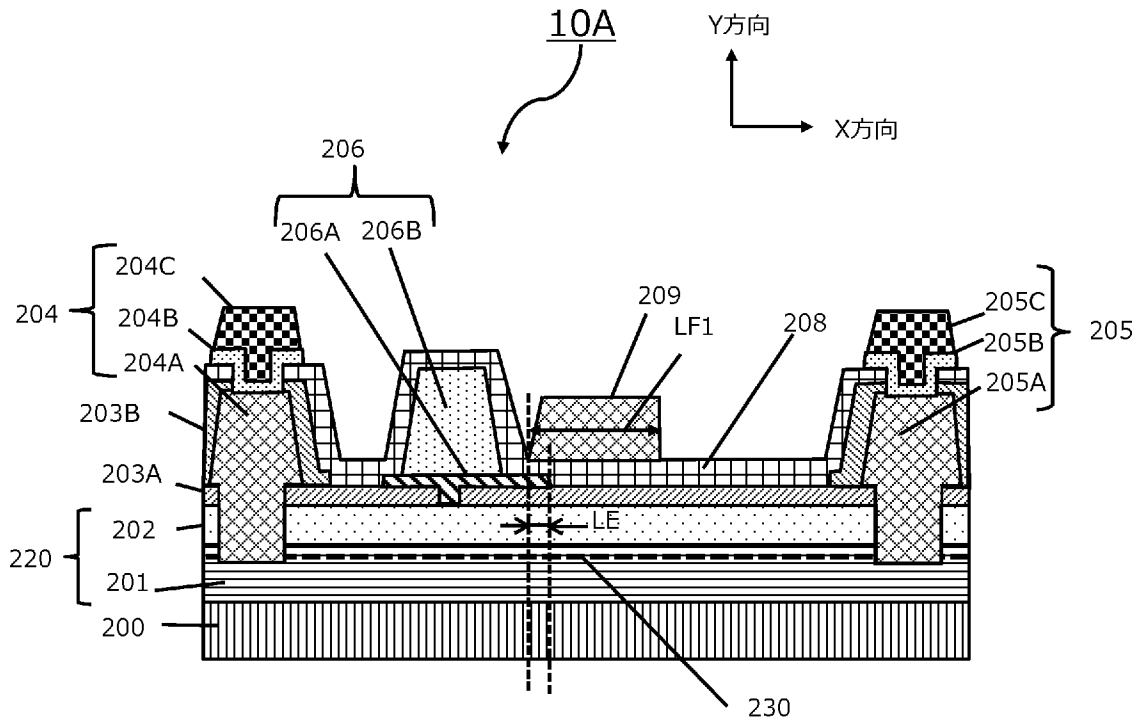
[図1F]


11D
Y方向
X方向
206
206A
206B
204C
204
204B
204A
203B
203A
202
220
201
200
209
208C
205C
205B
205A
205
LF2
LF1
230

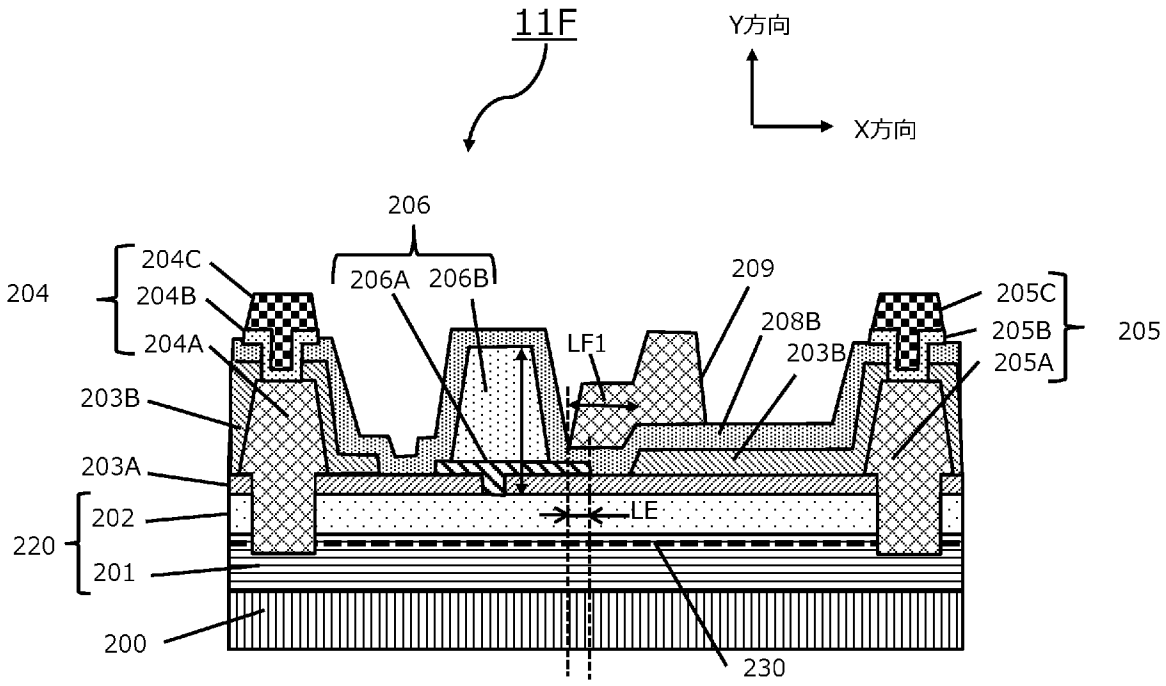
[図1G]


11E
Y方向
X方向
206
206A
206B
209
210
204C
204
204B
204A
205C
205B
205A
205
208B
203B
203B
203A
202
220
201
200
230

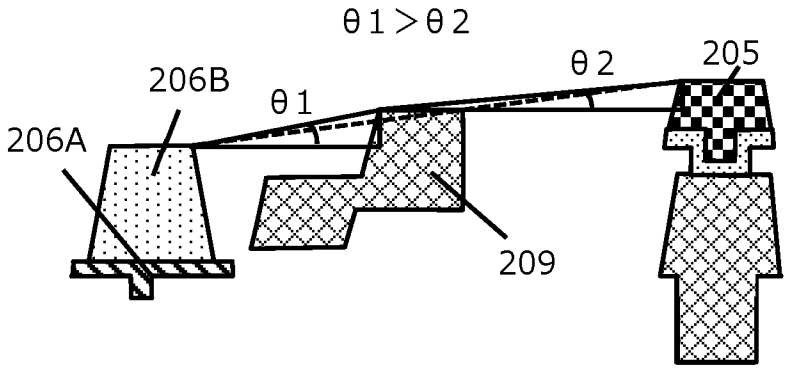
[図1H]


10A
Y方向
X方向
206
206A
206B
204C
204
204B
204A
209
LF1
208
205C
205B
205A
205
203B
203A
202
LE
220
201
200
230

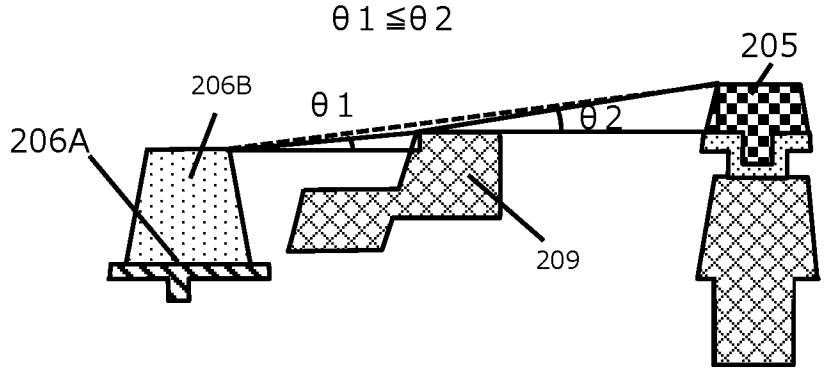
[図1I]


11F
Y方向
X方向
206
204C
204B
204A
204
206A
206B
209
208B
203B
LF1
205C
205B
205A
205
203B
203A
202
220
201
200
LE
230

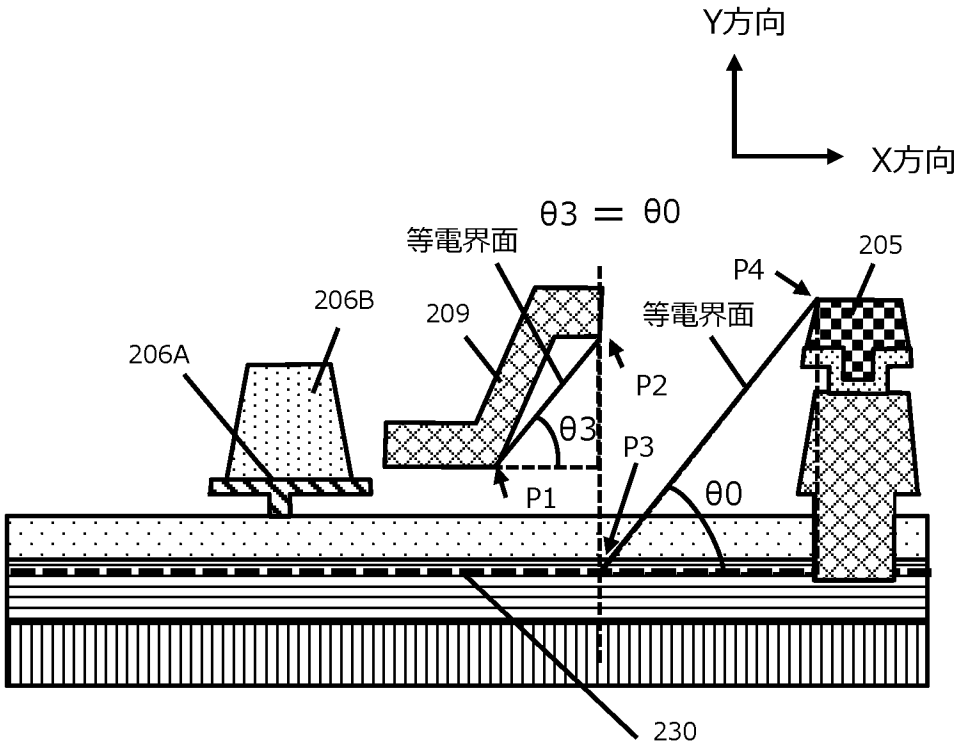
[図1J]


θ1＞θ2
206B
206A
θ1
θ2
205
209

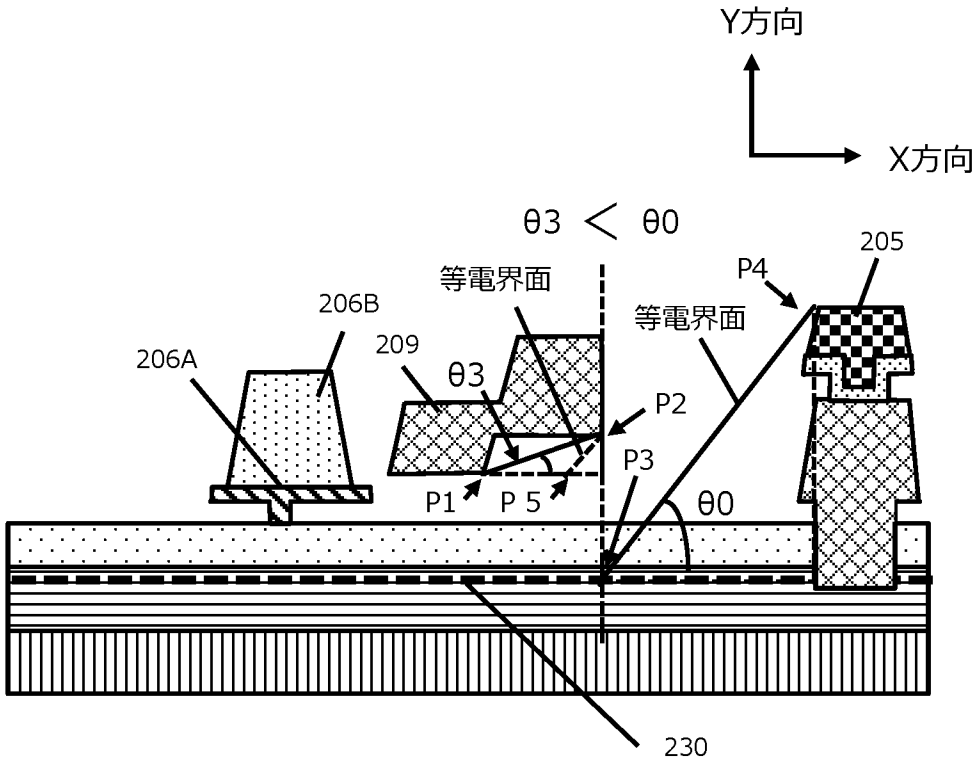
[図1K]


θ1≦θ2
206B
206A
θ1
θ2
205
209

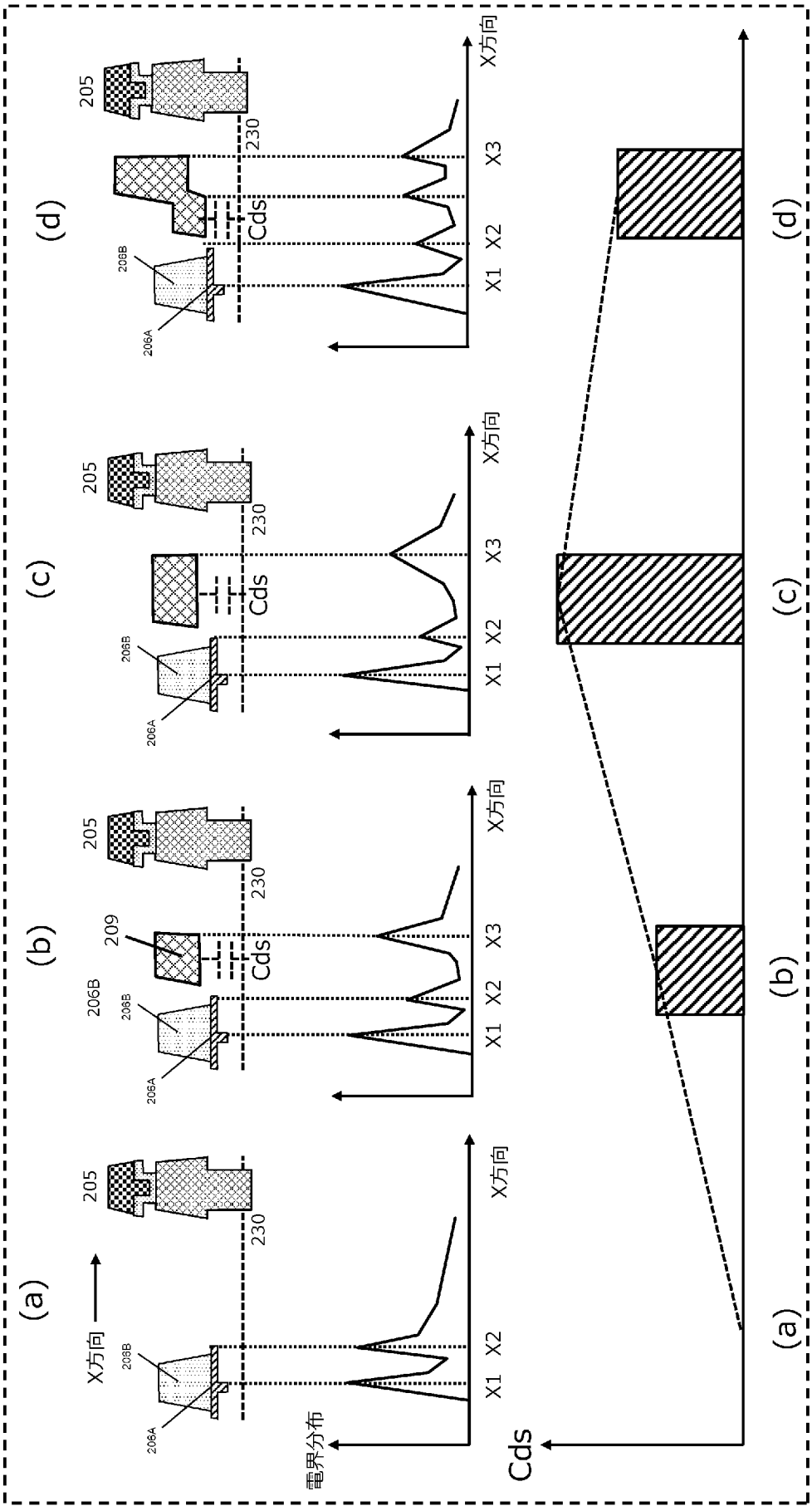
[図1L]


Y方向
X方向
θ3 = θ0
等電界面
205
P4
206B
209
等電界面
206A
P2
θ3
P3
P1
θ0
230

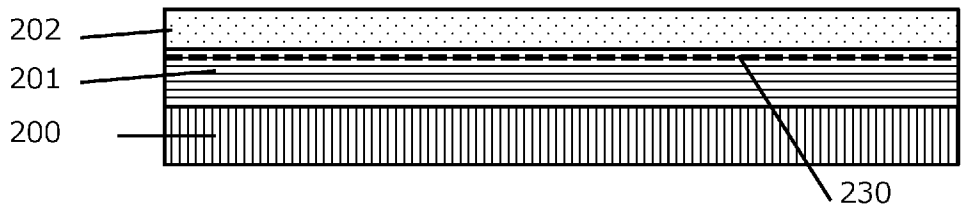
[図1M]


Y方向
X方向
θ3 < θ0
205
P4
等電界面
206B
等電界面
209
206A
θ3
P2
P3
P1
P 5
θ0
230

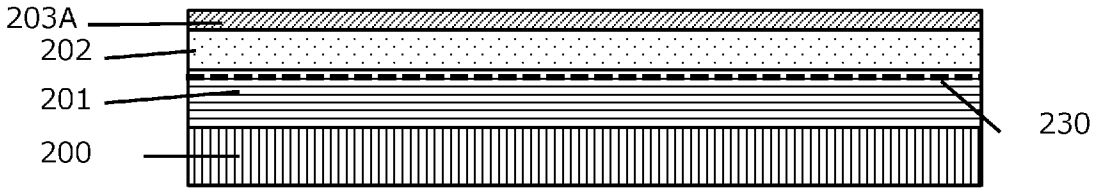
[図1N]



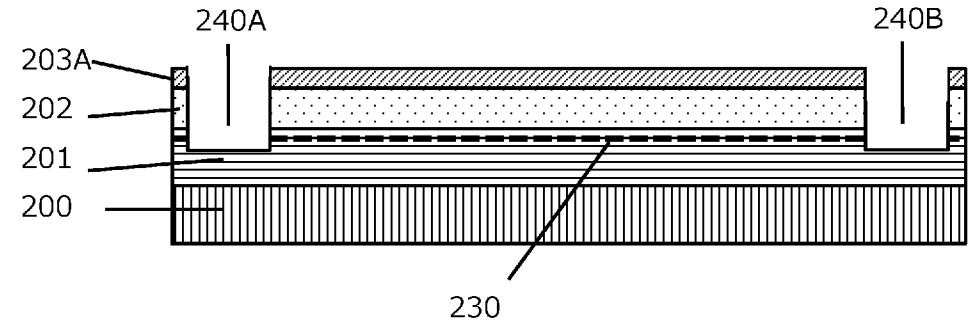
[図2A]



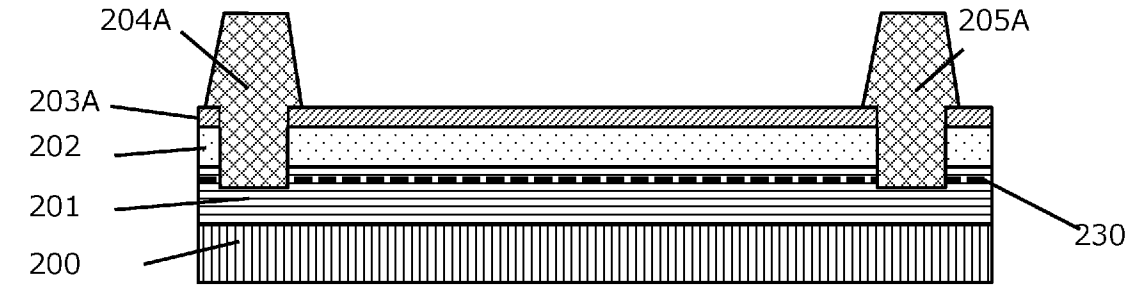
[図2B]



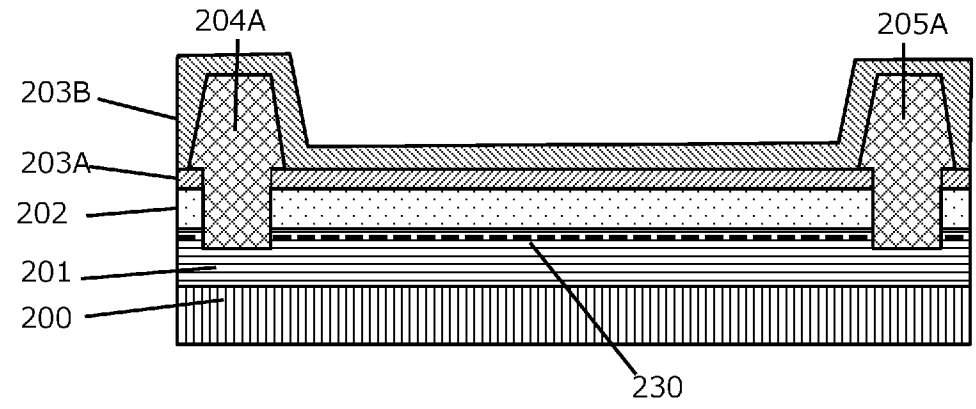
[図2C]



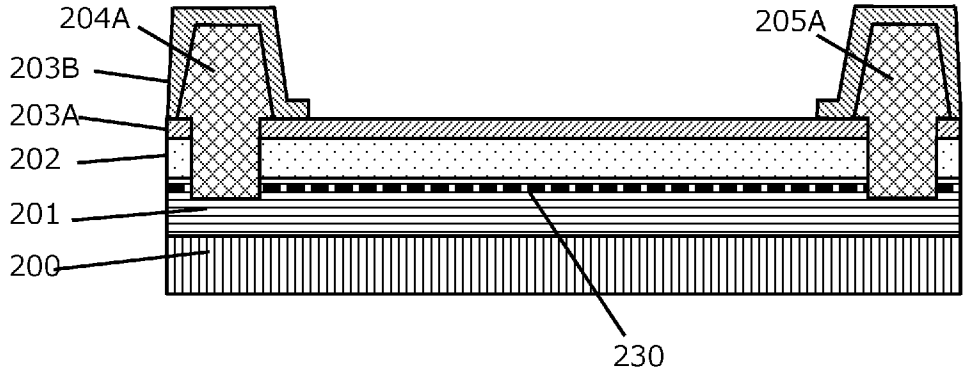
[図2D]



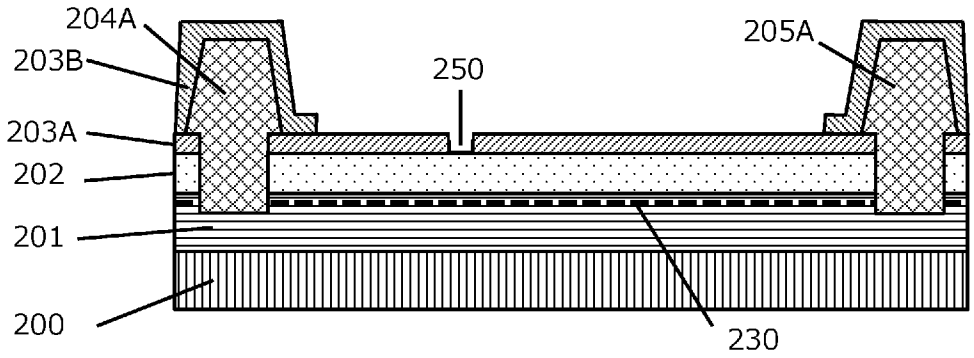
[図2E]



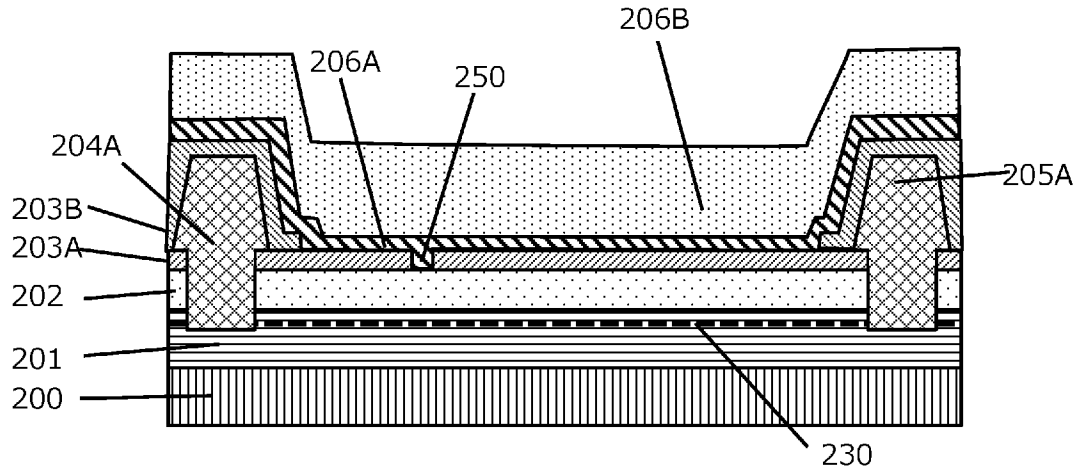
[図2F]


204A
205A
203B
203A
202
201
200
230

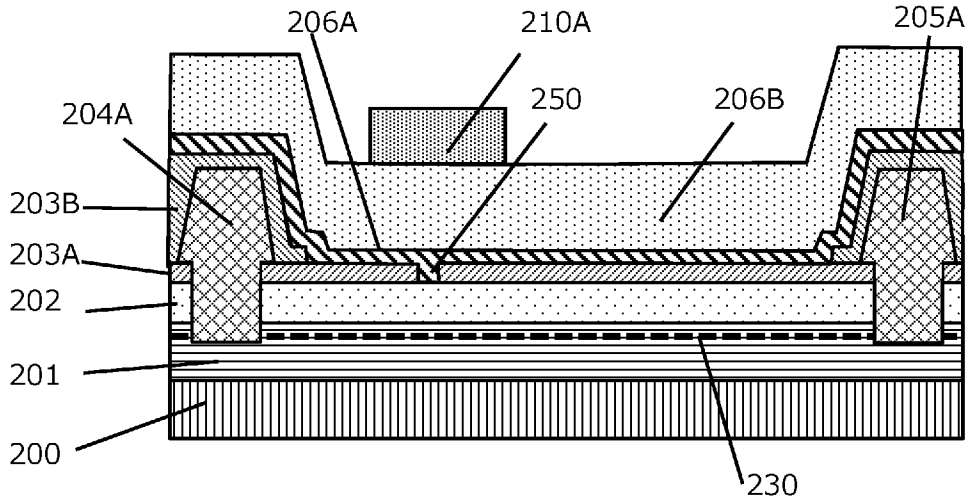
[図2G]


204A
205A
203B
250
203A
202
201
200
230

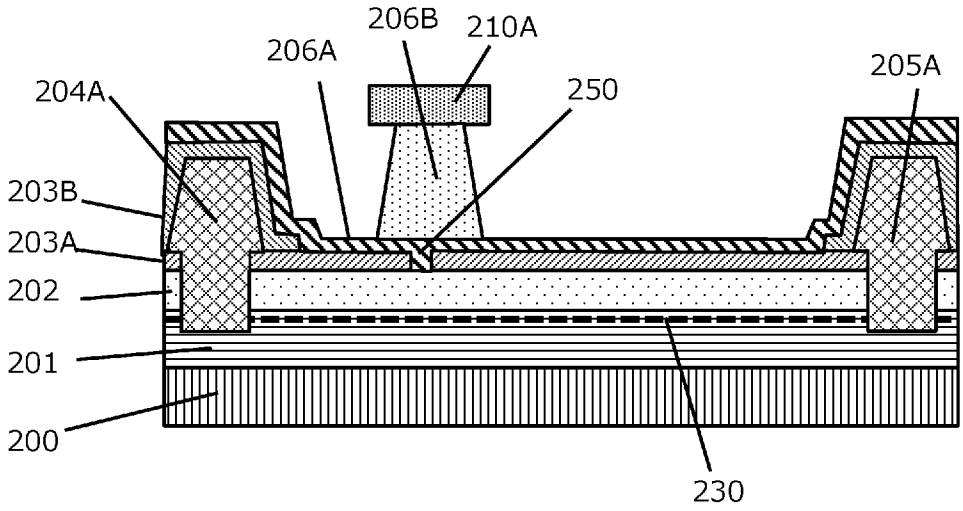
[図2H]


206B
206A
250
204A
205A
203B
203A
202
201
200
230

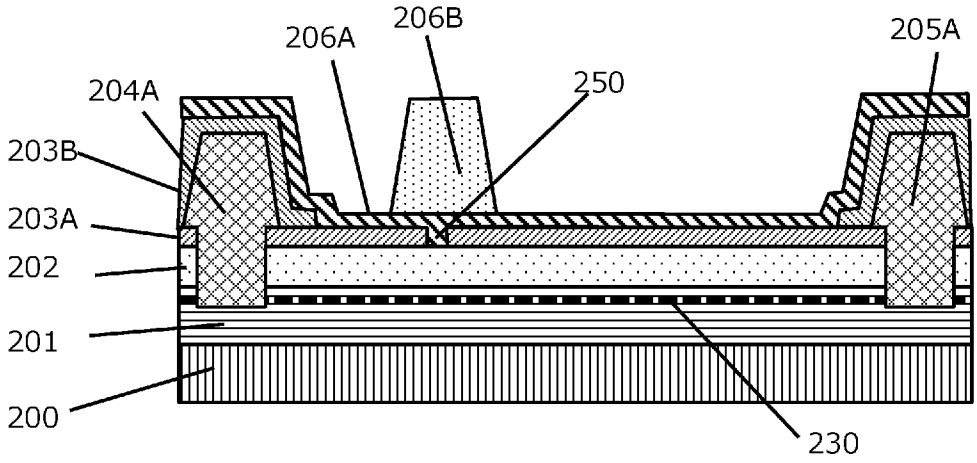
[図2I]


206A
210A
205A
250
206B
204A
203B
203A
202
201
200
230

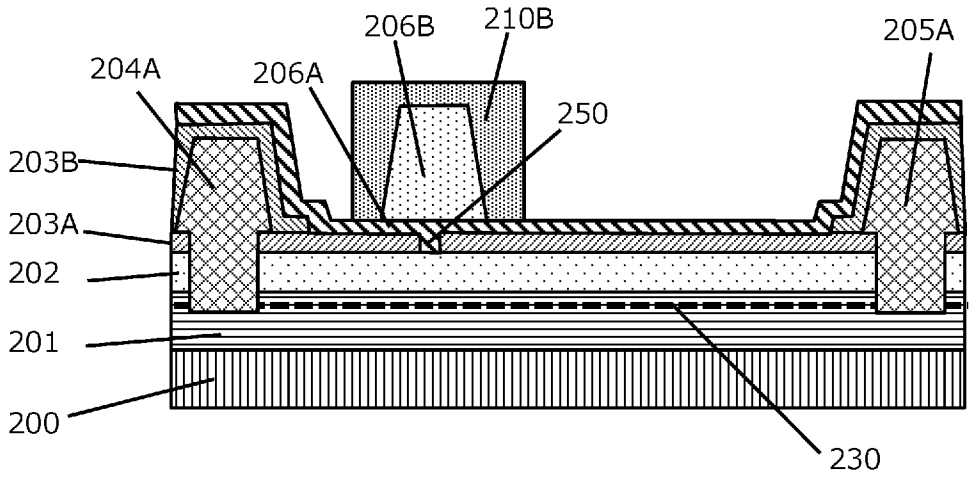
[図2J]


206B
206A
210A
205A
204A
250
203B
203A
202
201
200
230

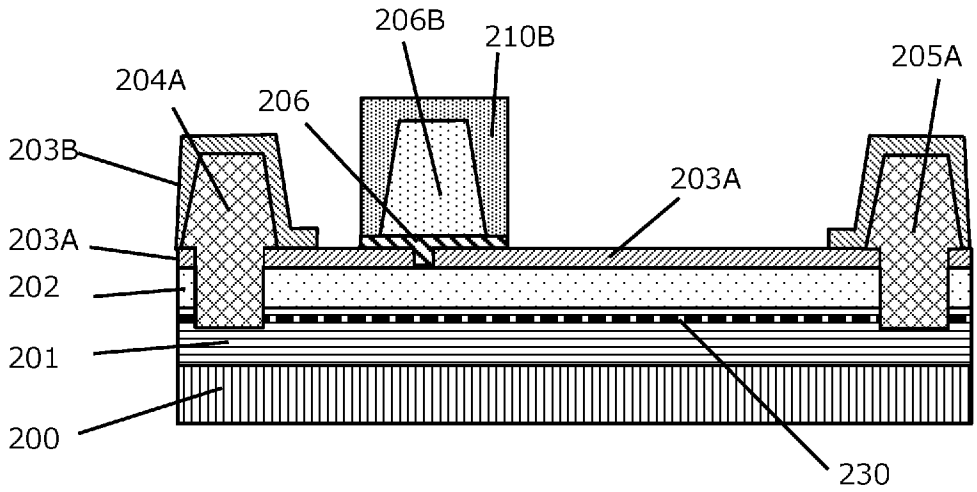
[図2K]


206B
206A
205A
204A
250
203B
203A
202
201
200
230

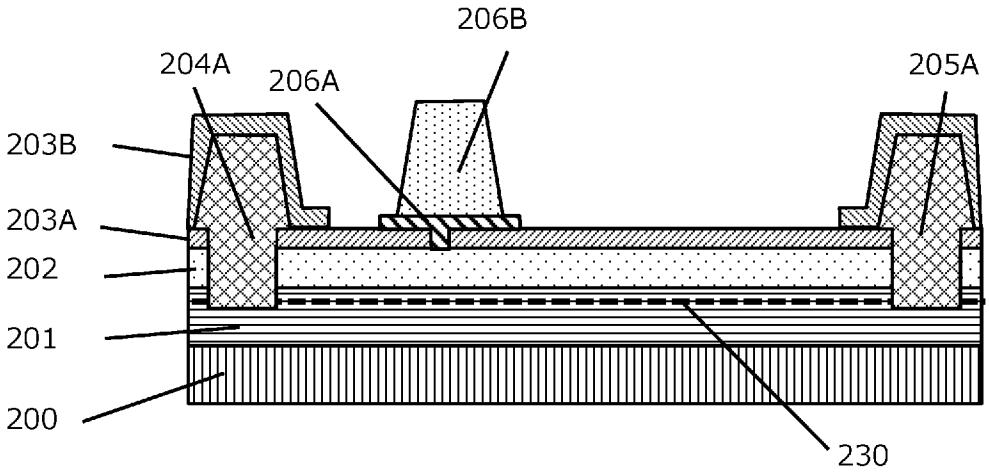
[図2L]


206B
210B
205A
204A
206A
250
203B
203A
202
201
200
230

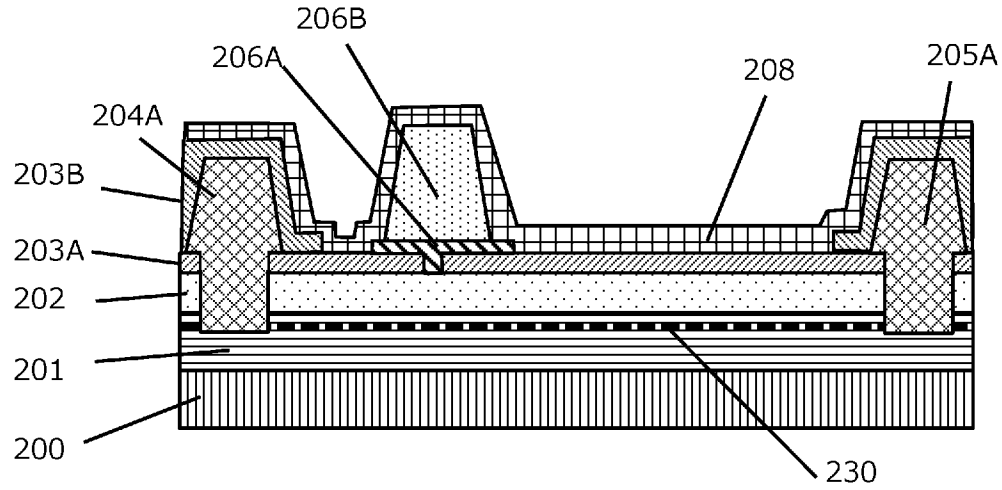
[図2M]


206B
210B
205A
204A
206
203B
203A
203A
202
201
200
230

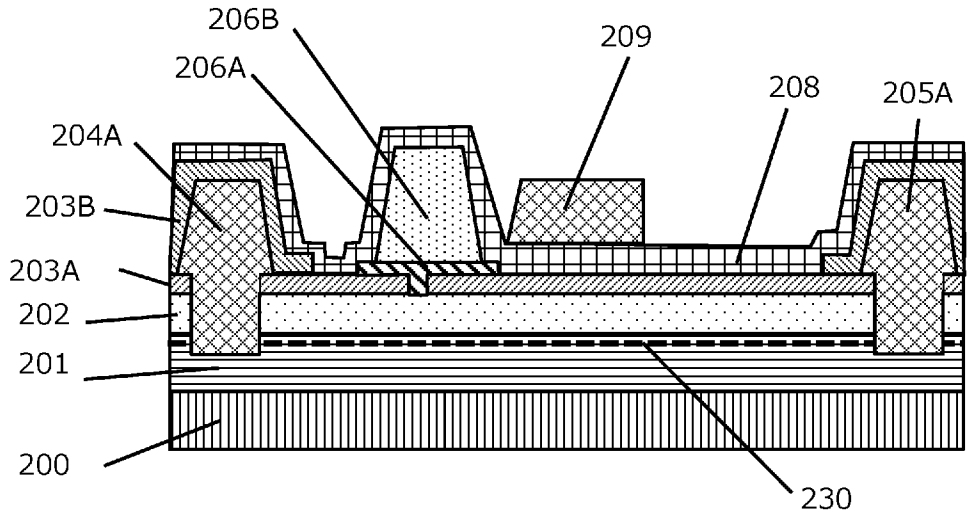
[図2N]


206B
204A
206A
205A
203B
203A
202
201
200
230

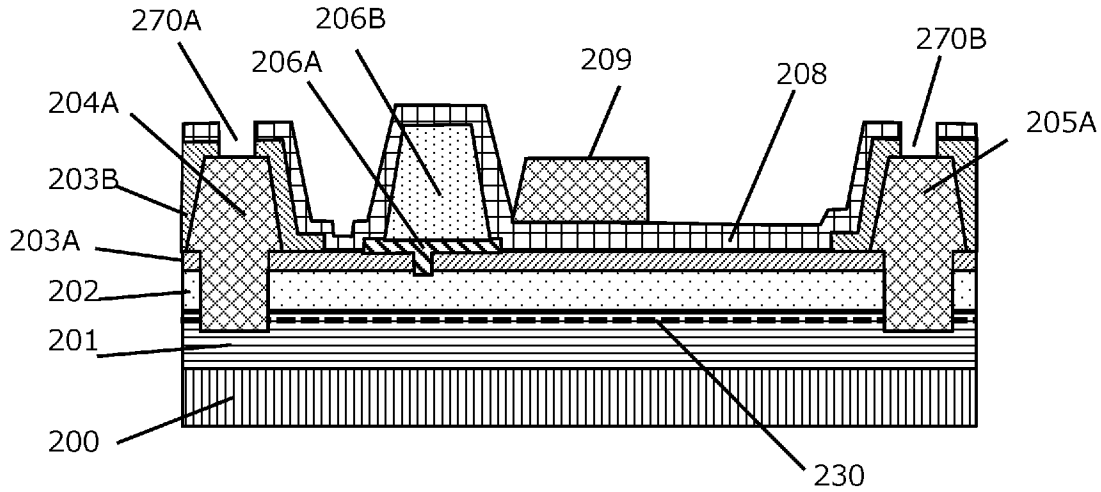
[図20]


206B
206A
208
205A
204A
203B
203A
202
201
200
230

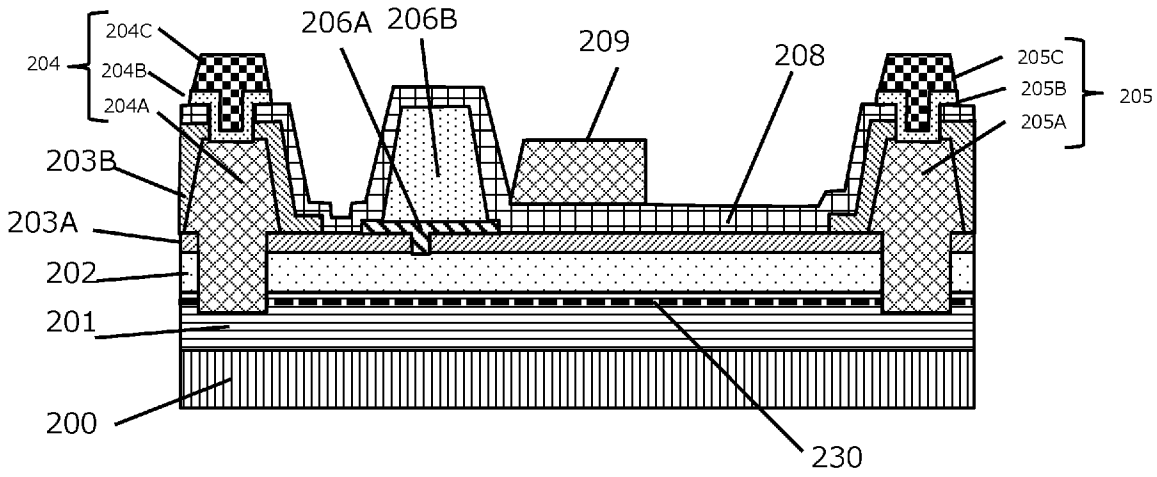
[図2P]


206B
209
206A
208
205A
204A
203B
203A
202
201
200
230

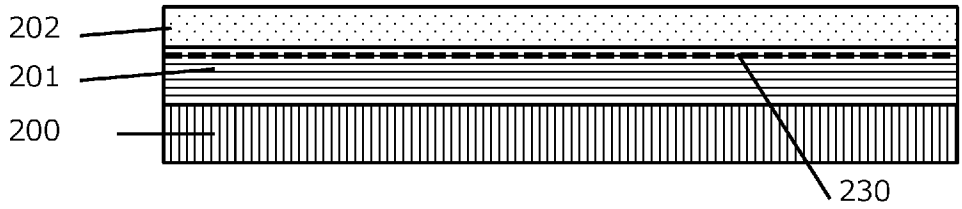
[図2Q]


270A
206B
270B
206A
209
208
205A
204A
203B
203A
202
201
200
230

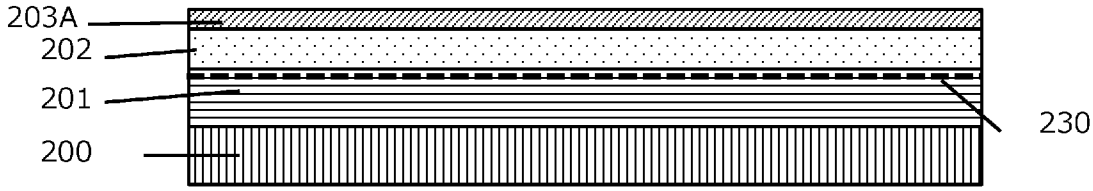
[図2R]



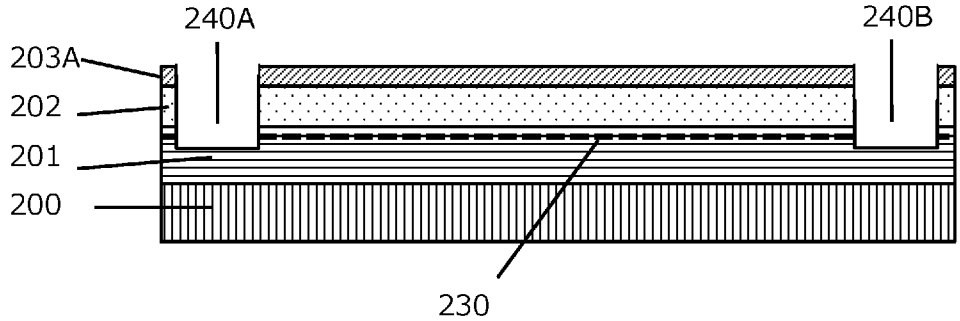
[図3A]



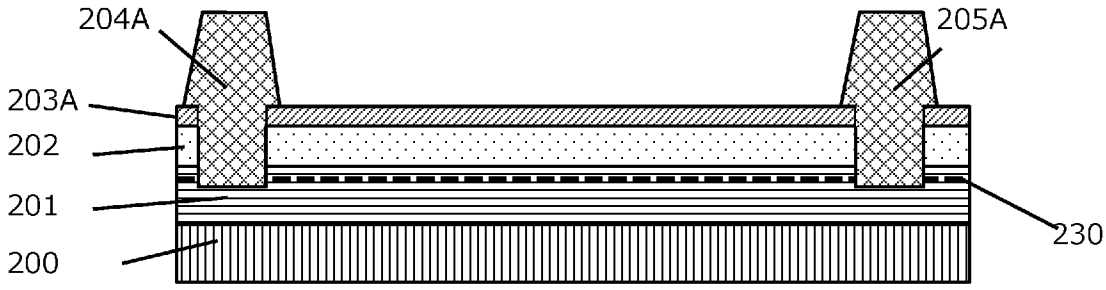
[図3B]



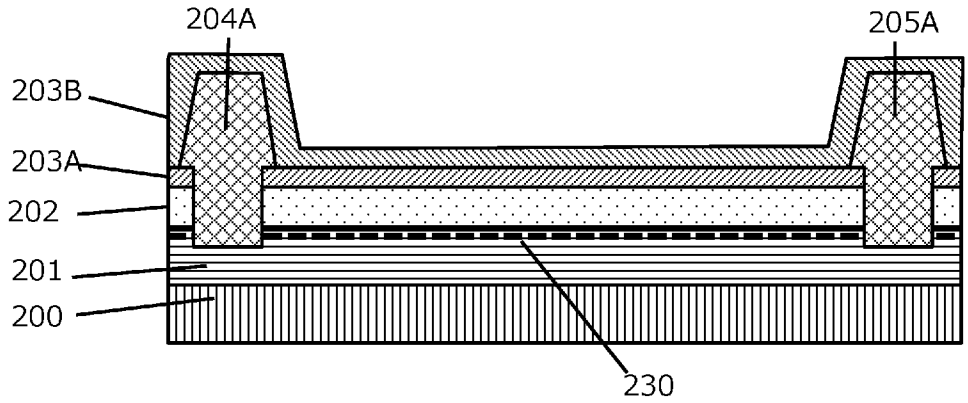
[図3C]



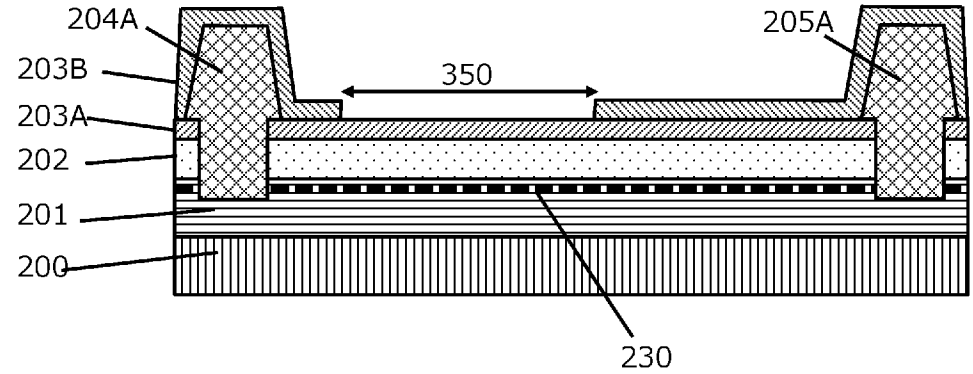
[図3D]



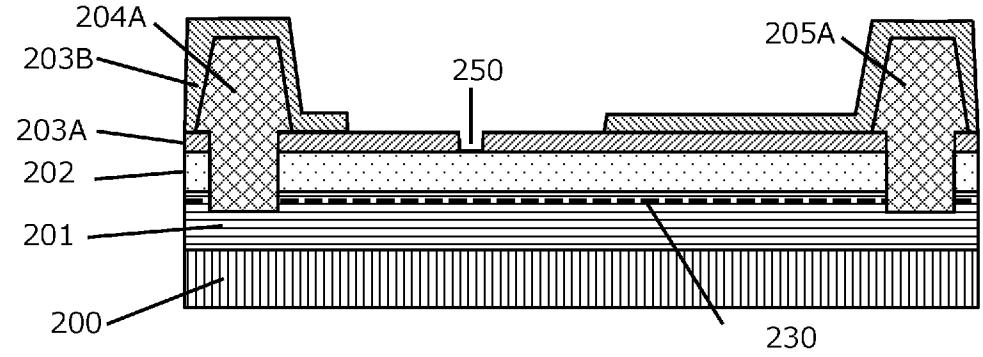
[図3E]



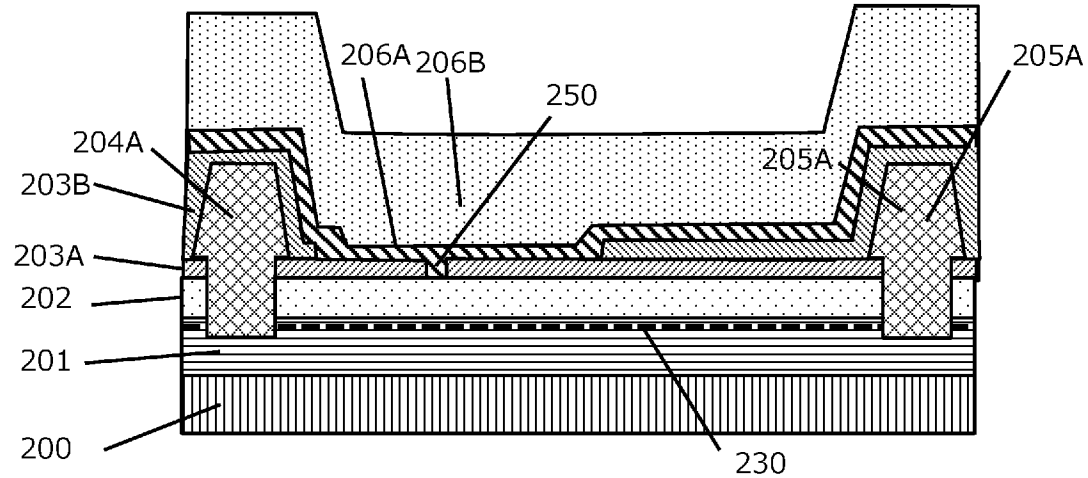
[図3F]



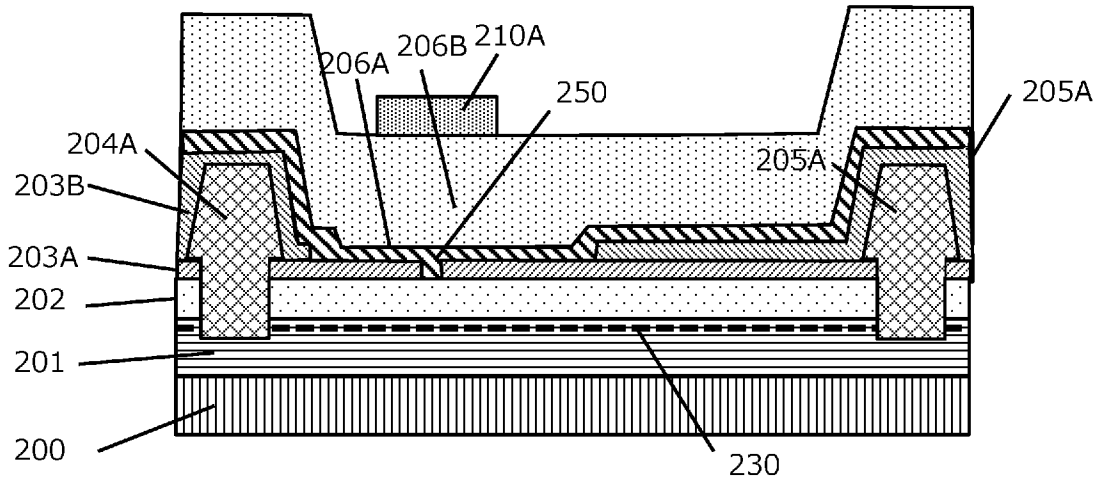
[図3G]



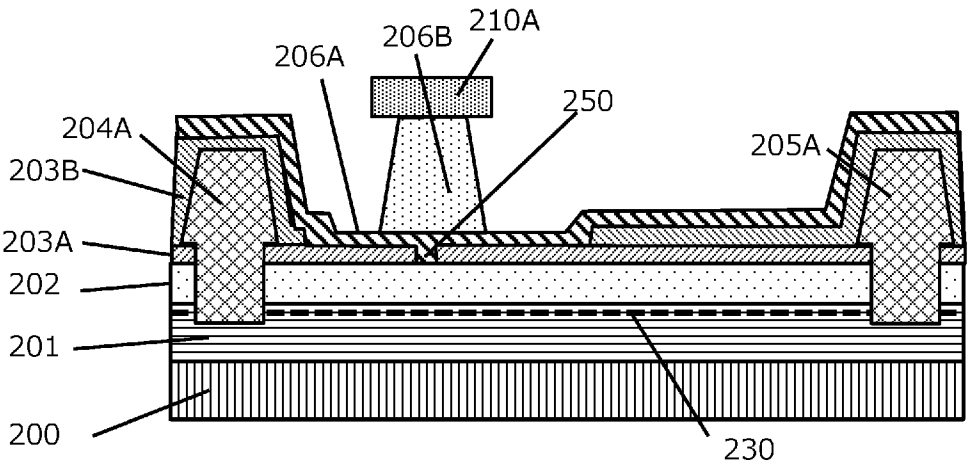
[図3H]



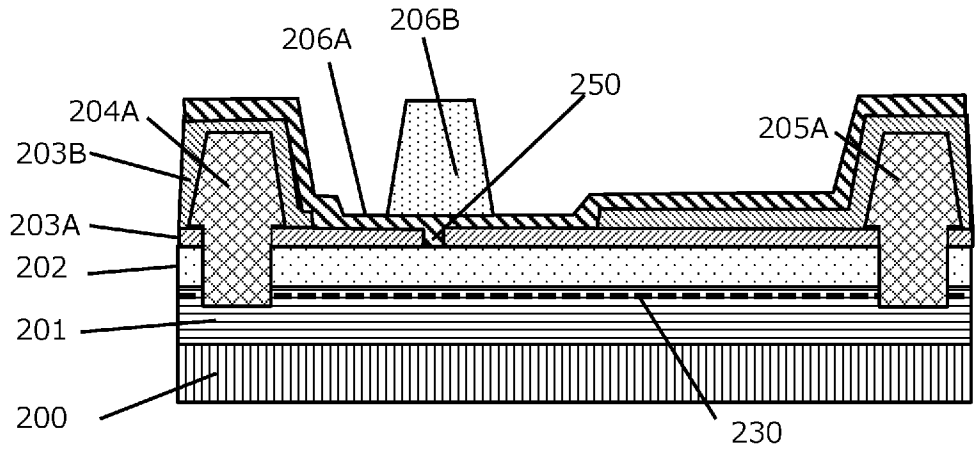
[図3I]


206A
206B
210A
250
205A
204A
205A
203B
203A
202
201
200
230

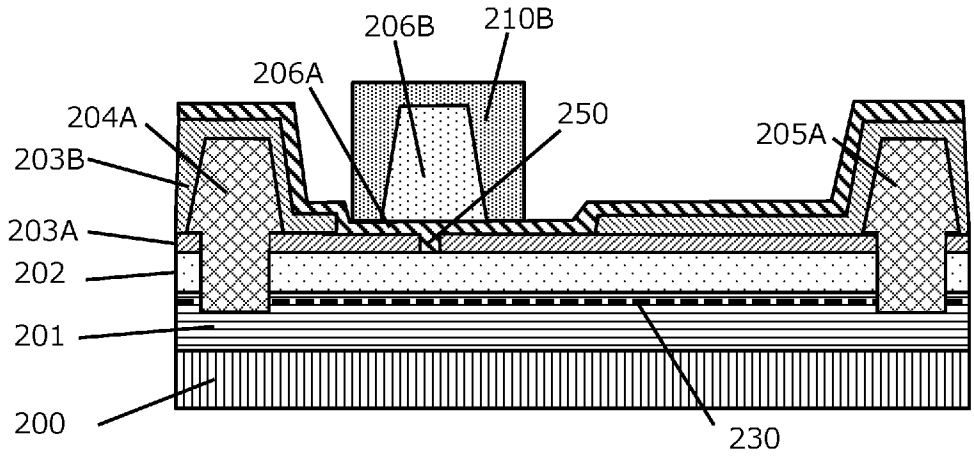
[図3J]


206A
206B
210A
250
204A
205A
203B
203A
202
201
200
230

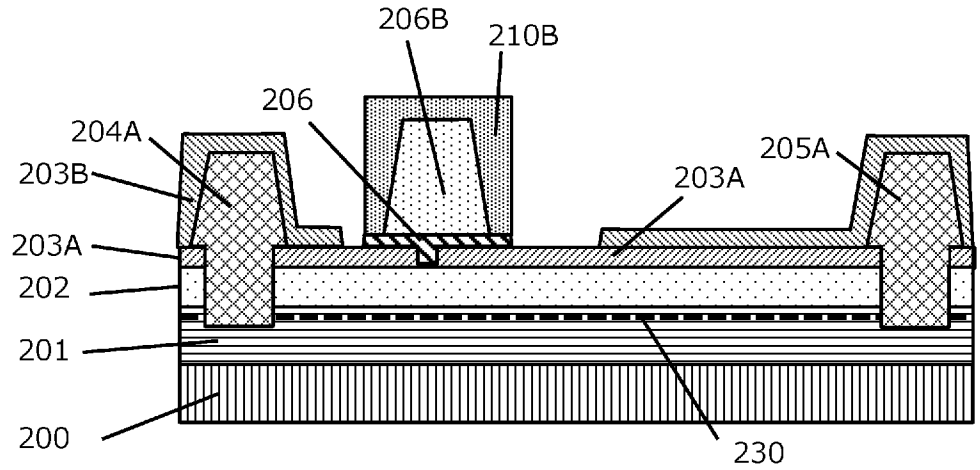
[図3K]


206A
206B
250
204A
205A
203B
203A
202
201
200
230

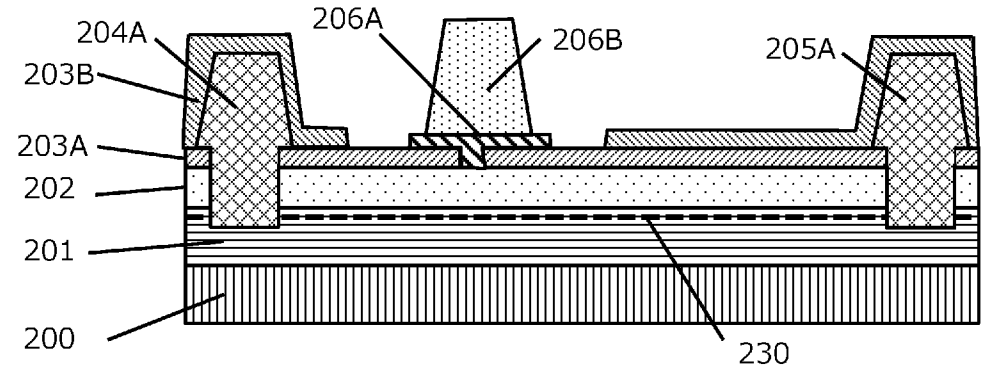
[図3L]


206B
210B
206A
250
204A
205A
203B
203A
202
201
200
230

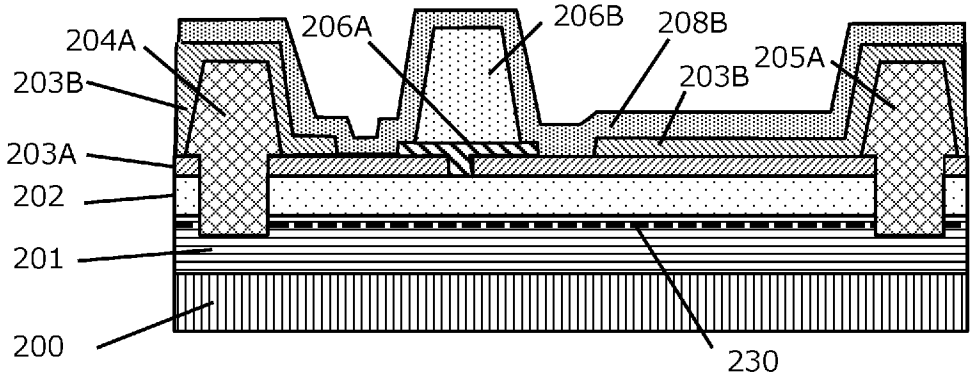
[図3M]


206B
210B
206
204A
205A
203B
203A
203A
202
201
200
230

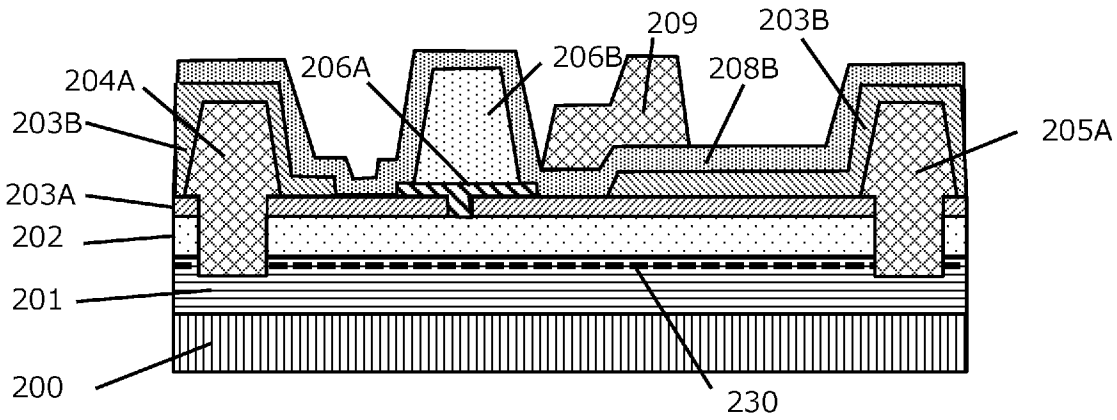
[図3N]


204A
206A
206B
205A
203B
203A
202
201
200
230

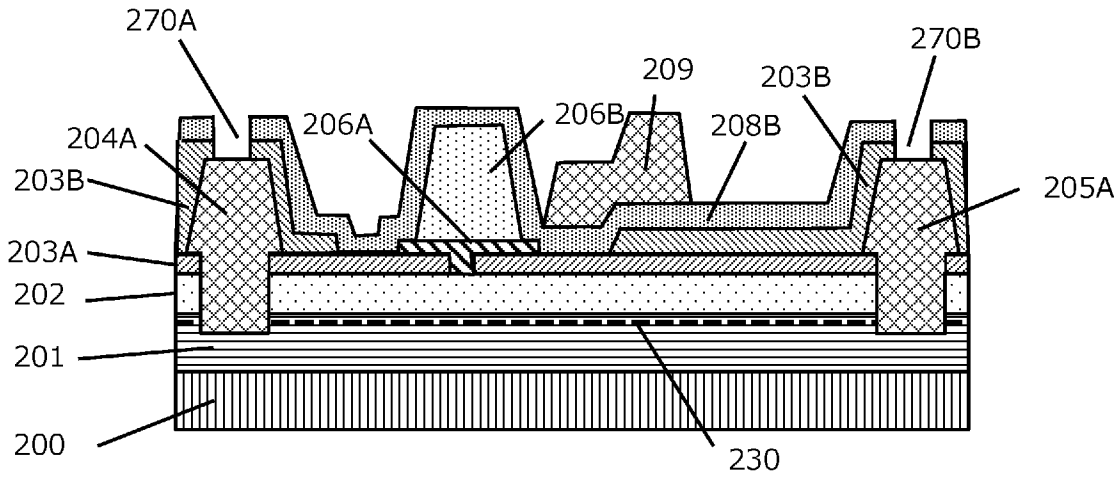
[図30]


204A
206A
206B
208B
205A
203B
203B
203A
202
201
200
230

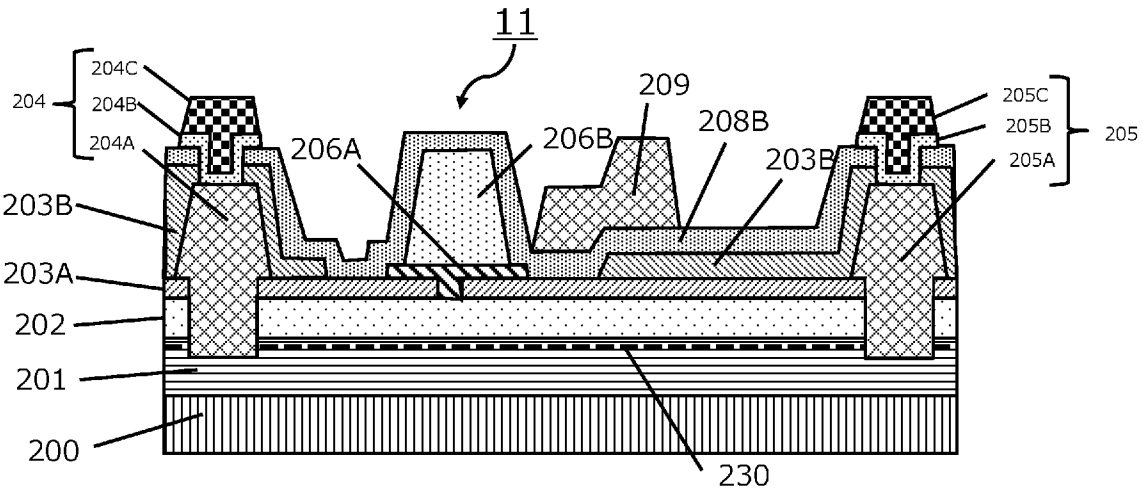
[図3P]


209
203B
204A
206A
206B
208B
205A
203B
203A
202
201
200
230

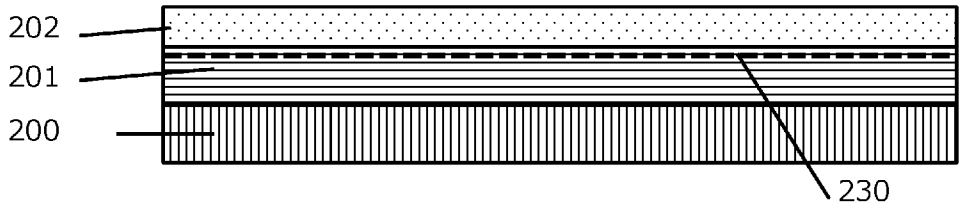
[図3Q]


270A
270B
209
203B
204A
206A
206B
208B
205A
203B
203A
202
201
200
230

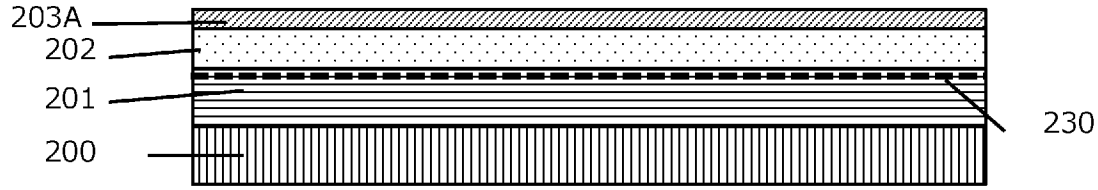
[図3R]



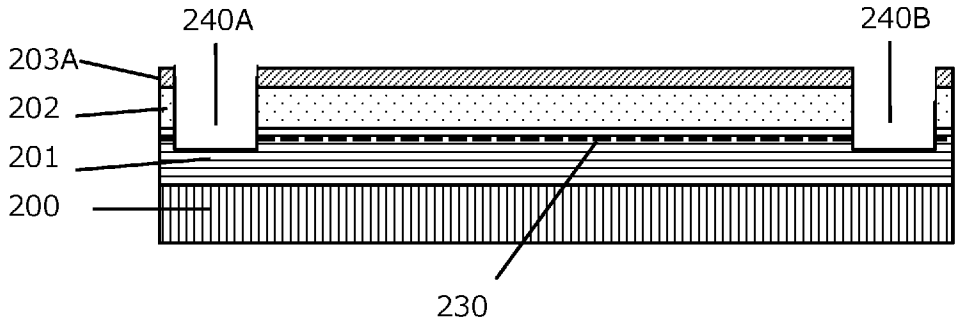
[図4A]



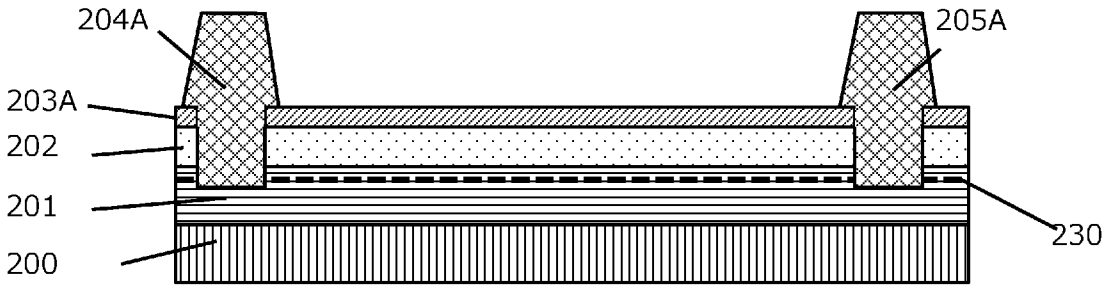
[図4B]



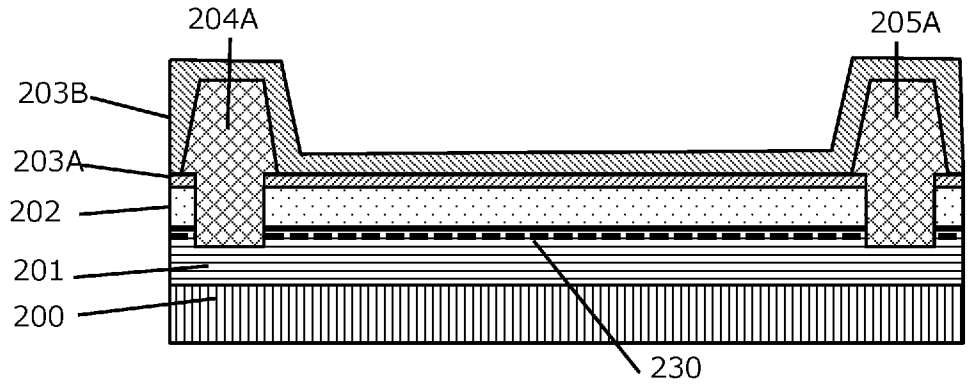
[図4C]



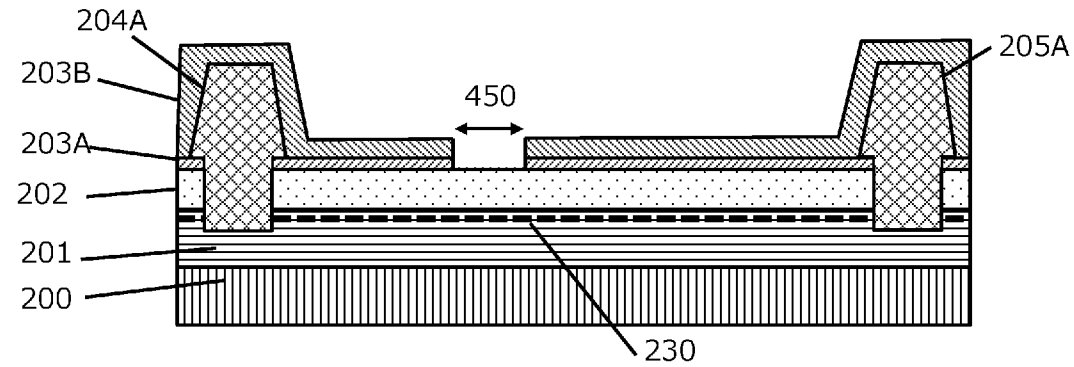
[図4D]



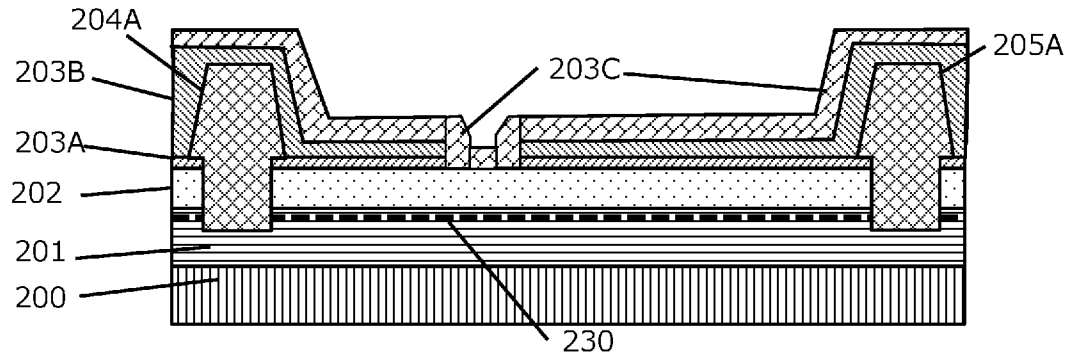
[図4E]



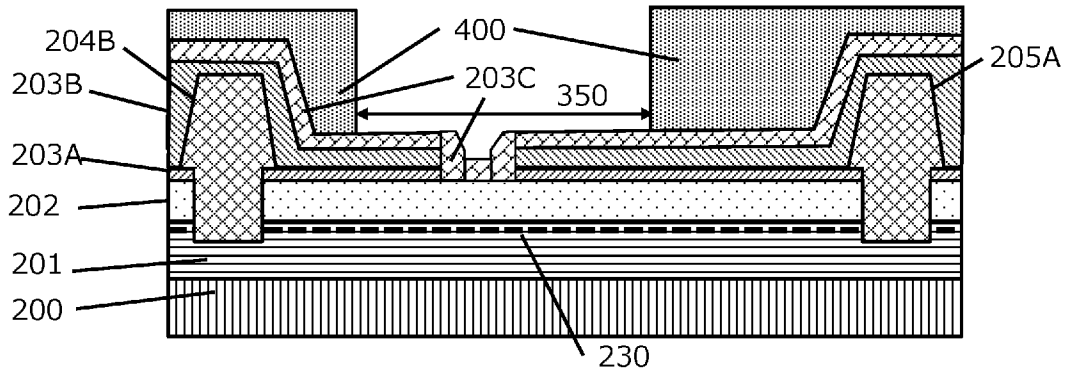
[図4F]



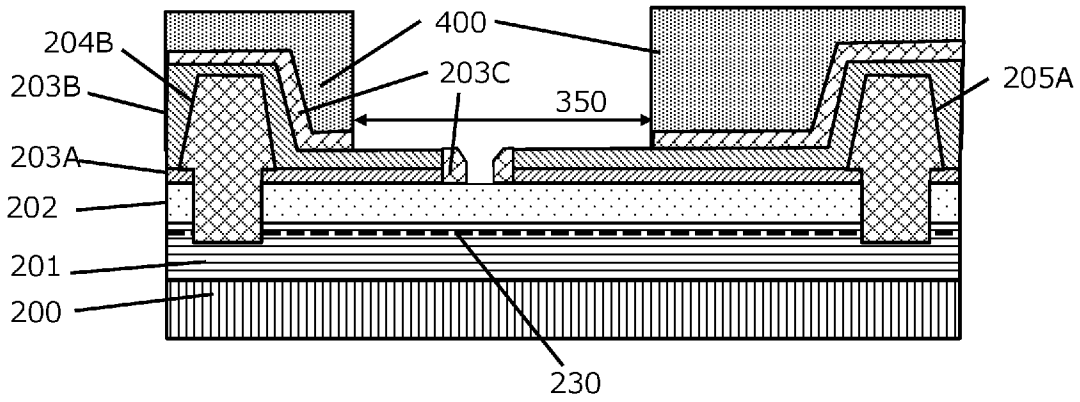
[図4G]



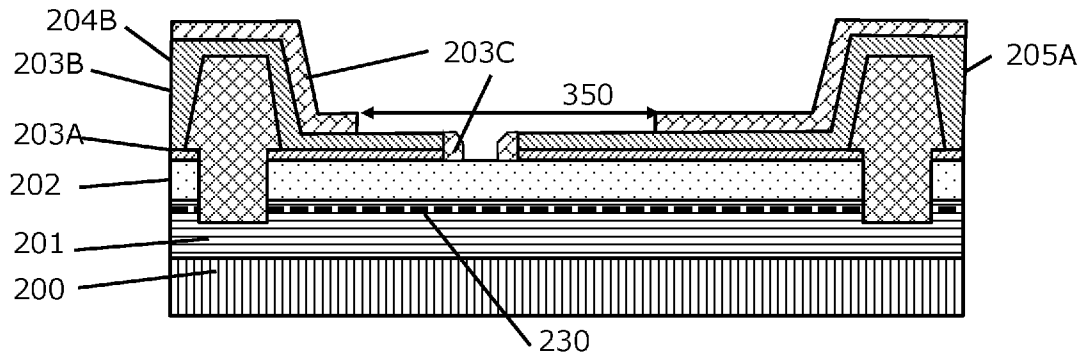
[図4H]



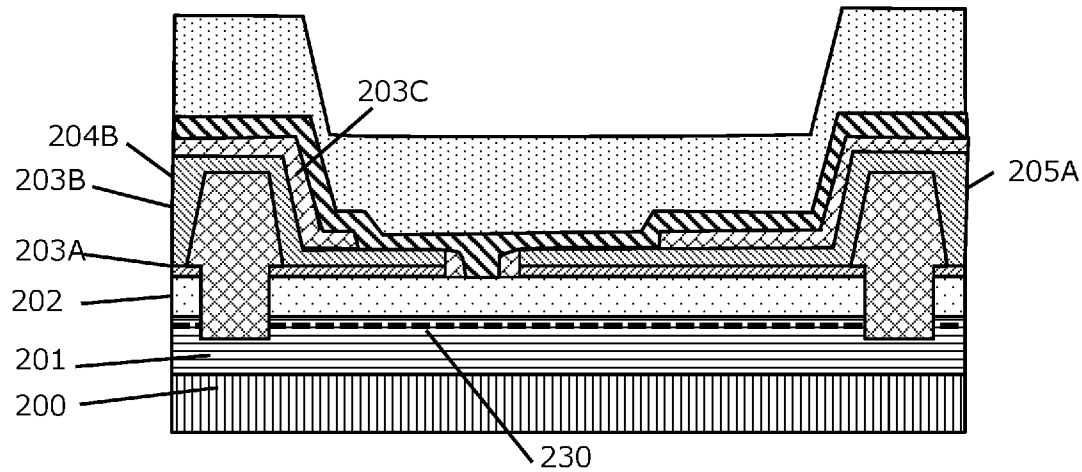
[図4I]


204B
203B
203A
202
201
200
400
203C
350
205A
230

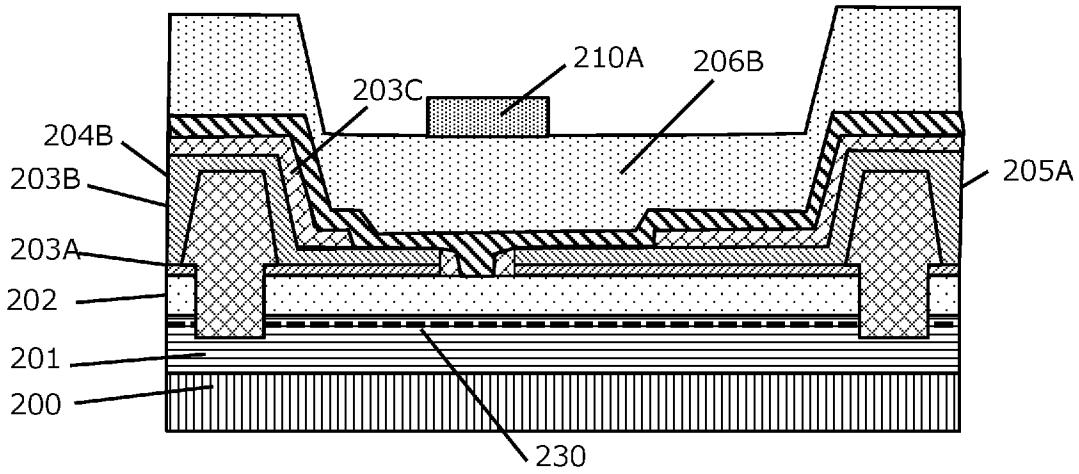
[図4J]


204B
203B
203A
202
201
200
203C
350
205A
230

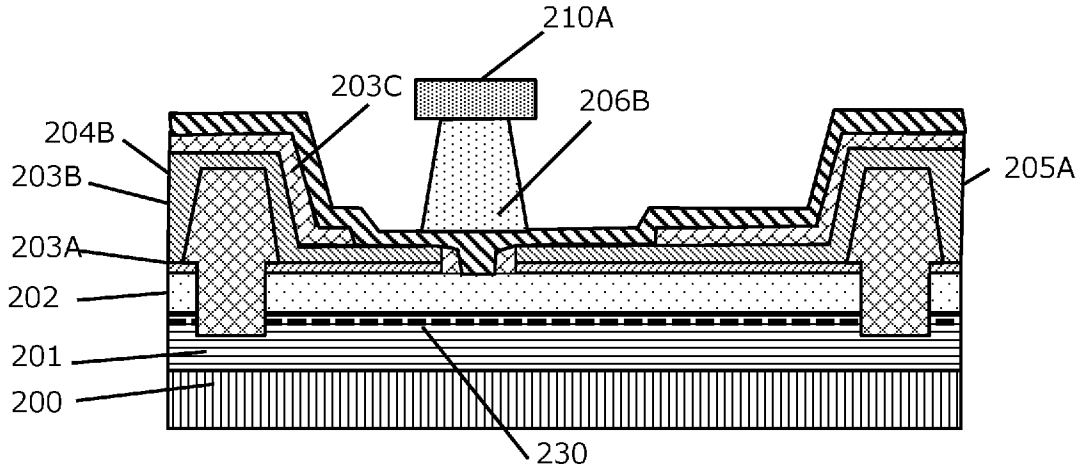
[図4K]


204B
203B
203A
202
201
200
203C
205A
230

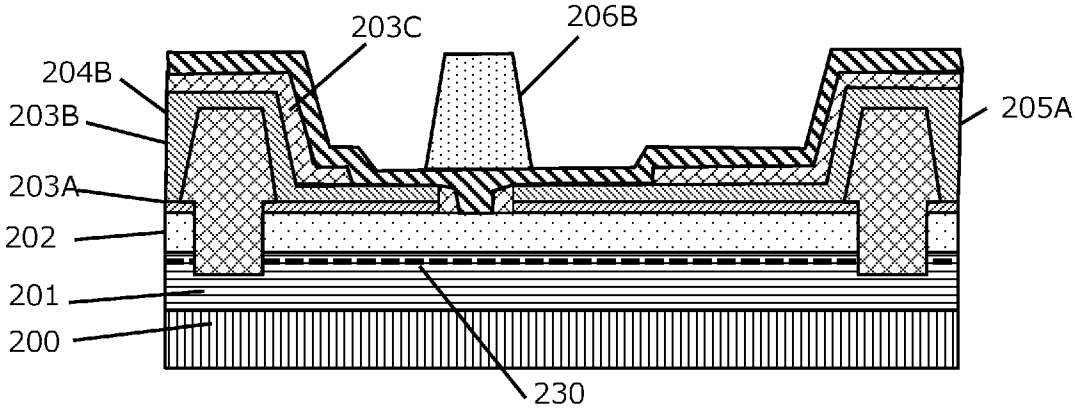
[図4L]


210A
206B
203C
204B
203B
205A
203A
202
201
200
230

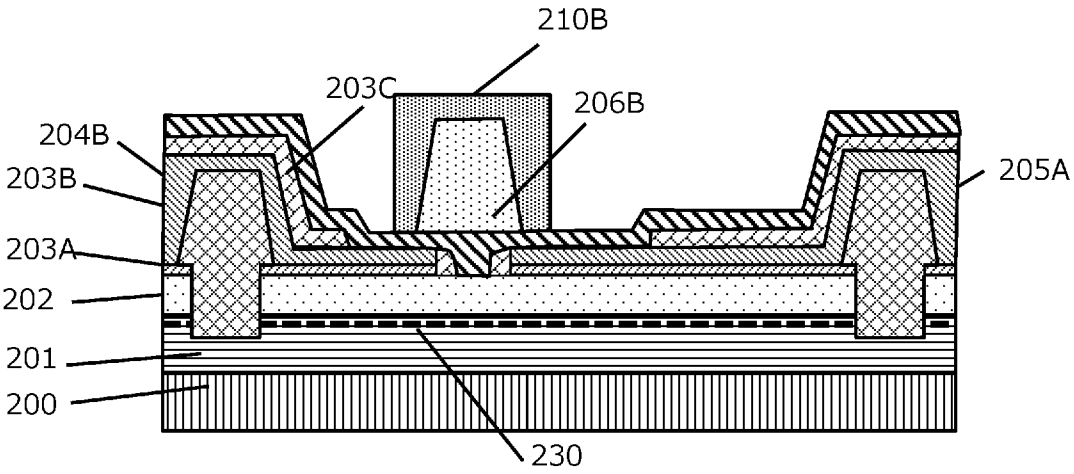
[図4M]


210A
203C
206B
204B
203B
205A
203A
202
201
200
230

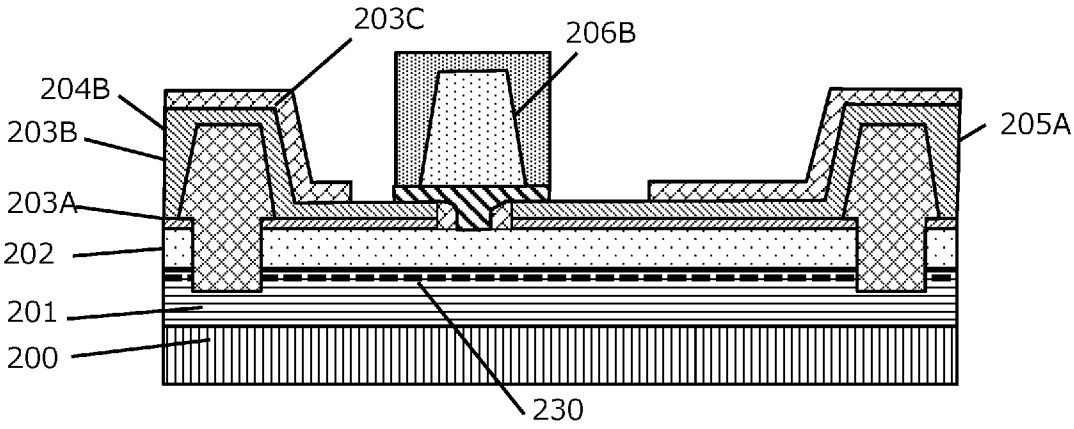
[図4N]


203C
206B
204B
203B
205A
203A
202
201
200
230

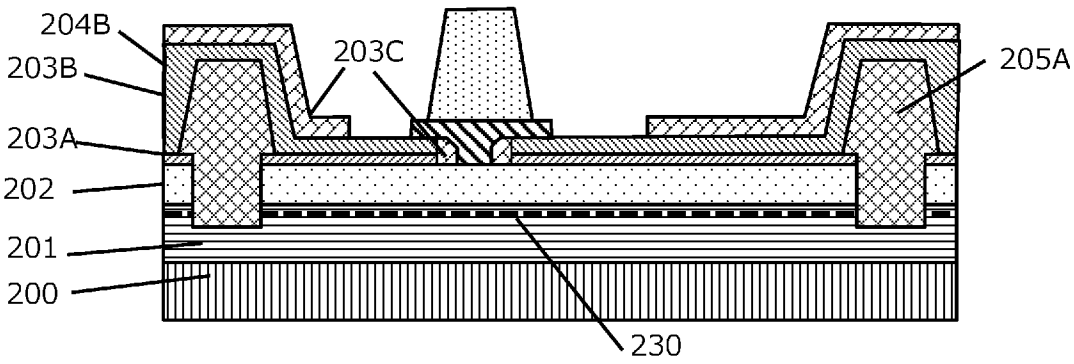
[図40]


210B
203C
206B
204B
203B
205A
203A
202
201
200
230

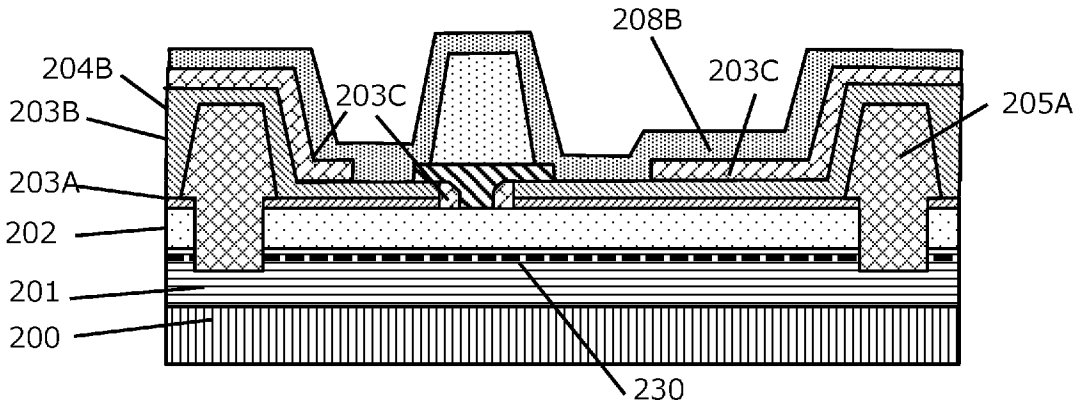
[図4P]


203C
206B
204B
203B
205A
203A
202
201
200
230

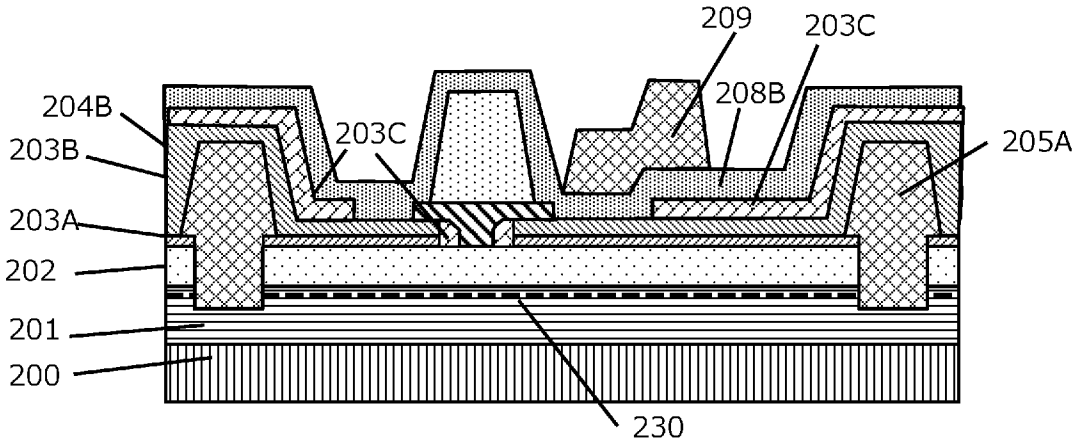
[図4Q]


204B
203C
203B
205A
203A
202
201
200
230

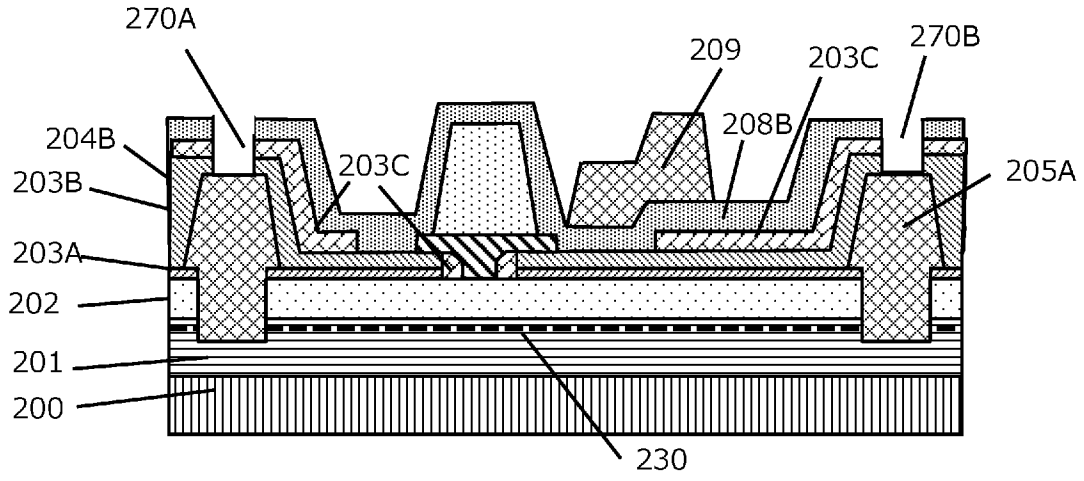
[図4R]


208B
204B
203C
203C
205A
203B
203A
202
201
200
230

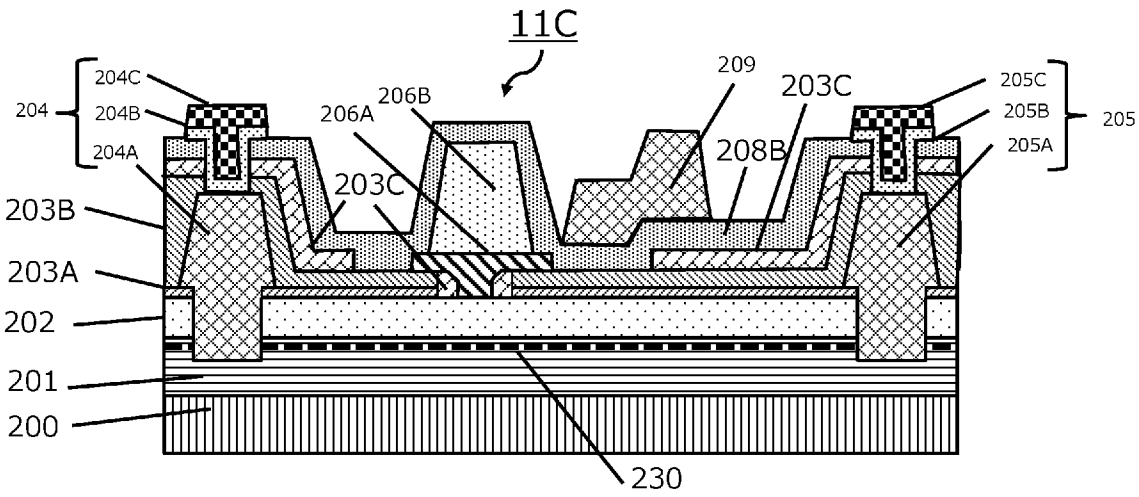
[図4S]


209
203C
208B
204B
203C
205A
203B
203A
202
201
200
230

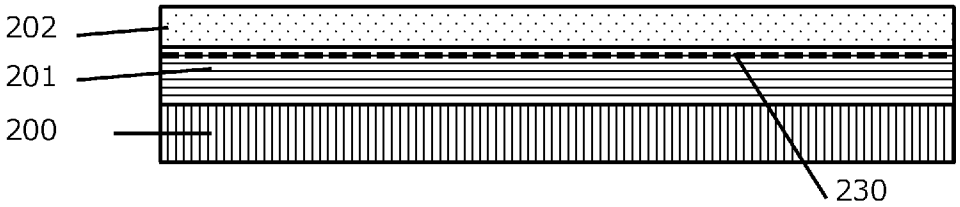
[図4T]


270A
209
203C
270B
204B
208B
203C
205A
203B
203A
202
201
200
230

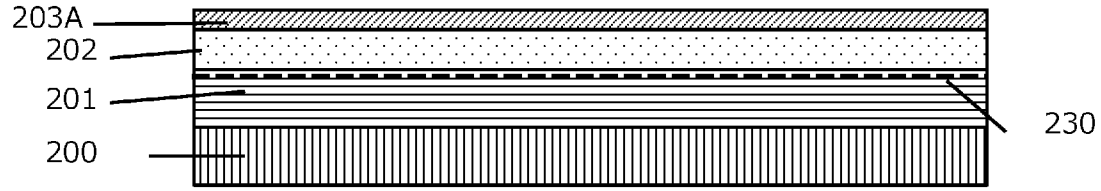
[図4U]



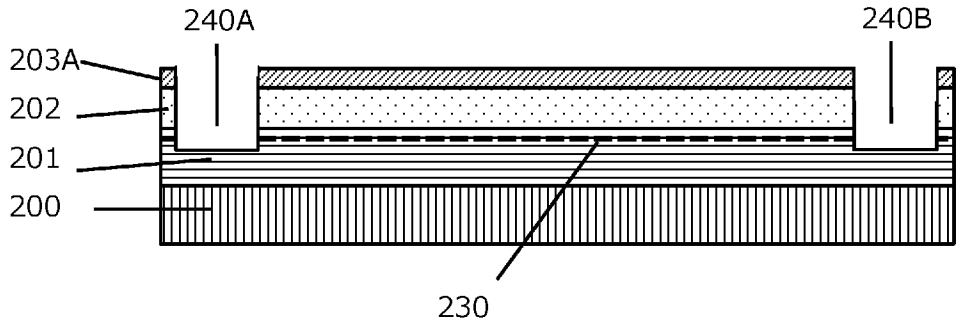
[図5A]



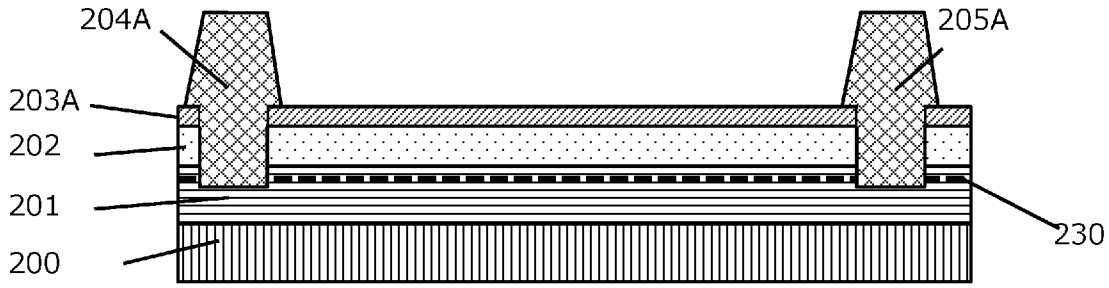
[図5B]



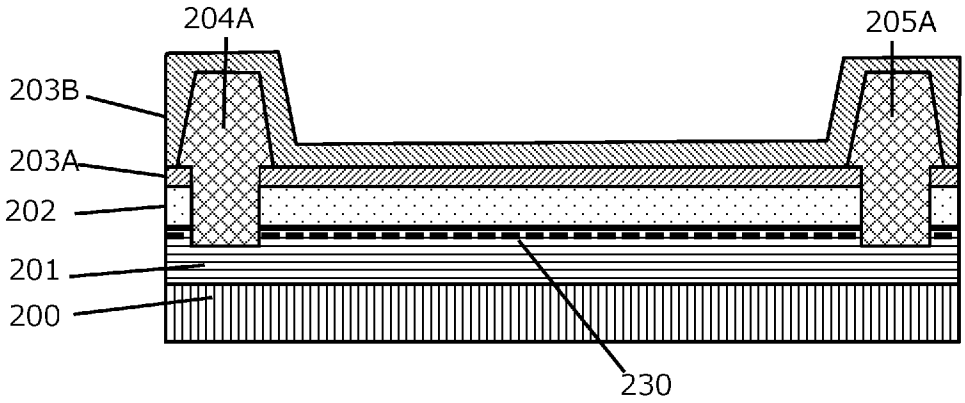
[図5C]



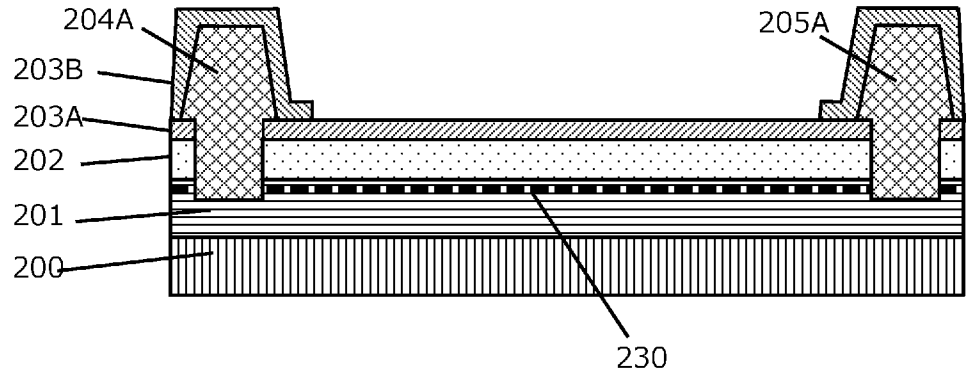
[図5D]



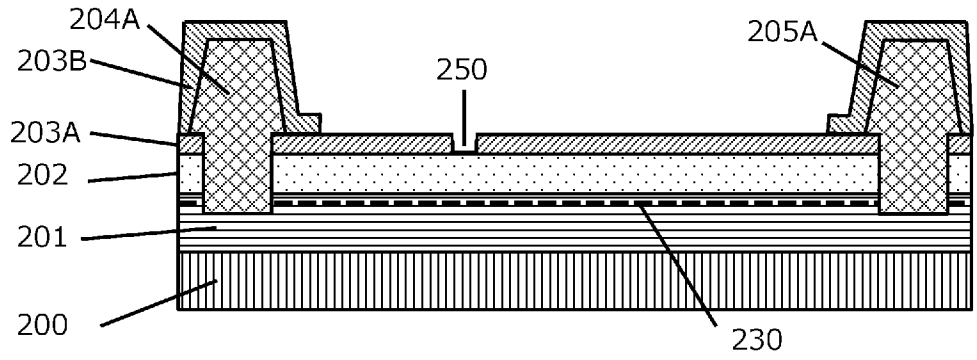
[図5E]



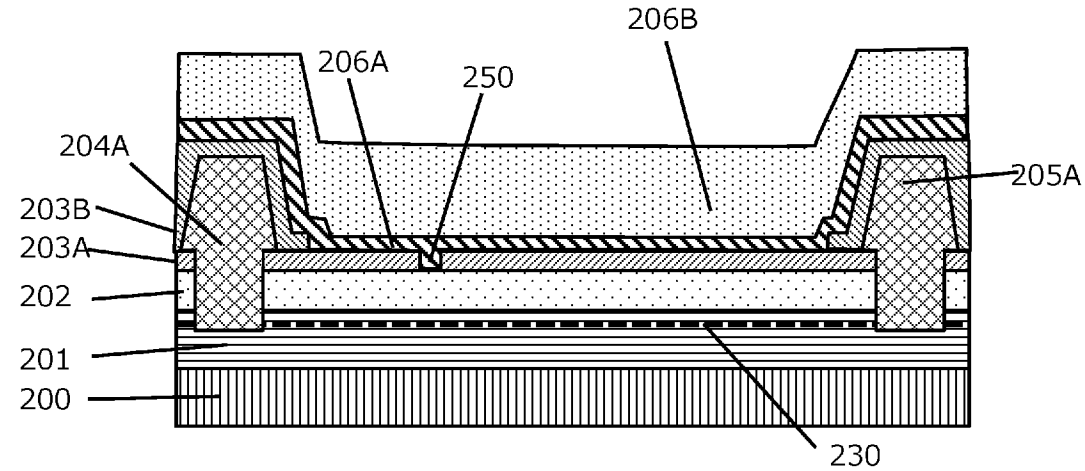
[図5F]



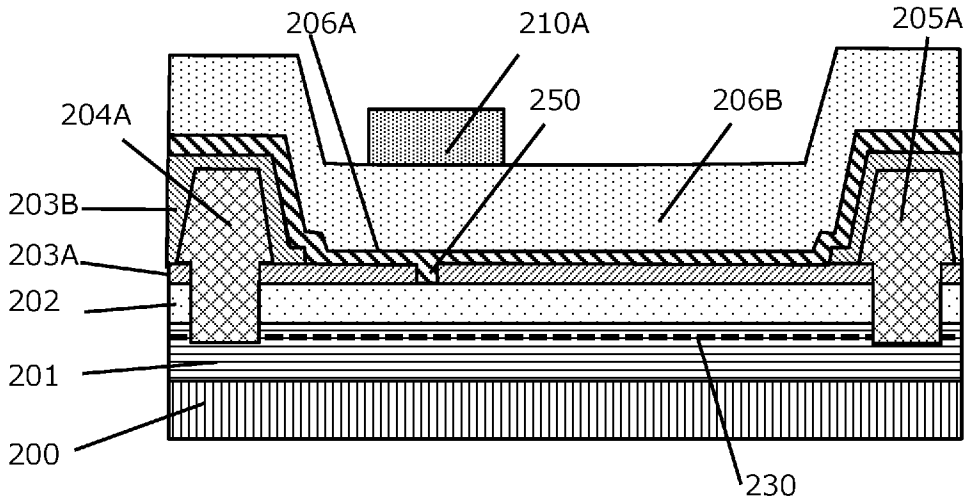
[図5G]



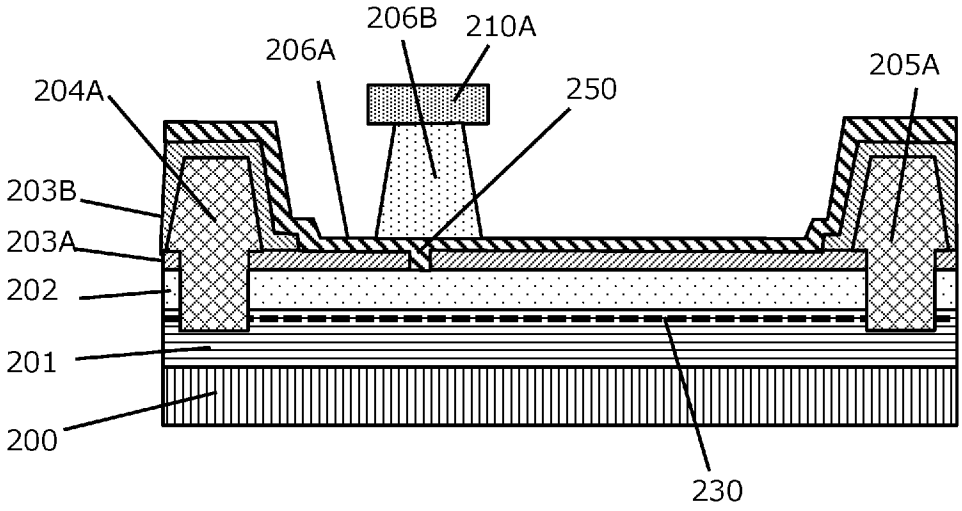
[図5H]



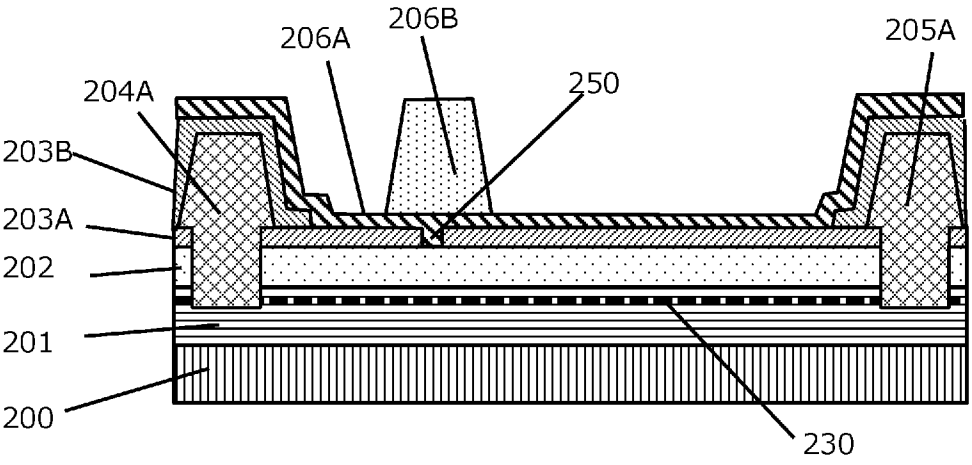
[図5I]


206A
210A
205A
250
206B
204A
203B
203A
202
201
200
230

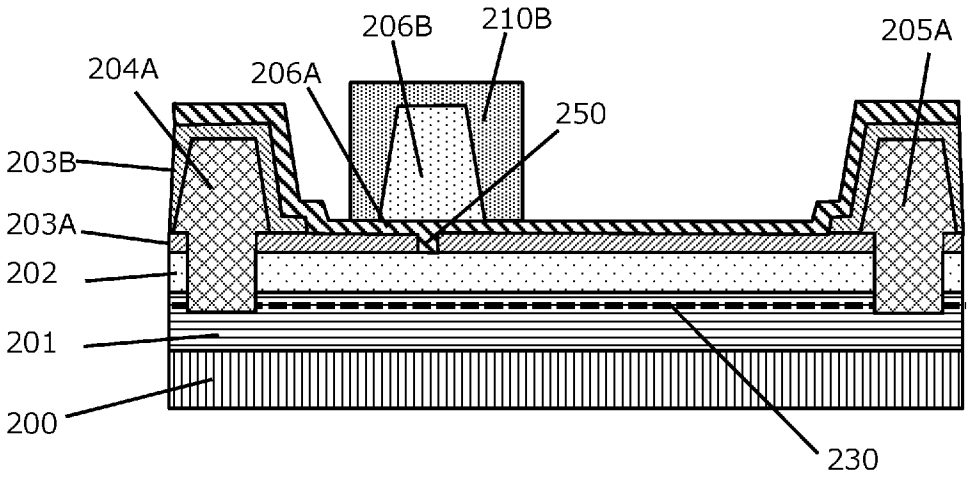
[図5J]


206B
210A
206A
205A
204A
250
203B
203A
202
201
200
230

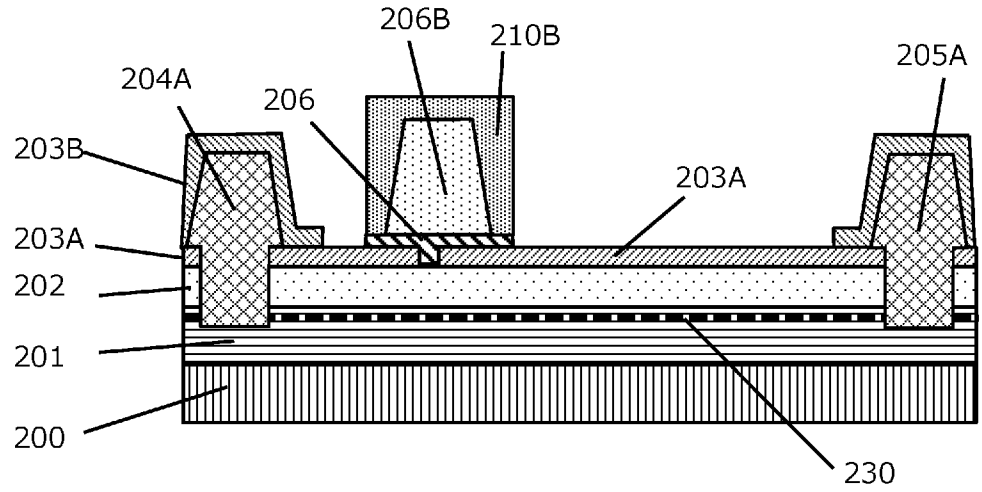
[図5K]


206B
206A
205A
204A
250
203B
203A
202
201
200
230

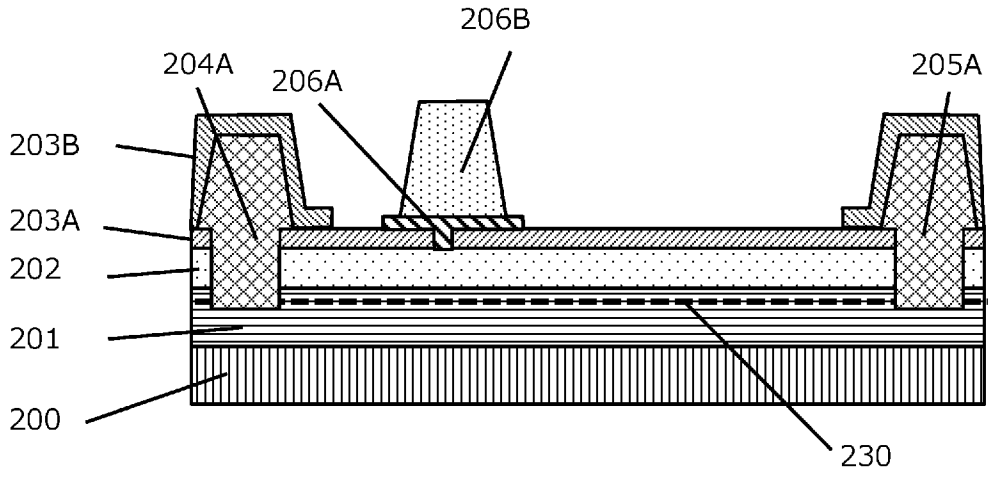
[図5L]


206B
210B
205A
204A
206A
250
203B
203A
202
201
200
230

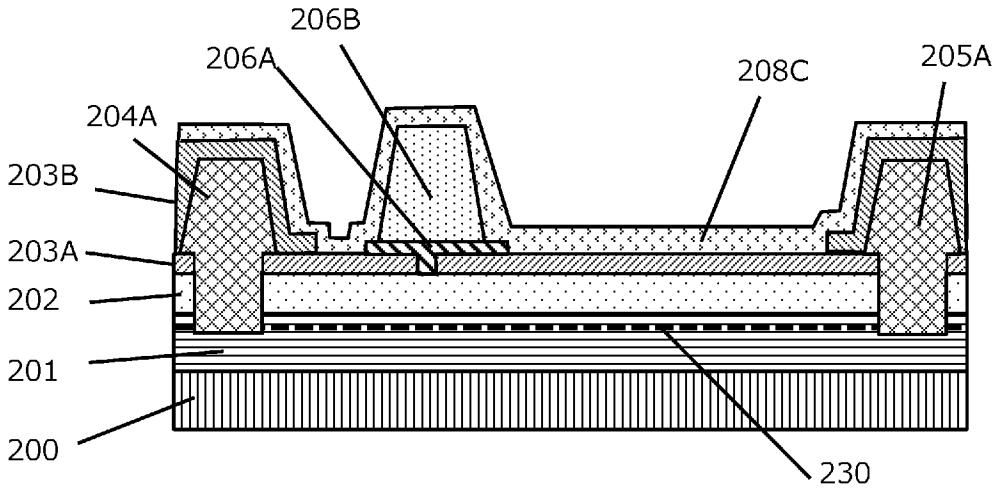
[図5M]


206B
210B
205A
204A
206
203B
203A
203A
202
201
200
230

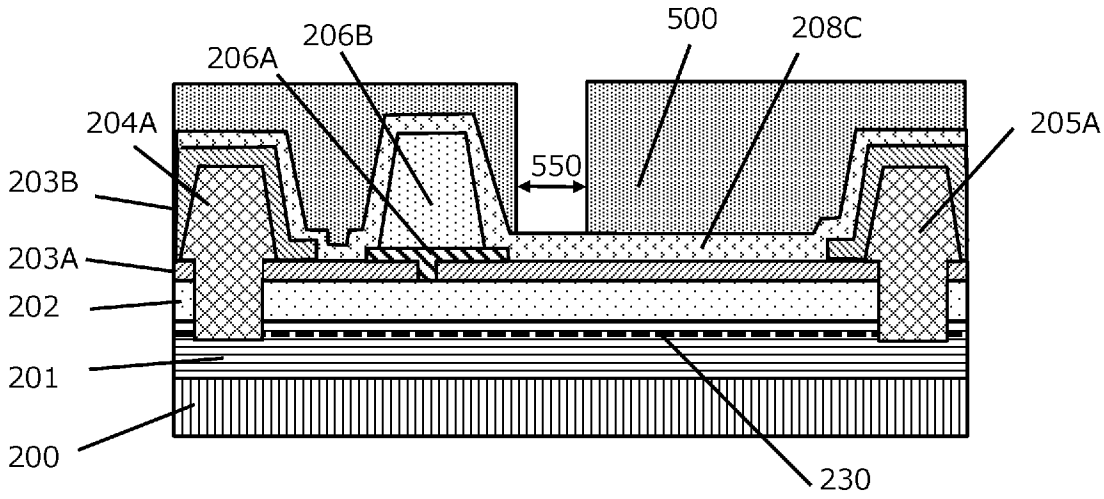
[図5N]


206B
204A
206A
205A
203B
203A
202
201
200
230

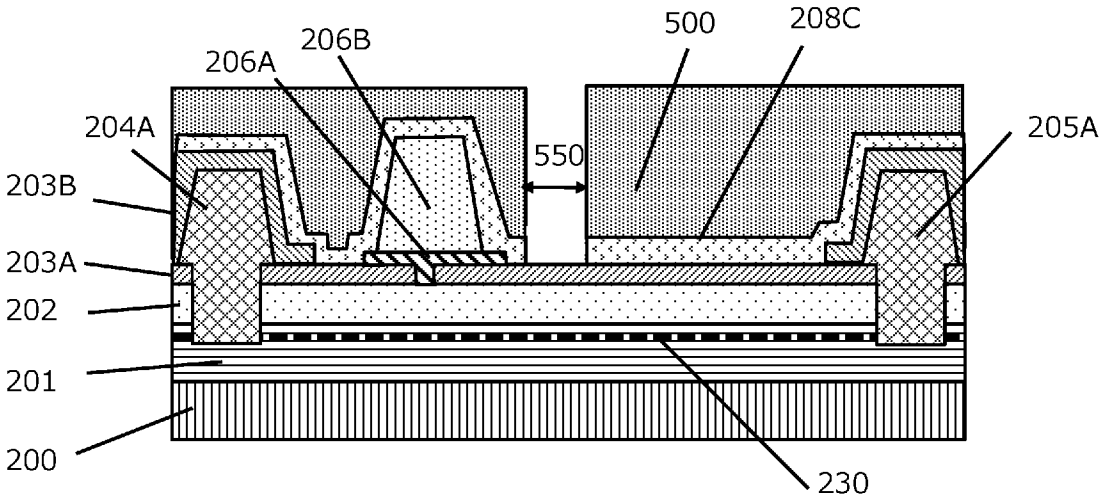
[図50]


206B
206A
208C
205A
204A
203B
203A
202
201
200
230

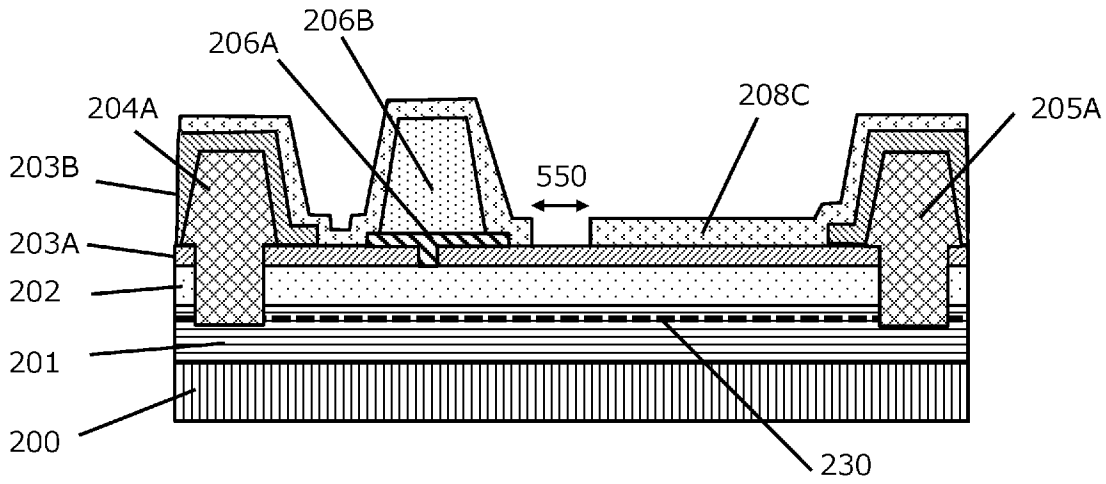
[図5P]


500
208C
206B
206A
204A
205A
550
203B
203A
202
201
200
230

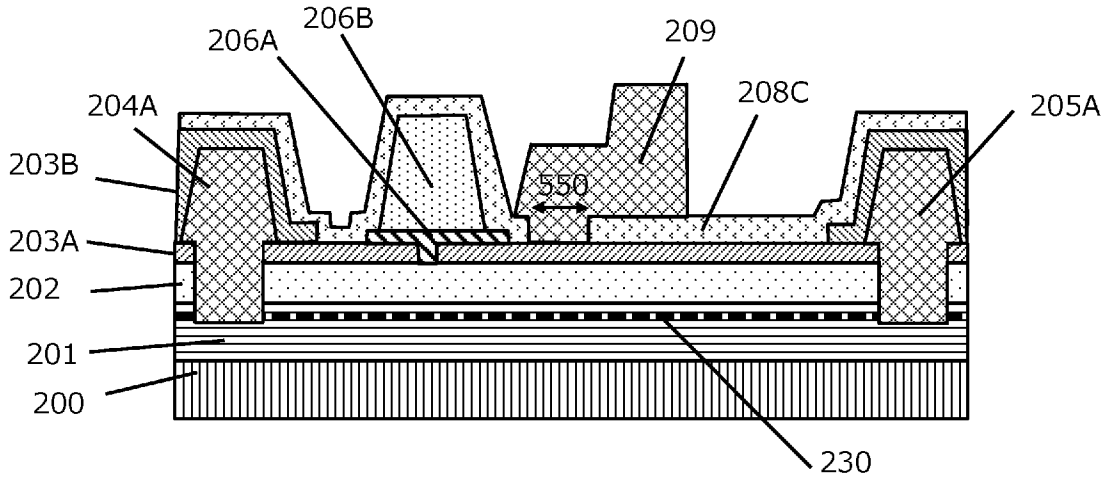
[図5Q]


500
208C
206B
206A
204A
205A
550
203B
203A
202
201
200
230

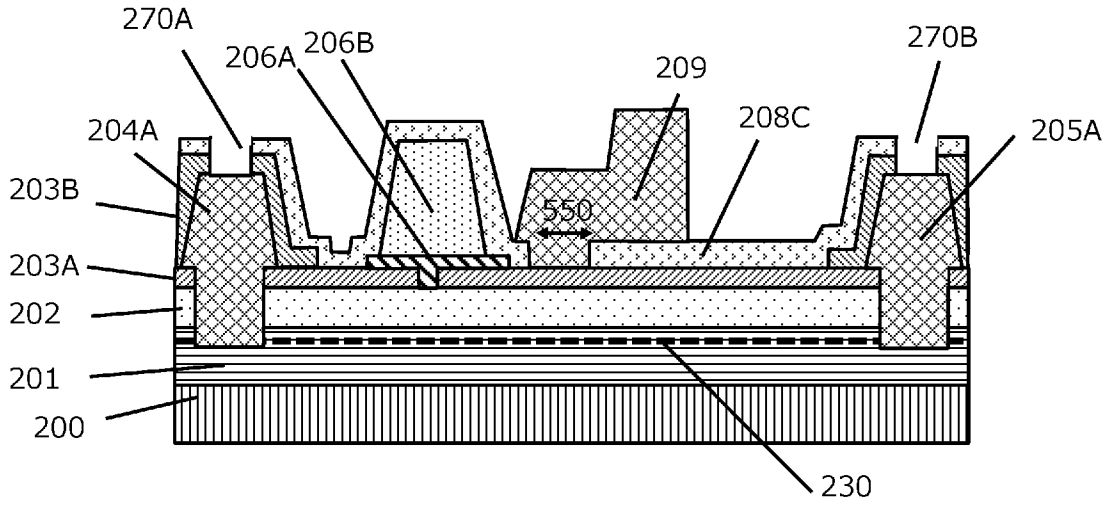
[図5R]


206B
206A
204A
208C
205A
203B
550
203A
202
201
200
230

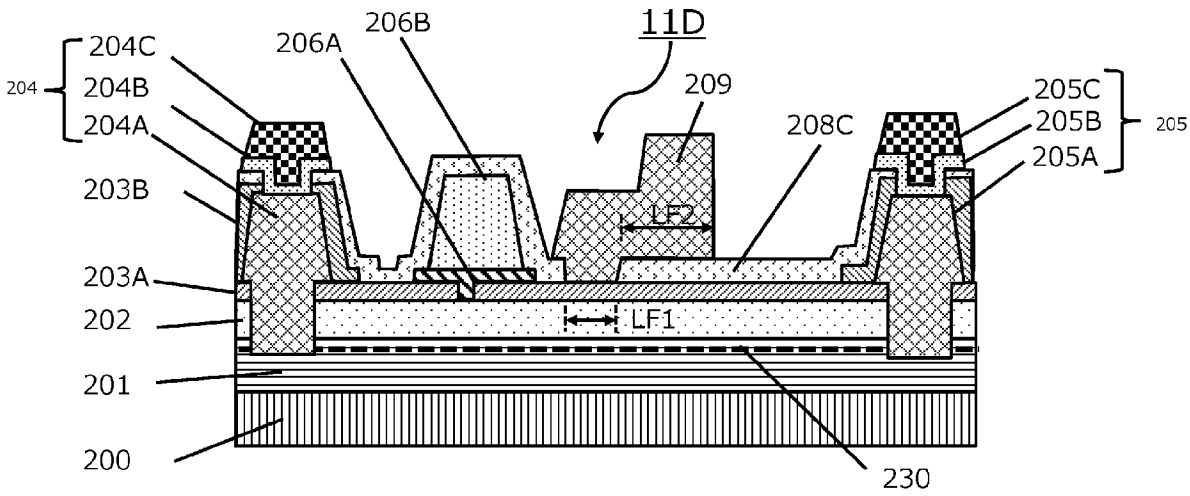
[図5S]


206B
206A
209
204A
208C
205A
203B
550
203A
202
201
200
230

[図5T]


270A
206A
206B
209
270B
204A
208C
205A
203B
550
203A
202
201
200
230

[図5U]


11D
204C
204B
204A
204
206A
206B
209
208C
205C
205B
205A
205
203B
203A
202
201
200
LF2
LF1
230

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2021/018033

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H01L21/28(2006.01)i, H01L29/06(2006.01)i, H01L29/41(2006.01)i, H01L21/338(2006.01)i, H01L29/778(2006.01)i, H01L29/812(2006.01)i
FI: H01L29/80H, H01L29/06301F, H01L21/28301B, H01L29/44Y, H01L29/44S
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H01L21/28, H01L29/06, H01L29/41, H01L21/338, H01L29/778, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2015-170821 A (FURUKAWA ELECTRIC CO., LTD.) 28 September 2015 (2015-09-28), paragraphs [0050]-[0054], [0063]-[0070], fig. 2	1-3, 5 9-14 4, 6-8, 15-18
Y A	JP 2004-200248 A (NEC CORPORATION) 15 July 2004 (2004-07-15), paragraphs [0082]-[0086], fig. 5, 6	9-12 1-18, 13-18
Y	WO 2019/176434 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 19 September 2019 (2019-09-19), paragraph [0025], fig. 1	12
Y A	JP 2010-278150 A (FUJITSU LIMITED) 09 December 2010 (2010-12-09), paragraphs [0046]-[0048], fig. 7	13 1-12, 14-18

☒ Further documents are listed in the continuation of Box C.
☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
20 July 2021	03 August 2021

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2021/018033

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2015-046445 A (FUJITSU LIMITED) 12 March 2015 (2015-03-12), paragraphs [0038], [0076], fig. 3	13 1-12, 14-18
Y A	JP 2014-072391 A (FUJITSU LIMITED) 21 April 2014 (2014-04-21), paragraphs [0023]-[0025], fig. 3	14 1-13, 15-18
Y A	JP 2011-249828 A (FUJITSU LIMITED) 08 December 2011 (2011-12-08), paragraphs [0010]-[0021], fig. 1-3	14 1-13, 15-18

JP 2015-170821 A	28 September 2015	(Family: none)
JP 2004-200248 A	15 July 2004	US 2006/0102929 A1 paragraphs [0140]-[0144], fig. 5, 6 WO 2004/055905 A1 CN 1748320 A
WO 2019/176434 A1	19 September 2019	(Family: none)
JP 2010-278150 A	09 December 2010	(Family: none)
JP 2015-046445 A	12 March 2015	US 2015/0060946 A1 paragraphs [0050], [0087], fig. 3
JP 2014-072391 A	21 April 2014	US 2014/0091424 A1 paragraphs [0052]-[0058], fig. 3 CN 103715243 A
JP 2011-249828 A	08 December 2011	(Family: none)

国際調査報告

国際出願番号
PCT/JP2021/018033

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 21/28(2006.01)i; H01L 29/06(2006.01)i; H01L 29/41(2006.01)i; H01L 21/338(2006.01)i; H01L 29/778(2006.01)i; H01L 29/812(2006.01)i
FI: H01L29/80 H; H01L29/06 301F; H01L21/28 301B; H01L29/44 Y; H01L29/44 S

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L21/28; H01L29/06; H01L29/41; H01L21/338; H01L29/778; H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２１年
日本国実用新案登録公報	１９９６－２０２１年
日本国登録実用新案公報	１９９４－２０２１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2015-170821 A (古河電気工業株式会社) 28.09.2015 (2015-09-28) 段落0050-0054,0063-0070, 図2	1-3,5
Y		9-14
A		4,6-8,15-18
Y	JP 2004-200248 A (日本電気株式会社) 15.07.2004 (2004-07-15) 段落0082-0086, 図5,6	9-12
A		1-8,13-18
Y	WO 2019/176434 A1 (ソニーセミコンダクタソリューションズ株式会社) 19.09.2019 (2019-09-19) 段落0025, 図1	12
Y	JP 2010-278150 A (富士通株式会社) 09.12.2010 (2010-12-09) 段落0046-0048, 図７	13
A		1-12,14-18

☑ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
20.07.2021	03.08.2021

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
恩田　和彦 5F 5896
電話番号 03-3581-1101 内線 3516

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2015-046445 A (富士通株式会社) 12.03.2015 (2015-03-12) 段落0038,0076, 図3	13
A		1-12,14-18
Y	JP 2014-072391 A (富士通株式会社) 21.04.2014 (2014-04-21) 段落0023-0025, 図3	14
A		1-13,15-18
Y	JP 2011-249828 A (富士通株式会社) 08.12.2011 (2011-12-08) 段落0010-0021, 図1-3	14
A		1-13,15-18

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2021/018033

引用文献	公表日	パテントファミリー文献	公表日
JP 2015-170821 A	28.09.2015	（ファミリーなし）	
JP 2004-200248 A	15.07.2004	US 2006/0102929 A1 段落0140-0144，図5,6 WO 2004/055905 A1 CN 1748320 A	
WO 2019/176434 A1	19.09.2019	（ファミリーなし）	
JP 2010-278150 A	09.12.2010	（ファミリーなし）	
JP 2015-046445 A	12.03.2015	US 2015/0060946 A1 段落0050,0087，図3	
JP 2014-072391 A	21.04.2014	US 2014/0091424 A1 段落0052-0058，図3 CN 103715243 A	
JP 2011-249828 A	08.12.2011	（ファミリーなし）	