

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6114577号
(P6114577)

(45) 発行日 平成29年4月12日(2017.4.12)

(24) 登録日 平成29年3月24日(2017.3.24)

(51) Int.Cl.

F I

H O 1 L 23/12 (2006.01)

H O 1 L 23/12 N

H O 5 K 3/46 (2006.01)

H O 1 L 23/12 E

H O 5 K 3/46 N

請求項の数 18 (全 48 頁)

(21) 出願番号 特願2013-44393 (P2013-44393)
 (22) 出願日 平成25年3月6日(2013.3.6)
 (65) 公開番号 特開2014-175356 (P2014-175356A)
 (43) 公開日 平成26年9月22日(2014.9.22)
 審査請求日 平成27年7月24日(2015.7.24)

前置審査

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 東京都江東区豊洲三丁目2番24号
 (74) 代理人 100080001
 弁理士 筒井 大和
 (72) 発明者 中川 和之
 神奈川県川崎市中原区下沼部1753番地
 ルネサスエレクトロニクス株式会社内

審査官 原田 貴志

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

複数の電極パッドが形成された表面、および前記表面の反対側に位置する裏面を有する半導体チップと、

前記半導体チップが搭載されているチップ搭載面、前記チップ搭載面の反対側に位置する実装面、前記チップ搭載面に配置され、前記半導体チップの前記複数の電極パッドと電氣的に接続されている複数のボンディングパッド、前記実装面に配置され、前記複数のボンディングパッドと電氣的に接続される複数の第1ランド、および前記複数のボンディングパッドと前記複数の第1ランドを電氣的に接続する複数層の配線層を有する配線基板と、

を有し、

前記配線基板は、

前記複数のボンディングパッドと電氣的に接続される複数の第1ビア配線、前記複数の第1ビア配線の周囲に、前記複数の第1ビア配線と離間して設けられている第1導体プレーン、および前記複数の第1ビア配線および前記第1導体プレーンを覆う第1絶縁層を備える第1配線層と、

前記複数の第1ビア配線と電氣的に接続されている複数の第2層配線、前記複数の第2層配線と電氣的に接続されている複数の第2ビア配線、前記複数の第2層配線および前記複数の第2ビア配線の周囲に、前記複数の第2層配線および前記複数の第2ビア配線と離間して設けられている第2導体プレーン、および、前記複数の第2層配線、前記複数の第

2 ピア配線、および前記第 2 導体プレーンを覆う第 2 絶縁層を備え、前記第 1 配線層よりも前記実装面側に位置している第 2 配線層と、

前記複数の第 2 ピア配線と電氣的に接続されている複数の第 1 スルーホールランド、前記複数の第 1 スルーホールランドの周囲に、前記複数の第 1 スルーホールランドと離間して設けられている第 3 導体プレーン、および、前記複数の第 1 スルーホールランドおよび前記第 3 導体プレーンを覆う第 3 絶縁層を備え、前記第 2 配線層よりも前記実装面側に位置している第 3 配線層と、

前記第 3 配線層が形成されている第 1 面、前記第 1 面の反対側に位置する第 2 面、前記第 1 または第 2 面のうち、一方から他方に向かって貫通するように形成されている複数のスルーホール、および、前記複数のスルーホールの内壁のそれぞれを覆うように形成され、かつ、前記複数の第 1 スルーホールランドのそれぞれと一体に形成されている複数のスルーホール配線、を備えているコア絶縁層と、

を有し、

前記配線基板の厚さ方向の断面視において、前記複数の第 2 層配線は前記第 1 配線層の前記第 1 導体プレーンと前記第 3 配線層の前記第 3 導体プレーンに挟まれており、

前記第 1 配線層の前記第 1 導体プレーンには、前記第 3 配線層の前記複数の第 1 スルーホールランドと厚さ方向に重なる位置に、前記複数の第 1 スルーホールランドのそれぞれの平面積よりも大きい開口面積を有し、前記第 1 絶縁層が開口部内全体に埋め込まれている複数の第 1 開口部が形成されており、

前記第 2 配線層の前記第 2 導体プレーンには、前記第 1 配線層の前記複数の第 1 開口部のそれぞれと厚さ方向に重なる位置に、前記複数の第 1 スルーホールランドのそれぞれの平面積よりも大きい開口面積を有している複数の第 2 開口部が形成されており、

平面視において、前記複数の第 2 ピア配線のそれぞれは、前記複数の第 1 および第 2 開口部内に形成され、かつ、前記複数の第 2 ピア配線のそれぞれは、前記第 1 配線層の前記第 1 導体プレーンと重ならず、

前記複数の第 2 ピア配線のそれぞれは、平面視において前記複数の第 1 スルーホールランドに重なり、かつ、前記複数のスルーホールには重ならない半導体装置。

【請求項 2】

請求項 1 において、

前記配線基板は、

前記コア絶縁層の前記第 2 面に形成され、かつ前記複数のスルーホール配線のそれぞれと一体に形成される複数の第 2 スルーホールランド、前記複数の第 2 スルーホールランドの周囲に、前記複数の第 2 スルーホールランドと離間して設けられている第 4 導体プレーン、および、前記複数の第 2 スルーホールランドおよび前記第 4 導体プレーンを覆う第 4 絶縁層を備え、前記コア絶縁層よりも前記実装面側に位置している第 4 配線層と、

前記複数の第 2 スルーホールランドと電氣的に接続されている複数の第 3 ピア配線、前記複数の第 3 ピア配線の周囲に、前記複数の第 3 ピア配線と離間して設けられている第 5 導体プレーン、および、前記複数の第 3 ピア配線および前記第 5 導体プレーンを覆う第 5 絶縁層を備え、前記第 4 配線層よりも前記実装面側に位置している第 5 配線層と、

前記複数の第 3 ピア配線と電氣的に接続されている複数の第 4 ピア配線、前記複数の第 4 ピア配線と電氣的に接続されている前記複数の第 1 ランド、前記複数の第 1 ランドおよび前記複数の第 4 ピア配線の周囲に、前記複数の第 1 ランドおよび前記複数の第 4 ピア配線と離間して設けられている第 6 導体プレーン、および前記複数の第 4 ピア配線および前記第 6 導体プレーンを覆う第 6 絶縁層を備える第 6 配線層と、

を有し、

前記複数の第 1 ランドのそれぞれの平面積は、前記複数の第 2 スルーホールランドのそれぞれの平面積よりも大きく、

前記第 4 配線層の前記第 4 導体プレーンには、前記第 6 配線層の前記複数の第 1 ランドと厚さ方向に重なる位置に、前記複数の第 1 ランドのそれぞれの平面積よりも大きい開口面積を有する複数の第 3 開口部が形成されており、

10

20

30

40

50

前記第 5 配線層の前記第 5 導体プレーンには、前記第 4 配線層の前記複数の第 3 開口部のそれぞれと厚さ方向に重なる位置に、前記複数の第 1 ランドのそれぞれの平面積よりも大きい開口面積を有する複数の第 4 開口部が形成されており、

平面視において、前記複数の第 4 ピア配線のそれぞれは、前記複数の第 3 および第 4 開口部内に形成され、かつ、前記複数の第 4 ピア配線のそれぞれは、前記第 4 配線層の前記第 4 導体プレーンおよび前記第 5 配線層の前記第 5 導体プレーンと重ならない半導体装置。

【請求項 3】

請求項 2 において、

前記第 1 配線層に形成される前記複数の第 1 開口部のそれぞれの開口面積は、

10

前記第 5 配線層に形成される前記複数の第 4 開口部のそれぞれの開口面積よりも小さい半導体装置。

【請求項 4】

請求項 3 において、

前記第 4 配線層に形成された前記複数の第 2 スルーホールランドと、前記第 6 絶縁層に形成された前記複数の第 1 ランドとは、厚さ方向に重なっている半導体装置。

【請求項 5】

請求項 4 において、

前記第 1 配線層に形成される前記複数の第 1 開口部のそれぞれの開口面積は、

前記第 4 配線層に形成される前記複数の第 3 開口部のそれぞれの開口面積よりも小さい半導体装置。

20

【請求項 6】

請求項 5 において、

前記第 1 配線層に形成される前記複数の第 1 開口部、前記第 2 配線層に形成される前記複数の第 2 開口部のそれぞれの開口形状および開口面積は同じであり、

平面視において、前記複数の第 1 開口部の輪郭と前記複数の第 2 開口部の輪郭は重なる半導体装置。

【請求項 7】

請求項 6 において、

前記第 4 配線層に形成される前記複数の第 3 開口部、前記第 5 配線層に形成される前記複数の第 4 開口部のそれぞれの開口形状および開口面積は同じであり、

30

平面視において、前記複数の第 3 開口部の輪郭と前記複数の第 4 開口部の輪郭は重なる半導体装置。

【請求項 8】

請求項 3 において、

前記第 4 配線層に形成された前記複数の第 2 スルーホールランドと、前記第 6 絶縁層に形成された前記複数の第 1 ランドとは、厚さ方向に重なっていない半導体装置。

【請求項 9】

請求項 8 において、

前記第 5 配線層には、前記複数の第 3 ピア配線と電氣的に接続されている複数の第 5 層配線が形成されており、

40

前記第 6 配線層の前記複数の第 4 ピア配線は、前記複数の第 5 層配線のそれぞれを介して前記複数の第 3 ピア配線と電氣的に接続されており、

前記配線基板の厚さ方向の断面視において、前記複数の第 5 層配線は前記第 4 配線層の前記第 4 導体プレーンと前記第 6 配線層の前記第 6 導体プレーンに挟まれている半導体装置。

【請求項 10】

請求項 9 において、

前記第 4 配線層に形成される前記複数の第 3 開口部のそれぞれの開口面積は、

前記第 5 配線層に形成される前記複数の第 4 開口部のそれぞれの開口面積よりも小さい

50

半導体装置。

【請求項 1 1】

請求項 1 0 において、

前記第 5 配線層の前記第 5 導体プレーンには、前記第 4 配線層の前記複数の第 2 スルーホールランドと厚さ方向に重なる位置に、前記複数の第 2 スルーホールランドのそれぞれの平面積よりも大きい開口面積を有し、前記第 5 絶縁層が開口部内全体に埋め込まれている複数の第 5 開口部が形成されており、

前記第 6 配線層の前記第 6 導体プレーンには、前記第 5 配線層の前記複数の第 5 開口部のそれぞれと厚さ方向に重なる位置に、前記複数の第 2 スルーホールランドのそれぞれの平面積よりも大きい開口面積を有している複数の第 6 開口部が形成されており、

平面視において、前記複数の第 3 ビア配線のそれぞれは、前記複数の第 5 および第 6 開口部内に形成され、かつ、前記複数の第 3 ビア配線のそれぞれは、前記第 4 配線層の前記第 4 導体プレーンおよび前記第 5 配線層の前記第 5 導体プレーンと重ならない半導体装置。

【請求項 1 2】

請求項 8 において、

前記配線基板の前記チップ搭載面側において、前記複数のボンディングパッドは、前記配線基板の前記複数の第 2 層配線を介して前記半導体チップへの入力信号が伝送される複数の入力用ボンディングパッドと、前記配線基板の前記複数の第 2 層配線に対して前記半導体チップからの出力信号が伝送される複数の出力用ボンディングパッドと、の対がそれぞれまとまって配置されており、

前記配線基板の前記実装面において、前記複数の第 1 ランドのうち、前記複数の入力用ボンディングパッドと電氣的に接続される複数の入力用ランドと、前記複数の出力用ボンディングパッドと電氣的に接続される複数の出力用ランドとは、異なる位置にそれぞれまとまって配置されている半導体装置。

【請求項 1 3】

請求項 1 において、

前記複数の第 1 ランドの平面積は、前記複数の第 1 スルーホールランドの平面積よりも大きく、

前記複数の第 1 開口部、および前記複数の第 2 開口部の開口面積は、前記複数の第 1 ランドの平面積よりも小さい半導体装置。

【請求項 1 4】

請求項 1 において、

前記複数の第 2 層配線のそれぞれは、差動信号が流れる一対の信号配線から成る半導体装置。

【請求項 1 5】

請求項 1 において、

前記第 1 配線層には、前記複数のボンディングパッドのうちの第 2 ボンディングパッドと電氣的に接続され、かつ、前記複数の第 2 層配線とは電氣的に分離されている第 1 層配線が形成されており、

前記複数の第 2 層配線に流れる電気信号の伝送速度は、前記第 1 層配線に流れる電気信号の伝送速度よりも大きい半導体装置。

【請求項 1 6】

請求項 1 において、

前記第 1 配線層には、前記複数のボンディングパッドのうちの第 2 ボンディングパッドと電氣的に接続され、かつ、前記複数の第 2 層配線とは電氣的に分離されている第 1 層配線が形成されており、

平面視において、前記第 1 層配線と前記複数の第 2 層配線は重ならないように配置されている半導体装置。

【請求項 1 7】

請求項 1 において、

前記第 1、第 2 および第 3 導体プレーンには、接地電位が供給されている半導体装置。

【請求項 18】

複数の電極パッドが形成された表面、および前記表面の反対側に位置する裏面を有する半導体チップと、

前記半導体チップが搭載されているチップ搭載面、前記チップ搭載面の反対側に位置する実装面、前記チップ搭載面に配置され、前記半導体チップの前記複数の電極パッドと電氣的に接続されている複数のボンディングパッド、前記実装面に配置され、前記複数のボンディングパッドと電氣的に接続される複数の第 1 ランド、および前記複数のボンディングパッドと前記複数の第 1 ランドを電氣的に接続する複数層の配線層を有する配線基板と

10

を有し、

前記配線基板は、

前記複数の第 1 ランド、前記複数の第 1 ランドと電氣的に接続される複数の第 1 ピア配線、前記複数の第 1 ランドおよび前記複数の第 1 ピア配線の周囲に、前記複数の第 1 ランドおよび前記複数の第 1 ピア配線と離間して設けられている第 1 導体プレーン、および前記複数の第 1 ピア配線および前記第 1 導体プレーンを覆う第 1 絶縁層を備える第 1 配線層と、

前記複数の第 1 ピア配線と電氣的に接続されている複数の第 2 層配線、前記複数の第 2 層配線と電氣的に接続されている複数の第 2 ピア配線、前記複数の第 2 層配線および前記複数の第 2 ピア配線の周囲に、前記複数の第 2 層配線および前記複数の第 2 ピア配線と離間して設けられている第 2 導体プレーン、および、前記複数の第 2 層配線、前記複数の第 2 ピア配線、および前記第 2 導体プレーンを覆う第 2 絶縁層を備え、前記第 1 配線層よりも前記チップ搭載面側に位置している第 2 配線層と、

20

前記複数の第 2 ピア配線と電氣的に接続されている複数の第 1 スルーホールランド、前記複数の第 1 スルーホールランドの周囲に、前記複数の第 1 スルーホールランドと離間して設けられている第 3 導体プレーン、および、前記複数の第 1 スルーホールランドおよび前記第 3 導体プレーンを覆う第 3 絶縁層を備え、前記第 2 配線層よりも前記チップ搭載面側に位置している第 3 配線層と、

前記第 3 配線層が形成されている第 1 面、前記第 1 面の反対側に位置する第 2 面、前記第 1 または第 2 面のうち、一方から他方に向かって貫通するように形成されている複数のスルーホール、および、前記複数のスルーホールの内壁のそれぞれを覆うように形成され、かつ、前記複数の第 1 スルーホールランドのそれぞれと一体に形成されている複数のスルーホール配線、を備えている第 4 絶縁層と、

30

を有し、

前記配線基板の厚さ方向の断面視において、前記複数の第 2 層配線は前記第 1 配線層の前記第 1 導体プレーンと前記第 3 配線層の前記第 3 導体プレーンに挟まれており、

平面視において、前記複数の第 1 スルーホールランドと前記複数の第 1 ランドは、それぞれ厚さ方向に重ならない位置に配置され、

前記第 2 配線層の前記第 2 導体プレーンには、前記第 3 配線層の前記複数の第 1 スルーホールランドと厚さ方向に重なる位置に、前記複数の第 1 スルーホールランドのそれぞれの平面積よりも大きい開口面積を有している複数の第 1 開口部が形成されており、

40

前記第 1 配線層の前記第 1 導体プレーンには、前記第 2 配線層の前記複数の第 1 開口部のそれぞれと厚さ方向に重なる位置に、前記複数の第 1 スルーホールランドのそれぞれの平面積よりも大きい開口面積を有し、第 1 絶縁層が開口部内全体に埋め込まれている複数の第 2 開口部が形成されており、

平面視において、前記複数の第 2 ピア配線のそれぞれは、前記複数の第 1 および第 2 開口部内に形成され、かつ、前記複数の第 2 ピア配線のそれぞれは、前記第 1 配線層の前記第 1 導体プレーンおよび前記第 2 配線層の前記第 2 導体プレーンと重ならず、

前記複数の第 2 ピア配線のそれぞれは、平面視において前記複数の第 1 スルーホールラ

50

ンドに重なり、かつ、前記複数のスルーホールには重ならない半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の技術に関し、例えば、複数の配線層が積層された配線基板上に半導体チップが搭載されている半導体装置に適用して有効な技術に関するものである。

【背景技術】

【0002】

特開2010-219498号公報（特許文献1）には、信号配線に接続されるソルダボールランドの周囲に対向する配線層の領域にボイド、またはフローティングパターンが形成された半導体装置が記載されている。

10

【0003】

また、特開2002-100932号公報（特許文献2）には、グランドパターンに切り欠きを設け、モニタ電極パッドを含む圧電振動子用配線パターンとグランドパターンが重畳しないよう構成された半導体装置が記載されている。

【0004】

また、特開2005-340636号公報（特許文献3）には、表面にボールを接続するためのボールパッドと厚さ方向に重なる位置に、フローティング導体層が形成された多層配線基板が記載されている。

【先行技術文献】

20

【特許文献】

【0005】

【特許文献1】特開2010-219498号公報

【特許文献2】特開2002-100932号公報

【特許文献3】特開2005-340636号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

本願発明者は、配線基板上に複数の半導体チップを積層した半導体装置の性能を向上させる技術を検討している。この一環として、複数の配線層が積層された配線基板上に半導体チップが搭載されている半導体装置について検討を行った。

30

【0007】

上記検討の結果、配線基板が備える複数の配線層のそれぞれに導体プレーンを形成する場合、半導体装置のノイズ耐性を向上させる観点からの課題が存在することを本願発明者は見出した。

【0008】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0009】

40

一実施の形態による半導体装置は、配線基板が備える複数の配線層のそれぞれに導体プレーンが形成されている。また、上記複数の配線層には、スルーホール配線と一体に形成されているスルーホールランドが形成された配線層が含まれる。また、スルーホールランドが形成された配線層の上層または下層に形成された配線層では、上記導体プレーンの上記スルーホールランドと厚さ方向に重なる位置に開口部が形成されている。また、上記開口部の開口面積は、上記スルーホールランドの平面積よりも大きいものである。

【発明の効果】

【0010】

上記一実施の形態によれば、半導体装置のノイズ耐性を向上させることができる。

【図面の簡単な説明】

50

【 0 0 1 1 】

【図 1】実施の形態の半導体装置の斜視図である。

【図 2】図 1 に示す半導体装置の下面図である。

【図 3】図 1 に示す放熱板を取り除いた状態で配線基板上の半導体装置の内部構造を示す透視平面図である。

【図 4】図 1 の A - A 線に沿った断面図である。

【図 5】図 4 に示す配線基板のチップ搭載面側（第 1 層目）の配線層のレイアウトを示す平面図である。

【図 6】図 5 に示す配線基板の一部を拡大して示す拡大平面図である。

【図 7】図 5 に示す配線基板の他の一部を拡大して示す拡大平面図である。

10

【図 8】図 7 の A - A 線に沿った拡大断面図である。

【図 9】ストリップラインの配線構造例を示す拡大断面図である。

【図 10】マイクロストリップラインの配線構造例を示す拡大断面図である。

【図 11】図 5 に示す配線層の一つ下層（第 2 層目）の配線層のレイアウトを示す平面図である。

【図 12】図 11 に示す配線層の一部を拡大して示す拡大平面図である。

【図 13】図 11 に示す配線層の他の一部を拡大して示す拡大平面図である。

【図 14】図 11 に示す配線層の一つ下層（第 3 層目）の配線層のレイアウトを示す平面図である。

【図 15】図 14 に示す配線層の一部を拡大して示す拡大平面図である。

20

【図 16】図 15 の A - A 線に沿った拡大断面図である。

【図 17】図 14 に示す配線層の一つ下層（第 4 層目）の配線層のレイアウトを示す平面図である。

【図 18】図 17 に示す配線層の一つ下層（第 5 層目）の配線層のレイアウトを示す平面図である。

【図 19】図 4 に示す配線基板の実装面側（第 6 層目）の配線層のレイアウトを示す平面図である。

【図 20】図 2 に示す半田ボールのレイアウトの詳細を示す拡大平面図である。

【図 21】図 16 に示す高速伝送経路の接続構造を模式的に示す説明図である。

【図 22】図 21 に対する検討例を示す説明図である。

30

【図 23】図 15 に示す拡大平面における第 1 層目の配線層の導体のパターンニングを示す拡大平面図である。

【図 24】図 15 に示す拡大平面における第 2 層目の配線層の導体のパターンニングを示す拡大平面図である。

【図 25】図 21 に対する他の検討例を示す説明図である。

【図 26】図 15 に示す拡大平面における第 4 層目の配線層の導体のパターンニングを示す拡大平面図である。

【図 27】図 15 に示す拡大平面における第 5 層目の配線層の導体のパターンニングを示す拡大平面図である。

【図 28】図 15 に示す拡大平面における第 6 層目の配線層の導体のパターンニングを示す拡大平面図である。

40

【図 29】図 21 に示す配線基板と図 22 に示す配線基板について、電気的特性の評価を行った結果を示す説明図である。

【図 30】図 26 とは異なる領域における第 4 層目の配線層の導体のパターンニングを示す拡大平面図である。

【図 31】図 30 の A - A 線に沿った拡大断面図である。

【図 32】図 30 に示す拡大平面における第 5 層目の配線層の導体のパターンニングを示す拡大平面図である。

【図 33】図 30 に示す拡大平面における第 6 層目の配線層の導体のパターンニングを示す拡大平面図である。

50

【図 3 4】図 3 2 に示す配線が接続されるビア配線の周辺を拡大して示す拡大平面図である。

【図 3 5】図 3 4 の A - A 線に沿った拡大断面図である。

【図 3 6】図 3 4 に示す拡大平面における第 4 層目の導体のパターンニングを示す拡大平面図である。

【図 3 7】図 3 4 に示す拡大平面における第 6 層目の導体のパターンニングを示す拡大平面図である。

【図 3 8】図 4 に示す配線基板のチップ搭載面側におけるパッド配列の一例を模式的に示す平面図である。

【図 3 9】図 4 に示す配線基板の実装面側におけるランド配列の一例を模式的に示す拡大平面図である。

10

【図 4 0】実装基板上に図 3 9 に示す半導体装置を複数個実装して、カスケード接続した状態を模式的に示す説明図である。

【図 4 1】図 1 ~ 図 4 0 を用いて説明した半導体装置の組立工程のフローを示す説明図である。

【図 4 2】図 4 に対する変形例である半導体装置を示す断面図である。

【図 4 3】図 4 に対する他の変形例である半導体装置を示す断面図である。

【発明を実施するための形態】

【0012】

(本願における記載形式・基本的用語・用法の説明)

20

本願において、実施の態様の記載は、必要に応じて、便宜上複数のセクション等に分けて記載するが、特にそうでない旨明示した場合を除き、これらは相互に独立別個のものではなく、記載の前後を問わず、単一の例の各部分、一方が他方の一部詳細または一部または全部の変形例等である。また、原則として、同様の部分は繰り返しの説明を省略する。また、実施の態様における各構成要素は、特にそうでない旨明示した場合、理論的にその数に限定される場合および文脈から明らかにそうでない場合を除き、必須のものではない。

【0013】

同様に実施の態様等の記載において、材料、組成等について、「A からなる X」等であっても、特にそうでない旨明示した場合および文脈から明らかにそうでない場合を除き、A 以外の要素を含むものを排除するものではない。たとえば、成分についていえば、「A を主要な成分として含む X」等の意味である。たとえば、「シリコン部材」等であっても、純粋なシリコンに限定されるものではなく、SiGe (シリコン・ゲルマニウム) 合金やその他シリコンを主要な成分とする多元合金、その他の添加物等を含む部材も含むものであることはいうまでもない。また、金めっき、Cu 層、ニッケル・めっき等であっても、そうでない旨、特に明示した場合を除き、純粋なものだけでなく、それぞれ金、Cu、ニッケル等を主要な成分とする部材を含むものとする。

30

【0014】

さらに、特定の数値、数量に言及したときも、特にそうでない旨明示した場合、理論的にその数に限定される場合および文脈から明らかにそうでない場合を除き、その特定の数値を超える数値であってもよいし、その特定の数値未満の数値でもよい。

40

【0015】

また、本願では、平面や側面という用語を用いるが、半導体チップの半導体素子形成面を基準面として、その基準面に平行な面を平面として記載する。また、平面に対して交差する面を側面として記載する。また、側面視において、離間して配置される二つの平面間を結ぶ方向を厚さ方向として記載する。

【0016】

また、本願では、上面、あるいは下面という用語を用いる場合があるが、半導体パッケージの実装態様には、種々の態様が存在するので、半導体パッケージを実装した後、例えば上面が下面よりも下方に配置される場合もある。本願では、半導体チップの素子形成面

50

側の平面を上面、上面とは反対側に位置する面を下面として記載する。

【0017】

また、実施の形態の各図中において、同一または同様の部分は同一または類似の記号または参照番号で示し、説明は原則として繰り返さない。

【0018】

また、添付図面においては、却って、煩雑になる場合または空隙との区別が明確である場合には、断面であってもハッチング等を省略する場合がある。これに関連して、説明等から明らかである場合等には、平面的に閉じた孔であっても、背景の輪郭線を省略する場合がある。更に、断面でなくとも、空隙でないことを明示するため、あるいは領域の境界を明示するために、ハッチングやドットパターンを付すことがある。

10

【0019】

(実施の形態)

図1は本実施の形態の半導体装置の斜視図、図2は、図1に示す半導体装置の下面図である。また、図3は、図1に示す放熱板を取り除いた状態で配線基板上の半導体装置の内部構造を示す透視平面図である。また、図4は図1のA-A線に沿った断面図である。なお、図1～図4では、見易さのため、端子数を少なくして示している。また、図4では、見易さのため、図2に示す例よりも半田ボール4の数を少なくして示している。端子(ボンディングパッド2PD、ランド2LD、半田ボール4)の数は、図1～図4に示す態様には限定されない。例えば、ボンディングパッド2PD、ランド2LD、半田ボール4などの端子数が、それぞれ100個～10,000個程度の半導体装置に適用することができる。

20

【0020】

<半導体装置>

まず、本実施の形態の半導体装置1の概要構成について、図1～図4を用いて説明する。本実施の形態の半導体装置1は、配線基板2、および配線基板2上に搭載された半導体チップ3(図4参照)を備えている。

【0021】

図4に示すように、配線基板2は、半導体チップ3が搭載された上面(面、主面、第1面、チップ搭載面)2a、上面2aとは反対側の下面(面、主面、第2面、実装面)2b、および上面2aと下面2bの間に配置された複数の側面2s(図1～図3参照)を有し、図2および図3に示すように平面視において四角形の外形形状を成す。図2および図3に示す例では、配線基板2の平面サイズ(平面視における寸法、上面2aおよび下面2bの寸法、外形サイズ)は、例えば一辺の長さが12mm～60mm程度の正方形または長方形を成す。また、配線基板2の厚さ(高さ)、すなわち、図4に示す上面2aから下面2bまでの距離は、例えば0.3mm～1.3mm程度である。

30

【0022】

配線基板2は、上面2a側に搭載された半導体チップ3と図示しない実装基板を電氣的に接続するためのインタポーザ(中継基板)であって、チップ搭載面である上面2a側と実装面である下面2b側を電氣的に接続する複数の配線層(図4に示す例では6層)を有する。配線基板2は、例えば、ガラス繊維または炭素繊維に樹脂を含浸させたプリプレグからなる絶縁層(コア材、コア絶縁層)2CRの上面2Caおよび下面2Cbに、それぞれ複数の配線層をビルドアップ工法により積層することで、形成されている。また、絶縁層2CRの上面2Ca側の配線層と下面2Cb側の配線層とは、上面2Caと下面2Cbのうちの一方から他方までを貫通するように設けられた複数の貫通孔(スルーホール)に埋め込まれた、複数のスルーホール配線2TWを介して電氣的に接続されている。

40

【0023】

配線基板2の上面2aには、半導体チップ3と電氣的に接続される複数のボンディングパッド(ボンディングリード、半導体チップ接続用端子)2PDが形成されている。また、配線基板2の下面2bには、半導体装置1の外部入出力端子である複数のランド2LDが形成されている。複数のボンディングパッド2PDと複数のランド2LDは、配線基板

50

2 に形成された複数の配線 2 d やスルーホール配線 2 T W を介して、それぞれ電氣的に接続されている。配線基板 2 が有する各配線層の詳細な構成は、後述する。

【 0 0 2 4 】

また、図 4 に示す例では、複数のランド 2 L D のそれぞれには、半田ボール（半田材、外部端子、電極、外部電極）4 が接続されている。半田ボール 4 は、半導体装置 1 を図示しない実装基板に実装する際に、実装基板側の複数の端子（図示は省略）と複数のランド 2 L D を電氣的に接続する、導電性部材である。半田ボール 4 は、例えば、鉛（P b）入りの S n - P b 半田材や、P b を実質的に含まない、所謂、鉛フリー半田からなる半田材である。鉛フリー半田の例としては、例えば錫（S n）のみ、錫 - ビスマス（S n - B i）、または錫 - 銅 - 銀（S n - C u - A g）、錫 - 銅（S n - C u）などが挙げられる。ここで、鉛フリー半田とは、鉛（P b）の含有量が 0 . 1 w t % 以下のものを意味し、この含有量は、R o H S（Restriction of Hazardous Substances）指令の基準として定められている。

10

【 0 0 2 5 】

また、図 2 に示すように複数の半田ボール 4 は、行列状（アレイ状、マトリクス状）に配置されている。また、図 2 では図示を省略するが、複数の半田ボール 4 が接合される複数のランド 2 L D（図 4 参照）も行列状（マトリクス状）に配置されている。このように、配線基板 2 の実装面側に、複数の外部端子（半田ボール 4、ランド 2 L D）を行列状に配置する半導体装置を、エリアアレイ型の半導体装置と呼ぶ。エリアアレイ型の半導体装置は、配線基板 2 の実装面（下面 2 b）側を、外部端子の配置スペースとして有効活用することができるので、外部端子数が増大しても半導体装置の実装面積の増大を抑制することができる点で好ましい。つまり、高機能化、高集積化に伴って、外部端子数が増大する半導体装置を省スペースで実装することができる。

20

【 0 0 2 6 】

また、半導体装置 1 は、配線基板 2 上に搭載される半導体チップ 3 を備えている。図 4 に示すように、半導体チップ 3 のそれぞれは、表面（主面、上面）3 a、表面 3 a とは反対側の裏面（主面、下面）3 b、および、表面 3 a と裏面 3 b との間に位置する側面 3 s を有し、図 3 に示すように平面視において配線基板 2 よりも平面積が小さい四角形の外形形状を成す。図 3 に示す例では、半導体チップ 3 は、四つの側面 3 s のそれぞれが、配線基板 2 の四つの側面 2 s のそれぞれに沿って延びるように配線基板 2 の上面 2 a の中央部に搭載されている。

30

【 0 0 2 7 】

また、図 4 に示すように、半導体チップ 3 の表面 3 a には、複数のパッド（ボンディングパッド）3 P D が形成されている。本実施の形態では、半導体チップ 3 の表面 3 a には、複数のパッド 3 P D が行列状（マトリクス状、アレイ状）に配置されている。半導体チップ 3 の電極である複数のパッド 3 P D を行列状に配置することで、半導体チップ 3 の表面 3 a を電極の配置スペースとして有効活用することができるので、半導体チップ 3 の電極数が増大しても平面積の増大を抑制することができる点で好ましい。ただし、図示は省略するが、本実施の形態に対する変形例としては、複数のパッドが表面 3 a の周縁部に形成されるタイプの半導体チップに適用することもできる。

40

【 0 0 2 8 】

また、図 4 に示す例では、半導体チップ 3 は、表面 3 a が配線基板 2 の上面 2 a と対向配置された状態で、配線基板 2 上に搭載されている。このような搭載方式は、フェイスダウン実装方式、あるいはフリップチップ接続方式と呼ばれる。

【 0 0 2 9 】

また、図示は省略するが、半導体チップ 3 の主面（詳しくは、半導体チップ 3 の基材である半導体基板の素子形成面に設けられた半導体素子形成領域）には、複数の半導体素子（回路素子）が形成されている。複数のパッド 3 P D は、半導体チップ 3 の内部（詳しくは、表面 3 a と図示しない半導体素子形成領域の間）に配置される配線層に形成された配線（図示は省略）を介して、この複数の半導体素子と、それぞれ電氣的に接続されている

50

。

【0030】

半導体チップ3（詳しくは、半導体チップ3の基材）は、例えばシリコン（Si）から成る。また、表面3aには、半導体チップ3の基材および配線を覆う絶縁膜が形成されており、複数のパッド3PDのそれぞれの表面は、この絶縁膜に形成された開口部において、絶縁膜から露出している。また、複数のパッド3PDは、それぞれ金属からなり、本実施の形態では、例えばアルミニウム（Al）からなる。

【0031】

また、図4に示すように、複数のパッド3PDにはそれぞれ突起電極3BPが接続され、半導体チップ3の複数のパッド3PDと、配線基板2の複数のボンディングパッド2PDとは、複数の突起電極3BPを介して、それぞれ電氣的に接続されている。突起電極3BPは、半導体チップ3の表面3a上に突出するように形成された金属部材である。突起電極3BPは、本実施の形態では、パッド3PD上に、下地金属膜（アンダーバンプメタル）を介して半田材が積層された、所謂、半田バンプである。下地金属膜は、例えば、パッド3PDとの接続面側からチタン（Ti）、銅（Cu）、ニッケル（Ni）が積層された積層膜（ニッケル膜上にさらに金（Au）膜を形成する場合もある）を例示することができる。また、半田バンプを構成する半田材としては、上記した半田ボール4と同様に、鉛入りの半田材や鉛フリー半田を用いることができる。半導体チップ3を配線基板2に搭載する際には、複数のパッド3PDおよび複数のボンディングパッド2PDの双方に、予め半田バンプを形成しておき、半田バンプ同士を接触させた状態で加熱処理（リフロー処理）を施すことで、半田バンプ同士が一体化して、突起電極3BPが形成される。また、本実施の形態に対する変形例としては、銅（Cu）やニッケル（Ni）からなる導体柱の先端面に半田膜を形成したピラーバンプを突起電極3BPとして用いても良い。

【0032】

また、本実施の形態では、半導体チップ3は、伝送速度の異なる複数の信号が入出力される回路を備えている。図示は省略するが、半導体チップ3には、第1の伝送速度で第1信号が入出力される第1回路と、上記第1の伝送速度よりも早い、第2の伝送速度で第2信号が入出力される第2回路と、を備えている。第2信号としては、例えば、10Gbps（Gigabit per second）～25Gbps程度の伝送速度で、差動信号が伝送される。以下、本実施の形態において、第2信号が伝送される伝送経路を高速伝送経路と記載して説明する。また、第2の伝送速度よりも遅い第1の伝送速度で第1信号が伝送される伝送経路を低速伝送経路として説明する。なお、第1回路には、上記第1信号の他、第1回路を駆動する第1駆動電圧が供給される。また、なお、第2回路には、上記第2信号の他、第2回路を駆動する第2駆動電圧が供給される。

【0033】

また、図4に示すように半導体チップ3と配線基板2の間には、アンダフィル樹脂（絶縁性樹脂）5が配置される。アンダフィル樹脂5は、半導体チップ3の表面3aと配線基板2の上面2aの間の空間を塞ぐように配置される。また、アンダフィル樹脂5は、絶縁性（非導電性）の材料（例えば樹脂材料）から成り、半導体チップ3と配線基板2の電氣的接続部分（複数の突起電極3BPの接合部）を封止するように配置される。このように、複数の突起電極3BPの接続部を封止するようにアンダフィル樹脂5を配置することで、半導体チップ3と配線基板2の電氣的接続部分に生じる応力を緩和させることができる。

【0034】

また、図4に示す例では、半導体チップ3の裏面3bには、放熱板（ヒートスプレッダ）6が貼り付けられている。放熱板6は、例えば、配線基板2よりも熱伝導率が高い金属板であって、半導体チップ3で発生した熱を外部に排出する機能を備えている。また、放熱板6は、接着材（放熱樹脂）7を介して半導体チップ3の裏面3bに貼り付けられている。接着材7は、例えば、多数の金属粒子やフィラ（例えばアルミナなど）を含有させることにより、アンダフィル樹脂5よりも熱伝導率が高くなっている。

【0035】

また、図1および図4に示す例では、半導体チップ3の周囲には、放熱板6を支持する支持枠（スティフナリング）8が固定されている。放熱板6は、半導体チップ3の裏面3bおよび支持枠8に接着固定されている。半導体チップ3の周囲に金属性の支持枠8を固定することで、配線基板2の反り変形を抑制することができるので、実装信頼性を向上させる観点から好ましい。また、半導体チップ3の周囲を囲むように設けられた支持枠8に、放熱板6を接着固定することで、放熱板6の平面積を大きくすることができる。つまり放熱板6の表面積を大きく確保することにより放熱性能を向上でき、かつ半導体チップ3上に安定的に固定する観点から、放熱板6を支持枠8に接着固定することが好ましい。

【0036】

< 配線基板の詳細 >

次に、図1～図4に示す配線基板2の詳細について説明する。図5は、図4に示す配線基板のチップ搭載面側（第1層目）の配線層のレイアウトを示す平面図である。また、図6は、図5に示す配線基板の一部を拡大して示す拡大平面図である。また、図7は図5に示す配線基板の他の一部を拡大して示す拡大平面図である。また、図8は図7のA-A線に沿った拡大断面図である。また、図9は、ストリップラインの配線構造例を示す拡大断面図である。また図10は、マイクロストリップラインの配線構造例を示す拡大断面図である。また、図11は、図5に示す配線層の一つ下層（第2層目）の配線層のレイアウトを示す平面図である。また、図12は、図11に示す配線層の一部を拡大して示す拡大平面図である。また、図13は、図11に示す配線層の他の一部を拡大して示す拡大平面図である。また、図14は、図11に示す配線層の一つ下層（第3層目）の配線層のレイアウトを示す平面図である。また、図15は、図14に示す配線層の一部を拡大して示す拡大平面図である。また、図16は図15のA-A線に沿った拡大断面図である。また、図17は図14に示す配線層（第4層目）の一つ下層の配線層のレイアウトを示す平面図である。また、図18は図17に示す配線層の一つ下層（第5層目）の配線層のレイアウトを示す平面図である。また、図19は図4に示す配線基板の実装面側（第6層目）の配線層のレイアウトを示す平面図である。

【0037】

なお、図5および図11では、配線2d1、2d2が絶縁層2eに覆われているが、配線レイアウトの見易さのため、配線2d1、2d2を実線（または二点鎖線）で示している。また、配線2d1は、図11に示す配線層WL2には存在しないが、配線2d1と配線2d2の平面的な位置関係が判るように、配線2d1を二点鎖線で示している。また、図6、図7、図12、図13、図15は、拡大平面図であるが、導体パターンの境界を明示するために、配線、ビア配線、スルーホールランド、および導体プレーンなどの導体パターンにハッチングを付して示している。

【0038】

< 第1層目の配線層 >

図5に示すように、配線基板2のチップ搭載面である上面2aを持つ配線層（第1配線層）WL1は、複数のボンディングパッド2PDを備えている。複数のボンディングパッド2PDには、上記第1の伝送速度で第1信号電流が流れる複数のボンディングパッド（第2ボンディングパッド）2PDaが含まれる。また、複数のボンディングパッド2PDには、上記第1の伝送速度よりも早い、上記第2の伝送速度で第2信号電流が流れる複数のボンディングパッド（第1ボンディングパッド）2PDbが含まれる。本実施の形態では、複数のボンディングパッド2PDbには、例えば、10Gbps～25Gbps程度の伝送速度で、差動信号が伝送される。また、図示は省略するが、複数のボンディングパッド2PDには、図4に示す半導体チップ3に形成された回路に、電源電位または基準電位を供給する複数のボンディングパッド（電源用ボンディングパッド）2PDが含まれる。また、複数のボンディングパッド2PDには、信号伝送経路のリファレンス用の基準電位が供給されるボンディングパッド2PDが含まれる。

【0039】

また、配線層 W L 1 は、複数のボンディングパッド 2 P D と電氣的に接続される複数のビア配線 2 V 1 を備えている。複数のビア配線 2 V 1 には、図 6 に示すように、複数の配線（第 1 層配線）2 d 1（配線 2 d 1 a）を介して複数のボンディングパッド 2 P D a と、それぞれ電氣的に接続される、複数のビア配線 2 V 1 a が含まれる。複数の配線 2 d 1 a および複数のビア配線 2 V 1 a は、上記した低速伝送経路を構成する。また、複数のビア配線 2 V 1 には、図 7 に示すように、複数のボンディングパッド 2 P D b と、それぞれ電氣的に接続される、複数のビア配線（第 1 ビア配線）2 V 1 b が含まれる。複数のビア配線 2 V 1 b は、上記した高速伝送経路を構成する。

【 0 0 4 0 】

また、配線層 W L 1 は、複数のビア配線 2 V 1 の周囲に、複数のビア配線 2 V 1 と離間して配置されている導体プレーン（第 1 導体プレーン）2 P L 1 を備えている。導体プレーン 2 P L 1 は、複数のボンディングパッド 2 P D、複数の配線 2 d 1、および複数のビア配線 2 V 1 と接触しないようにパターンニングされた板状の導体層（金属層、導体パターン）である。本実施の形態では、導体プレーン 2 P L 1 は、配線基板 2 の上面 2 a において、複数のボンディングパッド 2 P D、複数の配線 2 d 1、および複数のビア配線 2 V 1 が形成されていない領域のほぼ全体を覆うように、形成されている。導体プレーン 2 P L 1 には、図 4 に示す半導体チップ 3 に形成された回路を駆動するための電源電位、あるいは、基準電位としての接地電位（G N D）が供給される。図 5 に示す例では、導体プレーン 2 P L 1 には、上記した第 1 回路と第 2 回路に共通して供給される、接地電位が供給される。

【 0 0 4 1 】

また、配線層 W L 1 は、複数のビア配線 2 V 1 と導体プレーン 2 P L 1 を覆う絶縁層（第 1 絶縁層、ソルダレジスト膜）2 e 1 を備えている。図 5 に示すように、絶縁層 2 e 1 は、配線基板 2 の上面 2 a 全体を覆うように形成されている。ただし、図 6 に示すように、配線基板 2 の上面 2 a のうち、複数のボンディングパッド 2 P D が形成された領域には、絶縁層 2 e 1 に開口部 2 e k 1 がそれぞれ形成され、複数のボンディングパッド 2 P D の少なくとも一部は、開口部 2 e k 1 において、絶縁層 2 e 1 から露出している。図 4 に示す突起電極 3 B P は、図 6 に示す開口部 2 e k 1 においてボンディングパッド 2 P D と電氣的に接続されている。このようにボンディングパッド 2 P D のそれぞれを絶縁層 2 e 1 から露出させることで、図 4 に示すように、半導体チップ 3 の複数のパッド 3 P D と、配線基板 2 の複数のボンディングパッド 2 P D と、電氣的に接続することができる。

【 0 0 4 2 】

ここで、配線基板 2 が有する複数の伝送経路には、上記したように例えば、10 G b p s ~ 25 G b p s 程度の伝送速度で、差動信号が伝送される伝送経路（高速伝送経路）が含まれる。このように伝送経路を高速化する場合、図 9 に示すストリップラインの配線構造の方が、図 10 に示すマイクロストリップラインの配線構造よりも、有利な点がある。

【 0 0 4 3 】

図 9 に示す配線構造例では、配線 2 d の上層の配線層、および配線 2 d の下層の配線層にそれぞれ導体プレーン 2 P L が形成されている。言い換えれば、側面視において、配線 2 d は、上層の配線層に形成された導体プレーン 2 P L と下層の配線層に形成された導体プレーン 2 P L の間に挟まれている。また、配線 2 d と同層の配線層には、配線 2 d と離間するように導体プレーン 2 P L が形成され、配線 2 d の周囲は導体プレーン 2 P L に囲まれている。図 9 に示す配線構造は、ストリップラインと呼ばれる。

【 0 0 4 4 】

一方、図 10 に示す配線構造例では、配線 2 d の下層の配線層には、導体プレーン 2 P L が配置されている。また、配線 2 d と同層の配線層には、配線 2 d と離間するように導体プレーン 2 P L が形成され、配線 2 d の周囲は導体プレーン 2 P L に囲まれている。しかし、図 10 に示す配線構造例では、配線 2 d は最上層の配線層に形成されているため、配線 2 d の上層には導体プレーン 2 P L が形成されていない。図 10 に示す配線構造は、

マイクロストリップラインと呼ばれる。

【 0 0 4 5 】

図 1 0 に示すマイクロストリップラインの場合、配線 2 d の下方には、配線 2 d と厚さ方向に重なる位置に、導体プレーン 2 P L が配置されている。このため、配線 2 d の下方では、電界や磁界が広がり難い。また、配線 2 d と同層の配線層には、配線 2 d と離間するように導体プレーン 2 P L が形成され、配線 2 d の周囲は導体プレーン 2 P L に囲まれている。このため、平面視における配線 2 d の周囲においては、電界や磁界が広がり難い。しかし、配線 2 d の上方には、導体プレーン 2 P L が形成されていないので、配線 2 d の上方では、電界や磁界が配線 2 d の下方と比較して広がり易い。このため、図 9 に示すストリップラインと比較して、外来ノイズの影響、あるいは、近傍に配置される他の配線からのノイズ伝播の影響を受け易い。

10

【 0 0 4 6 】

信号電流の伝送経路のノイズ耐性を向上させるためには、伝送経路中のインピーダンス整合を行うことが重要になる。特に、差動信号を伝送する場合には、対になる信号配線間でのインピーダンスを高精度で整合させる技術が要求される。しかし、信号の伝送経路がノイズの影響を受け易い構造である場合、クロストークや外来ノイズ影響でジッターが発生する。特に、信号の伝送速度を高速化させる場合には、伝送経路中のインピーダンス整合を高精度で行う必要があることと、ノイズ影響を少なくする対策をしなければ、伝送品質低下の原因になる。

【 0 0 4 7 】

20

図 1 0 に示すマイクロストリップラインを適用した伝送経路では、ノイズ影響を受け易い。またマイクロストリップライン線路はストリップ線路と比較して、一方の導体プレーンが無い場合、インピーダンス整合のためには、同様な材料 / 厚み寸法構成では、差動・コモンインピーダンスの双方を考慮した場合、一般的には配線幅を太くする必要がある。

【 0 0 4 8 】

一方、図 9 に示すストリップラインの場合、上記したように配線 2 d は、上層の配線層に形成された導体プレーン 2 P L と下層の配線層に形成された導体プレーン 2 P L の間に挟まれている。また、配線 2 d と同層の配線層には、配線 2 d と離間するように導体プレーン 2 P L が形成され、配線 2 d の周囲は導体プレーン 2 P L に囲まれている。したがって、配線 2 d の上方、下方、および周囲のそれぞれで電界や磁界が広がり難くなっている。

30

【 0 0 4 9 】

このため、配線幅や配置間隔を揃えた条件下では、図 9 に示すストリップラインの配線構造は、図 1 0 に示すマイクロストリップラインの配線構造よりもノイズ耐性が高い。言い換えれば、ストリップラインの場合、マイクロストリップラインの場合よりも配線 2 d の幅を細くすることができる。また、ストリップラインの場合、マイクロストリップラインの場合よりも配線 2 d の配置間隔を小さくすることができる。すなわち、ストリップラインの場合、マイクロストリップラインの場合よりも、高速信号経路の高密度設計が可能になる。

【 0 0 5 0 】

40

上記したように、本実施の形態の配線基板 2 に形成された複数の伝送経路のうち、図 7 に示すボンディングパッド 2 P D b およびビア配線 2 V 1 b を含む伝送経路は、図 6 に示すボンディングパッド 2 P D a、配線 2 d 1 a およびビア配線 2 V 1 a を含む伝送経路と比較して、ノイズ影響が少なくインピーダンス整合された高密度設計、高速伝送が必要なことから、図 7 に示すボンディングパッド 2 P D b およびビア配線 2 V 1 b を含む伝送経路は、上記したストリップラインの配線構造になっている。

【 0 0 5 1 】

詳しくは、図 8 に示すように、ボンディングパッド 2 P D b を含む伝送経路（高速伝送経路）では、配線層 W L 1 と配線層（第 2 配線層）W L 2 を電氣的に接続する層間導電路であるビア配線 2 V 1 b は、ボンディングパッド 2 P D b の近傍に配置されている。そし

50

て、ボンディングパッド 2 P D b と電氣的に接続され、高速で信号を伝送する配線 2 d 2 b は、配線層 W L 2 に形成されている。また、配線 2 d 2 b と厚さ方向に重なる位置には、配線層 W L 1 に導体プレーン 2 P L 1 が、配線層（第 3 配線層）W L 3 に導体プレーン 2 P L 3 が、それぞれ形成されている。言い換えれば、側面視において、配線 2 d 2 b は、配線層 W L 1 の導体プレーン 2 P L 1 と配線層 W L 3 の導体プレーン 2 P L 3 に挟まれている。また、図 1 3 に示すように、配線 2 d 2 の周囲には、配線 2 d 2 と離間するように、導体プレーン 2 P L 2 が形成されており、配線 2 d 2 の周囲は、導体プレーン 2 P L 2 に囲まれている。このように、伝送速度が特に早い、高速伝送経路についてストリップラインの配線構造を適用することにより、高速伝送経路の高密度化設計が可能になる。

【 0 0 5 2 】

10

一方、図 6 に示すボンディングパッド 2 P D a、配線 2 d 1 a およびビア配線 2 V 1 a を含む伝送経路、すなわち伝送速度が相対的に低い低速伝送経路あるいはノイズ耐性のマージンがある伝送経路では、例えば上記したマイクロストリップラインの配線構造を適用することができる。このため、例えば図 6 に示すように、ボンディングパッド 2 P D a とビア配線 2 V 1 a は、図 7 に示すボンディングパッド 2 P D b とビア配線 2 V 1 b の間の距離よりも相対的に離れた位置に配置され、配線層 W L 1 に形成された配線 2 d 1 を介して電氣的に接続されている。配線層 W L 2 に低速伝送経路の配線を配置するスペースを確保できる場合には、図 6 に示す配線 2 d 1 a を配線層 W L 2 に形成しても良い。

【 0 0 5 3 】

< 第 2 層目の配線層 >

20

次に、図 1 1 に示す第 2 層目の配線層（第 2 配線層）W L 2 は、複数のビア配線 2 V 1 と電氣的に接続されている複数の配線（第 2 層配線）2 d 2、および複数の配線 2 d 2 と電氣的に接続されている複数のビア配線 2 V 2 を備えている。複数のビア配線 2 V 2 には、図 1 2 に示すように、配線層 W L 1（図 6 参照）に形成された複数のビア配線 2 V 1 a と電氣的に接続されている複数のビア配線 2 V 2 a が含まれる。複数のビア配線 2 V 2 a は、上記した低速伝送経路を構成する。また、複数のビア配線 2 V 2 には、図 1 3 に示すように、複数の配線 2 d 2（配線 2 d 2 b）を介して複数のビア配線 2 V 1 b とそれぞれ電氣的に接続される、複数のビア配線 2 V 2 b が含まれる。複数の配線 2 d 2 b および複数のビア配線 2 V 2 b は、上記した高速伝送経路を構成する。

【 0 0 5 4 】

30

また、複数の配線 2 d 2 b および複数のビア配線 2 V 2 b には、上記したように差動信号が伝送される。このため、複数の配線 2 d 2 b のそれぞれは、インピーダンスを整合させた 2 本の配線 2 d 2 b が対を成して差動対を構成する。また、複数のビア配線 2 V 2 b のそれぞれは、2 個のビア配線 2 V 2 b が対を成して差動対を構成する。

【 0 0 5 5 】

また、図 1 1 に示すように、平面視において、複数の配線 2 d 2 は複数の配線 2 d 1 とは重ならない位置に配置されている。言い換えれば、平面視において複数の配線 2 d 2 は複数の配線 2 d 1 とは交差しない。図 1 1 に示す例では、配線基板 2 は平面視において四角形を成し、X 方向に沿って延びる辺 2 s 1、2 s 2、および X 方向に直交する Y 方向に沿って延びる辺 2 s 3、2 s 4 を備えている。複数の配線 2 d 1 は、平面視において、配線基板 2 の中央部のチップ搭載領域から、辺 2 s 1、または辺 2 s 2 に向かって延びるように配置されている。一方、複数の配線 2 d 2 は、平面視において、配線基板 2 の中央部のチップ搭載領域から、辺 2 s 3、または辺 2 s 4 に向かって延びるように配置されている。

40

【 0 0 5 6 】

このように、配線 2 d 1 と配線 2 d 2 を異なる辺に向かって延びるように形成することにより、配線 2 d 1 と配線 2 d 2 が交差することを防止できる。配線 2 d 1 と配線 2 d 2 が交差する場合、配線 2 d 1 で発生する電界や磁界が配線 2 d 2 のノイズ源となる可能性がある。つまり本実施の形態では、配線 2 d 1 と配線 2 d 2 が交差しないように配置することで、配線 2 d 2 b により構成される高速伝送経路のノイズ耐性を向上させることがで

50

きる。

【0057】

また、配線層WL2は、複数の配線2d2および複数のビア配線2v2の周囲に、複数の配線2d2および複数のビア配線2v2と離間して配置されている導体プレーン（第2導体プレーン）2PL2を備えている。導体プレーン2PL2は、複数の配線2d2および複数のビア配線2v2と接触しないようにパターニングされた板状の導体層（金属層、導体パターン）である。導体プレーン2PL2には、図4に示す半導体チップ3に形成された回路を駆動するための電源電位、あるいは、基準電位としての接地電位（GND）が供給される。図11に示す例では、導体プレーン2PL2には、上記した第1回路と第2回路に共通して供給される、接地電位が供給される。

10

【0058】

また、上記したように、本実施の形態では、信号伝送経路のリファレンス用の基準電位が供給されるリファレンス経路が含まれる。例えば、本実施の形態の例では、配線2d2の上下に配置される導体プレーン2PL1、2PL3（図8参照）や配線2d2の周囲に配置される導体プレーン2PL2等が主にリファレンス経路を構成する。図13に示す例では、差動対を構成する一方の伝送経路に配置されるビア配線2v2bと、他方の伝送経路に配置されるビア配線2v2bとのそれぞれ最も近い位置に配置されているビア配線2v2rが主に支配的となるリファレンス用のビアに相当する。

【0059】

図13に示すビア配線2v2bを含む伝送経路のように、差動信号を伝送する場合、差動対を構成する一方の伝送経路（例えばポジ）と他方の伝送経路（例えばネガ）の間での遅延差を低減することが好ましい。このためには、ポジ側の伝送経路とリファレンス経路との離間距離と、ネガ側の伝送経路とリファレンス経路との離間距離を揃えることが好ましい。図13に示す例では、差動対を構成する一方の伝送経路に配置されるビア配線2v2bからビア配線2v2bに最も近い位置に配置されるリファレンス用のビア配線2v2rまでの距離（例えば中心間距離）L1と、他方の伝送経路に配置されるビア配線2v2bからビア配線2v2bに最も近い位置に配置されるリファレンス用のビア配線2v2rまでの距離（例えば中心間距離）L2とが、等しくなっている。このため、差動対を構成する一方の伝送経路（例えばポジ）と他方の伝送経路（例えばネガ）の間での遅延差を低減し、ポジ側とネガ側の間でのスキュー差の発生を防止または抑制できる。

20

30

【0060】

なお、図13では、見易さのため、リファレンス経路を構成するビア配線2v2rを各伝送経路に対してそれぞれ一つ示しているが、各伝送経路に対して、それぞれ複数のビア配線2v2rを配置することもできる。この場合、平面視において、一方（例えばポジ側）のビア配線2v2bの周囲に配置される複数のビア配線2v2rと、他方（例えばネガ側）のビア配線2v2bの周囲に配置される複数のビア配線2v2rとが、対象な位置関係となるように配置することで、上記した遅延差を低減できる。また、図13に示すように、上記したリファレンス用のビア配線2v2rの他に、さらに他のビア配線2v2を接続することもできる。

【0061】

40

図13に示す例では、導体プレーン2PL2には、対を成す一つの高速伝送経路に沿って、ビア配線2v1とビア配線2v2とが、交互に配置されている。図13では、代表的に一つの高速伝送経路について示しているが、他の高速伝送経路についても同様である。このように、対を成す一つの高速伝送経路に沿って、複数のビア配線2v1と複数のビア配線2v2を配置することにより、高速信号をガードし、また、ガード用の導体プレーン自体の共振によるノイズを抑制することができる。

【0062】

また、配線層WL2は、複数のビア配線2v2と導体プレーン2PL2を覆う絶縁層（第2絶縁層）2e2を備えている。図11に示すように、絶縁層2e2は、配線基板2の配線層WL2全体を覆うように形成されている。ただし、図5に示す配線層WL1と図1

50

1 に示す配線層 W L 2 を電氣的に接続する層間導電路であるビア配線 2 V 1 は、例えば図 8 に示すように、絶縁層 2 e 2 を貫通するように形成されている。これにより、図 8 に例示するように配線層 W L 1 に形成されたボンディングパッド 2 P D と、配線層 W L 2 に形成された配線 2 d 2 とを、電氣的に接続することができる。

【 0 0 6 3 】

< 第 3 層目の配線層 >

次に、図 1 4 に示す第 3 層目の配線層 (第 3 配線層) W L 3 は、複数のビア配線 2 V 2 と電氣的に接続されている複数のスルーホールランド (第 1 スルーホールランド) 2 T L 1 を備えている。複数のスルーホールランド 2 T L 1 には、図 1 4 に示すように、配線層 W L 2 (図 1 2 参照) に形成された複数のビア配線 2 V 2 a と電氣的に接続されている複数のスルーホールランド 2 T L 1 a が含まれる。複数のスルーホールランド 2 T L 1 a は、上記した低速伝送経路を構成する。また、複数のスルーホールランド 2 T L 1 には、図 1 5 に示すように、配線層 W L 2 (図 1 3 参照) に形成された複数のビア配線 2 V 2 b と電氣的に接続されている複数のスルーホールランド 2 T L 1 b が含まれる。複数のスルーホールランド 2 T L 1 b は、上記した高速伝送経路を構成する。図 1 5 および図 1 6 に示すように、複数のスルーホールランド 2 T L 1 b には、高速伝送経路を構成するスルーホール配線 2 T W b が、それぞれ接続されている。

【 0 0 6 4 】

また、複数のスルーホールランド 2 T L 1 b には、上記したように差動信号が伝送される。このため、複数のスルーホールランド 2 T L 1 b のそれぞれは、2 個のビア配線 2 V 2 b が対を成して差動対を構成する。

【 0 0 6 5 】

また、配線層 W L 3 は、複数のスルーホールランド 2 T L 1 の周囲に、複数のスルーホールランド 2 T L 1 と離間して配置されている導体プレーン (第 3 導体プレーン) 2 P L 3 を備えている。導体プレーン 2 P L 3 は、複数のスルーホールランド 2 T L 1 と接触しないようにパターニングされた板状の導体層 (金属層、導体パターン) である。本実施の形態では、導体プレーン 2 P L 3 は、配線基板 2 の配線層 W L 3 において、複数のスルーホールランド 2 T L 1 が形成されていない領域のほぼ全体を覆うように、形成されている。また、導体プレーン 2 P L 3 には、図 4 に示す半導体チップ 3 に形成された回路を駆動するための電源電位、あるいは、基準電位としての接地電位 (G N D) が供給される。図 1 4 に示す例では、導体プレーン 2 P L 3 には、上記した第 1 回路と第 2 回路に共通して供給される接地電位が、複数のスルーホール配線 2 T W を介して供給される。

【 0 0 6 6 】

また、図 1 5 に示すように、配線層 W L 3 に形成される導体プレーン 2 P L 3 には、スルーホールランド 2 T L 1 と導体プレーン 2 P L 3 が離間するように設けられた開口部 2 K 3 が形成されている。

【 0 0 6 7 】

また、配線層 W L 3 は、複数のスルーホールランド 2 T L 1 を覆う絶縁層 (第 3 絶縁層) 2 e 3 を備えている。図 1 4 に示すように、絶縁層 2 e 3 は、配線基板 2 の配線層 W L 3 全体を覆うように形成されている。ただし、図 1 1 に示す配線層 W L 2 と図 1 4 に示す配線層 W L 3 を電氣的に接続する層間導電路であるビア配線 2 V 2 は、例えば図 1 6 に示すように、絶縁層 2 e 3 を貫通するように形成されている。これにより、図 1 6 に例示するように配線層 W L 2 に形成された配線 2 d 2 と、配線層 W L 3 に形成されたスルーホールランド 2 T L 1 とを、電氣的に接続することができる。

【 0 0 6 8 】

< コア絶縁層 >

図 1 6 に示すように、配線層 W L 3 は、絶縁層 2 C R の上面 2 C a 上に形成されている。絶縁層 2 C R は、配線層 W L 3 が形成されている上面 (第 1 面) 2 C a、上面 2 C a の反対側に位置する下面 (第 2 面) 2 C b を有している。また、絶縁層 2 C R は、上面 2 C a または下面 2 C b のうち、一方から他方に向かって貫通するように形成されている複数

のスルーホール 2 T H (図 1 5 参照) を有している。また、絶縁層 2 C R は、スルーホール 2 T H の内壁のそれぞれを覆うように形成されるスルーホール配線 2 T W を有している。スルーホール配線 2 T W は、絶縁層 2 C R の上面 2 C a に形成されたスルーホールランド 2 T L 1、および絶縁層 2 C R の下面 2 C b に形成されたスルーホールランド 2 T L 2 と一体に形成されている。

【 0 0 6 9 】

絶縁層 2 C R は、例えばビルドアップ工法により配線基板 2 を形成する際に、基材として用いるので、絶縁層 2 C R の厚さは、他の絶縁層 2 e 1、2 e 2、2 e 3、2 e 4、2 e 5、2 e 6 のそれぞれよりも厚い。図 1 6 に示す例では、絶縁層 2 e 2、2 e 3、2 e 4、2 e 5 の厚さは、それぞれ 3 0 μ m ~ 3 5 μ m 程度である。一方、絶縁層 2 C R の厚さは、例えば 2 0 0 μ m ~ 8 0 0 μ m 程度である。

10

【 0 0 7 0 】

また、上記したように、本実施の形態では、信号伝送経路のリファレンス用の基準電位が供給されるリファレンス経路が含まれる。例えば、図 1 4 の拡大平面図である図 1 5 を用いて説明すると、差動対を構成する一方の伝送経路に配置されるスルーホール配線 2 T W b と、他方の伝送経路に配置されるスルーホール配線 2 T W b とのそれぞれ最も近い位置に配置されているスルーホール配線 2 T W r が主に支配的となるリファレンス用のスルーホール配線に相当する。

【 0 0 7 1 】

上記したように、差動信号を伝送する場合、差動対を構成する一方の伝送経路 (例えばポジ) と他方の伝送経路 (例えばネガ) の間での遅延差を低減する観点から、ポジ側の伝送経路とリファレンス経路との離間距離と、ネガ側の伝送経路とリファレンス経路との離間距離を揃えることが好ましい。特に、上記したように、絶縁層 2 C R の厚さは、他の絶縁層 2 e 2、2 e 3、2 e 4、2 e 5 の厚さよりも厚いので、スルーホール配線 2 T W は、上記した図 1 3 に示すビア配線 2 V 2 よりも配線基板 2 の厚さ方向における接続距離の影響が大きく、非対称構造はスキュー差やジッター発生に繋がりがやすい。

20

【 0 0 7 2 】

そこで、本実施の形態では、図 1 5 に示すように、ポジ側の伝送経路とリファレンス経路との離間距離と、ネガ側の伝送経路とリファレンス経路との離間距離とが等しくなるように複数のスルーホール配線 2 T W r が配置されている。詳しくは、差動対を構成する一方の伝送経路に配置されるスルーホール配線 2 T W b 1 からスルーホール配線 2 T W b 1 に最も近い位置に配置されるリファレンス用のスルーホール配線 2 T W r 1 までの距離 (例えば中心間距離) L 1 は、他方の伝送経路に配置されるスルーホール配線 2 T W b 2 からスルーホール配線 2 T W b 2 に最も近い位置に配置されるリファレンス用のスルーホール配線 2 T W r 2 までの距離 (例えば中心間距離) L 2 とが、等しくなっている。このため、差動対を構成する一方の伝送経路 (例えばポジ) と他方の伝送経路 (例えばネガ) の間での遅延差を低減し、ポジ側とネガ側の間でのスキュー差の発生を防止または抑制でき、またポジ側とネガ側のスルーホール部のインピーダンスも合わせることができる。

30

【 0 0 7 3 】

なお、図 1 5 では、差動対を構成する一つの伝送経路を例示的に示しているが、図 1 4 に示すように、複数の高速伝送経路のそれぞれについて、図 1 5 と同様にリファレンス経路を構成するスルーホール配線 2 T W r が形成されている。

40

【 0 0 7 4 】

< 第 4 層目の配線層 >

次に、絶縁層 2 C R の下面 2 C b には、第 4 層目の配線層 (第 4 配線層) W L 4 が形成されている。図 1 7 に示すように、配線層 W L 4 は、複数のスルーホールランド (第 2 スルーホールランド) 2 T L 2 を備えている。複数のスルーホールランド 2 T L 2 のそれぞれは、図 1 6 に例示するスルーホール 2 T H と一体に形成されている。複数のスルーホールランド 2 T L 2 には、図 1 4 に示す複数のスルーホールランド 2 T L 1 a と電氣的に接続されている複数のスルーホールランド 2 T L 2 a が含まれる。複数のスルーホールラン

50

ド 2 T L 2 a は、上記した低速伝送経路を構成する。また、複数のスルーホールランド 2 T L 2 には、図 1 4 に示す複数のスルーホールランド 2 T L 1 b と電氣的に接続されている複数のスルーホールランド 2 T L 2 b が含まれる。複数のスルーホールランド 2 T L 2 b は、上記した高速伝送経路を構成する。

【 0 0 7 5 】

また、複数のスルーホールランド 2 T L 2 a には、それぞれビア配線 2 V 3 a が電氣的に接続されている。また、複数のスルーホールランド 2 T L 2 b には、それぞれビア配線 2 V 3 b が電氣的に接続されている。

【 0 0 7 6 】

また、配線層 W L 4 は、複数のスルーホールランド 2 T L 2 の周囲に、複数のスルーホールランド 2 T L 2 と離間して配置されている導体プレーン（第 4 導体プレーン）2 P L 4 を備えている。導体プレーン 2 P L 4 は、複数のスルーホールランド 2 T L 2 と接触しないようにパターニングされた板状の導体層（金属層、導体パターン）である。本実施の形態では、導体プレーン 2 P L 4 は、配線基板 2 の配線層 W L 4 において、複数のスルーホールランド 2 T L 2 が形成されていない領域のほぼ全体を覆うように、形成されている。また、本実施の形態では、導体プレーン 2 P L 4 には、図 4 に示す半導体チップ 3 に形成された回路を駆動するための電源電位、あるいは、基準電位としての接地電位（G N D）が供給される。

【 0 0 7 7 】

なお、図 1 7 に示す例では、配線基板 2 の周縁部側に配置される導体プレーン 2 P L 4 には接地電位を供給し、配線基板 2 の中央部側に配置される導体プレーン 2 P L 4 には、電源電位を供給する例を示している。言い換えれば、図 1 7 に示す配線層 W L 4 の中央部には、図 4 に示す半導体チップ 3 に形成された回路を駆動する電源電位が供給される電源電位用導体プレーン 2 P L v が配置されている。また、配線層 W L 4 の周縁部には、図 4 に示す半導体チップ 3 に形成された回路を駆動する基準電位が供給される基準電位用導体プレーン 2 P L g が配置されている。複数の回路に共通する電位を供給する場合には、電源電位用導体プレーン 2 P L v を兼用して用いることができる。また、半導体チップ 3 に形成された複数の回路にそれぞれ異なる電位を供給する場合には、例えば図 1 7 に示す電源電位用導体プレーン 2 P L v を複数に分割し、互いに電氣的に分離するように構成すれば良い。

【 0 0 7 8 】

また、配線層 W L 4 は、複数のスルーホールランド 2 T L 2 を覆う絶縁層（第 4 絶縁層）2 e 4 を備えている。図 1 7 に示すように、絶縁層 2 e 4 は、配線基板 2 の配線層 W L 4 全体を覆うように形成されている。ただし、図 1 6 に示す配線層 W L 4 と配線層 W L 5 を電氣的に接続する層間導電路であるビア配線 2 V 3 は、絶縁層 2 e 4 を貫通するように形成されている。これにより、図 1 6 に例示するように配線層 W L 5 に形成された配線 2 d 3 と、配線層 W L 4 に形成されたスルーホールランド 2 T L 2 とを、電氣的に接続することができる。

【 0 0 7 9 】

< 第 5 層目の配線層 >

次に、配線層 W L 4 のさらに下層には、図 1 8 に示す第 5 層目の配線層（第 5 配線層）W L 5 が形成されている。第 5 層目の配線層 W L 5 は、図 1 7 に示す複数のスルーホールランド 2 T L 2 と電氣的に接続されている複数のビア配線（第 3 ビア配線）2 V 3、および複数のビア配線 2 V 3 と電氣的に接続されている複数の配線（第 5 層配線）2 d 3 を備えている。複数のビア配線 2 V 3 には、図 1 7 に示す配線層 W L 4 に形成された複数のスルーホールランド 2 T L 2 a と電氣的に接続されている複数のビア配線 2 V 3 a が含まれる。また、複数の配線 2 d 3 には、複数のビア配線 2 V 3 a と電氣的に接続されている複数の配線 2 d 3 a が含まれる。複数の配線 2 d 3 a および複数のビア配線 2 V 3 a は、上記した低速伝送経路を構成する。

【 0 0 8 0 】

また、複数のビア配線 2 V 3 には、図 1 7 に示す配線層 W L 4 に形成された複数のスルーホールランド 2 T L 2 b と電氣的に接続されている複数のビア配線 2 V 3 b が含まれる。また、複数の配線 2 d 3 には、複数のビア配線 2 V 3 b と電氣的に接続されている複数の配線 2 d 3 b が含まれる。複数の配線 2 d 3 b および複数のビア配線 2 V 3 b は、上記した高速伝送経路を構成する。

【 0 0 8 1 】

また、複数の配線 2 d 3 b および複数のビア配線 2 V 3 b には、上記したように差動信号が伝送される。このため、複数の配線 2 d 3 b のそれぞれは、インピーダンスを整合させた 2 本の配線 2 d 3 b が対を成して差動対を構成する。また、複数のビア配線 2 V 3 b のそれぞれは、2 個のビア配線 2 V 3 b が対を成して差動対を構成する。

10

【 0 0 8 2 】

また、複数の配線 2 d 3 は、図 1 6 に示す第 6 層目の配線層 W L 6 と第 5 層目の配線層 W L 5 を電氣的に接続する層間導電路である、複数のビア配線 2 V 4 と電氣的に接続されている。

【 0 0 8 3 】

また、図 1 8 に示すように、平面視において、複数の配線 2 d 3 b は図 5 に示す複数の配線 2 d 1 とは重ならない位置に配置されている。言い換えれば、複数の配線 2 d 3 と図 5 に示す複数の配線 2 d 1 は、平面視において交差しない。このように、配線 2 d 3 b と配線 2 d 1 を交差しないように配置することで、配線 2 d 3 b により構成される高速伝送経路のノイズ耐性を向上させることができる。

20

【 0 0 8 4 】

また、配線層 W L 5 は、複数の配線 2 d 3 および複数のビア配線 2 V 3、2 V 4 の周囲に、複数の配線 2 d 3 および複数のビア配線 2 V 3、2 V 4 と離間して配置されている導体プレーン（第 5 導体プレーン）2 P L 5 を備えている。導体プレーン 2 P L 5 は、複数の配線 2 d 3 および複数のビア配線 2 V 3、2 V 4 と接触しないようにパターンニングされた板状の導体層（金属層、導体パターン）である。導体プレーン 2 P L 5 には、図 4 に示す半導体チップ 3 に形成された回路を駆動するための電源電位、あるいは、基準電位としての接地電位（G N D）が供給される。図 1 8 に示す例では、導体プレーン 2 P L 5 には、上記した第 1 回路と第 2 回路に共通して供給される、接地電位が供給される。

【 0 0 8 5 】

30

また、配線層 W L 5 は、複数の配線 2 d 3、複数のビア配線 2 V 3、2 V 4、および導体プレーン 2 P L 5 を覆う絶縁層（第 5 絶縁層）2 e 5 を備えている。図 1 8 に示すように、絶縁層 2 e 5 は、配線基板 2 の配線層 W L 5 全体を覆うように形成されている。ただし、図 1 6 に示す配線層 W L 5 と配線層 W L 6 を電氣的に接続する層間導電路であるビア配線 2 V 4 は、絶縁層 2 e 5 を貫通するように形成されている。これにより、図 1 6 に例示するように配線層 W L 5 に形成された配線 2 d 3 と、配線層 W L 6 に形成されたランド 2 L D とを、電氣的に接続することができる。

【 0 0 8 6 】

なお、図示は省略するが、配線層 W L 5 においても、差動対を構成するポジ側の伝送経路と主に支配的となるリファレンス経路との離間距離と、ネガ側の伝送経路と主に支配的となるリファレンス経路との離間距離が揃うように、リファレンス用のビア配線 2 V 4 が複数の高速伝送経路のそれぞれに配置されている。リファレンス用のビア配線 2 V 4 の構成は、図 1 3 を用いて説明した、リファレンス用のビア配線 2 V 2 r と同様なので、重複する説明は省略する。

40

【 0 0 8 7 】

< 第 6 層目の配線層 >

次に、配線層 W L 5 のさらに下層には、図 1 9 に示す第 6 層目の配線層（第 6 配線層）W L 6 が形成されている。第 6 層目の配線層 W L 6 は、図 1 8 に示す複数のビア配線 2 V 3 と電氣的に接続されている複数のビア配線（第 4 ビア配線）2 V 4、および複数のビア配線 2 V 4 と電氣的に接続されている複数のランド 2 L D を備えている。複数のビア配線

50

2 V 4 には、図 1 8 に示す配線層 W L 5 に形成された複数のビア配線 2 V 3 a と電氣的に接続されている複数のビア配線 2 V 4 a が含まれる。複数のビア配線 2 V 4 a およびビア配線 2 V 4 a と電氣的に接続される複数のランド 2 L D a は、上記した低速伝送経路を構成する。

【 0 0 8 8 】

また、複数のビア配線 2 V 4 には、図 1 8 に示す配線層 W L 5 に形成された複数のビア配線 2 V 3 b と電氣的に接続されている複数のビア配線 2 V 4 b が含まれる。複数のビア配線 2 V 4 b およびビア配線 2 V 4 b と電氣的に接続される複数のランド 2 L D b は、上記した高速伝送経路を構成する。

【 0 0 8 9 】

また、複数のランド 2 L D b および複数のビア配線 2 V 4 b には、上記したように差動信号が伝送される。このため、複数のビア配線 2 V 4 b のそれぞれは、2 個のビア配線 2 V 4 b が対を成して差動対を構成する。また、複数のランド 2 L D b のそれぞれは、2 個のランド 2 L D b が対を成して差動対を構成する。

【 0 0 9 0 】

また、配線層 W L 6 は、複数のランド 2 L D a、2 L D b および複数のビア配線 2 V 4 a、2 V 4 b の周囲に、複数のランド 2 L D a、2 L D b および複数のビア配線 2 V 4 a、2 V 4 b と離間して配置されている導体プレーン（第 6 導体プレーン）2 P L 6 を備えている。導体プレーン 2 P L 6 は、複数のランド 2 L D a、2 L D b および複数のビア配線 2 V 4 a、2 V 4 b と接触しないようにパターニングされた板状の導体層（金属層、導体パターン）である。導体プレーン 2 P L 6 には、図 4 に示す半導体チップ 3 に形成された回路を駆動するための電源電位、あるいは、基準電位としての接地電位（GND）が供給される。図 1 9 に示す例では、導体プレーン 2 P L 6 には、上記した第 1 回路と第 2 回路に共通して供給される、接地電位が供給される。

【 0 0 9 1 】

また、配線層 W L 6 は、複数のランド 2 L D、複数のビア配線 2 V 4、および導体プレーン 2 P L 6 を覆う絶縁層（第 6 絶縁層、ソルダレジスト膜）2 e 6 を備えている。図 1 9 に示すように、絶縁層 2 e 6 は、配線基板 2 の下面 2 b 全体を覆うように形成されている。ただし、配線基板 2 の下面 2 b のうち、複数のランド 2 L D が形成された領域には、図 1 6 に示すように、絶縁層 2 e 6 に開口部 2 e k 2 が形成され、複数のランド 2 L D は、開口部 2 e k 2 において、絶縁層 2 e 6 から露出している。このようにランド 2 L D を絶縁層 2 e 6 から露出させることで、複数のランド 2 L D の露出面に半田ボール 4 を接続することができる。

【 0 0 9 2 】

また、本実施の形態では、導体プレーン 2 P L 6 を覆う絶縁膜 2 e 6 に複数の開口部 2 e k 2 を形成し、開口部 2 e k 2 において、導体プレーン 2 P L 6 の一部を露出させている。言い換えれば、導体プレーン 2 P L 6 の露出部分は、図 4 に示す半導体チップ 3 に形成された回路を駆動するための電源電位、あるいは、基準電位としての接地電位（GND）が供給されるランド（端子）として機能する。つまり、導体プレーン 2 P L 6 の露出部分に図 4 に示す半田ボール 4 を接合し、電源電位または基準電位を供給する端子として利用する。

【 0 0 9 3 】

また、図 2 0 に示すように、複数の半田ボール 4 のうち、上記した差動信号を伝送する高速伝送経路を構成する半田ボール 4 b 1、4 b 2 の周囲には、基準電位が供給されるリファレンス用の半田ボール 4 r 1、4 r 2 が配置されている。図 2 0 は、図 2 に示す半田ボールのレイアウトの詳細を示す拡大平面図である。なお、図 2 0 では、差動対を成す半田ボール 4 b 1、4 b 2 とリファレンス経路を構成する半田ボール 4 r 1、4 r 2 を区別するため、半田ボール 4 b 1、4 b 2 にハッチングを、半田ボール 4 r 1、4 r 2 にドットパターンを付して示している。

【 0 0 9 4 】

図20に示す半田ボール4b1、4b2は一对の差動対を構成する。また、半田ボール4r1は半田ボール4b1に対応する主に支配的となるリファレンス経路、半田ボール4r2は、半田ボール4b2に対応する主に支配的となるリファレンス経路、をそれぞれ構成する。

【0095】

上記したように、本実施の形態では、信号伝送経路のリファレンス用の基準電位が供給されるリファレンス経路が含まれる。例えば、図15を用いて説明すると、差動対を構成する一方の伝送経路に配置されるスルーホール配線2TWbと、他方の伝送経路に配置されるスルーホール配線2TWbとのそれぞれ最も近い位置に配置されているスルーホール配線2TWrが主に支配的となるリファレンス用のピアに相当する。

10

【0096】

上記したように、差動信号を伝送する場合、差動対を構成する一方の伝送経路（例えばポジ）と他方の伝送経路（例えばネガ）の間での遅延差を低減する観点とインピーダンス整合の観点から、ポジ側の伝送経路と主に支配的となるリファレンス経路との離間距離と、ネガ側の伝送経路と主に支配的となるリファレンス経路との離間距離を揃えることが好ましい。特に、半田ボール4は、上記した図13に示すピア配線2V2よりも配線基板2の厚さ方向（半田ボール4の高さ方向）における接続距離の影響が大きく、非対称構造はスキュー差やジッター発生に繋がりやすい。

【0097】

そこで、本実施の形態では、図20に示すように、ポジ側の伝送経路と主に支配的となるリファレンス経路との離間距離と、ネガ側の伝送経路と主に支配的となるリファレンス経路との離間距離とが等しくなるように複数の半田ボール4rが配置されている。詳しくは、差動対を構成する一方の伝送経路に配置される半田ボール4b1から半田ボール4b1に最も近い位置に配置される主に支配的となるリファレンス用の半田ボール4r1までの距離（例えば中心間距離）L1は、他方の伝送経路に配置される半田ボール4b2から半田ボール4r2に最も近い位置に配置される主に支配的となるリファレンス用の半田ボール4r2までの距離（例えば中心間距離）L2とが、等しくなっている。このため、差動対を構成する一方の伝送経路（例えばポジ）と他方の伝送経路（例えばネガ）の間での遅延差を低減し、ポジ側とネガ側の間でのスキュー差の発生を防止または抑制でき、インピーダンスを合わせることが出来る。

20

30

【0098】

また、図20に示すように、複数の高速伝送経路のそれぞれについて、図15と同様にリファレンス経路を構成する半田ボール4rが形成されている。これにより、複数の伝送経路のそれぞれについて、ポジ側とネガ側の間でのスキュー差の発生を防止または抑制できる。

【0099】

< 高速伝送経路のインピーダンス整合について >

次に、高速伝送経路のインピーダンス整合について、更に詳しく説明する。図21は、図16に示す高速伝送経路の接続構造を模式的に示す説明図である。また、図22は、図21に対する検討例を示す説明図である。また、図23は、図15に示す拡大平面における第1層目の配線層の導体のパターンニングを示す拡大平面図である。また、図24は、図15に示す拡大平面における第2層目の配線層の導体のパターンニングを示す拡大平面図である。また、図25は図21に対する他の検討例を示す説明図である。

40

【0100】

なお、図23および図24では、各配線層に形成された開口部2K1c、2K2bと、スルーホールランド2TL1b、ビア配線2V2b、および配線2d2bとの平面的位置関係を明確に示すため、図示する配線層とは別の配線層に形成された導体パターンの輪郭を、二点鎖線で示している。また、図23では、開口部2K1cとランド2LDbの面積の大小関係を明示するため、図16に示すように第6の配線層WL6に形成されているランド2LDの輪郭を、二点鎖線で示している。また、図23および図24は、拡大平面

50

図であるが、導体パターンの境界を明示するために、配線、ビア配線、スルーホールランド、および導体プレーンなどの導体パターンにハッチングを付して示している。

【0101】

図9および図10を用いて説明したように、例えば、10 Gbps ~ 25 Gbps 程度の伝送速度で、信号が伝送される高速伝送経路では、配線2dの周囲（上層、下層、および平面視における周囲）に基準電位または電源電位が供給される導体プレーン2PLを配置することにより、周囲からの電界や磁界の影響を低減できる。図9に示すストリップラインの配線構造を適用することで、配線幅を細くすることができ、複数の配線2dの配置間隔を狭くすることができるので、配線レイアウトを高密度化することができる。

【0102】

上記のように、高速伝送経路の周囲からの電界や磁界等のノイズ影響を低減する観点から考慮すれば、図22に示す配線基板2Aのように、高速伝送経路の周囲に配置された導体プレーン2PL1、2PL2、2PL3、2PL4、2PL5、2PL6と、高速伝送経路との離間距離を出来る限り小さくする構成が考えられる。この場合、スルーホールランド2TL1と厚さ方向に重なる位置にも、導体プレーン2PL1、2PL2が配置されることになる。ところが、スルーホールランド2TL1と厚さ方向に重なる位置にも、導体プレーン2PL1、2PL2が配置されると、導体プレーン2PL1、2PL2と高速伝送経路の間に寄生容量が発生する。図22では見易さのため、配線層WL2、WL3、WL4、WL5の厚さを実際よりも厚く示しているが、配線層WL2、WL3、WL4、WL5の絶縁層の厚さは、それぞれ30 μm ~ 35 μm程度であり、平面方向における導体間距離は50 μm程度である。つまり、配線層WL2、WL3、WL4、WL5では、平面方向よりも厚さ方向の影響による寄生容量が付き易い。

【0103】

特に、電気的接続信頼性を確保する観点から、スルーホールランド2TL1の平面サイズは、配線2dの平面サイズよりも大きくなっている。例えば配線2dの幅が25 μm程度であるのに対し、スルーホールランド2TL1の直径は、400 μm ~ 500 μm程度になっている。このため、配線基板2Aの厚さ方向に生じる寄生容量Ctは、配線基板2の平面方向に生じる寄生容量Cpよりも、容量値が大きくなり易い。

【0104】

このように、高速伝送経路中のスルーホールランド2TL1の周囲に寄生容量Ctが発生すると、インピーダンス不整合により反射特性が劣化するなどの原因になる場合がある。したがって、図21に示す本実施の形態の配線基板2のように、スルーホールランド2TL1と厚さ方向に重なる位置には、導体プレーン2PL1、2PL2を設けない構成が好ましい。

【0105】

すなわち、図21および図23に示すように、配線層WL1の導体プレーン2PL1に、スルーホールランド2TL1bと厚さ方向に重なる位置に、開口部（第1開口部）2K1cを形成することが好ましい。また、図21および図24に示すように、配線層WL2の導体プレーン2PL2に、スルーホールランド2TL1bと厚さ方向に重なる位置に、開口部（第2開口部）2K2bを形成することが好ましい。

【0106】

一方、高速伝送経路を構成する配線2d2b（図21参照）は、上記したストリップラインの配線構造を適用することで、一様なインピーダンス値で設計されている。差動インピーダンス整合をさせるためには、各伝送経路の配線構造を同じ構造にすることが好ましい。また、各配線層において、高速伝送経路の間には、基準電位または電源電位が供給される導体プレーン2PL1、2PL2、2PL3、2PL4、2PL5、2PL6を介在させることが好ましい。したがって、高速伝送経路の差動ノコモンインピーダンス整合を確保しつつ、配線レイアウトを高密度化するためには、図21に示す本実施の形態の配線基板2のように、導体プレーン2PL1、2PL2、2PL3と配線2d2bの距離、つまり、導体パターン間の距離は小さくすることが好ましい。

【 0 1 0 7 】

図 2 3 に示すように開口部 2 K 1 c の開口面積は、スルーホールランド 2 T L 1 b の平面積よりも大きい。このため、平面視において、スルーホールランド 2 T L 1 b が開口部 2 K 1 c 内に収まるように配置される。また、図 2 4 に示すように、開口部 2 K 2 b の開口面積は、スルーホールランド 2 T L 1 b の平面積よりも大きい。本実施の形態では、図 2 3 に示す開口部 2 K 1 c と図 2 4 に示す開口部 2 K 2 b とは、開口形状および開口面積は同じであり、平面視において、開口部 2 K 1 c と開口部 2 K 2 b の輪郭が重なるように配置されている。このため、平面視において、スルーホールランド 2 T L 1 b が開口部 2 K 2 b 内に収まるように配置される。また、図 2 3 および図 2 4 に示すように、複数のビア配線 2 V 2 b のそれぞれは、複数の開口部 2 K 1 c 、 2 K 2 b 内に形成されている。これにより、図 2 2 に示すような、配線基板 2 A の厚さ方向に生じる寄生容量 C t の値を大幅に低減することができる。

10

【 0 1 0 8 】

なお、導体プレーン 2 P L 1 には、図 2 3 に示す開口部 2 K 1 c の他にも開口部 2 K 1 が形成される。例えば、図 6 に示すビア配線 2 V 1 a の周囲に配置される導体プレーン 2 P L 1 には、開口部 2 K 1 a が形成される。また、図 7 に示すビア配線 2 V 1 b の周囲に配置される導体プレーン 2 P L 1 には、開口部 2 K 1 b が形成される。図 2 3 に示す開口部 2 K 1 c は、スルーホールランド 2 T L 1 b の平面積に応じて開口面積を決定している。一方、図 6 または図 7 に示す開口部 2 K 1 a 、 2 K 1 b は、ビア配線 2 V 1 a 、 2 V 1 b の平面積に応じて開口面積を決定している。このため、開口部 2 K 1 c の開口面積は、開口部 2 K 1 a 、 2 K 1 b の開口面積よりも大きくなっている。

20

【 0 1 0 9 】

また、導体プレーン 2 P L 1 、 2 P L 2 、 2 P L 3 と配線 2 d の距離を近づけて、配線レイアウトを高密度化する観点からは、開口部 2 K 1 c の開口面積は、小さくする方が好ましい。

【 0 1 1 0 】

本実施の形態では、図 2 3 に示すように平面視において円形を成すランド 2 L D b の平面積は、平面視において円形を成すスルーホールランド 2 T L 1 b の平面積よりも大きい。そして、平面視において円形を成す開口部 2 K 1 c の開口面積は、ランド 2 L D b の平面積よりも小さくなっている。例えば、スルーホールランド 2 T L 1 b の直径が 4 5 0 μ m であるのに対して、ランド 2 L D b の直径は 6 5 0 μ m 程度である。そして、開口部 2 K 1 c の直径は、例えば 5 0 0 μ m ~ 6 0 0 μ m 程度にしている。言い換えれば、本実施の形態では、開口部 2 K 1 c の開口面積は、スルーホールランド 2 T L 1 b と厚さ方向に重ならない範囲で最小化している。このため、図 2 3 に示す配線 2 d 2 b の大部分は、導体プレーン 2 P L 1 に覆われる。この結果、高速伝送経路の差動 / コモンインピーダンス整合を確保しつつ、配線レイアウトを高密度化させることができる。つまり、半導体装置のノイズ耐性を向上させることができ、反射特性を向上できる。

30

【 0 1 1 1 】

また、上記したように、図 2 3 に示す開口部 2 K 1 c と図 2 4 に示す開口部 2 K 2 b とは、開口形状および開口面積は同じであり、平面視において、開口部 2 K 1 c と開口部 2 K 2 b の輪郭が重なるように配置されている。つまり、本実施の形態では、開口部 2 K 2 b の開口面積は、スルーホールランド 2 T L 1 b の平面積よりも大きく、かつ、図 2 3 に示すランド 2 L D b の平面積よりも小さくなっている。なお、導体プレーン 2 P L 2 には、図 2 4 に示す開口部 2 K 2 b の他にも開口部 2 K 2 が形成される。例えば、図 1 2 に示すビア配線 2 V 1 a 、 2 V 2 a の周囲に配置される導体プレーン 2 P L 2 には、開口部 2 K 2 a が形成される。図 2 4 に示す開口部 2 K 2 b は、スルーホールランド 2 T L 1 b の平面積に応じて開口面積を決定している。一方、図 1 2 に示す開口部 2 K 2 a は、ビア配線 2 V 1 a 、 2 V 2 a の平面積に応じて開口面積を決定している。このため、開口部 2 K 2 b の開口面積は、開口部 2 K 2 a の開口面積よりも大きくなっている。

40

【 0 1 1 2 】

50

上記のように図 2 4 に示す第 2 層目の配線層 W L 2 に形成される導体プレーン 2 P L 2 の開口部 2 K 2 b の開口面積は、スルーホールランド 2 T L 1 b と厚さ方向に重ならない範囲で最小化している。例えば、図 1 3 に示すように、配線層 W L 2 における高速伝送経路を高密度化した場合、開口部 2 K 2 b の開口面積が大きくなると、隣の伝送経路の配線 2 d 2 b と、開口部 2 K 2 b の位置が重なってしまい、隣り合う伝送経路間に確実に導体プレーン 2 P L 2 を配置することが難しくなる。言い換えれば、高速伝送経路の高密度化が困難になる。

【 0 1 1 3 】

本実施の形態によれば、開口部 2 K 2 b の開口面積は、スルーホールランド 2 T L 1 b と厚さ方向に重ならない範囲で最小化しているので、配線層 W L 2 における高速伝送経路を高密度化した場合であっても、隣り合う伝送経路間に、確実に導体プレーン 2 P L 2 を配置することができる。なお、図 1 3 では、高速伝送経路に差動信号を流す例を示しているので、対になる 2 本の信号配線が一つの高速伝送経路（差動対）を構成する。したがって、差動対を構成する信号配線間には、導体プレーン 2 P L 2 を配置していない。したがって、上記した、「隣り合う伝送経路間に、導体プレーン 2 P L 2 を配置する」という表現は、「隣り合う差動対間に、導体プレーン 2 P L 2 を配置する」という表現に置き換えることができる。

【 0 1 1 4 】

このように隣り合う伝送経路（差動対）間に、電源電位または基準電位（例えば接地電位）が供給される導体プレーン 2 P L 2 を配置することにより、隣り合う差動対間の相互の影響を低減することができる。このため、高速伝送経路のノイズ耐性を向上させることができる。

【 0 1 1 5 】

ところで、本実施の形態では、図 1 6 に示すように、導体プレーン 2 P L 1 の開口部 2 K 1 c の内部全体に絶縁層 2 e 1 が埋め込まれている。言い換えれば、図 2 3 に示すように、導体プレーン 2 P L 1 の開口部 2 K 1 c の内部には導体パターンが配置されていない。また、図 1 6 に示すように、導体プレーン 2 P L 1 の開口部 2 K 1 c 内の、ビア配線 2 V 2 b および配線 2 d 2 b の周辺領域には、全体に絶縁層 2 e 2、2 e 3 が埋め込まれている。言い換えれば、図 2 4 に示すように、導体プレーン 2 P L 2 の開口部 2 K 2 b の内部には、ビア配線 2 V 2 b および配線 2 d 2 b 以外の導体パターンが配置されていない。

【 0 1 1 6 】

本願発明者は、図 2 5 に示す配線基板 2 B のように、開口部 2 K 1 c、2 K 2 b の内部に、導体プレーン 2 P L 1、2 P L 2 や高速伝送経路と電氣的に分離された、フローティング構造の導体パターン 2 F L を配置した実施態様について検討した。図 2 5 に示す配線基板 2 B のように、開口部 2 K 1 c や開口部 2 K 2 b の内部に導体パターン 2 F L を設けた場合、各配線層における導体密度を均一化することができるので、配線基板の加工性を向上させることができる。また、導体パターン 2 F L は、導体プレーン 2 P L 1、2 P L 2 や高速伝送経路（例えば配線 2 d 2 b やビア配線 2 V 2 b）とは離間して配置されているので、図 2 2 に示すような、配線基板 2 A の厚さ方向に生じる寄生容量 C t の値を低減することができる。

【 0 1 1 7 】

ところが、本願発明者の検討によれば、開口部 2 K 1 c や開口部 2 K 2 b の内部に導体パターン 2 F L を設けると、半導体装置 1（図 1 ~ 図 4 参照）の設置環境における電磁波の影響により、高周波でのノイズ耐性が低下する場合があることが判った。これは、開口部 2 K 1 c や開口部 2 K 2 b の内部に配置された、導体パターン 2 F L が高周波帯でアンテナとして機能する可能性があるためである。

【 0 1 1 8 】

そこで、本実施の形態では、図 1 6 に示すように、導体プレーン 2 P L 1 の開口部 2 K 1 c 内には、全体に絶縁層 2 e 1 が埋め込まれ、導体プレーン 2 P L 1 の開口部 2 K 1 c 内の、ビア配線 2 V 2 b および配線 2 d 2 b の周辺領域には、全体に絶縁層 2 e 2 が埋め

10

20

30

40

50

込まれている。言い換えれば、スルーホールランド 2 T L 1 b 上には、スルーホールランド 2 T L 1 b と電氣的に接続される導体（配線 2 d 2 b およびビア配線 2 V 2 b）以外の導体は、配置されていない。これにより、半導体装置 1（図 1～図 4 参照）の設置環境における電磁波の影響が少なくなり、半導体装置 1 のノイズ耐性を向上させることができる。

【0119】

<実装面側の寄生容量について>

上記では、スルーホールランド 2 T L 1 b の周辺に形成される寄生容量について説明した。しかし、高速伝送経路におけるインピーダンス整合を容易に行う観点からは、絶縁層 2 C R の実装面側（図 16 に示す下面 2 C b 側）に形成される寄生容量も低減することが好ましい。以下では、絶縁層 2 C R の実装面側（図 16 に示す下面 2 C b 側）に形成される寄生容量も低減する構成について詳しく説明する。

10

【0120】

図 26 は、図 15 に示す拡大平面における第 4 層目の配線層の導体のパターンングを示す拡大平面図である。また、図 27 は、図 15 に示す拡大平面における第 5 層目の配線層の導体のパターンングを示す拡大平面図である。図 28 は、図 15 に示す拡大平面における第 6 層目の配線層の導体のパターンングを示す拡大平面図である。

【0121】

なお、図 26 および図 27 では、各配線層に形成された開口部 2 K 4 A、2 K 5 A と、スルーホールランド 2 T L 2 b、ビア配線 2 V 3 b、2 V 4 b、およびランド 2 L D b との平面的位置関係を明示するため、図示する配線層とは別の配線層に形成された導体パターンの輪郭を、二点鎖線で示している。また、図 27 では、図 13 を用いて説明したリファレンス用のビア 2 V 2 r と同様に差動信号を伝送する高速伝送経路のリファレンス経路を構成するリファレンス用のビア 2 V 4 r を点線で図示している。また、図 26～図 28 は拡大平面図であるが、導体パターンの境界を明示するために、配線、ビア配線、スルーホールランド、ランド、および導体プレーンなどの導体パターンにハッチングを付して示している。

20

【0122】

図 16 に示すように、スルーホールランド 2 T L 1 b と一体に形成されるスルーホール配線 2 T W は配線基板 2 の厚さ方向に沿って延びる。このため、絶縁層 2 C R の下面 2 C b 側に形成されるスルーホールランド 2 T L 2 b は、絶縁層 2 C R を介してスルーホールランド 2 T L 1 b と対向する位置に形成されている。また、図 26 に示すように、配線層 W L 4 に形成される導体プレーン 2 P L 4 には、スルーホールランド 2 T L 2 b と導体プレーン 2 P L 4 とを、接触させないように設けられた開口部（第 3 開口部）2 K 4 A が形成されている。

30

【0123】

また、図 27 に示すように、配線層 W L 5 に形成される導体プレーン 2 P L 5 には、ビア配線 2 V 3 b、2 V 4 b と導体プレーン 2 P L 5 とを接触させないように設けられた開口部（第 4 開口部）2 K 5 A が形成されている。

【0124】

また、図 28 に示すように、配線層 W L 6 に形成される導体プレーン 2 P L 6 には、ビア配線 2 V 4 b およびランド 2 L D b と、導体プレーン 2 P L 6 とを接触させないように設けられた開口部 2 K 6 A が形成されている。

40

【0125】

本実施の形態では、例えば、図 27 に示す開口部 2 K 5 A の開口形状および開口面積、図 26 に示す開口部 2 K 4 A の開口形状および開口面積は、図 28 に示す開口部 2 K 6 A の開口形状（例えば円形）および開口面積と同じである。また、平面視において、開口部 2 K 4 A の輪郭、開口部 2 K 5 A の輪郭、および開口部 2 K 6 A の輪郭は、それぞれ重なるように形成されている。

【0126】

50

ここで、本実施の形態では、図 16 に示すように、スルーホールランド 2 T L 2 b とランド 2 L D b とが、厚さ方向に重なっている。また、図 26 に示すように、ランド 2 L D b の平面積がスルーホールランド 2 T L 2 b の平面積よりも大きい。図 26 に示すスルーホールランド 2 T L 2 b の平面形状および平面積は、図 15 に示すスルーホールランド 2 T L 1 b と同じであり、平面視において、例えば、スルーホールランド 2 T L 1 b の輪郭とスルーホールランド 2 T L 2 b の輪郭とが重なるように配置されている。このため、図 22 に示す厚さ方向に形成される寄生容量 C_t の値を小さくするためには、平面積がスルーホールランド 2 T L 2 b よりも大きいランド 2 L D b と導体プレーン 2 P L 4、2 P L 5 が厚さ方向に重ならないように構成することが好ましい。つまり、スルーホールランド 2 T L 2 b とランド 2 L D b とが、厚さ方向に重なっている場合には、導体プレーン 2 P L 4、2 P L 5 に設ける開口部 2 K 4 A、2 K 5 A の開口面積は、相対的に大きいランド 2 L D b の平面積に応じて決定することが好ましい。

10

【0127】

本実施の形態では、図 26 に示すように、開口部 2 K 4 A の開口面積は、ランド 2 L D b の平面積よりも大きく、ランド 2 L D b と厚さ方向に重なる位置に配置されている。言い換えれば、平面視において、ランド 2 L D b は、開口部 2 K 4 A 内に収まるように配置されている。また、複数のビア配線 2 V 3 b、2 V 4 b のそれぞれは、複数の開口部 2 K 4 A 内に形成されている。このため、図 16 に示すように、ランド 2 L D b は導体プレーン 2 P L 4 とは厚さ方向には重ならないので、図 22 に示す厚さ方向に形成される寄生容量 C_t の値を小さくすることができる。

20

【0128】

また、図 27 に示すように、開口部 2 K 5 A の開口面積は、ランド 2 L D b の平面積よりも大きく、ランド 2 L D b と厚さ方向に重なる位置に配置されている。言い換えれば、平面視において、ランド 2 L D b は、開口部 2 K 5 A 内に収まるように配置されている。また、複数のビア配線 2 V 3 b、2 V 4 b のそれぞれは、複数の開口部 2 K 5 A 内に形成されている。このため、図 16 に示すように、ランド 2 L D b は導体プレーン 2 P L 5 とは厚さ方向には重ならないので、図 22 に示す厚さ方向に形成される寄生容量 C_t の値を小さくすることができる。

【0129】

< ノイズ耐性の改善効果 >

30

次に、図 21 に示す配線基板 2 の構成を適用することによるノイズ耐性の改善効果について本願発明者が検討した結果について説明する。図 29 は、図 21 に示す配線基板と図 22 に示す配線基板について、電気的特性の評価を行った結果を示す説明図である。図 29 に示す評価では、図 21 に示す配線基板 2 の構成、および図 22 に示す配線基板 2 A の構成について、それぞれ差動インピーダンス Z_{diff} []、差動反射特性 S_{dd11} [dB]、および差動伝送特性 S_{dd21} [dB] について評価を行った。

【0130】

図 29 に示す評価結果において、差動インピーダンスの理想値は 100 Ω である。したがって、差動インピーダンスの値は 100 Ω に近い程好ましい。また、差動反射特性 S_{dd11} については、20 Gbps の伝送速度に相当する 10 GHz 程度まで、周波数を変動させて、伝送損失の最大値を記載した。差動反射特性 S_{dd11} は、0 dB に近づくほど、反射が大きいことを示している。また、差動伝送特性 S_{dd21} については、10 GHz の周波数において、伝送損失を記載した。差動伝送特性 S_{dd21} は、0 dB から離れるほど、伝送損失が大きいことを示している。

40

【0131】

図 29 に示すように、図 21 に示す配線基板 2 は、図 22 に示す配線基板 2 A に対して、差動インピーダンスで約 30 Ω、差動反射特性 S_{dd11} で最大 -5 dB、差動伝送特性 S_{dd21} で約 -3 dB の改善効果が得られることが判った。つまり、図 21 に示す配線構造を適用することにより半導体装置の伝送特性が向上し反射が抑制されることが判った。

50

【 0 1 3 2 】

< 複数の配線層で高速伝送経路を引き回す場合の実施態様 >

上記では図 1 6 では、スルーホールランド 2 T L 1、2 T L 2 がランド 2 L D 上に配置されている場合の実施態様について説明した。本実施の形態に対する変形例としては、全ての高速伝送経路を、例えば図 1 1 に示す配線層 W L 2 においてランド 2 L D (図 1 9 参照) 上まで引き回すこともできる。この場合、図 1 8 に示す配線層 W L 5 は省力することができる。

【 0 1 3 3 】

しかし、本実施の形態では、複数の高速伝送路の一部は、図 1 8 に示す配線層 W L 5 において、ランド 2 L D (図 1 9 参照) 上まで引き回されている。このため、図 1 7 に示す複数のスルーホールランド 2 T L 2 b のうち、配線層 W L 5 で引き回される伝送経路を構成するスルーホールランド 2 T L 2 b は、図 1 9 に示すランド 2 L D 上に配置されていない。

10

【 0 1 3 4 】

図 1 6 に示す断面においては、スルーホールランド 2 T L 2 b がランド 2 L D b 上に配置されるため、開口部 2 K 4 A、2 K 5 A の開口面積をランド 2 L D b の平面積よりも大きくする必要があった。しかし、スルーホールランド 2 T L 2 b がランド 2 L D b 上に配置されていない場合には、開口部 2 K 4 A、2 K 5 A の開口面積は、スルーホールランド 2 T L 2 b の平面積よりも大きければ、例えばランド 2 L D b (図 2 8 参照) の平面積よりも小さくても良い。

20

【 0 1 3 5 】

図 3 0 は、図 2 6 とは異なる領域における第 4 層目の配線層の導体のパターンングを示す拡大平面図である。また、図 3 1 は、図 3 0 の A - A 線に沿った拡大断面図である。また、図 3 2 は、図 3 0 に示す拡大平面における第 5 層目の配線層の導体のパターンングを示す拡大平面図である。また、図 3 3 は、図 3 0 に示す拡大平面における第 6 層目の配線層の導体のパターンングを示す拡大平面図である。また、図 3 4 は、図 3 2 に示す配線が接続されるビア配線の周辺を拡大して示す拡大平面図である。また、図 3 5 は、図 3 4 の A - A 線に沿った拡大断面図である。また、図 3 6 は、図 3 4 に示す拡大平面における第 4 層目の導体のパターンングを示す拡大平面図である。また、図 3 7 は、図 3 4 に示す拡大平面における第 6 層目の導体のパターンングを示す拡大平面図である。

30

【 0 1 3 6 】

なお、図 3 0 ~ 図 3 7 では、各配線層に形成された開口部 2 K 4、2 K 5 と、スルーホールランド 2 T L 2 b、ビア配線 2 V 3 b、2 V 4 b、およびランド 2 L D b との平面的位置関係を明確に示すため、図示する配線層とは別の配線層に形成された導体パターンが存在する場合には、その輪郭を二点鎖線で示している。また、図 3 0、図 3 2 ~ 図 3 4、図 3 6 および図 3 7 は、拡大平面図であるが、導体パターンの境界を明示するために、配線、ビア配線、スルーホールランド、ランド、および導体プレーンなどの導体パターンにハッチングを付して示している。また、図 3 4 では、図 1 3 を用いて説明したリファレンス用のビア 2 V 2 r と同様に差動信号を伝送する高速伝送経路のリファレンス経路を構成するリファレンス用のビア 2 V 4 r を点線で図示している。

40

【 0 1 3 7 】

図 3 0 ~ 図 3 7 に示す高速伝送経路では、まず、図 3 0 および図 3 1 に示すように、絶縁層 2 C R の下面 2 C b (図 3 1 参照) に設けられた配線層 W L 4 にはスルーホールランド 2 T L 2 b が形成されている。このスルーホールランド 2 T L 2 b よりも上層側の構造は、図 1 5、図 1 6、図 2 3、および図 2 4 を用いて説明した配線構造と同様なので、重複する説明は省略する。

【 0 1 3 8 】

また、図 3 1、図 3 2、図 3 4、図 3 5 に示すように配線層 W L 5 には、スルーホールランド 2 T L 2 b と電氣的に接続されたビア配線 2 V 3 b (図 3 1、図 3 2 参照)、およびビア配線 2 V 3 b と電氣的に接続された配線 (第 5 層配線) 2 d 3 b が形成されている

50

。

【 0 1 3 9 】

また、図 3 5 および図 3 7 に示すように、配線層 W L 6 には、配線 2 d 3 b と電氣的に接続されるビア配線 2 V 4 b、およびビア配線 2 V 4 b と電氣的に接続されるランド 2 L D b が形成されている。図 3 7 に示す複数のビア配線 2 V 4 b は、複数の配線 2 d 3 b を介して図 3 2 に示す複数のビア配線 2 V 3 b と電氣的に接続されている。

【 0 1 4 0 】

つまり、図 3 0 ~ 図 3 7 に示す高速伝送経路は、図 1 1 に示す配線層 W L 2 ではランド 2 L D b (図 3 7 参照) と重ならない位置に引き回され、図 1 8 に示す配線層 W L 5 でランド 2 L D b (図 3 7 参照) と重なる位置に引き回されている。このため、図 3 2 に示すようにスルーホールランド 2 T L 2 の直下にはランド 2 L D (図 3 5 参照) は存在しない。また、図 3 5 に示すようにランド 2 L D の直上には、スルーホールランド 2 T L 2 は存在しない。

【 0 1 4 1 】

上記のように配線層 W L 5 で配線の引き回しを行う場合、図 1 8 に示す配線層 W L 5 に形成される、複数の配線 2 d 3 b の長さは、引き回しの距離に応じて長くなる。例えば図 1 8 に示す例では、配線層 W L 5 には、ビア配線 2 V 3 a とビア配線 2 V 4 a とを電氣的に接続する配線 2 d 3 a が形成されている。このビア配線 2 V 3 a、ビア配線 2 V 4 a、および配線 2 d 3 a は、図 5 に示す配線 2 d 1 a と電氣的に接続される配線経路であるため、配線層 W L 1 において、ランド 2 L D a (図 1 9 参照) の近傍まで引き回せば、図 1 8 に示す配線 2 d 3 a の長さは短くできる。このため、図 1 8 に示す複数の配線 2 d 3 b のそれぞれの長さ (経路長) は、配線 2 d 3 a の長さ (経路長) よりも長い。

【 0 1 4 2 】

そこで、本実施の形態では、図 3 1 や図 3 5 に示すように、配線 2 d 3 b と厚さ方向に重なる位置には、配線層 W L 4 に導体プレーン 2 P L 4 が、配線層 W L 6 に導体プレーン 2 P L 6 が、それぞれ形成されている。言い換えれば、側面視において、配線 2 d 3 b は、配線層 W L 4 の導体プレーン 2 P L 4 と配線層 W L 6 の導体プレーン 2 P L 6 に挟まれている。また、図 3 2 および図 3 4 に示すように、配線 2 d 3 b の周囲には、配線 2 d 3 b と離間するように、導体プレーン 2 P L 5 が形成されており、配線 2 d 3 b の周囲は、導体プレーン 2 P L 5 に囲まれている。

【 0 1 4 3 】

つまり、配線 2 d 3 b にはストリップラインの配線構造が適用されている。このように、伝送速度が特に早い伝送経路についてストリップラインの配線構造を適用することにより、高速信号経路の高密度設計が可能になる。

【 0 1 4 4 】

なお、ビア配線 2 V 3 a、ビア配線 2 V 4 a、および配線 2 d 3 a が構成する伝送経路は、上記したように、ビア配線 2 V 3 b、ビア配線 2 V 4 b、および配線 2 d 3 b が構成する伝送経路と比較すると、伝送速度が相対的に低い。このため、配線 2 d 3 a については、ストリップラインとは異なる配線構造 (図示は省略するが、例えば導体プレーンを介さずに複数の配線が隣り合って配置される配線構造) を適用することができる。ただし、レイアウト上の制約等が無ければ、配線 2 d 3 a にもストリップライン構造を適用して良い。

【 0 1 4 5 】

また、図 3 0 ~ 図 3 3 に示すように、スルーホールランド 2 T L 2 b と厚さ方向に重なる位置に、ランド 2 L D b (図 3 4 ~ 図 3 7 参照) が存在しない場合、スルーホールランド 2 T L 2 の周囲における寄生容量を低減する観点から形成される開口部は、スルーホールランド 2 T L 2 b の平面積との関係により決定することができる。すなわち、図 3 0 に示す開口部 2 K 4 B、図 3 2 に示す開口部 2 K 5 B、および図 3 3 に示す開口部 2 K 6 B のそれぞれの開口面積は、スルーホールランド 2 T L 2 b の平面積よりも大きければ良い。図 3 0 ~ 図 3 3 に示す例では、開口部 2 K 4 B、開口部 2 K 5 B、および開口部 2 K 6

Bの開口形状、および開口面積は、例えば図15に示す開口部2K3の開口形状、および開口面積と同じである。

【0146】

また、平面視において、開口部2K4B、開口部2K5B、および開口部2K6Bの輪郭は、互いに重なるように配置されている。また、平面視において、スルーホールランド2TL2bは開口部2K4B、開口部2K5B、および開口部2K6Bの内部に収まるように配置されている。また、複数のビア配線2V3bのそれぞれは、複数の開口部2K4B、2K5B、2K6Bの内部に収まるように配置されている。したがって、図22を用いて説明したように、スルーホールランド2TL2の周囲において、配線基板2の厚さ方向に生じる寄生容量Ct(図22参照)の値を低減することができる。

10

【0147】

また、図31および図32に示すように、配線層WL5には高速伝送経路を構成する配線2d3bが形成される。このため、開口部2K4B、開口部2K5B、および開口部2K6Bの開口面積は、スルーホールランド2TL1bと厚さ方向に重ならない範囲で最小化することが好ましい。

【0148】

本実施の形態では、開口部2K4B、開口部2K5B、および開口部2K6Bの開口面積は、図34～図37に示す開口部2K4A、開口部2K5A、および開口部2K6Aの開口面積よりも小さい。また、図30～図33に示す例では、開口部2K4B、開口部2K5B、および開口部2K6Bの開口面積は、図34～図37に示すランド2LDの平面面積よりも小さい。このように開口部2K4B、開口部2K5B、および開口部2K6Bの開口面積を最小化することにより、配線2d3bの大部分について、上記したストリップラインの配線構造を適用することができる。また、配線層WL5に多数の高速伝送経路を集積して配置する場合であっても、隣り合う高速伝送経路(差動対)の間に、確実に導体プレーン2PL5を配置することができるので、隣り合う差動対間の相互の影響を低減することができる。

20

【0149】

ただし、図31に対する変形例として、図31に対する開口部2K6Bを形成している位置に、他のランド2LD(例えば電源電位供給用のランドや基準電位供給用のランド)を配置する必要がある場合には、開口部2K6Bを設けない構成を適用することもできる。この場合でも、開口部2K5Bを設けることにより、スルーホールランド2TL2の周囲における寄生容量を低減することができる。

30

【0150】

一方、図34～図37に示す、ランド2LDbの周囲において生じる寄生容量を低減する観点からは、図35に示すように、ランド2LDbと厚さ方向に重なる位置に、開口部2K4A、2K5A、2K6Aを形成することが好ましい。この開口部2K4A、2K5A、2K6Aの開口面積は、ランド2LDbの平面面積に応じて決定することができる。図34～図37に示す例では、開口部2K4A、2K5A、2K6Aの開口面積は、図16に示す開口部2K4A、2K5A、2K6Aの開口面積と同じである。

【0151】

また、平面視において、開口部2K4A、2K5A、2K6Aの輪郭は、互いに重なるように配置されている。また、平面視において、ランド2LDbは開口部2K4A、2K5A、2K6Aの内部に収まるように配置されている。また、複数のビア配線2V4bのそれぞれは、複数の開口部2K4A、2K5A、2K6Aの内部に収まるように配置されている。したがって、図22を用いて説明したように、ランド2LDb(図35参照)の周囲において、配線基板2の厚さ方向に生じる寄生容量Ct(図22参照)の値を低減することができる。

40

【0152】

なお、図示は省略するが図35に対する変形例として、配線層WL1、WL2、WL3のそれぞれにおいて、ランド2LDbと厚さ方向に重なる位置に開口部を形成する実施態

50

様にすることもできる。ただし、図 3 5 に示すように配線層 W L 1、W L 2、W L 3 とランド 2 L D b の間には、コア絶縁層である絶縁層 2 C R が存在するため、距離が遠い。したがって、導体プレーン 2 P L 1、2 P L 2、2 P L 3 のそれぞれが、ランド 2 L D b と厚さ方向に重なる位置に配置されていても、導体プレーン 2 P L 1、2 P L 2、2 P L 3 とランド 2 L D b との間で生じる厚さ方向の寄生容量は、小さい。

【 0 1 5 3 】

次に、図 3 0 ~ 図 3 7 に示す高速伝送経路のように、複数の配線層で配線の引き回しを行う構成を適用して有効な例について説明する。図 3 8 は、図 4 に示す配線基板のチップ搭載面側におけるパッド配列の一例を模式的に示す平面図である。また、図 3 9 は、図 4 に示す配線基板の実装面側におけるランド配列の一例を模式的に示す拡大平面図である。また、図 4 0 は、実装基板上に図 3 9 に示す半導体装置を複数個実装して、カスケード接続した状態を模式的に示す説明図である。

10

【 0 1 5 4 】

なお、図 3 8 ~ 図 4 0 では、入力信号用端子、出力信号用端子、基準電位用端子、および電源電位用端子の区別を明確にするため、それぞれ平面図であっても、端子の種類に応じて共通するハッチングを付している。ただし、図 3 8 に示す無地のボンディングパッド 2 P D および、図 3 9 に示す無地のランド 2 L D には、高速伝送経路以外の信号入力用、基準電位供給用、または電源電位供給用のランドが含まれる。

【 0 1 5 5 】

図 3 8 に示す例では、配線基板 2 のチップ搭載面側（上面 2 a 側）において、複数のボンディングパッド 2 P D b には、図 4 に示す半導体チップ 3 に供給される入力信号が伝送される、複数の入力用ボンディングパッド 2 P i が含まれる。また、複数のボンディングパッド 2 P D b には、図 4 に示す半導体チップ 3 から供給される出力信号が伝送される、複数の出力用ボンディングパッド 2 P o が含まれる。また、複数のボンディングパッド 2 P D には、図 4 に示す半導体チップ 3 に基準電位（例えば接地電位）を供給する基準電位用ボンディングパッド 2 P g が含まれる。また、複数のボンディングパッド 2 P D には、図 4 に示す半導体チップ 3 に電源電位を供給する電源電位用ボンディングパッド 2 P v が含まれる。

20

【 0 1 5 6 】

複数の入力用ボンディングパッド 2 P i および複数の出力用ボンディングパッド 2 P o は、それぞれ、図 1 1 に示す複数の配線 2 d 2 b と電氣的に接続されている。言い換えれば、複数の入力用ボンディングパッド 2 P i には、複数の配線 2 d 2 b を介して半導体チップ 3 への入力信号が伝送される。また、複数の出力用ボンディングパッド 2 P o には、複数の配線 2 d 2 b に対して半導体チップ 3 からの出力信号が伝送される。

30

【 0 1 5 7 】

図 4 に示す半導体チップ 3 の入出力回路の設置スペースを低減する観点からは、入力用の端子と出力用の端子を近くに配置することが好ましい。また、入力用の端子と出力用の端子に加え、基準電位供給用の端子と電源電位供給用の端子を近くに配置することが特に好ましい。このため、図 3 8 に示す例では、複数の入力用ボンディングパッド 2 P i と複数の出力用ボンディングパッド 2 P o との対が、それぞれまとまって配置されている。これにより、半導体チップ 3 の回路の占有面積を低減できる。つまり、半導体チップ 3 の集積度を向上させることができる。

40

【 0 1 5 8 】

また、複数の入力用ボンディングパッド 2 P i と複数の出力用ボンディングパッド 2 P o との対の周辺には、信号伝送経路のリファレンス経路を構成する、リファレンス用のボンディングパッド 2 P r が配置されている。本実施の形態では、図 3 8 に示すように、ポジ側の伝送経路とリファレンス経路との離間距離と、ネガ側の伝送経路とリファレンス経路との離間距離とが等しくなるように複数のボンディングパッド 2 P r が配置されている。詳しくは、差動対を構成する一方の伝送経路に配置されるボンディングパッド 2 P D b からボンディングパッド 2 P D b に最も近い位置に配置されるリファレンス用のボンディ

50

ングパッド 2 P r までの距離（例えば中心間距離）は、他方の伝送経路に配置されるボンディングパッド 2 P D b からボンディングパッド 2 P D b に最も近い位置に配置されるリファレンス用のボンディングパッド 2 P r までの距離（例えば中心間距離）が、等しくなっている。このため、差動対を構成する一方の伝送経路（例えばポジ）と他方の伝送経路（例えばネガ）の間での遅延差を低減し、ポジ側とネガ側の間でのスキュー差の発生を防止または抑制できる。

【 0 1 5 9 】

一方、図 3 9 に示すように、配線基板 2 の実装面である下面 2 b では、複数のランド 2 L D が配置されている。高速伝送経路を構成する複数のランド 2 L D b には、複数の入力用ボンディングパッド 2 P i（図 3 8 参照）と電気的に接続される複数の入力用ランド 2 L i と、複数の出力用ボンディングパッド 2 P o（図 3 8 参照）と電気的に接続される複数の出力用ランド 2 L o とが含まれる。また、複数のランド 2 L D には、複数の基準電位用ボンディングパッド 2 P g（図 3 8 参照）と電気的に接続される複数の基準電位用ランド 2 L g が含まれる。また、複数のランド 2 L D には、複数の電源電位用ボンディングパッド 2 P v（図 3 8 参照）と電気的に接続される複数の電源電位用ランド 2 L v が含まれる。

10

【 0 1 6 0 】

図 3 9 に示す例では、複数の入力用ランド 2 L i および複数の出力用ランド 2 L o は、下面 2 b の周縁部に配置されている。一方、複数の基準電位用ランド 2 L g および複数の電源電位用ランド 2 L v は下面 2 b の中央部に配置されている。また、複数の入力用ランド 2 L i と複数の出力用ランド 2 L o とは、配線基板 2 の下面 2 b において、異なる位置にまとめて配置されている。

20

【 0 1 6 1 】

詳しくは、配線基板 2 は平面視において四角形を成し、X 方向に沿って延びる辺 2 s 1、2 s 2、および X 方向に直交する Y 方向に沿って延びる辺 2 s 3、2 s 4 を備えている。複数の入力用ランド 2 L i および複数の出力用ランド 2 L o は、下面 2 b が有する四辺のうち、辺 2 s 3 および辺 2 s 4 に沿って、配置されている。また、複数の入力用ランド 2 L i は、辺 2 s 3 の中心よりも辺 2 s 1 側、および辺 2 s 4 の中心よりも辺 2 s 2 側にまとめて配置されている。一方、複数の出力用ランド 2 L o は、辺 2 s 3 の中心よりも辺 2 s 2 側、および辺 2 s 4 の中心よりも辺 2 s 1 側にまとめて配置されている。

30

【 0 1 6 2 】

図 3 9 に例示するように入力用の端子と出力用の端子を集約して配置する場合、図 4 0 に示すように、実装基板 1 0 に複数の半導体装置 1 を実装し、かつ、カスケード接続する場合に、特に有効である。すなわち、図 4 0 に模式的に示すように、実装基板 1 0 の実装面上において、第 1 の半導体装置 1 の入力用の端子と第 2 の半導体装置 1 の出力用の端子が対向するように配置することができる。これにより、隣り合う半導体装置 1 間の伝送距離を短縮することができるので、伝送ロス低減することができる。また、複数の半導体装置 1 がカスケード接続で実装された実装構造体のノイズ耐性を向上させることができる。

40

【 0 1 6 3 】

しかし、図 3 8 と図 3 9 を比較して判るように、チップ搭載面側では、複数の入力用ボンディングパッド 2 P i と複数の出力用ボンディングパッド 2 P o との対が、それぞれまとめて配置され、実装面側では複数の入力用ランド 2 L i と複数の出力用ランド 2 L o とが離れて配置されている。この場合、配線基板 2 のどこかで、入力用の信号配線と、出力用の信号配線を交差させる必要がある。

【 0 1 6 4 】

そこで、本実施の形態では、図 3 0 ~ 図 3 7 を用いて説明したように、配線層 W L 2 および配線層 W L 5 で高速伝送経路の引き回しを行っている。つまり、配線層 W L 2 と配線層 W L 5 との間で入力信号配線と出力信号配線を交差させている。

【 0 1 6 5 】

50

詳しくは、入力用信号配線または出力用信号配線のうちのいずれか一方は、図 1 1 に示す配線層 W L 2 でランド 2 L D b (図 1 9 参照) 上まで引き回す。この伝送経路については、図 1 6 に示すようにスルーホールランド 2 T L 2 がランド 2 L D b 上に配置された配線構造を適用することで、高速伝送経路のノイズ耐性を向上させることができる。一方、入力用信号配線または出力用信号配線のうちの他方は、図 1 8 に示す配線層 W L 5 でランド 2 L D b (図 1 9 参照) 上まで引き回す。この場合、図 3 0 ~ 図 3 7 を用いて説明したように、スルーホールランド 2 T L 2 がランド 2 L D b と厚さ方向に重ならない場合の配線構造を適用することで、高速伝送経路のノイズ耐性を向上させることができる。

【 0 1 6 6 】

< 半導体装置の製造方法 >

次に、図 1 ~ 図 4 0 を用いて説明した半導体装置 1 の製造方法 (組立工程) について、図 4 1 に示すフロー図を用いて説明する。図 4 1 は、図 1 ~ 図 4 0 を用いて説明した半導体装置の組立工程のフローを示す説明図である。なお、以下の製造方法の説明においては、予め製品サイズに形成された配線基板 2 を準備して、一つの半導体装置 1 を製造する方法について説明する。しかし、変形例としては、複数の製品形成領域に区画された、所謂、多数個取り基板を準備して、複数の製品形成領域のそれぞれについて組立を行ったあと、製品形成領域毎に分割して複数の半導体装置を取得する、多数個取り方式にも適用できる。このため、図 4 1 では、多数個取り方式の時に適用する個片化工程について、括弧書きで記載している。

【 0 1 6 7 】

まず、図 4 1 に示す基板準備工程では、図 4 に示す配線基板 2 を準備する。本工程で準備する配線基板 2 は、図 4 に示す半田ボール 4 が未だ接続されていない点、放熱板 6 および半導体チップ 3 が搭載されていない点を除き、図 1 ~ 図 4 0 を用いて説明した構成部材が予め形成されている。ただし、配線基板 2 の複数のボンディングパッド 2 P D 上には、それぞれ、突起電極 3 B P と接合される半田材 (半田バンプ) が予め形成されている。

【 0 1 6 8 】

また、半導体チップ準備工程では、図 4 に示す半導体チップ 3 を準備する。半導体チップ 3 の表面 3 a には、半導体チップ 3 の基材および配線を覆う絶縁膜が形成されており、複数のパッド 3 P D のそれぞれの表面は、この絶縁膜に形成された開口部において、絶縁膜から露出している。また、複数のパッド 3 P D は、それぞれ金属からなり、本実施の形態では、例えばアルミニウム (A l) からなる。複数のパッド 3 P D にはそれぞれ突起電極 3 B P が接続され、半導体チップ 3 の複数のパッド 3 P D と、配線基板 2 の複数のボンディングパッド 2 P D とは、複数の突起電極 3 B P を介して、それぞれ電氣的に接続されている。突起電極 3 B P は、例えば、パッド 3 P D 上に、下地金属膜 (アンダーバンプメタル) を介して半田材が積層された、所謂、半田バンプである。

【 0 1 6 9 】

次に、半導体チップ搭載工程では、図 4 に示すように半導体チップ 3 を配線基板 2 のチップ搭載面である上面 2 a 上に搭載する。本実施の形態では、図 4 に示すように、複数のパッド 3 P D が形成された表面 3 a が配線基板 2 の上面 2 a と対向するように、フェイスダウン実装方式 (あるいはフリップチップ接続方式) により搭載する。この場合、複数の突起電極 3 B P と配線基板の複数のボンディングパッド 2 P D のそれぞれに形成された半田バンプとを接合することにより、半導体チップ 3 に形成された回路と、配線基板 2 に形成された回路 (伝送経路) とを、電氣的に接続する。

【 0 1 7 0 】

次に、アンダフィル充填工程では、図 4 に示すように半導体チップ 3 と配線基板 2 の間には、アンダフィル樹脂 (絶縁性樹脂) 5 が配置する。アンダフィル樹脂 5 は、半導体チップ 3 の表面 3 a と配線基板 2 の上面 2 a の間の空間を塞ぐように配置される。また、アンダフィル樹脂 5 は、絶縁性 (非導電性) の材料 (例えば樹脂材料) から成り、半導体チップ 3 と配線基板 2 の電氣的接続部分 (複数の突起電極 3 B P の接合部) を封止するように充填する。

10

20

30

40

50

【0171】

なお、アンダフィル樹脂5の変形例として、図41に示す半導体チップ搭載工程の前に、半導体チップ3を搭載する予定領域であるチップ搭載領域上に、フィルム状、あるいはペースト状の絶縁材料（図示は省略）を予め塗布しておき、この絶縁材料上から半導体チップ3を押し付けて搭載する方式を適用することもできる。

【0172】

次に、放熱板搭載工程では、図4に示すように半導体チップ3の裏面3bに放熱樹脂（接着材）7を塗布した後、放熱板準備工程で準備した放熱板6を貼り付ける。これにより放熱板6が半導体チップ3の裏面3b側に接着固定される。放熱板6を支持する支持枠8は、例えば、放熱板搭載工程の前に予め配線基板2上に接着固定しておくことができる。あるいは、放熱板6の周縁部に予め支持枠8を接着しておき、支持枠8の下面側に接着材を付着させた状態で、放熱板6および支持枠8を一括して搭載する事もできる。

10

【0173】

次に、ボールマウント工程では、配線基板2の実装面である下面2b側に、複数の半田ボール4を取り付ける。本工程では、図16に示す絶縁層2e6から露出するランド2LD上に半田ボール4を配置して、リフロー処理（加熱して半田成分を溶融接合させた後、冷却する処理）を施すことにより半田ボール4を取り付けられる。

【0174】

また、個片化工程を行う場合には、複数の製品形成領域を区画するダイシングライン（分割ライン）に沿って、多数個取りの配線基板を切断することにより、製品形成領域毎に個片化し、複数の半導体装置1を取得する。

20

【0175】

その後、外観検査や電氣的試験など、必要な検査、試験を行い、出荷、あるいは、図示しない実装基板に実装する。

【0176】

<その他の変形例>

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0177】

30

例えば、上記実施の形態では、第1の伝送速度で第1信号電流が流れる複数の伝送経路（第1伝送経路、低速伝送経路）と、上記第2の伝送速度よりも早い、第2の伝送速度で第2信号電流が流れる複数の伝送経路（第2伝送経路、高速伝送経路）とが混在する実施態様について説明した。しかし、変形例としては、全ての信号の伝送経路を高速伝送経路にする実施態様に適用することができる。この場合、例えば、図5に示す配線2d1aに接続される伝送経路に対して、図16を用いて説明した配線構造を適用することにより、配線2d1aに接続される伝送経路のノイズ耐性を向上させることができる。

【0178】

また、例えば、上記実施の形態では、高速伝送経路の例として、例えば、10Gbps～25Gbps程度の伝送速度で、差動信号が伝送される伝送経路を取り上げて説明したが、差動信号以外の方式により伝送する場合であっても、適用することができる。

40

【0179】

また、例えば、上記実施の形態では、半導体チップ3の周囲に支持枠8を接着固定して放熱板6を支持する実施態様について説明したが、変形例として、図42に示す半導体装置1Aや、図43に示す半導体装置1Bのように、支持枠8（図3、図4参照）を設けない実施態様や、支持枠8と放熱板6を設けない実施態様に適用することもできる。図42および図43は、図4に対する変形例である半導体装置を示す断面図である。図42に示す半導体装置1Aや、図43に示す半導体装置1Bの場合、図4に示す支持枠8の影響により半導体チップ3の表面3a側に発生する応力を低減することができる。このため、温度サイクル負荷が印加された時に、半導体チップ3の表面3a側に印加されるストレスを

50

、図 4 に示す半導体装置 1 と比較して低減できる。

【 0 1 8 0 】

また、例えば、上記実施の形態では種々の変形例について説明したが、上記で説明した各変形例同士を組み合わせる適用することができる。

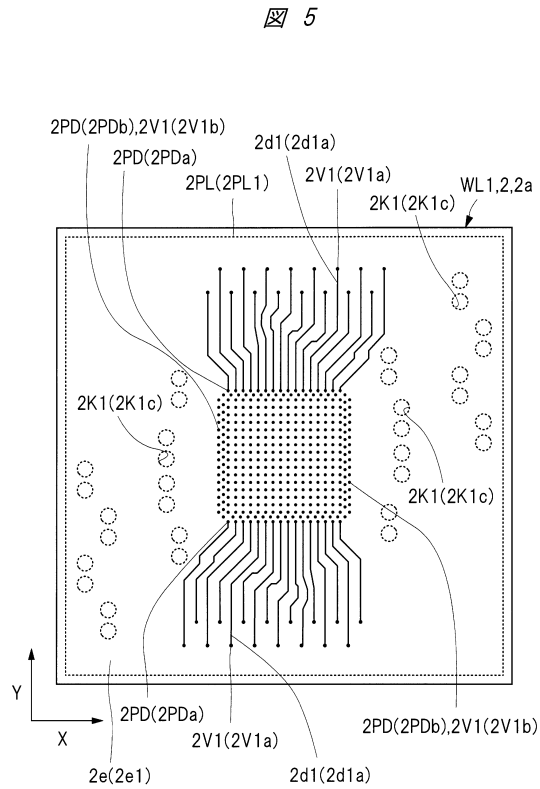
【符号の説明】

【 0 1 8 1 】

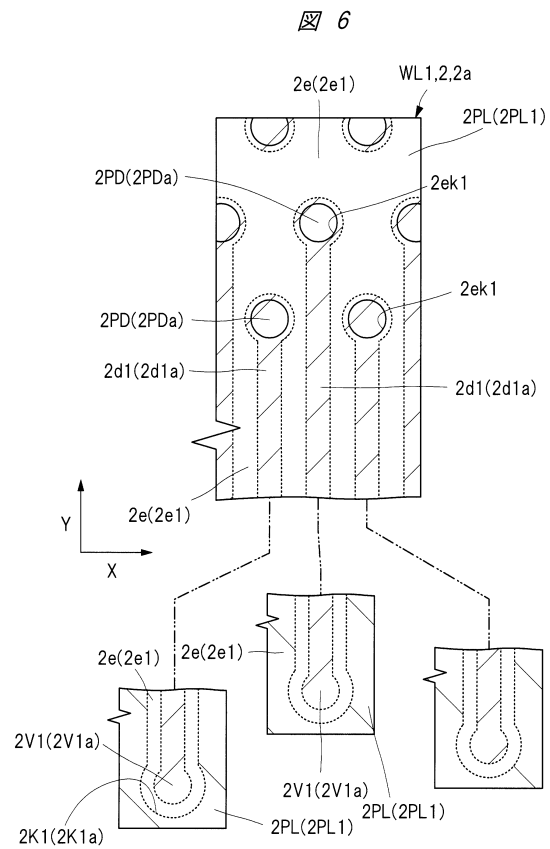
1、1 A、1 B	半導体装置	
2、2 A、2 B	配線基板	
2 a	上面（面、主面、第 1 面、チップ搭載面）	
2 b	下面（面、主面、第 2 面、実装面）	10
2 C a	上面（第 1 面）	
2 C b	下面（第 2 面）	
2 C R	絶縁層（コア材、コア絶縁層）	
2 d	配線	
2 d 1、2 d 1 a	配線（第 1 層配線）	
2 d 2、2 d 2 b	配線（第 2 層配線）	
2 d 3、2 d 3 a、2 d 3 b	配線（第 5 層配線）	
2 e	絶縁層	
2 e 1	絶縁層（第 1 絶縁層、ソルダレジスト膜）	
2 e 2	絶縁層（第 2 絶縁層）	20
2 e 3	絶縁層（第 3 絶縁層）	
2 e 4	絶縁層（第 4 絶縁層）	
2 e 5	絶縁層（第 5 絶縁層）	
2 e 6	絶縁層（第 6 絶縁層、ソルダレジスト膜）	
2 e k 1、2 e k 2	開口部（ソルダレジスト開口部）	
2 F L	導体パターン	
2 K 1、2 K 1 a、2 K 1 b	開口部	
2 K 1 c	開口部（第 1 開口部）	
2 K 2、2 K 2 a	開口部	
2 K 2 b	開口部（第 2 開口部）	30
2 K 3、2 K 4、2 K 5	開口部	
2 K 4 A	開口部（第 3 開口部）	
2 K 4 B	開口部（第 5 開口部）	
2 K 5 A	開口部（第 4 開口部）	
2 K 6 B	開口部（第 6 開口部）	
2 L D、2 L D a、2 L D b	ランド	
2 L g	基準電位用ランド	
2 L v	電源電位用ランド	
2 L i	入力用ランド	
2 L o	出力用ランド	40
2 P D	ボンディングパッド（ボンディングリード、半導体チップ接続用端子）	
2 P D a	ボンディングパッド（第 2 ボンディングパッド）	
2 P D b	ボンディングパッド（第 1 ボンディングパッド）	
2 P g	基準電位用ボンディングパッド	
2 P r	ボンディングパッド	
2 P v	電源電位用ボンディングパッド	
2 P i	入力用ボンディングパッド	
2 P o	出力用ボンディングパッド	
2 P L	導体プレーン	
2 P L 1	導体プレーン（第 1 導体プレーン）	50

2 P L 2	導体プレーン (第 2 導体プレーン)	
2 P L 3	導体プレーン (第 3 導体プレーン)	
2 P L 4	導体プレーン (第 4 導体プレーン)	
2 P L 5	導体プレーン (第 5 導体プレーン)	
2 P L 6	導体プレーン (第 6 導体プレーン)	
2 P L g	基準電位用導体プレーン	
2 P L v	電源電位用導体プレーン	
2 s	側面	
2 s 1、2 s 2、2 s 3、2 s 4	辺	
2 T H	スルーホール	10
2 T L 1	スルーホールランド (第 1 スルーホールランド)	
2 T L 1 a、2 T L 1 b	スルーホールランド	
2 T L 2	スルーホールランド (第 2 スルーホールランド)	
2 T L 2 a、2 T L 2 b	スルーホールランド	
2 T W、2 T W b、2 T W b 1、2 T W b 2、2 T W r、2 T W r 1、2 T W r 2	スルーホール配線	
2 V 1、2 V 1 a、2 V 1 b	ビア配線 (第 1 ビア配線)	
2 V 2、2 V 2 a、2 V 2 b	ビア配線 (第 2 ビア配線)	
2 V 2 r、2 V 4 r	ビア配線	
2 V 3、2 V 3 a、2 V 3 b	ビア配線 (第 3 ビア配線)	20
2 V 4、2 V 4 a、2 V 4 b	ビア配線 (第 4 ビア配線)	
3	半導体チップ	
3 a	表面 (主面、上面)	
3 b	裏面 (主面、下面)	
3 B P	突起電極	
3 P D	パッド (ボンディングパッド)	
3 s	側面	
4、4 b 1、4 b 2、4 r 1、4 r 2	半田ボール (半田材、外部端子、電極、外部電極)	
5	アンダフィル樹脂 (絶縁性樹脂)	30
6	放熱板 (ヒートスプレッダ)	
7	接着材 (放熱樹脂)	
8	支持枠 (スティフナリング)	
1 0	実装基板	
C p、C t	寄生容量	
W L 1	配線層 (第 1 配線層)	
W L 2	配線層 (第 2 配線層)	
W L 3	配線層 (第 3 配線層)	
W L 4	配線層 (第 4 配線層)	
W L 5	配線層 (第 5 配線層)	40
W L 6	配線層 (第 6 配線層)	
S d d 1 1	差動反射特性	
S d d 2 1	差動伝送特性	
Z d i f f	差動インピーダンス	

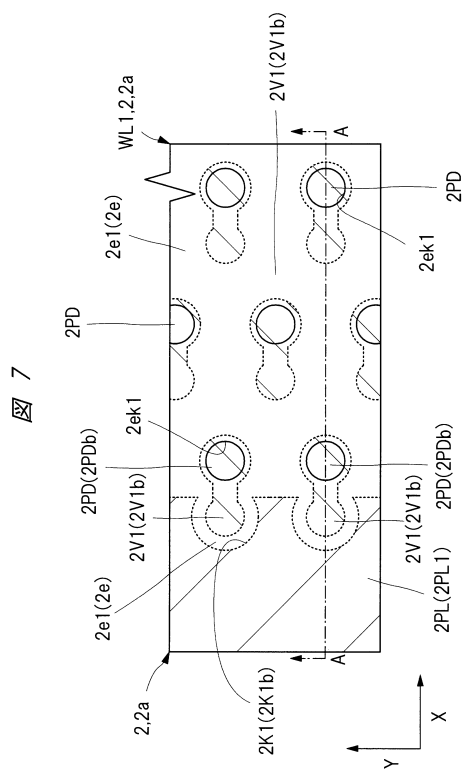
【図 5】



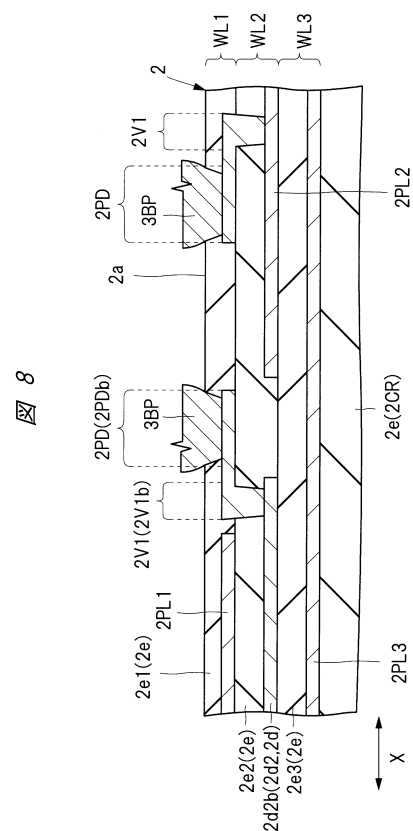
【図 6】



【図 7】

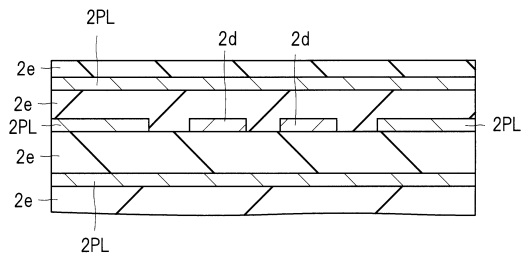


【図 8】



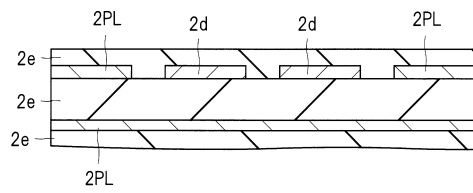
【図 9】

図 9



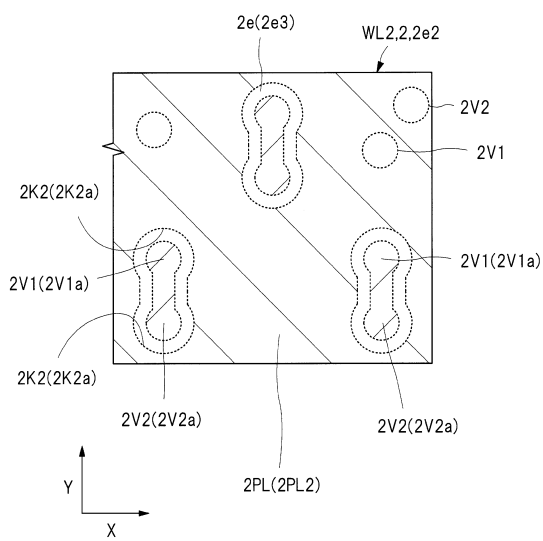
【図 10】

図 10



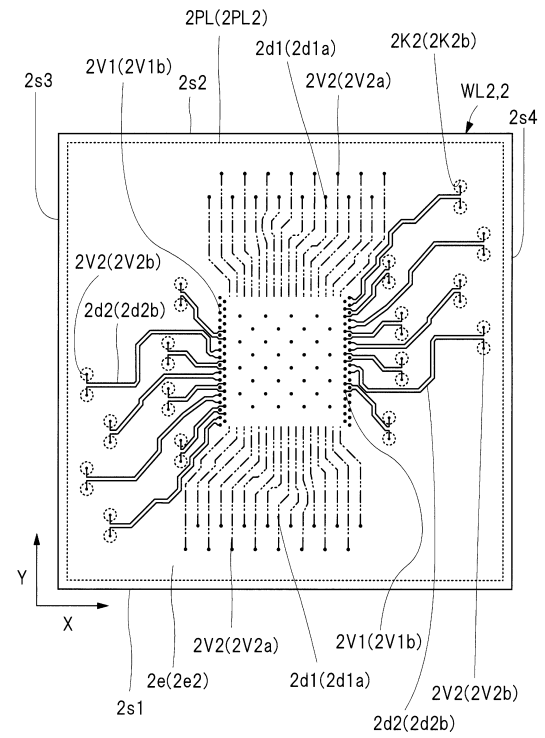
【図 12】

図 12



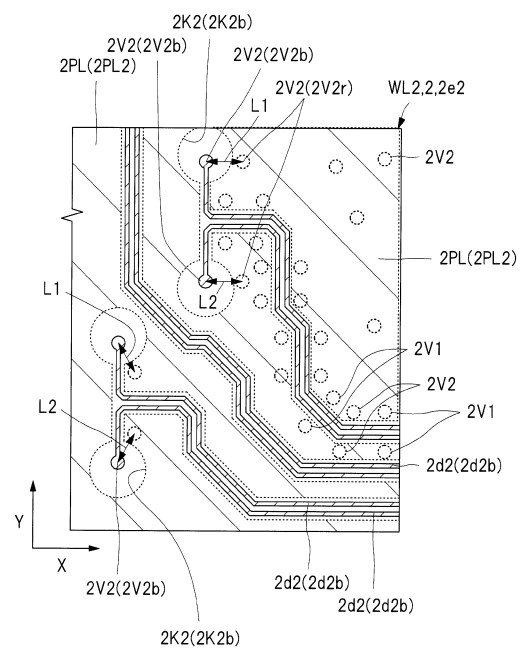
【図 11】

図 11

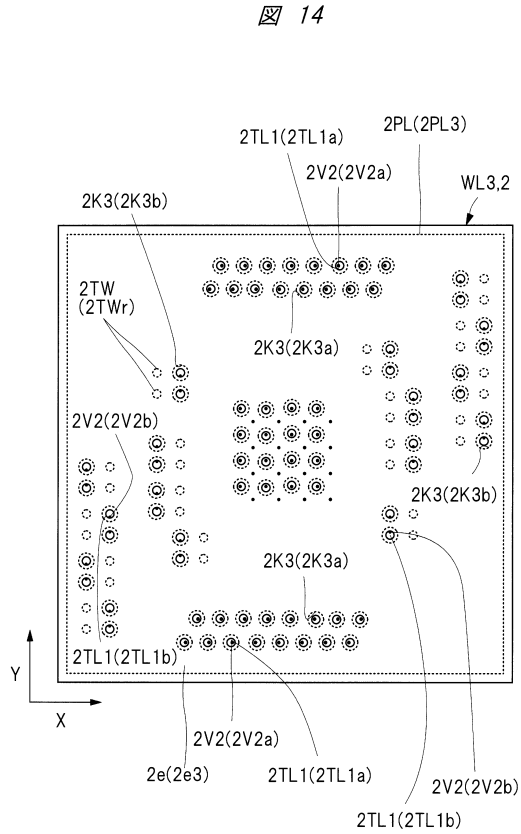


【図 13】

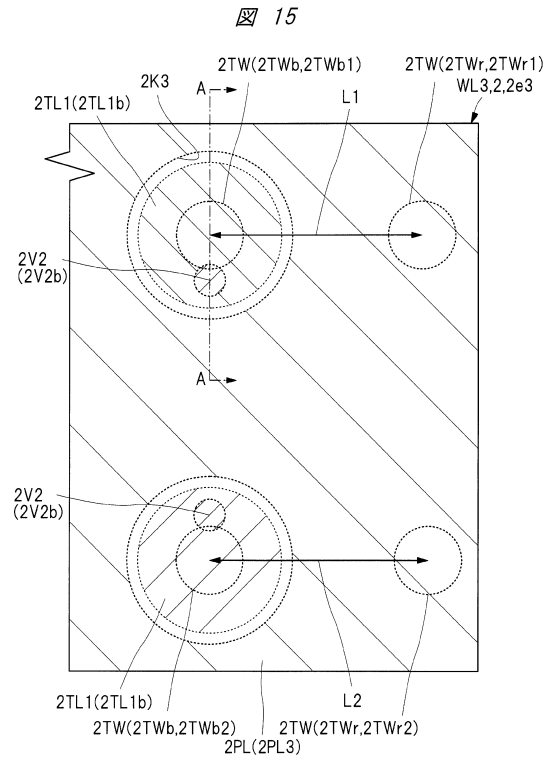
図 13



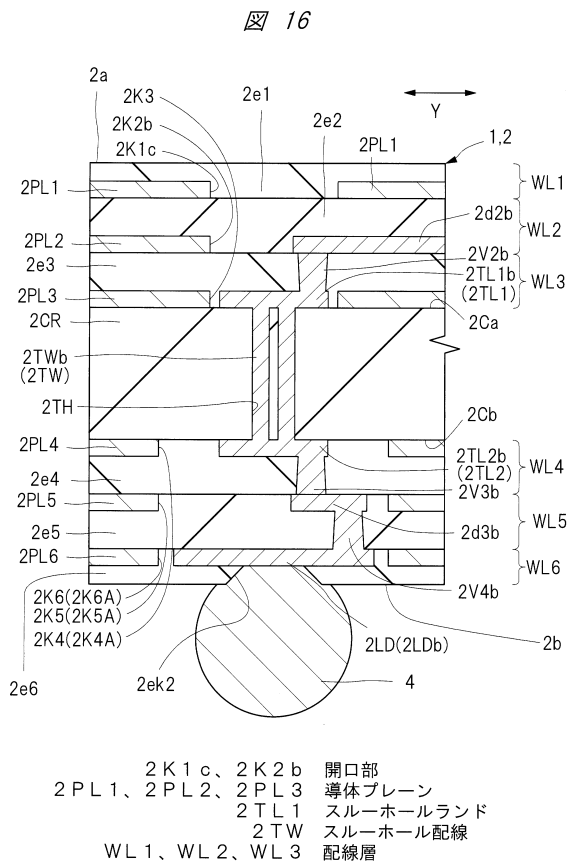
【図14】



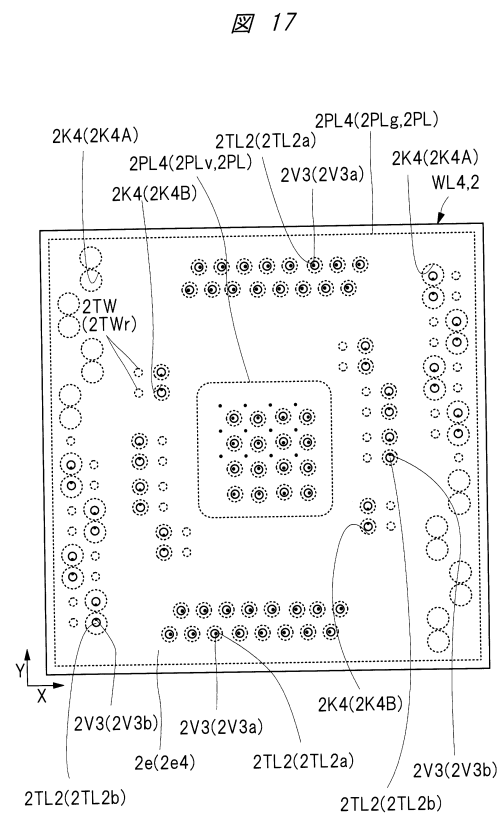
【図15】



【図16】

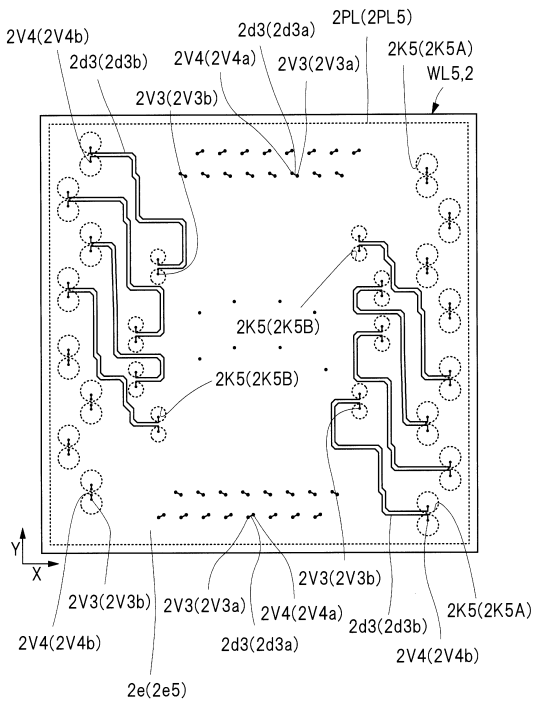


【図17】



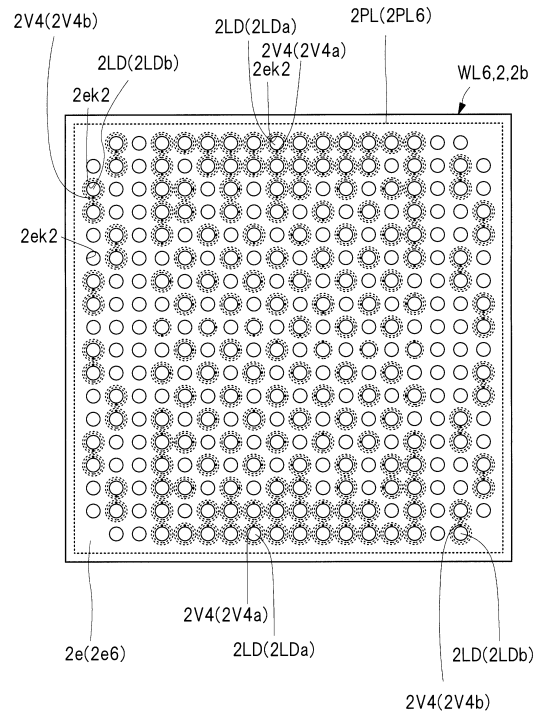
【図 18】

図 18



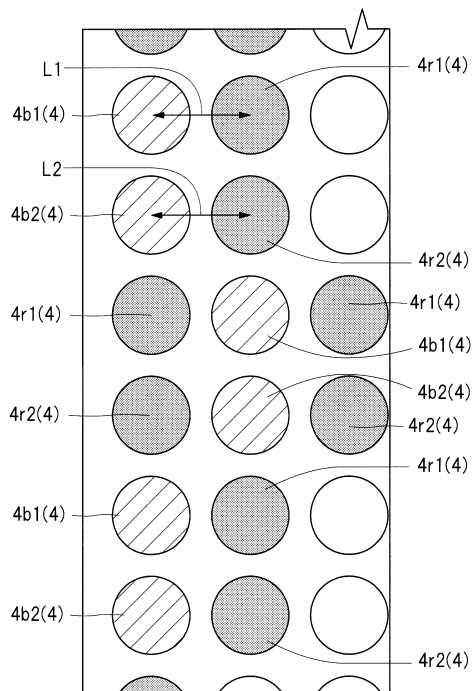
【図 19】

図 19



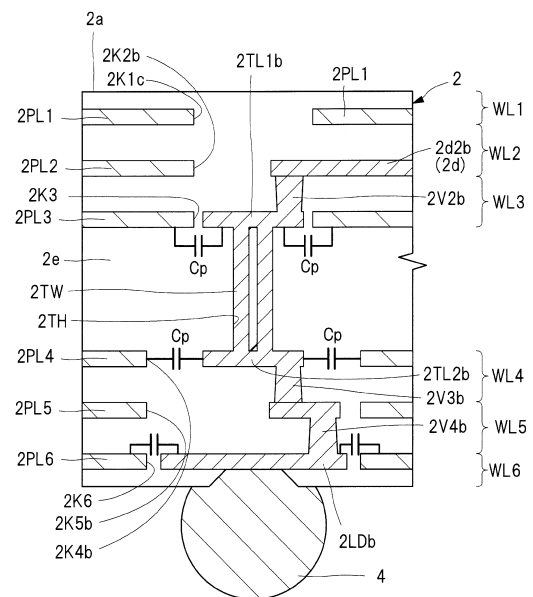
【図 20】

図 20

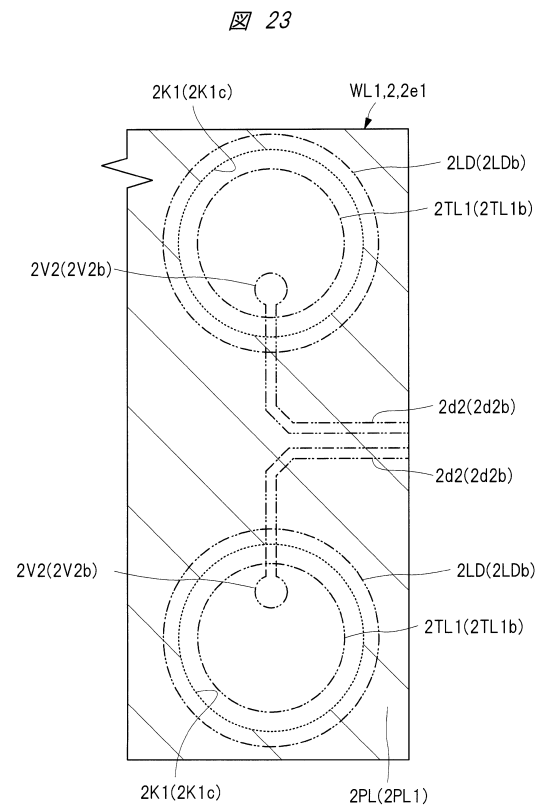
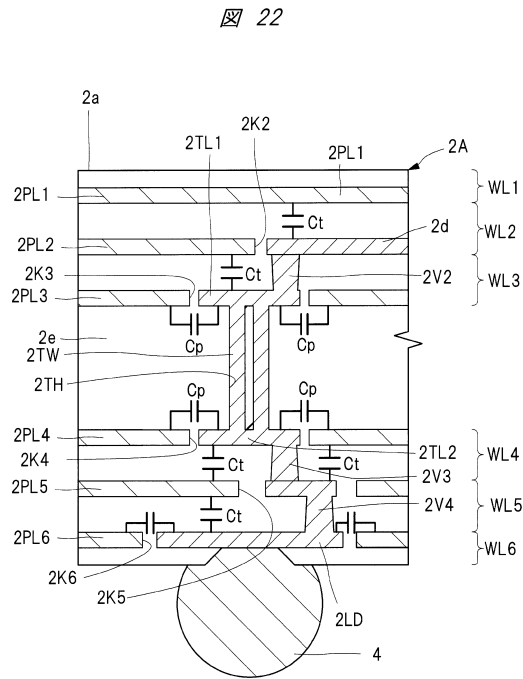


【図 21】

図 21

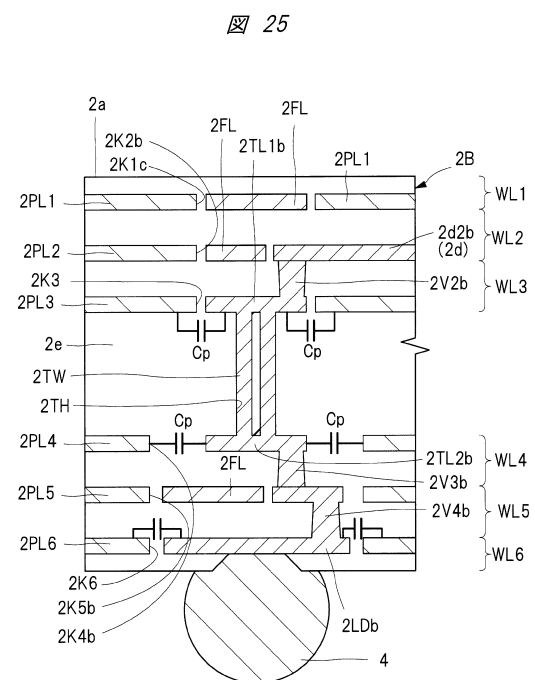
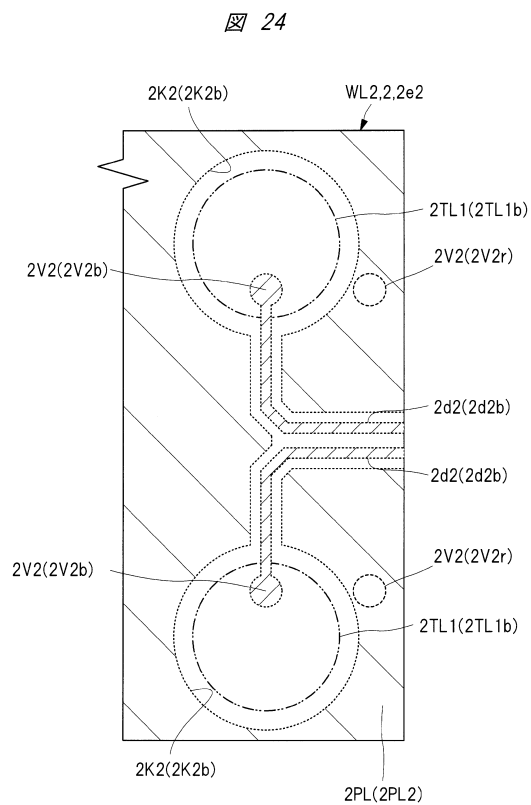


【 図 2 3 】

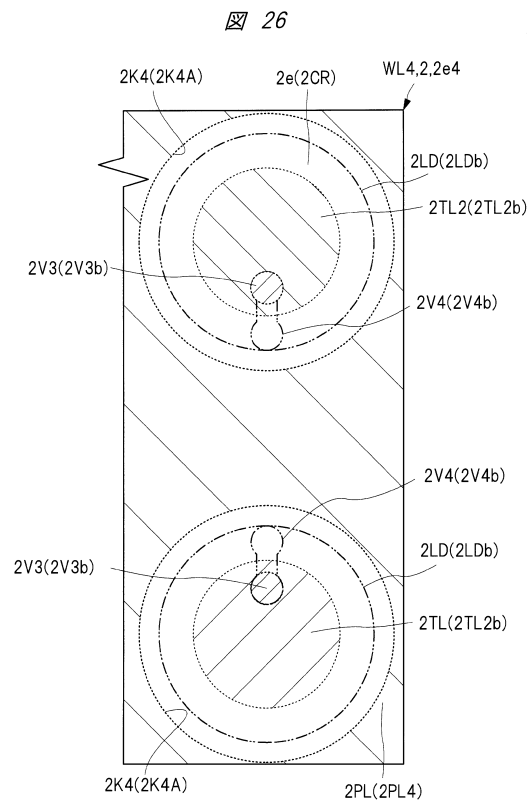


【 図 2 4 】

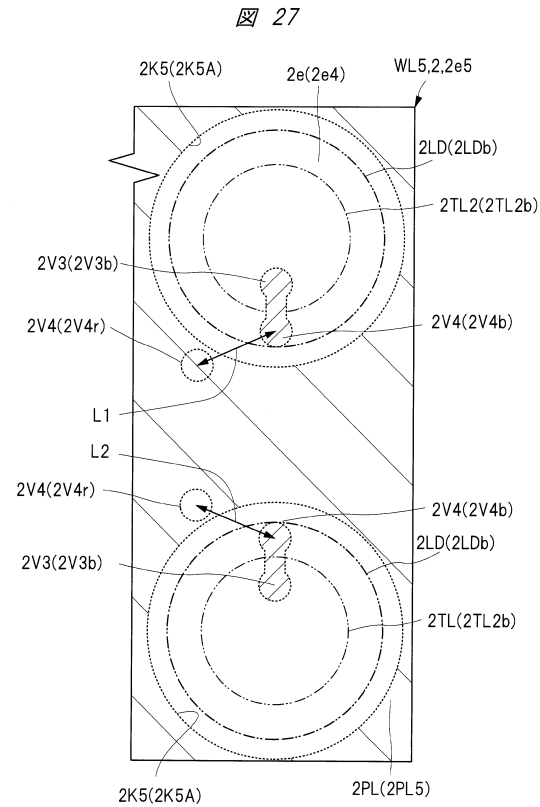
【 図 2 5 】



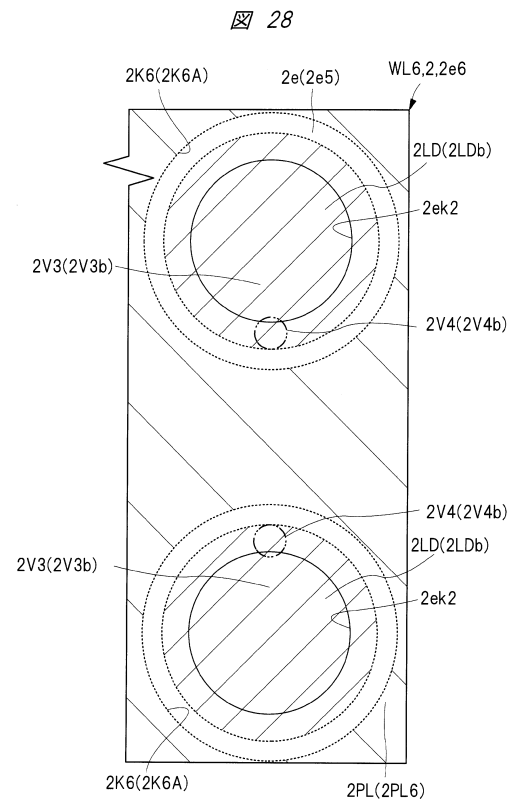
【図 26】



【図 27】



【図 28】

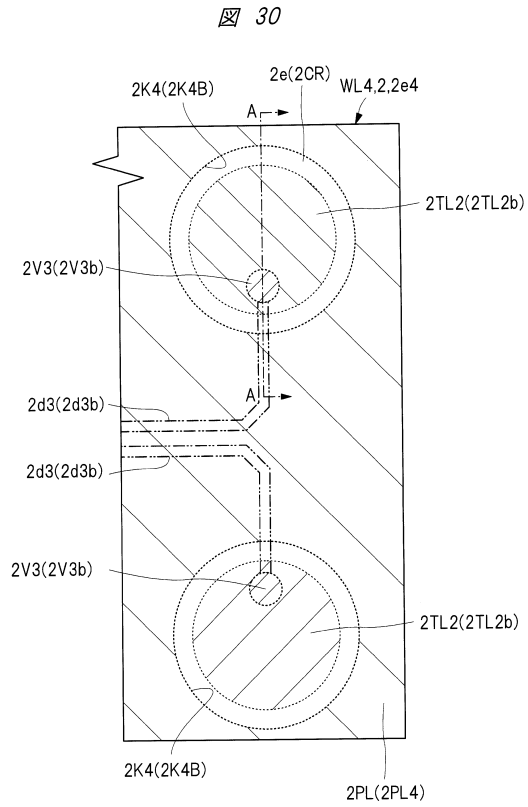


【図 29】

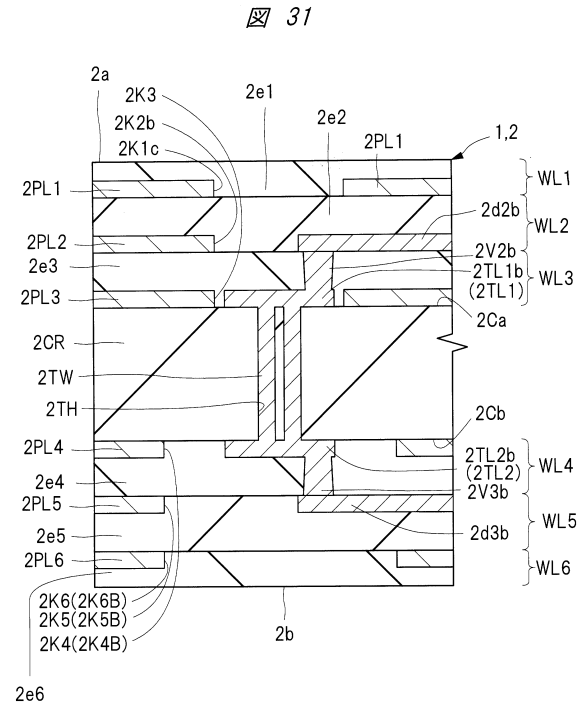
図 29

改善効果	約30Ω	-5dB (10GHz)	約-3dB
配線基板2A	約40Ω	Max -3dB (10GHz)	約-4dB
配線基板2	約70Ω	Max -8dB (10GHz)	約-1dB
	Zdiff[Ω]	Sdd11[dB]	Sdd21[dB]

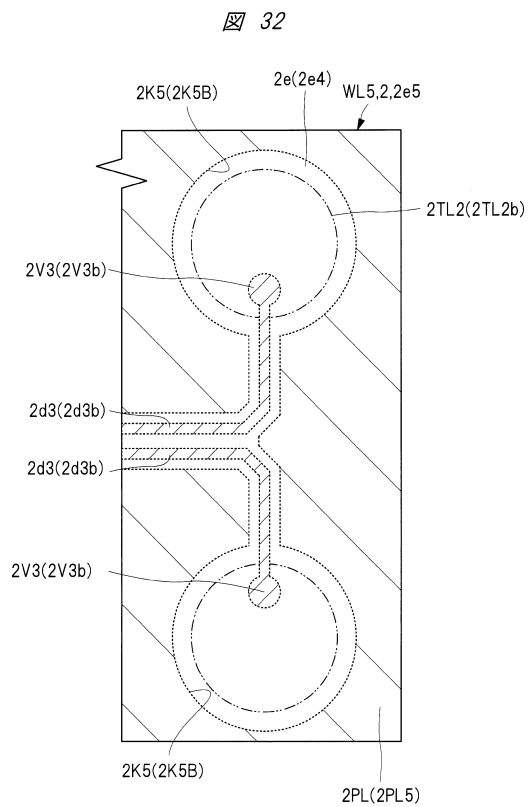
【図 30】



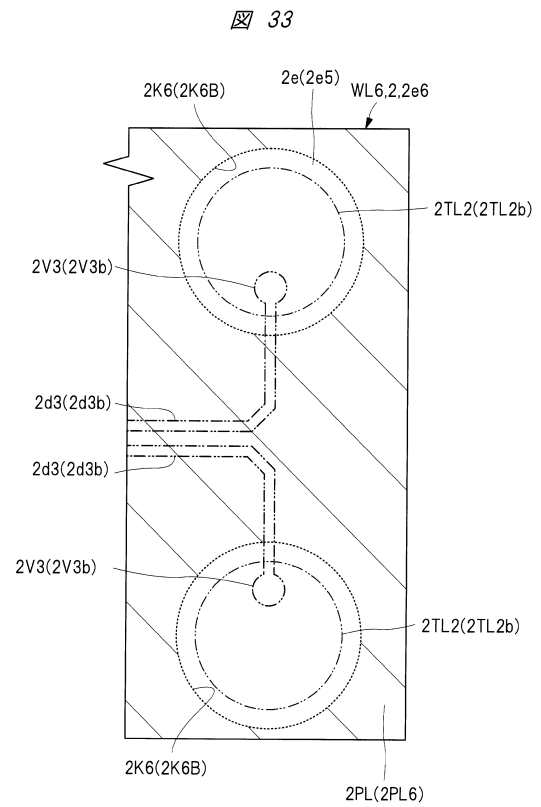
【図 31】



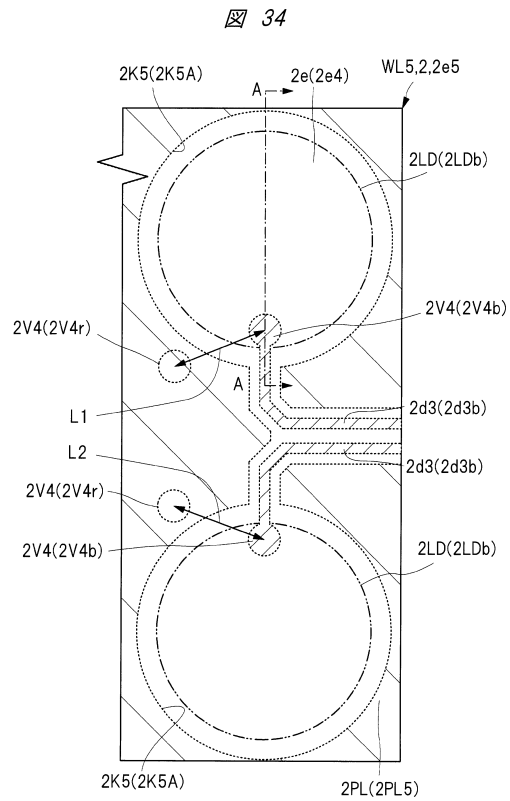
【図 32】



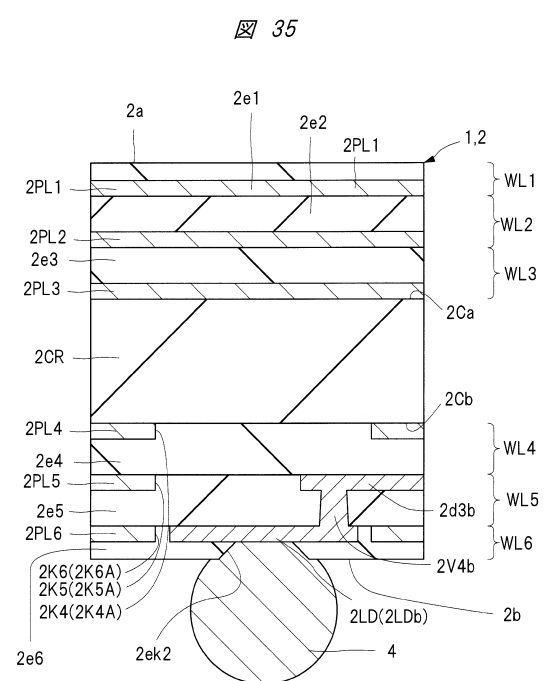
【図 33】



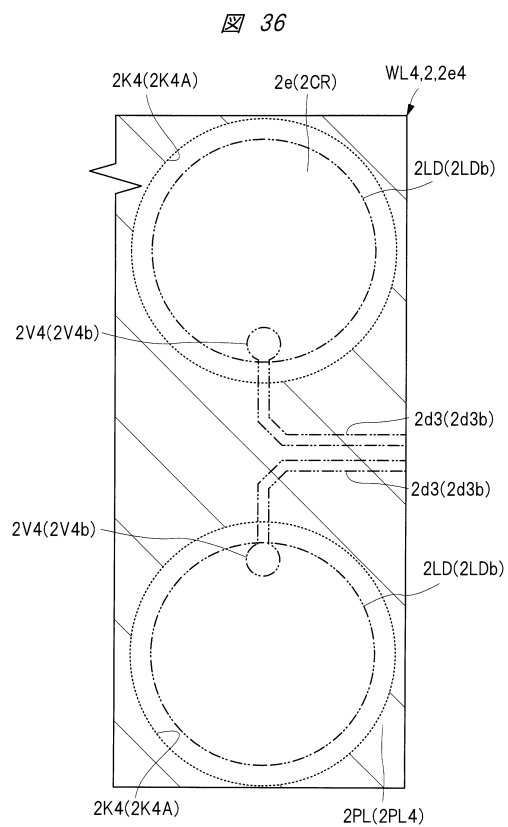
【図 34】



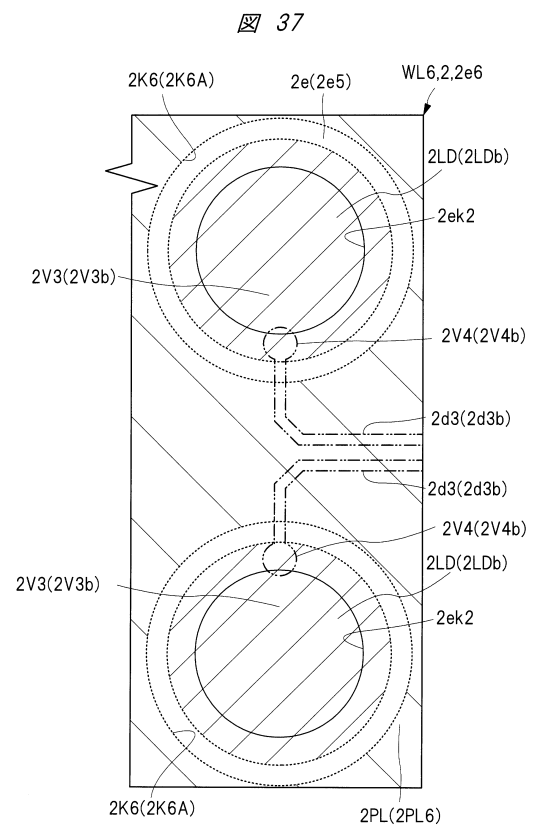
【図 35】



【図 36】

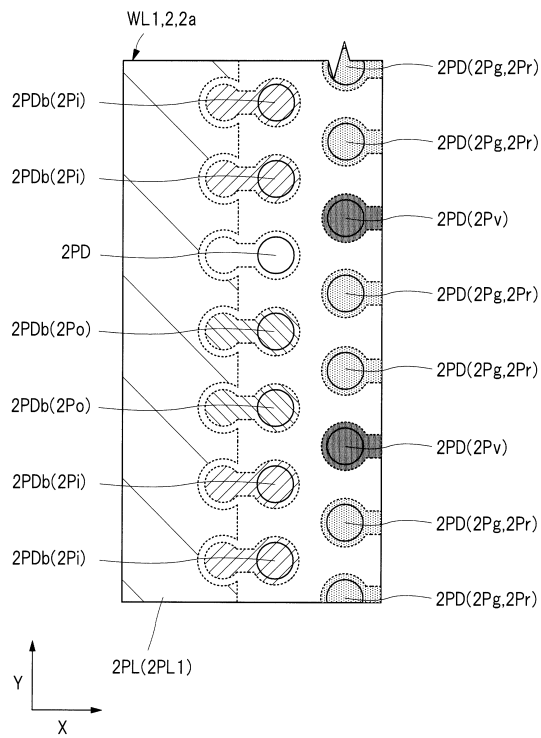


【図 37】



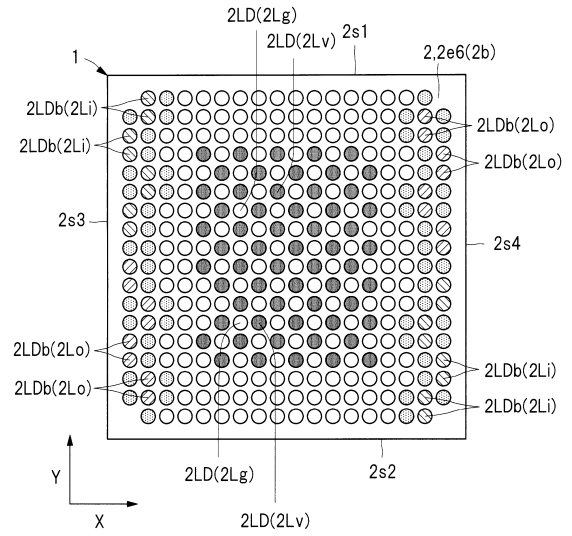
【図 38】

図 38



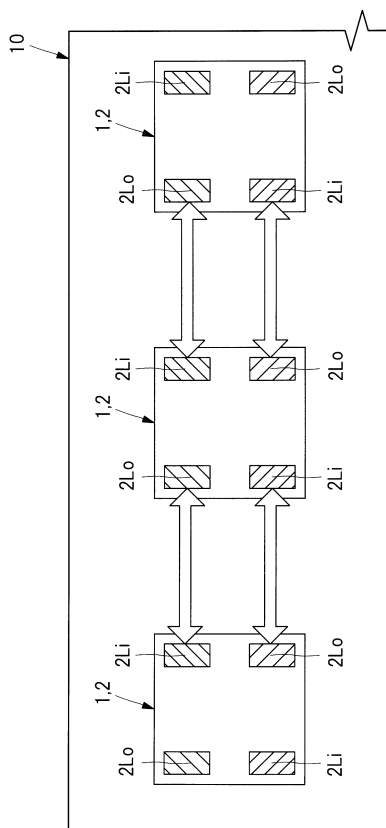
【図 39】

図 39



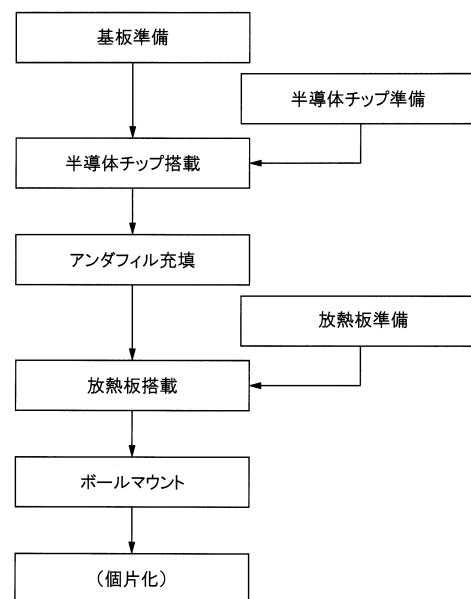
【図 40】

図 40

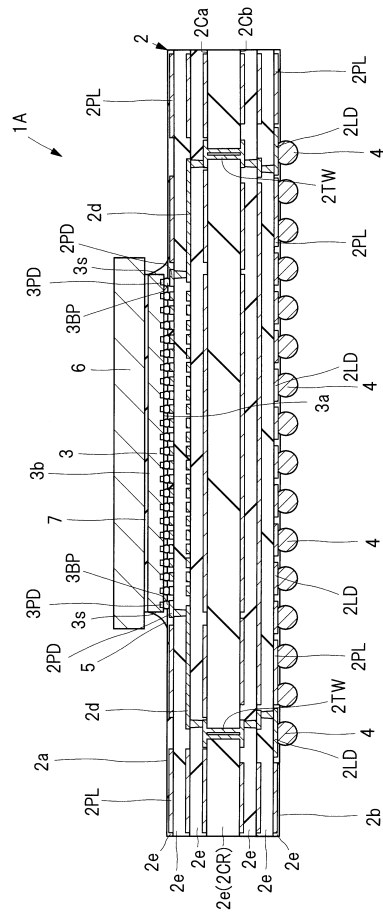


【図 41】

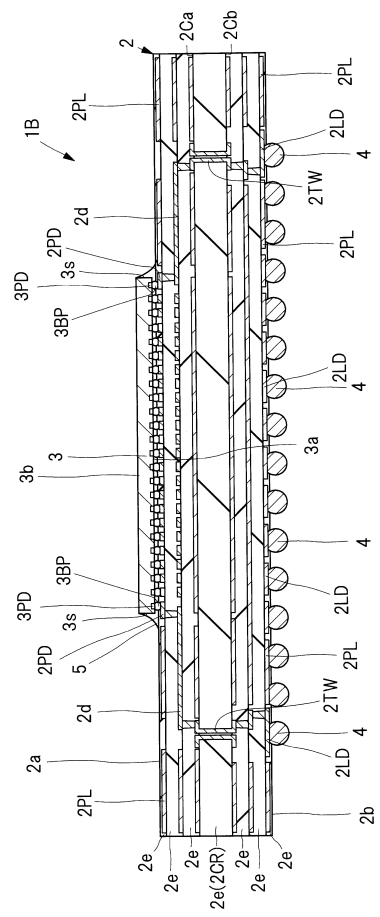
図 41



【 図 4 2 】



【 図 4 3 】



フロントページの続き

(56)参考文献 特開 2 0 1 1 - 1 3 8 8 4 6 (J P , A)
特開 2 0 0 3 - 1 6 8 8 6 4 (J P , A)
国際公開第 2 0 1 1 / 0 1 8 9 3 8 (W O , A 1)
特開 2 0 0 6 - 0 4 9 6 4 5 (J P , A)
特開 2 0 0 4 - 1 5 8 5 5 3 (J P , A)
特開 2 0 0 3 - 1 2 4 6 3 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 1 L 2 3 / 1 2
H 0 5 K 3 / 4 6