(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년03월14일
(11) 등록번호 10-1958568
(24) 등록일자 2019년03월08일

(51) 국제특허분류(Int. Cl.)
H01L 23/66 (2006.01) *H01L 23/58* (2006.01)
(52) CPC특허분류
H01L 23/66 (2013.01)
H01L 23/49816 (2013.01)
(21) 출원번호 10-2017-0126864
(22) 출원일자 2017년09월29일
심사청구일자 2017년09월29일
(65) 공개번호 10-2018-0038382
(43) 공개일자 2018년04월16일
(30) 우선권주장
JP-P-2016-198125 2016년10월06일 일본(JP)
(56) 선행기술조사문헌
JP11297941 A
KR1020080038022 A
JP2006080540 A

(73) 특허권자
미쓰비시덴키 가부시키가이샤
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 7반 3고
(72) 발명자
와타나베 신스케
일본 도쿄도 지요다쿠 마루노우치 2쵸메 7-3 미쓰비시덴키 가부시키가이샤 내
니시자와 고이치로
일본 도쿄도 지요다쿠 마루노우치 2쵸메 7-3 미쓰비시덴키 가부시키가이샤 내
(74) 대리인
제일특허법인(유)

전체 청구항 수 : 총 12 항 심사관 : 정구원

(54) 발명의 명칭 **반도체 장치**

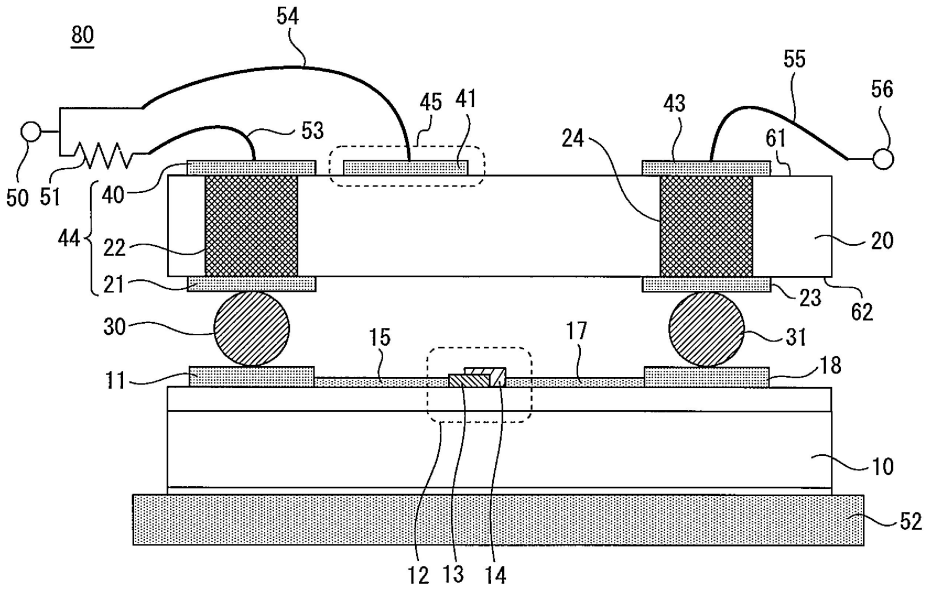
(57) 요 약

(과제) 본 발명은, 전계 효과 트랜지스터를 구비한 반도체 장치에 관한 것이고, 기판의 면적의 증가를 억제할 수 있는 반도체 장치를 얻는 것을 목적으로 한다.

(해결 수단) 본 발명과 관련되는 반도체 장치는, 제 1 기판에 마련된 트랜지스터와, 상기 트랜지스터의 게이트

(뒷면에 계속)

대 표 도



전극과 접속된 게이트 패드와, 상기 게이트 패드의 위에 마련된 도전성 범프와, 상기 제 1 기판의 위쪽에 마련되고, 제 1 면과 제 2 면을 갖는 제 2 기판과, 상기 제 1 면으로부터 상기 제 2 면으로 관통하고, 상기 제 2 면 쪽에서 상기 도전성 범프와 접속되는 제 1 전극과, 일단이 상기 제 1 전극의 상기 제 1 면 쪽에 접속되고, 타단이 입력 단자에 접속된 저항과, 상기 제 1 면에 상기 제 1 전극과 인접하여 마련되고, 상기 저항을 거치지 않고서 상기 입력 단자에 접속된 제 2 전극을 구비하고, 상기 트랜지스터의 게이트 리크 전류는, 상기 제 1 전극으로부터 상기 제 2 기판의 상기 모재 및 상기 제 2 전극을 통과해서 상기 입력 단자에 흐른다.

(52) CPC특허분류
H01L 23/58 (2013.01)
H01L 24/12 (2013.01)
H01L 25/073 (2013.01)
H01L 2924/1306 (2013.01)

명 세 서

청구범위

청구항 1

제 1 기판과,

상기 제 1 기판에 마련된 트랜지스터와,

상기 제 1 기판의 상면에 마련되고, 상기 트랜지스터의 게이트 전극과 접속된 게이트 패드와,

상기 게이트 패드의 위에 마련된 도전성 범프와,

상기 제 1 기판의 위쪽에 마련되고, 제 1 면과, 상기 제 1 면과 반대의 면인 제 2 면을 갖는 제 2 기판과,

상기 제 1 면으로부터 상기 제 2 면으로 관통하고, 상기 제 2 면 쪽에서 상기 도전성 범프와 접속되는 제 1 전극과,

일단이 상기 제 1 전극의 상기 제 1 면 쪽에 접속되고, 타단이 입력 단자에 접속된 저항과,

상기 제 1 면에 상기 제 1 전극과 인접하여 마련되고, 상기 저항을 거치지 않고서 상기 입력 단자에 접속된 제 2 전극

을 구비하고,

상기 제 1 전극과 상기 제 2 전극은, 상기 제 2 기판의 모재(base material)에 의해 이격되고,

상기 트랜지스터의 드레인 전극으로부터 상기 게이트 전극에 흐르는 게이트 리크 전류는, 상기 제 1 전극으로부터 상기 제 2 기판의 상기 모재 및 상기 제 2 전극을 통과해서 상기 입력 단자에 흐르는

것을 특징으로 하는 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 전극과 상기 제 2 전극의 사이의 간격은 100㎛ 이하인 것을 특징으로 하는 반도체 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 제 2 전극은, 상기 제 1 면에 마련된 제 2 본딩 패드인 것을 특징으로 하는 반도체 장치.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 제 2 전극은, 상기 제 1 면으로부터 상기 제 2 면으로 관통하는 것을 특징으로 하는 반도체 장치.

청구항 5

제 3 항에 있어서,

상기 제 1 전극은, 상기 도전성 범프와 접속되고, 상기 제 2 면에 마련된 제 1 패드를 구비하고,

상기 제 1 패드는, 상기 제 2 본딩 패드의 바로 밑까지 연장되어 있는

것을 특징으로 하는 반도체 장치.

청구항 6

제 5 항에 있어서,

상기 제 2 기판은, 상기 제 2 본딩 패드가 마련된 부분이 주위보다 얇은 것을 특징으로 하는 반도체 장치.

청구항 7

제 6 항에 있어서,

상기 제 1 면에는 제 1 오목부가 형성되고,

상기 제 2 본딩 패드는 상기 제 1 오목부를 메우는

것을 특징으로 하는 반도체 장치.

청구항 8

제 6 항에 있어서,

상기 제 2 면에는, 상기 제 2 본딩 패드의 바로 밑에 제 2 오목부가 형성되고,

상기 제 1 패드는 상기 제 2 오목부를 메우는

것을 특징으로 하는 반도체 장치.

청구항 9

제 1 항 또는 제 2 항에 있어서,

상기 제 2 기판의 상기 모재는, 저항률이 100Ω㎝ 이상인 실리콘인 것을 특징으로 하는 반도체 장치.

청구항 10

제 1 항 또는 제 2 항에 있어서,

상기 제 2 기판에는, 정합 회로가 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 11

제 1 항 또는 제 2 항에 있어서,

상기 제 1 기판과 상기 제 2 기판은, 수지로 봉지되어 있는 것을 특징으로 하는 반도체 장치.

청구항 12

제 1 항 또는 제 2 항에 있어서,

상기 제 1 기판은, 화합물 반도체로 형성되는 것을 특징으로 하는 반도체 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은, 고주파 신호를 증폭하는 전계 효과 트랜지스터를 구비한 반도체 장치에 관한 것이다.

배 경 기 술

[0002] 화합물 반도체를 이용한 고주파용의 FET(Field Effect Transistor)에 있어서, 게이트 전극과 입력 단자가 저항을 거쳐서 접속되는 일이 있다. 이 저항은 발진의 억제 및 FET에 인가되는 게이트 전압의 조정을 위해 마련된다. FET의 온도가 상승하면 게이트 리크 전류가 생기는 일이 있다. 이 게이트 리크 전류가, 게이트 전극에 접속된 저항에 흐르면, 전압 강하에 의해 FET에 인가되는 게이트 전압이 상승한다. 이 결과, FET에 흐르는 드레인 전류가 증가하고, FET는 더 발열한다. 이것에 의해, 게이트 리크 전류가 더 증가한다. 이 연쇄에 의해, FET가 손상될 가능성이 있다.

[0003] 이것에 대하여, 특허 문헌 1에는, NIN 소자를 구비한 바이어스 회로를 갖는 반도체 장치가 개시되어 있다. NIN 소자는, 게이트 바이어스 공급 전원과 게이트의 사이에 접속된 저항과 병렬로 접속된다. NIN 소자는, 2개의 N형의 도전성 콘택트층의 사이에 반절연성의 반도체층을 사이에 둔 구성을 갖는다. NIN 소자는, 온도 상승에 따라 저항값이 저하한다. 이 때문에, 온도가 상승하면 바이어스 회로의 저항값이 감소한다. 이때, 게이트 리크 전류가 증가하더라도, 게이트 전위의 상승은 억제된다. 따라서, FET의 온도 상승은 억제된다.

[0004] (선행 기술 문헌)

[0005] (특허 문헌)

[0006] (특허 문헌 1) 일본 특허 공개 평성 11-297941호 공보

발명의 내용

해결하려는 과제

[0007] 특허 문헌 1에 나타내어지는 반도체 장치에서는, 기판에 FET 및 NIN 소자가 형성된다. 이때, FET와 NIN 소자를 근접하여 배치하는 것이 제한되는 경우가 있다. 이 때문에, FET가 고온이 되더라도, NIN 소자의 온도가 상승하기 어려운 경우가 있다. 따라서, 게이트 전위의 상승을 충분히 억제할 수 없을 가능성이 있다. 또한, 실리콘과 비교하여 밴드 갭이 넓은 화합물 반도체를 기판에 이용하면, 대전력 동작에 적합한 FET의 작성이 가능하게 된다. 한편, 화합물 반도체로 형성된 NIN 소자는, FET의 온도가 상승하더라도 저항이 내려가기 어려운 경우가 있다. 따라서, NIN 소자에 의한 게이트 전위의 상승의 억제를 충분히 할 수 없을 가능성이 있다.

[0008] 또한, NIN 소자를 형성하기 위해, 기판의 면적이 증가한다. 이 때문에, 제조 비용이 증가한다. 또한, FET의 성능을 충분히 끌어내려면, 정합 회로를 FET의 근방에 형성하는 것이 바람직하다. 그러나, FET의 근방에 NIN 소자를 형성하면, FET의 근방에 정합 회로를 배치할 수 없는 경우가 있다. 이때, FET의 성능이 억제될 가능성이 있다.

[0009] 본 발명은, 상술한 과제를 해결하기 위해 이루어진 것으로, 기판의 면적의 증가를 억제할 수 있는 반도체 장치를 얻는 것을 목적으로 한다.

과제의 해결 수단

[0010] 본 발명과 관련되는 반도체 장치는, 제 1 기판과, 상기 제 1 기판에 마련된 트랜지스터와, 상기 제 1 기판의 상면에 마련되고, 상기 트랜지스터의 게이트 전극과 접속된 게이트 패드와, 상기 게이트 패드의 위에 마련된 도전성 범프와, 상기 제 1 기판의 위쪽에 마련되고, 제 1 면과, 상기 제 1 면과 반대의 면인 제 2 면을 갖는 제 2 기판과, 상기 제 1 면으로부터 상기 제 2 면으로 관통하고, 상기 제 2 면 쪽에서 상기 도전성 범프와 접속되는 제 1 전극과, 일단이 상기 제 1 전극의 상기 제 1 면 쪽에 접속되고, 타단이 입력 단자에 접속된 저항과, 상기 제 1 면에 상기 제 1 전극과 인접하여 마련되고, 상기 저항을 거치지 않고서 상기 입력 단자에 접속된 제 2 전극을 구비하고, 상기 제 1 전극과 상기 제 2 전극은, 상기 제 2 기판의 모재(base material)에 의해 이격되고, 상기 트랜지스터의 드레인 전극으로부터 상기 게이트 전극에 흐르는 게이트 리크 전류는, 상기 제 1 전극으로부터 상기 제 2 기판의 상기 모재 및 상기 제 2 전극을 통과해서 상기 입력 단자에 흐른다.

발명의 효과

[0011] 본 발명과 관련되는 반도체 장치에서는, 게이트 패드에 도전성 범프를 거쳐 제 2 기판이 접속된다. 트랜지스터가 발열하면 제 2 기판의 모재의 저항값이 저하한다. 이때, 트랜지스터의 드레인 전극으로부터 게이트 전극에 흐르는 게이트 리크 전류는, 제 1 전극으로부터 제 2 기판의 모재를 통해서 제 2 전극에 흐른다. 따라서, 게이트 리크 전류가 제 1 저항에 흐르는 것에 의한 전압 강하가 억제된다. 이 때문에, FET의 발열이 억제된다. 또한, 제 1 기판에 게이트 리크 전류를 억제하기 위한 소자를 형성할 필요가 없다. 이 때문에, 제 1 기판의 면적의 증가를 억제할 수 있다.

도면의 간단한 설명

[0012] 도 1은 실시의 형태 1과 관련되는 반도체 장치의 단면도이다.

도 2는 실시의 형태 1과 관련되는 제 1 기판의 평면도이다.

도 3은 비교예와 관련되는 반도체 장치의 단면도이다.

도 4는 실리콘의 도전율의 온도 특성을 나타내는 도면이다.

도 5는 실시의 형태 1의 제 1 변형예와 관련되는 제 2 기판의 평면도이다.

도 6은 실시의 형태 1의 제 1 변형예와 관련되는 제 2 기판의 저면도이다.

도 7은 실시의 형태 1의 제 2 변형예와 관련되는 반도체 장치의 단면도이다.

도 8은 비교예와 관련되는 반도체 장치의 단면도이다.

도 9는 실시의 형태 2와 관련되는 반도체 장치의 단면도이다.

도 10은 실시의 형태 3과 관련되는 반도체 장치의 단면도이다.

도 11은 실시의 형태 4와 관련되는 반도체 장치의 단면도이다.

도 12는 실시의 형태 4의 제 1 변형예와 관련되는 반도체 장치의 단면도이다.

도 13은 실시의 형태 4의 제 2 변형예와 관련되는 반도체 장치의 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0013] 본 발명의 실시의 형태와 관련되는 반도체 장치에 대하여 도면을 참조하여 설명한다. 동일한 또는 대응하는 구성 요소에는 동일한 부호를 붙이고, 설명의 반복을 생략하는 경우가 있다.

[0014] 실시의 형태 1.

[0015] 도 1은 실시의 형태 1과 관련되는 반도체 장치의 단면도이다. 본 실시의 형태와 관련되는 반도체 장치(80)는, 제 1 기판(10)을 구비한다. 제 1 기판(10)에는 트랜지스터(12)가 마련된다. 본 실시의 형태에서는 트랜지스터(12)는 고주파용의 FET이다. 제 1 기판(10)은 화합물 반도체로 형성된다. 제 1 기판(10)의 재료로서, 비화갈륨, 질화갈륨, 인화인듐 등의 화합물 반도체가 이용된다.

[0016] 제 1 기판(10)의 상면에는 게이트 패드(11)가 마련된다. 게이트 패드(11)는, 배선(15)에 의해 트랜지스터(12)의 게이트 전극(13)과 접속된다. 제 1 기판(10)의 상면에는 드레인 패드(18)가 마련된다. 드레인 패드(18)는, 배선(17)에 의해 트랜지스터(12)의 드레인 전극(14)과 접속된다. 제 1 기판(10)의 이면에는, 그라운드 금속(52)이 마련되어 있다. 그라운드 금속(52)에는 그라운드 전위가 인가된다.

[0017] 게이트 패드(11)의 위에는, 도전성 범프(30)가 마련된다. 또한, 드레인 패드(18)의 위에는 도전성 범프(31)가 마련된다. 도전성 범프(30, 31)에는, 금, 구리 또는 땜납을 이용할 수 있다. 도전성 범프(30, 31)의 재료는 이것에 한하지 않는다.

[0018] 제 1 기판(10)의 위쪽에는, 제 2 기판(20)이 마련된다. 제 2 기판(20)은, 제 1 면(61)과, 제 1 면(61)과 반대의 면인 제 2 면(62)을 갖는다. 제 2 기판(20)은 저항률이 100Ω㎝ 이상인 실리콘으로 형성된다. 제 2 기판(20)의 재료가 되는 실리콘은, 고주파용 기판에 이용되는 진성 실리콘이다. 제 2 기판(20)은, 제 2 면(62)이 제 1 기판(10)의 상면과 대향하도록, 도전성 범프(30, 31)의 위에 마련된다. 제 2 기판(20)은, 도전성 범프

(30, 31)에 의해, 제 1 기판(10)의 위쪽에 실장되어 있다.

[0019] 제 2 기판(20)에는, 제 1 전극(44)이 형성된다. 제 1 전극(44)은, 제 1 면(61)으로부터 제 2 면(62)으로 관통한다. 또한, 제 1 전극(44)은 제 2 면(62) 쪽에서 도전성 범프(30)와 접속된다. 제 1 전극(44)은, 제 1 패드(21)를 제 2 면(62)에 구비한다. 제 1 패드(21)는, 도전성 범프(30)와 접속된다. 또한, 제 1 전극(44)은, 제 1 본딩 패드(40)를 제 1 면(61)에 구비한다. 제 1 본딩 패드(40)는, 와이어 본딩을 행하기 위한 패드이다. 제 1 패드(21)와 제 1 본딩 패드(40)는 제 1 면(61)으로부터 제 2 면(62)으로 관통하는 제 1 비아 홀(22)에 의해 도통하고 있다.

[0020] 반도체 장치(80)는, 저항(51)을 구비한다. 저항(51)은, 일단이 제 1 전극(44)의 제 1 면(61) 쪽에 접속된다. 저항(51)의 일단은, 제 1 본딩 패드(40)와 배선(53)에 의해 접속된다. 저항(51)의 타단은, 입력 단자(50)에 접속된다. 입력 단자(50)로부터 고주파 신호의 입력 및 게이트 전압의 인가가 행해진다. 저항(51)에 의해, 발진의 억제 및 트랜지스터(12)에 인가되는 게이트 전압의 조정을 할 수 있다.

[0021] 제 2 기판(20)에는, 제 2 전극(45)이 형성된다. 본 실시의 형태에서는, 제 2 전극(45)은, 제 1 면(61)에 마련된 제 2 본딩 패드(41)이다. 제 2 전극(45)은, 제 1 전극(44)과 인접하여 마련된다. 제 2 전극(45)은, 배선(54)에 의해 입력 단자(50)와 접속된다. 제 2 전극(45)은 저항(51)을 거치지 않고서, 입력 단자(50)에 접속된다.

[0022] 본 실시의 형태에서는, 제 2 전극(45)은 제 1 면(61)에 마련된 제 2 본딩 패드(41)인 것으로 했다. 제 2 전극(45)의 형상은 이것에 한하지 않는다. 제 2 전극(45)은, 적어도 제 1 면(61)에 마련되고, 제 1 면(61) 쪽이 입력 단자(50)에 접속되어 있으면 된다. 제 2 전극(45)은, 다른 패드 및 트랜지스터(12)와 접속되어 있지 않다. 제 2 전극(45)과 제 1 전극(44)은, 제 2 기판(20)의 모재에 의해 이격되어 있다. 제 2 전극(45)은 부유 상태이다.

[0023] 제 2 기판(20)은, 제 2 면(62)에 제 3 패드(23)를 구비한다. 제 3 패드(23)는 도전성 범프(31)와 접속된다. 또한, 제 2 기판(20)은 제 1 면(61)에 제 3 본딩 패드(43)를 구비한다. 제 3 패드(23)와 제 3 본딩 패드(43)는 제 1 면(61)으로부터 제 2 면(62)으로 관통하는 제 3 비아 홀(24)에 의해 접속된다. 제 3 본딩 패드(43)는, 배선(55)에 의해 출력 단자(56)에 접속된다.

[0024] 도 2는 실시의 형태 1과 관련되는 제 1 기판의 평면도이다. 제 1 기판(10)의 상면에는, 드레인 전극(14)과 소스 전극(16)이 교대로 배치되어 있다. 드레인 전극(14) 및 소스 전극(16)은, 평면에서 볼 때 장방형이다. 드레인 전극(14)과 소스 전극(16)의 사이에는 게이트 전극(13)이 배치되어 있다. 게이트 전극(13), 드레인 전극(14) 및 소스 전극(16)이 배치되는 영역의 일단에는 게이트 패드(11)와 소스 패드(19)가 배치된다. 게이트 전극(13), 드레인 전극(14) 및 소스 전극(16)이 배치되는 영역의 타단에는, 드레인 패드(18)가 배치된다.

[0025] 도 3은 비교예와 관련되는 반도체 장치의 단면도이다. 비교예와 관련되는 반도체 장치(81)는 제 1 기판(10)을 구비한다. 제 1 기판(10)의 구조는, 반도체 장치(80)와 마찬가지이다. 반도체 장치(81)는, 제 2 기판(20)을 구비하지 않는다. 게이트 패드(11)에는 배선(53)을 거쳐서 저항(51)의 일단이 접속된다. 저항(51)의 타단에는 입력 단자(50)가 접속된다. 드레인 패드(18)는 배선(55)을 거쳐서 출력 단자(56)에 접속된다.

[0026] 트랜지스터(12)에 게이트 전압이 인가되고 드레인 전류가 흐르면, 트랜지스터(12)는 발열한다. 일반적으로, 화합물 반도체로 형성된 FET에서는, FET의 온도가 일정치 이상으로 상승하면 드레인 전극(14)으로부터 게이트 전극(13)에 흐르는 게이트 리크 전류가 생긴다. 이 게이트 리크 전류는, 게이트 패드(11)를 지나서, 저항(51)을 거쳐서 입력 단자(50)로 향해 흐른다. 게이트 리크 전류가 저항(51)에 흐르면, 전압 강하에 의해 트랜지스터(12)에 인가되는 게이트 전압이 상승한다. 이 결과, 트랜지스터(12)에 흐르는 드레인 전류가 증가한다. 이 때문에, 트랜지스터(12)는 더 발열한다. 이것에 의해, 게이트 리크 전류가 더 증가한다. 이 연쇄에 의해, 트랜지스터(12)가 손상될 가능성이 있다.

[0027] 이것에 대하여, 본 실시의 형태와 관련되는 반도체 장치(80)의 동작에 대하여 설명한다. 트랜지스터(12)의 온도가 상온인 경우, 트랜지스터(12)의 이득이 높다. 이득이 높은 FET에서는 발진이 생길 가능성이 있다. 본 실시의 형태에서는, 입력 단자(50)에 접속된 저항(51)에 의해, 트랜지스터(12)의 발진을 억제할 수 있다. 또한, 상온에 있어서 제 2 기판(20)의 모재인 실리콘의 도전율은 낮다. 이 때문에, 제 1 전극(44)과 제 2 전극(45)의 사이에는 전류가 흐르지 않는다.

[0028] 입력 단자(50)에 게이트 전압 및 대전력의 고주파 신호가 입력되면, 트랜지스터(12)의 온도가 상승한다. 트랜지스터(12)가 고온이 되면 이득이 감소한다. 이때, 발진이 일어날 가능성이 저감된다. 한편, 트랜지스터(12)

가 고온이 되면 게이트 리크 전류가 생긴다. 게이트 리크 전류는, 드레인 전극(14)으로부터 게이트 전극(13)으로 흐르고, 게이트 패드(11), 도전성 범프(30)를 지나서 제 1 전극(44)으로 향한다.

[0029] 이때, 제 1 기판(10)이 발하는 열은, 제 1 기판(10)과 제 2 기판(20)의 사이의 공기 및 도전성 범프(30, 31)를 거쳐서 제 2 기판(20)에 전달된다. 이 결과, 제 2 기판(20)의 온도가 상승한다. 제 2 기판(20)의 온도가 상승하면, 실리콘의 내부에 진성 캐리어가 발생한다. 이 때문에, 제 2 기판(20)의 도전율이 상승한다. 이때, 제 2 전극(45)을 제 1 전극(44)과 인접하여 배치함으로써, 제 1 전극(44)과 제 2 전극(45)의 사이에 전류의 경로가 형성된다.

[0030] 이때, 드레인 전극(14)으로부터 게이트 전극(13)에 흐르는 게이트 리크 전류는, 제 1 전극(44)으로부터 제 2 기판(20)의 모재 및 제 2 전극(45)을 통해서 입력 단자(50)에 흐르게 된다. 게이트 리크 전류는, 제 2 전극(45)을 거쳐서 입력 단자(50)로부터 외부로 향해 흐른다. 이 결과, 저항(51)에 흐르는 게이트 리크 전류는 저감되고, 저항(51)에 의한 전압 강하가 억제된다. 이 때문에, 게이트 전압의 상승이 억제되고, 트랜지스터(12)의 발열이 더 억제된다. 따라서, 발열에 의한 반도체 장치(80)의 손상을 방지할 수 있다.

[0031] 여기서, 제 1 전극(44)과 제 2 전극(45)의 사이의 전류의 경로는 저저항이면 된다. 이 때문에, 제 2 전극(45)은, 제 1 전극(44)에 근접하여 배치한다. 제 1 전극(44)과 제 2 전극(45)의 사이의 간격은, 100㎛ 이하인 것이 바람직하다.

[0032] 또한, 제 1 기판(10)이 발하는 열은, 제 1 기판(10)과 제 2 기판(20)의 사이의 공기 및 도전성 범프(30, 31)를 거쳐서 제 2 기판(20)에 전달된다. 공기는 열을 전하기 어렵기 때문에, 제 2 기판(20)의 온도는 트랜지스터(12)의 온도까지는 상승하지 않는다. 그러나, 도전성 범프(30, 31)의 높이는 일반적으로 수 ㎛ 내지 수십 ㎛이다. 이 때문에, 제 1 기판(10)과 제 2 기판(20)이 근접될 수 있다. 따라서, 제 2 기판(20)의 도전율을 증가시키기에 충분히, 제 2 기판(20)의 온도를 상승시킬 수 있다.

[0033] 트랜지스터(12)가 발열했을 때의 제 2 기판(20)의 온도를 유한 요소법에 의한 열 해석에 의해 산출했다. 열 해석에서는 제 1 기판(10)과 제 2 기판(20)의 간격을 10㎛로 했다. 또한, 게이트 리크 전류가 흐를 때의 트랜지스터(12)의 온도를 섭씨 190도로 했다. 이때, 제 2 기판(20)의 온도는 섭씨 140도 이상이 된다고 하는 계산 결과를 얻었다.

[0034] 도 4는 실리콘의 도전율의 온도 특성을 나타내는 도면이다. 실리콘은 상온에 있어서 도전성을 갖지 않는다. 실리콘은 섭씨 130도를 넘으면 급속히 진성 캐리어가 발생한다. 이 결과, 도전율이 증가한다. 열 해석에 의하면, 트랜지스터(12)가 발열하는 것에 의해 제 2 기판(20)은 140도가 된다. 따라서, 트랜지스터(12)의 발열에 의해, 제 2 기판(20)에서는 진성 캐리어가 급속히 증가한다. 이 결과, 제 2 기판(20)의 도전율이 증가하고, 제 1 전극(44)과 제 2 전극(45)의 사이에 전류 경로를 형성하는 것이 가능하게 된다. 따라서, 게이트 리크 전류를, 실리콘을 거쳐서 제 2 전극(45)에 흘리는 것이 가능하게 된다.

[0035] 본 실시의 형태에서는, 도전성 범프(30, 31)를 거쳐, 발열원인 트랜지스터(12)의 바로 위쪽에 제 2 기판(20)이 배치되어 있다. 도전성 범프(30, 31)의 높이는 변경할 수 있다. 이 때문에, 제 1 기판(10)과 제 2 기판(20)의 간격을 변경할 수 있다. 따라서, 제 2 기판(20)의 온도를 컨트롤할 수 있다. 제 2 기판(20)의 도전율을 증가시키고 싶은 경우는, 제 2 기판(20)을 제 1 기판(10)에 접근시킨다. 이것에 의해, 제 1 기판(10)으로부터 제 2 기판(20)에 열이 전달되기 쉬워진다. 따라서, 제 2 기판(20)의 온도가 상승하고, 도전율이 증가한다.

[0036] 또한, 제 1 기판(10)의 온도가 낮은 상태에 있어서, 제 2 전극(45)으로의 전류 경로를 형성하고 싶은 경우에도, 제 1 기판(10)과 제 2 기판(20)의 간격을 좁힌다. 이것에 의해, 제 1 기판(10)으로부터의 열이 전달되기 쉬워지고, 제 2 기판(20)의 온도가 130도 이상이 되기 쉬워진다. 따라서, 제 1 기판(10)과 제 2 기판(20)의 간격을 좁히면, 제 1 기판(10)의 온도가 낮은 상태에 있어서 제 2 전극(45)으로의 전류 경로를 형성할 수 있다. 이것에 의해, 트랜지스터(12)로서, 통상의 FET보다 저온에서 게이트 리크 전류가 흐르기 시작하는 특성을 갖는 FET를 이용하는 경우에도, 게이트 전압의 상승을 억제할 수 있다.

[0037] 또한, 제 1 전극(44)과 제 2 전극(45)의 간격을 변경함으로써, 제 1 전극(44)과 제 2 전극(45)의 사이의 저항값을 변경할 수 있다. 제 1 전극(44)과 제 2 전극(45)의 간격을 가까이 함으로써, 제 1 전극(44)과 제 2 전극(45)의 사이에 전류를 흘리기 쉽게 할 수 있다. 또한, 본 실시의 형태에서는, 제 2 전극(45)은 제 1 전극(44)과 제 3 본딩 패드(43)의 사이에 배치되었다. 제 1 전극(44)과 제 2 전극(45)의 위치 관계는, 그 이외이더라도 좋다.

[0038] 본 실시의 형태에서는, 제 1 전극(44)과 제 2 전극(45)의 위치 관계 및 제 1 기판(10)과 제 2 기판(20)의 간격

을 조정할 수 있다. 이것에 의해, 게이트 리크 전류가 흐르기 시작하는 온도 등의 트랜지스터(12)의 특성에 맞춘 반도체 장치(80)를 얻을 수 있다.

[0039] 트랜지스터(12)의 특성에 맞춘 반도체 장치(80)의 조정 방법으로서, 제 2 기판(20)의 재료를 변경하더라도 좋다. 본 실시의 형태에서는, 제 2 기판(20)은, 상온에 있어서의 저항률이 100Ω㎝ 이상인 실리콘인 것으로 했다. 이것에 의해, 상온에 있어서 제 2 전극(45)에 전류가 흐르는 것을 막을 수 있다. 상온에 있어서의 저항률이 낮더라도 문제없는 경우에는, 저항률이 100Ω㎝ 미만인 실리콘을 이용하더라도 좋다. 반대로, 제 2 기판(20)이 고온까지 높은 저항률을 유지할 필요가 있는 경우에는, 제 2 기판(20)의 재료로서 와이드 밴드 갭 반도체를 이용하더라도 좋다.

[0040] 트랜지스터(12)의 온도 상승의 억제를 위해, 제 1 기판(10)에, 저항(51)과 병렬로 서미스터를 접속하는 방법이 생각된다. 그러나, 이 방법에 의하면, 서미스터를 형성하기 위해 제 1 기판(10)의 면적이 커진다.

[0041] 이것에 비하여, 본 실시의 형태와 관련되는 반도체 장치(80)는, 제 1 기판(10)의 위쪽에 제 2 기판(20)을 마련함으로써, 트랜지스터(12)의 온도 상승을 억제할 수 있다. 제 1 기판(10)과 제 2 기판(20)을 접속하는 도전성 범프(30, 31)는, 각각, 게이트 패드(11) 및 드레인 패드(18)의 위에 마련된다. 게이트 패드(11) 및 드레인 패드(18)는, 와이어 본딩을 위한 패드이다. 게이트 패드(11) 및 드레인 패드(18)는, 일반적으로 기판 상에 마련되는 것이다.

[0042] 따라서, 본 실시의 형태에서는, 트랜지스터(12)의 온도 상승의 억제를 위해 제 1 기판(10)에 새로운 요소를 마련할 필요가 없다. 이 때문에, 제 1 기판(10)의 면적을 확대할 필요가 없다. 따라서, 제 1 기판(10)의 면적의 증가를 억제할 수 있다. 특히, 대전력용 FET에 이용되는 화합물 반도체 기판은 실리콘 기판과 비교하여 고가인 것이 많다. 따라서, 화합물 반도체로 형성되는 제 1 기판(10)의 면적의 증가를 억제할 수 있는 것에 의해, 제조 비용을 저감할 수 있다.

[0043] 도 5는 실시의 형태 1의 제 1 변형예와 관련되는 제 2 기판의 평면도이다. 도 6은 실시의 형태 1의 제 1 변형예와 관련되는 제 2 기판의 저면도이다. 본 실시의 형태의 제 1 변형예로서, 제 2 기판(120)이 발열의 억제 이외의 기능을 갖더라도 좋다. 예컨대, 제 2 기판(120)에 정합 회로 등의 다른 회로를 형성하더라도 좋다.

[0044] 제 1 변형예와 관련되는 제 2 기판(120)에 있어서, 제 1 면(61)에는 제 1 본딩 패드(40)가 마련된다. 제 2 면(62)에는, 제 4 패드(125)가 마련된다. 제 1 본딩 패드(40)와 제 4 패드(125)는 제 1 비아 홀(122)에 의해 접속된다. 또, 도 5 및 도 6에 있어서, 편의상, 제 1 비아 홀(122)의 위치는 파선으로 나타내어지고 있다. 또한, 제 1 변형예와 관련되는 제 2 기판(120)에서는, 제 1 본딩 패드(40), 제 2 본딩 패드(41) 및 제 3 본딩 패드(43)의 배치가 제 2 기판(20)과 상이하다.

[0045] 제 1 변형예와 관련되는 제 2 기판(120)에는, 제 2 면(62)에 정합 회로(126)가 형성되어 있다. 정합 회로(126)는, 제 4 패드(125)와 제 1 패드(121)의 사이에 접속되어 있다. 정합 회로(126)는 미앤더(meander) 인덕터이다. 정합 회로(126)는 미앤더 인덕터 이외의 것이더라도 좋다.

[0046] 일반적으로, FET를 고성능으로 하기 위해, 정합 회로를 FET의 근방에 배치하는 것이 바람직하다. 한편, 제 2 기판(120)도, 발열한 트랜지스터(12)의 온도를 감지하기 위해 트랜지스터(12)에 근접하여 배치될 필요가 있다. 본 실시의 형태에서는, 제 2 기판(120)에 정합 회로(126)가 마련된다. 이 때문에, 제 2 기판(120)과 정합 회로(126)를 함께, 트랜지스터(12)에 근접하여 배치할 수 있다. 따라서, FET의 고성능화와, 발열에 의한 손상의 억제의 효과를 양쪽 모두 얻을 수 있다. 또한, 제 2 기판(120)에 정합 회로(126)를 마련함으로써, 제 1 기판(10)에 정합 회로를 마련할 필요가 없어진다. 따라서, 제 1 기판(10)의 면적을 삭감할 수 있다. 이 때문에, FET의 고집적화를 실현할 수 있다. 제 2 기판(120)에 형성하는 회로는 정합 회로(126)에 한하지 않는다.

[0047] 도 7은 실시의 형태 1의 제 2 변형예와 관련되는 반도체 장치의 단면도이다. 제 2 변형예와 관련되는 반도체 장치(280)에 있어서, 제 1 기판(10)과 제 2 기판(20)은, 수지(260)로 봉지되어 있다. 그 외의 구조는, 반도체 장치(80)와 마찬가지이다. 제 1 기판(10)과 제 2 기판(20)이 수지(260)로 봉지됨으로써, 충격 및 고습도의 대기로부터 반도체 장치(280)를 보호할 수 있다. 수지(260)는 에폭시 수지이다.

[0048] 도 8은 비교예와 관련되는 반도체 장치의 단면도이다. 비교예와 관련되는 반도체 장치(281)는, 제 1 기판(10)이 수지(261)로 봉지되어 있다. 그 외의 구조는 비교예와 관련되는 반도체 장치(81)와 마찬가지이다. 비교예와 관련되는 반도체 장치(281)에서는, 제 1 기판(10)을 수지(261)로 봉지하면, 트랜지스터(12)와 수지(261)가 접촉한다. 이 때문에, 트랜지스터(12)의 성능이 저하하는 경우가 있다.

[0049] 이것에 비하여, 제 2 변형예와 관련되는 반도체 장치(280)에서는, 제 1 기판(10)의 위에 도전성 범프(30, 31)가 마련된다. 도전성 범프(30, 31)의 위에는 제 2 기판(20)이 마련된다. 이 때문에, 트랜지스터(12)의 주변에는 중공(中空) 영역이 형성된다. 다시 말해, 제 2 기판(20)을 제 1 기판(10)의 캡으로서 이용할 수 있다. 이것에 의해, 트랜지스터(12)의 성능을 낮추는 일 없이, 반도체 장치(280)를 봉지할 수 있다.

[0050] 이러한 변형은 이하의 실시의 형태와 관련되는 반도체 장치에 대하여 적당히 응용할 수 있다. 또, 이하의 실시의 형태와 관련되는 반도체 장치에 대해서는 실시의 형태 1과의 공통점이 많으므로, 실시의 형태 1과의 차이점을 중심으로 설명한다.

[0051] 실시의 형태 2.

[0052] 도 9는 실시의 형태 2와 관련되는 반도체 장치의 단면도이다. 본 실시의 형태와 관련되는 반도체 장치(380)는 제 2 전극(345)의 구조가 반도체 장치(80)와 상이하다. 그 외의 구조는, 실시의 형태 1과 마찬가지이다. 제 2 전극(345)은, 제 2 기판(320)의 제 1 면(61)으로부터 제 2 면(62)으로 관통한다. 제 2 전극(345)은, 제 1 면(61)에 제 2 본딩 패드(41)를 구비한다. 또한, 제 2 전극(345)은, 제 2 면(62)에 제 2 패드(342)를 구비한다. 제 2 본딩 패드(41)와 제 2 패드(342)는 제 2 비아 홀(327)에 의해 접속된다. 제 2 전극(345)과 제 1 전극(44)은, 제 2 기판(320)의 모재에 의해 이격되어 있다.

[0053] 제 2 기판(320)의 모재는 제 2 기판(20)과 동일하다. 제 2 기판(320)이 고온이 되면, 제 2 기판(320)의 도전율이 상승하고, 게이트 리크 전류가 제 2 전극(345)으로 향해 흐른다. 제 1 전극(44)과 제 2 전극(345)의 사이의 저항값은, 전류 경로의 단면적이 클수록 작아진다. 본 실시의 형태에서는, 제 1 비아 홀(22)과 제 2 비아 홀(327)의 사이에 게이트 리크 전류가 흐른다. 이 때문에, 실시의 형태 1과 비교하여, 전류 경로의 단면적이 커진다. 따라서, 제 1 전극(44)과 제 2 전극(345)의 사이의 저항값을 실시의 형태 1보다 저감할 수 있다. 이 때문에, 제 2 전극(345)으로 향해 게이트 리크 전류를 흘리기 쉬워진다. 따라서, 트랜지스터(12)의 발열의 억제의 효과를 높일 수 있다.

[0054] 실시의 형태 3.

[0055] 도 10은 실시의 형태 3과 관련되는 반도체 장치의 단면도이다. 본 실시의 형태와 관련되는 반도체 장치(480)는 제 1 전극(444)의 구조가 반도체 장치(80)와 상이하다. 그 외의 구조는, 실시의 형태 1과 마찬가지이다. 제 1 전극(444)은, 도전성 범프(30)와 접속되고, 제 2 면(62)에 마련된 제 1 패드(421)를 구비한다. 제 1 패드(421)는, 제 2 본딩 패드(41)의 바로 밑까지 연장되어 있다. 제 1 패드(421)는, 평면에서 볼 때 제 2 본딩 패드(41)와 겹치는 위치까지 형성된다.

[0056] 실시의 형태 1 및 실시의 형태 2에서는, 제 1 전극(44)과 제 2 전극(45, 345)의 사이에 흐르는 게이트 리크 전류는, 주로 제 1 면(61)에 평행한 방향으로 흐른다. 이것에 비하여 본 실시의 형태에서는, 제 2 면(62)으로부터 제 1 면(61)으로 향하는 방향으로 게이트 리크 전류를 흘릴 수 있다. 평면에서 볼 때, 제 1 패드(421)와 제 2 본딩 패드(41)가 겹치는 면적을 확장함으로써, 전류 경로의 단면적을 크게 할 수 있다. 따라서, 제 1 전극(444)으로부터 제 2 전극(45)으로의 게이트 리크 전류의 전류 경로의 저항값을 저감할 수 있다.

[0057] 실시의 형태 4.

[0058] 도 11은 실시의 형태 4와 관련되는 반도체 장치의 단면도이다. 본 실시의 형태와 관련되는 반도체 장치(580)는, 제 2 기판(520)의 형상이 실시의 형태 3과 상이하다. 제 2 기판(520)의 제 1 면(61)에는 제 1 오목부(528)가 형성된다. 제 2 전극(45)은, 제 1 오목부(528)의 저면에 마련된다. 그 외의 형상은 실시의 형태 3과 마찬가지이다. 제 1 오목부(528)는, 제 2 기판(520)의 제 1 면(61)을 에칭하여 형성된다.

[0059] 본 실시의 형태와 관련되는 제 2 기판(520)은, 제 2 본딩 패드(41)가 마련된 부분이 주위보다 얇다. 이 때문에, 제 1 패드(421)와 제 2 본딩 패드(41)의 간격이, 실시의 형태 3보다 작아진다. 따라서, 제 1 전극(444)으로부터 제 2 전극(45)으로의 게이트 리크 전류의 전류 경로를 더 저저항화할 수 있다.

[0060] 도 12는 실시의 형태 4의 제 1 변형예와 관련되는 반도체 장치의 단면도이다. 제 1 변형예와 관련되는 반도체 장치(680)는, 제 2 전극(645)의 형상이 반도체 장치(580)와 상이하다. 제 2 전극(645)은 제 2 본딩 패드(641)를 구비한다. 제 2 본딩 패드(641)는 제 1 오목부(528)를 메운다.

[0061] 제 2 기판(520)은, 제 1 오목부(528)가 형성된 부분이 주위보다 얇다. 제 2 본딩 패드(641)가 제 1 오목부(528)를 충전함으로써, 제 2 기판(520)을 보강할 수 있다. 또한, 반도체 장치(580)에서는 제 1 오목부(528)의 내부에 있어서, 제 2 본딩 패드(41)에 와이어 본딩을 실시하게 된다. 이것에 비하여, 제 1 변형예와 관련되는

반도체 장치(680)에서는, 제 1 오목부(528)가 제 2 본딩 패드(641)에 의해 충전된다. 이 때문에, 제 1 오목부(528)의 외부에서 와이어 본딩을 실시할 수 있다. 따라서, 와이어 본딩이 용이하게 된다.

[0062] 도 13은 실시의 형태 4의 제 2 변형예와 관련되는 반도체 장치의 단면도이다. 제 2 변형예와 관련되는 반도체 장치(780)는 제 2 기판(720)의 제 2 면(62)에 제 2 오목부(729)가 형성되어 있다. 제 2 오목부(729)는, 제 2 본딩 패드(41)의 바로 밑에 형성된다. 또한, 제 1 전극(744)은, 제 1 패드(721)를 제 2 면(62)에 구비한다. 제 1 패드(721)는, 도전성 범프(30)와 접속된다. 또한, 제 1 패드(721)는, 제 2 오목부(729)를 메운다.

[0063] 제 2 변형예에 나타내는 바와 같이, 제 2 면(62)에 제 2 오목부(729)를 마련하고, 제 2 오목부(729)를 제 1 패드(721)로 충전하더라도 좋다. 제 2 변형예에 있어서도, 제 1 변형예와 마찬가지의 효과를 얻을 수 있다. 또한, 제 1 오목부(528)와 제 2 오목부(729)를 모두 마련하더라도 좋다. 또, 각 실시의 형태에서 설명한 기술적 특징은 적당히 조합하여 이용하더라도 좋다.

부호의 설명

[0064] 80, 280, 380, 480, 580, 680, 780 : 반도체 장치

10 : 제 1 기판

12 : 트랜지스터

13 : 게이트 전극

14 : 드레인 전극

11 : 게이트 패드

30 : 도전성 범프

20, 120, 320, 520, 720 : 제 2 기판

61 : 제 1 면

62 : 제 2 면

44, 444, 744 : 제 1 전극

50 : 입력 단자

51 : 저항

45, 345, 645 : 제 2 전극

41, 641 : 제 2 본딩 패드

21, 121, 421, 721 : 제 1 패드

528 : 제 1 오목부

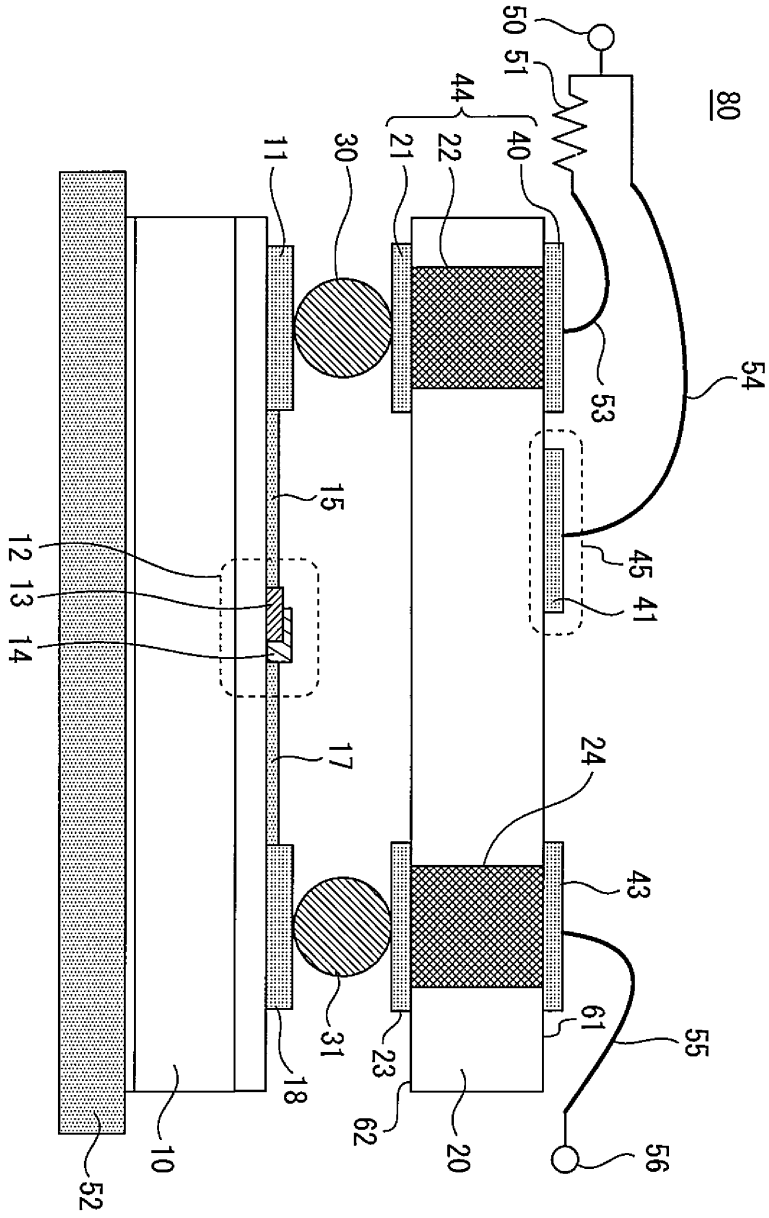
729 : 제 2 오목부

126 : 정합 회로

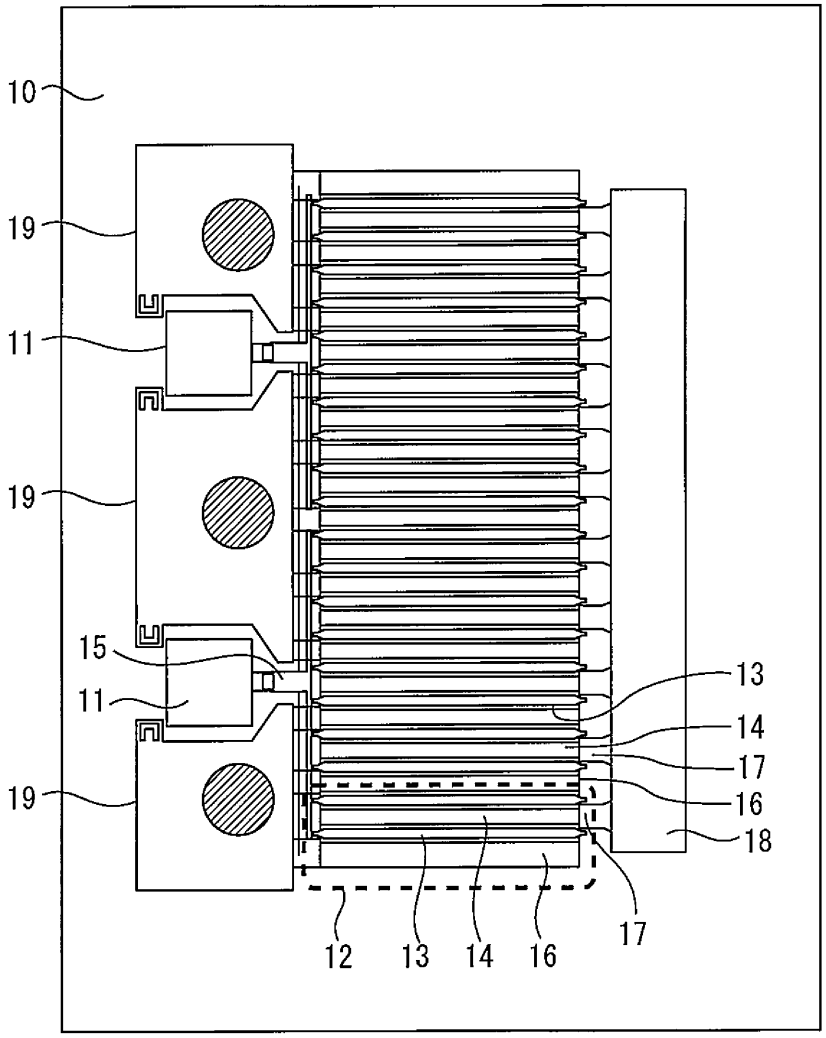
260 : 수지

도면

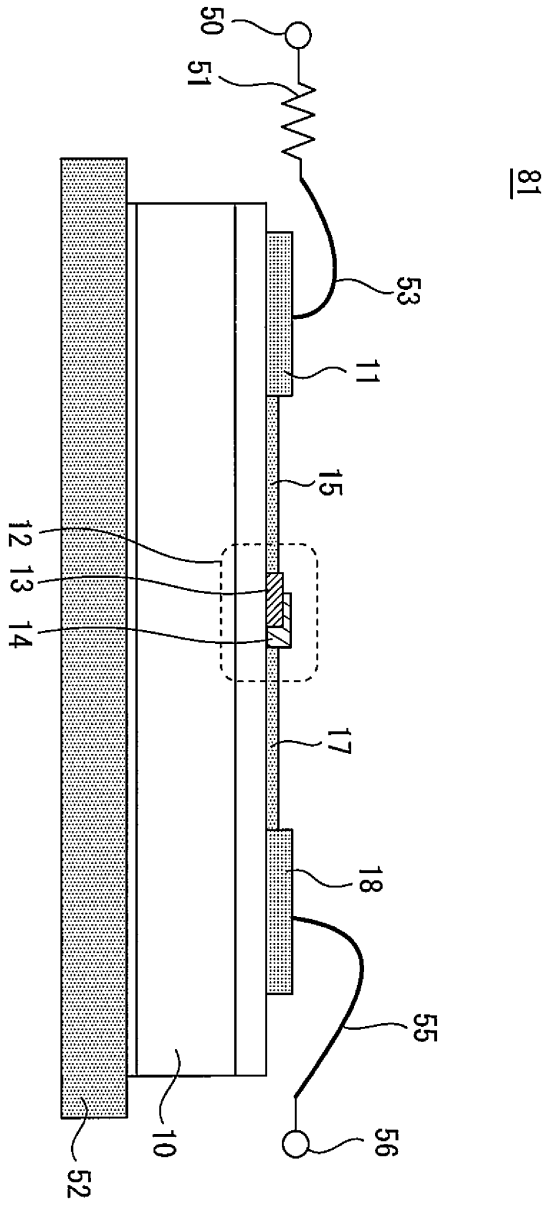
도면1


80
50
51
44
21
22
40
11
30
53
54
15
12
13
14
45
41
17
24
43
61
55
31
23
18
62
20
56
10
52

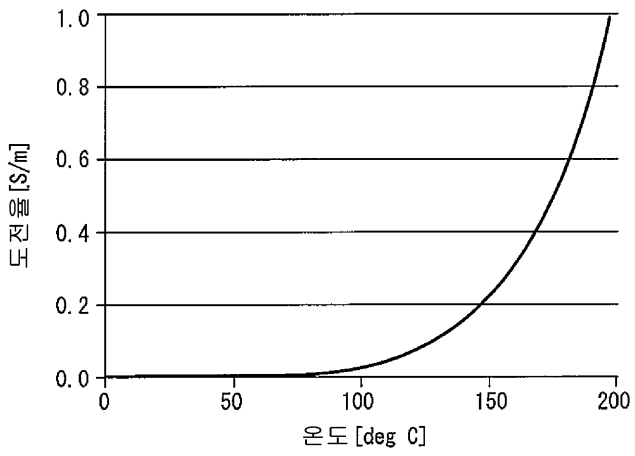
도면2



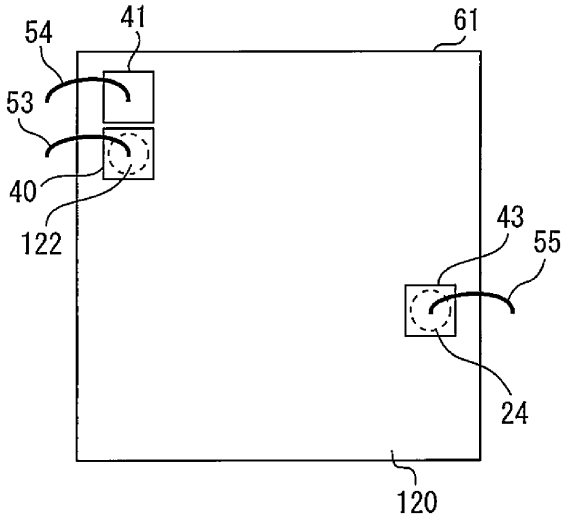
도면3


50
51
81
53
11
15
12
13
14
17
18
55
10
56
52

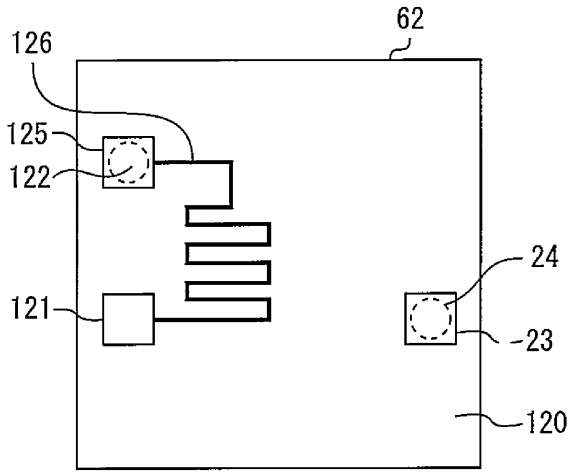
도면4


1.0
0.8
0.6
0.4
0.2
0.0
도전율[S/m]
0
50
100
150
200
온도[deg C]

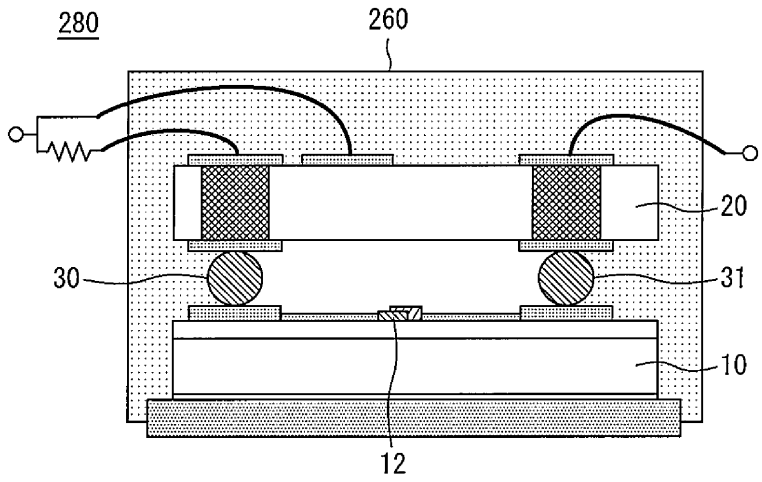
도면5


54
41
61
53
40
122
43
55
24
120

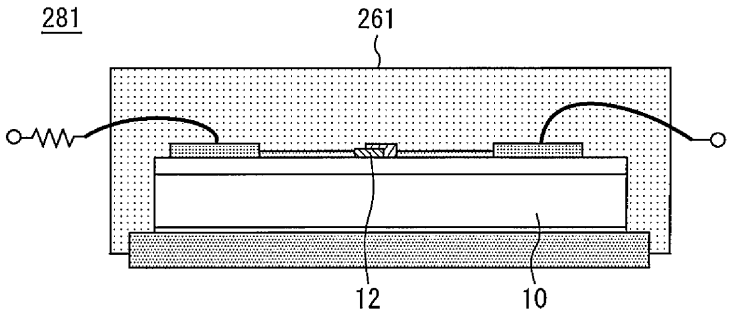
도면6


62
126
125
122
121
24
23
120

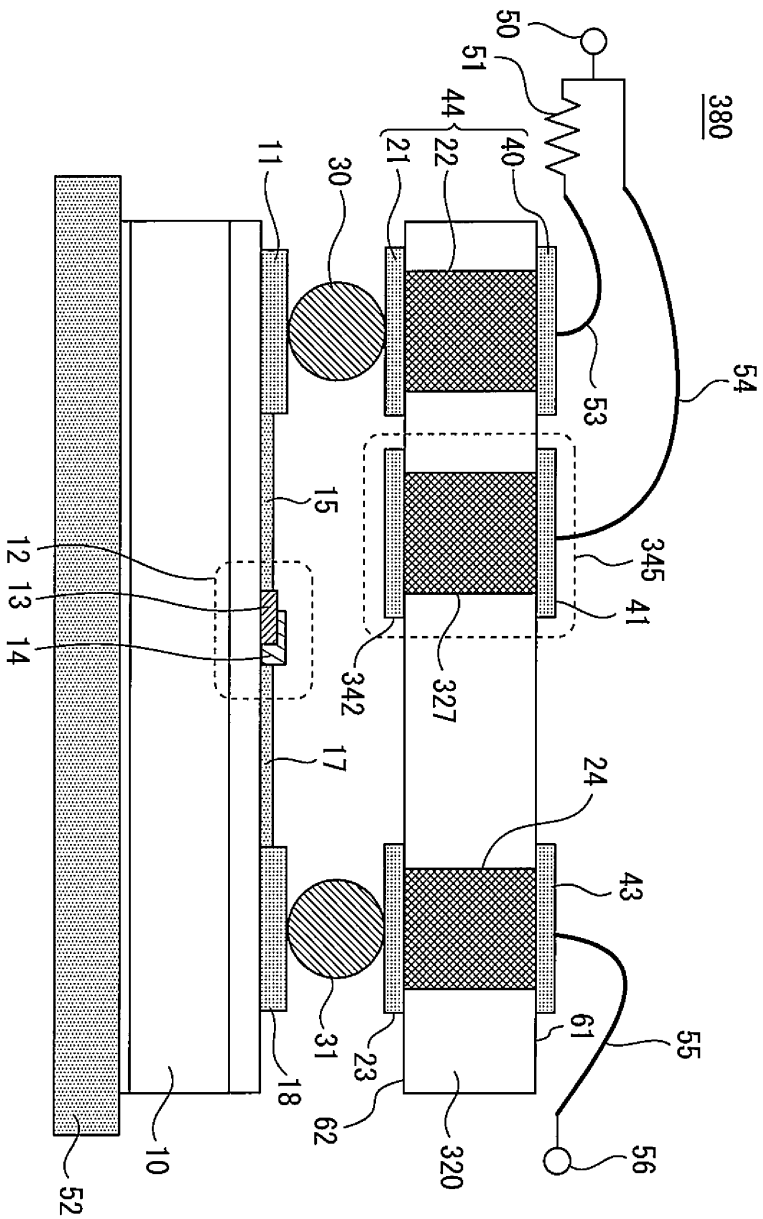
도면7


280
260
20
30
31
10
12

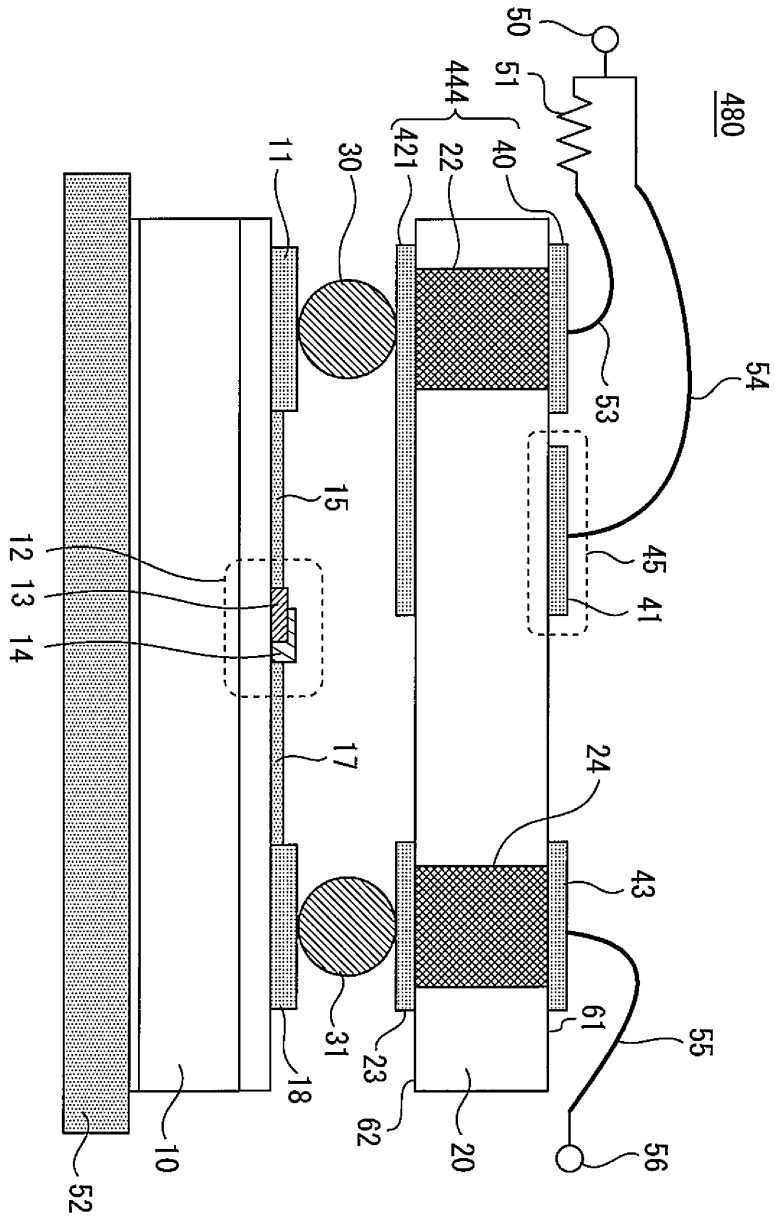
도면8


281
261
12
10

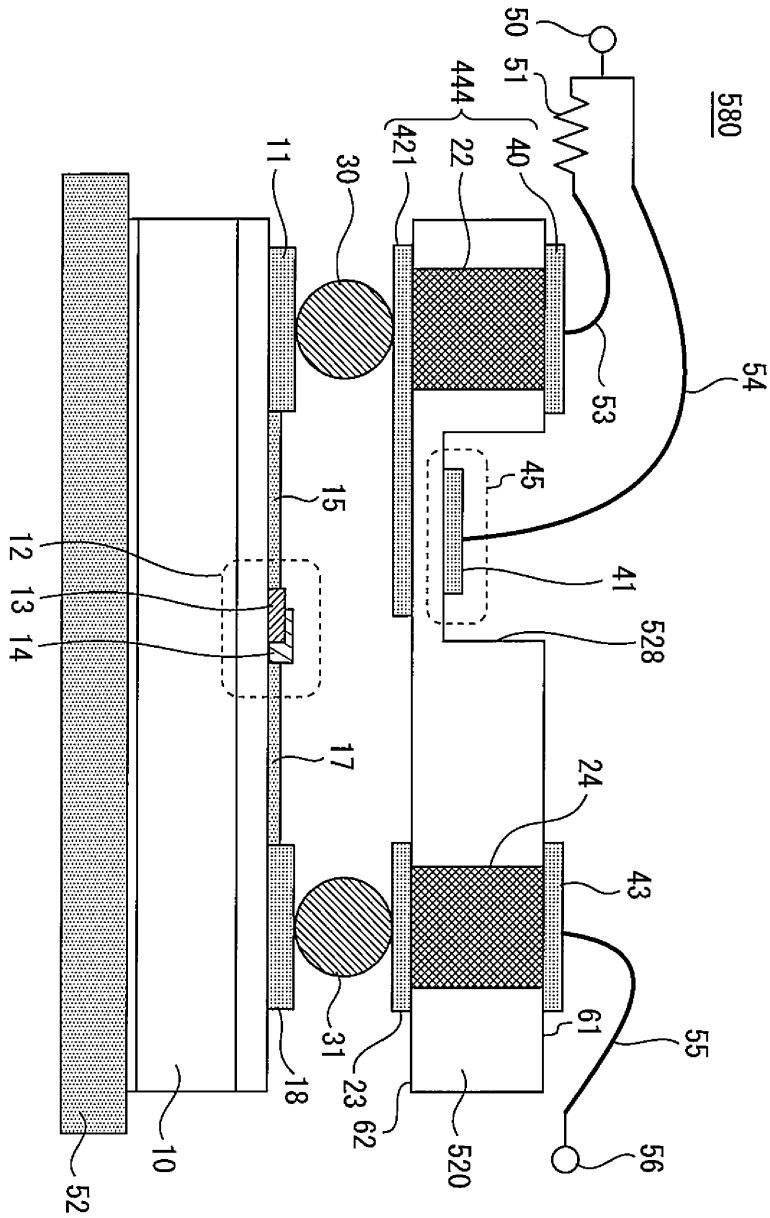
도면9


50
51
44
380
11
30
21
22
40
53
54
15
12
13
14
345
41
342
327
17
24
43
31
23
61
55
18
62
320
56
10
52

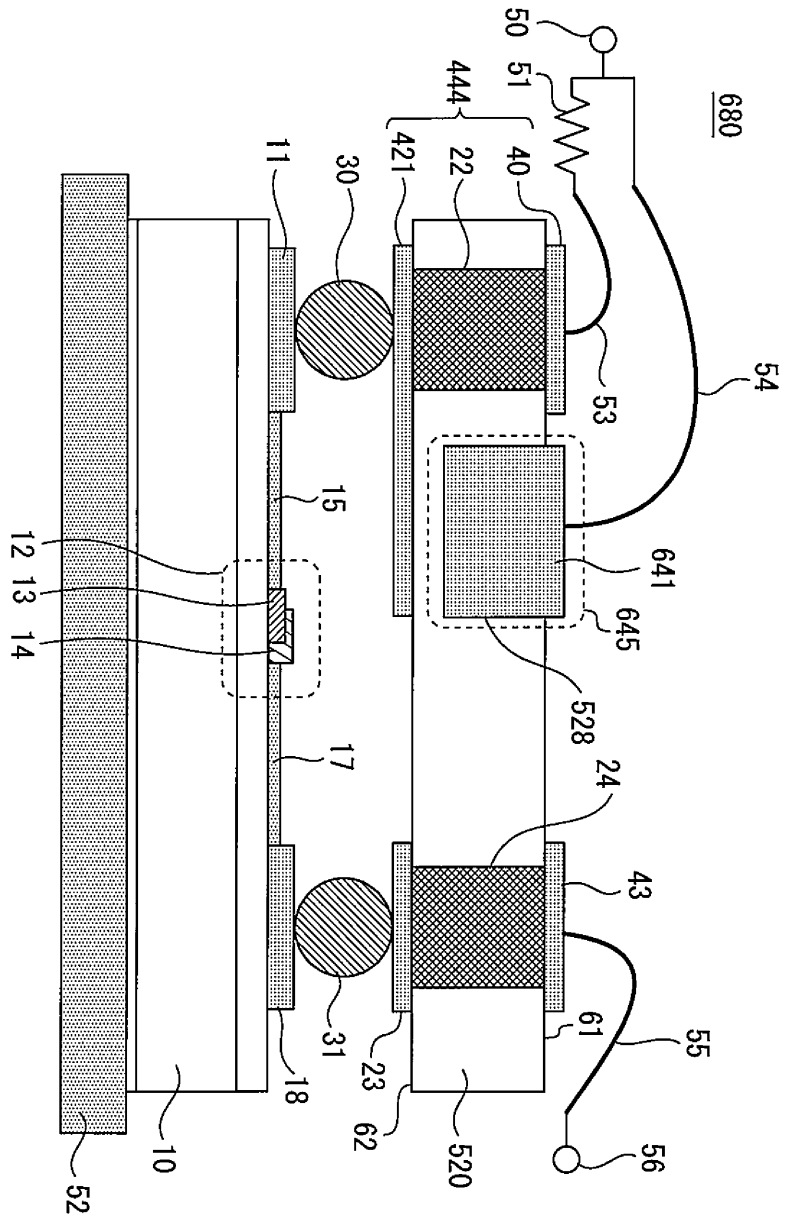
도면10


50
51
444
421
40
480
11
30
22
53
54
15
12
13
14
45
41
17
24
43
61
55
31
23
18
62
20
56
10
52

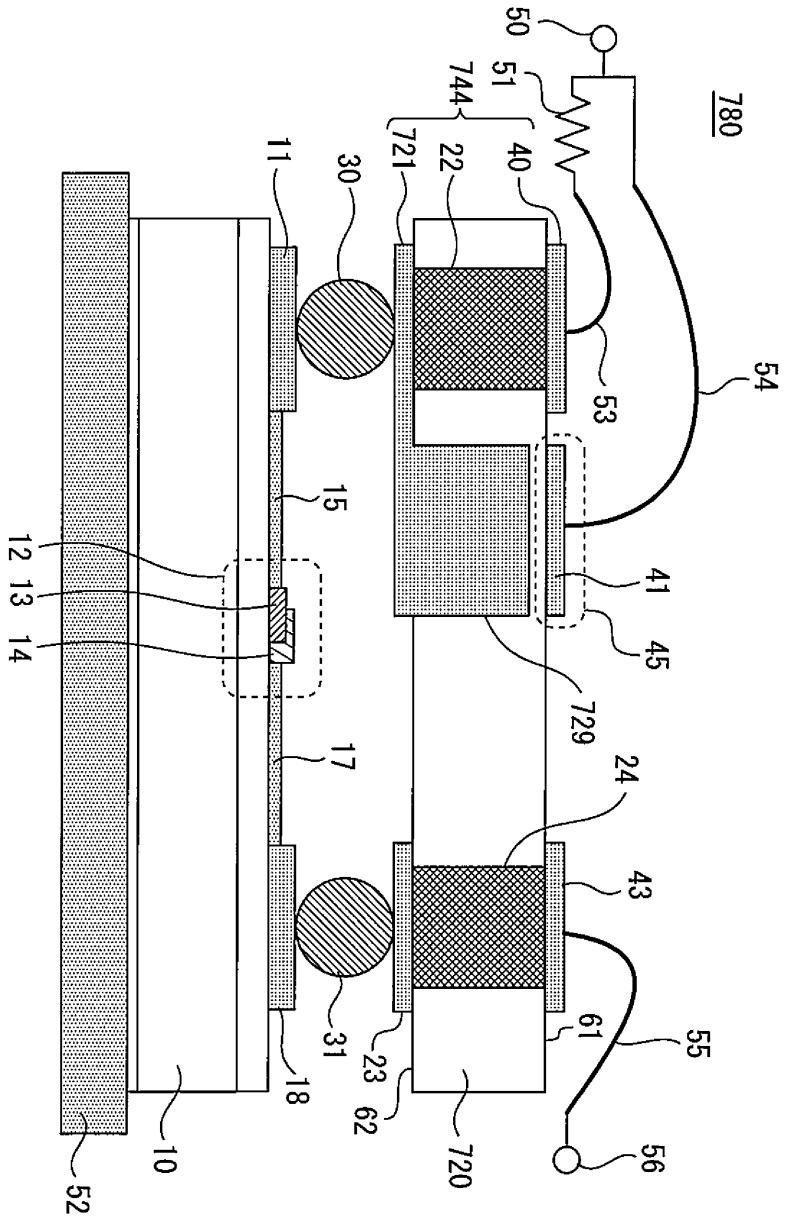
도면11


50
51
444
421
22
40
580
11
30
53
54
45
15
12
13
14
41
528
17
24
43
31
23
62
61
55
18
10
520
56
52

도면12


50
51
444
680
421
22
40
11
30
53
54
15
641
12
13
14
645
528
17
24
43
31
23
61
55
18
62
520
56
10
52

도면13


50
51
744
721
22
40
780
11
30
53
54
15
12
13
14
41
45
729
17
24
43
31
23
61
55
18
62
720
56
10
52