(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3569154号
(P3569154)
(45)発行日　平成16年9月22日(2004.9.22)　(24)登録日　平成16年6月25日(2004.6.25)

(51)Int.Cl.[7]	F I		
G01R 31/28	G01R	31/28	H
G01R 31/02	G01R	31/02	
G01R 31/26	G01R	31/26	J
G01R 31/319	G01R	35/00	L
G01R 35/00	G01R	31/28	M

請求項の数 15　(全 27 頁)　最終頁に続く

(21)出願番号　特願平11-137847
(22)出願日　平成11年5月18日(1999.5.18)
(65)公開番号　特開2000-199781(P2000-199781A)
(43)公開日　平成12年7月18日(2000.7.18)
審査請求日　平成13年2月19日(2001.2.19)
(31)優先権主張番号　特願平10-308430
(32)優先日　平成10年10月29日(1998.10.29)
(33)優先権主張国　日本国(JP)
(31)優先権主張番号　特願平10-137082
(32)優先日　平成10年5月19日(1998.5.19)
(33)優先権主張国　日本国(JP)
(31)優先権主張番号　特願平10-174218
(32)優先日　平成10年6月22日(1998.6.22)
(33)優先権主張国　日本国(JP)

(73)特許権者　390005175
株式会社アドバンテスト
東京都練馬区旭町１丁目３２番１号
(74)代理人　100104156
弁理士　龍華　明裕
(72)発明者　松村　茂
東京都練馬区旭町１丁目３２番１号　株式会社アドバンテスト内
(72)発明者　関塚　高志
東京都練馬区旭町１丁目３２番１号　株式会社アドバンテスト内
(72)発明者　永井　弘幸
東京都練馬区旭町１丁目３２番１号　株式会社アドバンテスト内

最終頁に続く

(54)【発明の名称】半導体デバイス試験装置及びそのキャリブレーション方法

(57)【特許請求の範囲】
【請求項１】
半導体デバイスを装着し、前記半導体デバイスを試験するために用いる試験信号を前記半導体デバイスに与えることのできる第１端子を有するソケットと、前記試験信号を前記第１端子へ出力するドライバとを有する半導体試験装置における前記試験信号の出力タイミングをキャリブレーションするキャリブレーション方法であって、
前記半導体デバイスのピン配列と同様のピン配列を有する試験用ボードを前記ソケットに装着する装着ステップと、
前記ドライバにより前記試験信号を生成する生成ステップと、
前記試験用ボードに到達した前記試験信号を検出する検出ステップとを備え、
前記半導体試験装置は前記試験用ボードから前記試験信号を受け取るコンパレータをさらに有し、
前記検出ステップが、前記ドライバから出力され前記試験用ボードで反射された前記試験用信号を前記コンパレータによって測定する反射波測定ステップと、
前記コンパレータによって測定された前記試験信号の波形の推移が、正常な場合の波形の推移と比較して、所望の範囲内であるか否かを判定する反射波形判定ステップと、
前記コンパレータにより測定された前記波形の推移が前記所望の範囲を外れている場合に前記ドライバの出力端から前記試験用ボードに至るまでの伝送線路の接続不良を通知する通知ステップとを有することを特徴とするキャリブレーション方法。
【請求項２】

前記試験用ボードにおける、前記第１端子に接触するピンが、前記半導体デバイスにおける、前記第１端子に接触するピンと同一の入力インピーダンスを有することを特徴とする請求項１に記載のキャリブレーション方法。

【請求項３】

前記試験用ボードにおいて、前記第１端子に接触する接触端子がアースパターンに接続されており、

前記検出ステップは、前記ドライバから出力され前記試験用ボードで反射された前記試験信号を測定するステップを有することを特徴とする請求項１に記載のキャリブレーション方法。

【請求項４】

半導体デバイスを装着し、前記半導体デバイスを試験するために用いる試験信号を前記半導体デバイスに与えることのできる第１端子を有するソケットと、前記試験信号を前記第１端子へ出力するドライバとを有する半導体試験装置における前記試験信号の出力タイミングをキャリブレーションするキャリブレーション方法であって、

前記半導体デバイスのピン配列と同様のピン配列を有する試験用ボードを前記ソケットに装着する装着ステップと、

前記ドライバにより前記試験信号を生成する生成ステップと、

電気的特性試験用プローブと前記試験用ボードとの接触不良をチェックする点検ステップを有し、

前記点検ステップは、

前記電気的特性試験用プローブを前記試験用ボードに接触させるプロービングステップと、

前記電気的特性試験用プローブにより検出された前記試験信号を外部の測定器において測定する波形測定ステップと、

前記外部の測定器により測定された前記試験信号の波形に基づくスルーレート値が、正常な場合の波形に基づくスルーレート値と比較して、所望の範囲内であるかを判定する波形判定ステップと、

前記外部の測定器により測定された前記波形に基づくスルーレート値が前記所望の範囲を外れている場合に、前記電気的特性試験用プローブと前記試験用ボードとの接触不良を通知する通知ステップとを有する

ことを特徴とするキャリブレーション方法。

【請求項５】

半導体デバイスを試験するために用いる試験信号を出力するドライバと、前記半導体デバイスから電気的信号を受け取るコンパレータと、前記半導体デバイスを装着して前記試験信号を前記半導体デバイスに与えることのできるソケットとを有する半導体試験装置の処理タイミングをキャリブレーションするキャリブレーション方法であって、

前記試験信号の波形を測定する内部の測定器に基準信号を提供すべく、電気的特性試験用プローブと試験用ボードの接続を行う接続ステップと、

前記電気的特性試験用プローブから前記試験用ボードを介して与えられ前記コンパレータへ入力された前記基準信号を前記測定器において測定する波形測定ステップと、

前記測定器により測定された前記基準信号の波形に基づくスルーレート値が、正常な場合の波形に基づくスルーレート値と比較して、所望の範囲内かを判定する波形判定ステップと、

前記測定器により測定された前記波形が前記所望の範囲を外れている場合に前記電気的特性試験用プローブと前記試験用ボードとの接続が不良であると通知する通知ステップと

を備えたことを特徴とするキャリブレーション方法。

【請求項６】

前記波形測定ステップが、前記基準信号の立ち上がり及び立下りの少なくとも一方の波形を測定することを特徴とする請求項５に記載のキャリブレーション方法。

【請求項７】

前記通知ステップが、
前記波形が前記所望の範囲を外れている場合に、前記接続ステップ、前記波形測定ステップ、及び前記波形判定ステップを繰り返す再接続ステップと、
前記再接続ステップにおいて、前記接続ステップ、前記波形測定ステップ、及び前記波形判定ステップを所定の回数繰り返しても前記波形が前記所望の範囲を外れている場合に、前記測定器に行った接続が不良であると通知する不良通知ステップとを含むことを特徴とする請求項５に記載のキャリブレーション方法。
【請求項８】
半導体デバイスを試験するために用いる試験信号を出力するドライバと、前記半導体デバイスから電気的信号を受け取るコンパレータと、前記半導体デバイスを装着して前記試験信号を前記半導体デバイスに与えることのできるソケットとを有する半導体試験装置の処理タイミングをキャリブレーションするキャリブレーション方法であって、
前記試験信号の波形を測定する前記半導体試験装置の内部の測定器に、前記試験信号を提供すべく前記ソケットを経由して前記ドライバと接続を行う接続ステップと、
前記ドライバから出力され前記ソケットで反射された前記試験信号を前記コンパレータから入力して前記測定器において測定する波形測定ステップと、
前記測定器により測定された前記試験信号の波形の推移が、正常な場合の波形の推移と比較して、所望の範囲内かを判定する波形判定ステップと、
前記測定器により測定された前記波形が前記所望の範囲を外れている場合に前記ドライバから前記ソケットに至るまでの伝送線路の接続が不良であると通知する通知ステップと
を備えたことを特徴とするキャリブレーション方法。
【請求項９】
前記反射波形判定ステップは、前記正常な場合の波形の推移と前記測定された波形の推移との差分量に基づいて、前記測定された波形が前記所望の範囲内であるかを判定する請求項１に記載のキャリブレーション方法。
【請求項１０】
前記波形判定ステップは、前記正常な場合の波形の推移と前記測定された波形の推移との差分量に基づいて、前記測定された波形が前記所望の範囲内であるかを判定する請求項８に記載のキャリブレーション方法。
【請求項１１】
半導体デバイスを装着し、前記半導体デバイスを試験するために用いる試験信号を前記半導体デバイスに与えることのできる第１端子を有するソケットと、前記試験信号を前記第１端子へ出力するドライバとを有する半導体試験装置における前記試験信号の出力タイミングをキャリブレーションするキャリブレーション方法であって、
前記半導体デバイスのピン配列と同様のピン配列を有する試験用ボードを前記ソケットに装着する装着ステップと、
前記ドライバにより前記試験信号を生成する生成ステップと、
電気的特性試験用プローブと前記試験用ボードとの接触不良をチェックする点検ステップを有し、
前記点検ステップは、
前記電気的特性試験用プローブを前記試験用ボードに接触させるプロービングステップと、
前記電気的特性試験用プローブにより検出された前記試験信号を外部の測定器において測定する波形測定ステップと、
前記外部の測定器により測定された前記試験信号の立ち上がり又は立下りの期間内のある特定時刻における正常な信号のレベルに基づいて、前記外部の測定器により測定された前記試験信号のレベルが、所望の範囲内であるかを判定する波形判定ステップと、
前記外部の測定器により測定された前記レベルが前記所望の範囲を外れている場合に、前記電気的特性試験用プローブと前記試験用ボードとの接触不良を通知する通知ステップとを有する

ことを特徴とするキャリブレーション方法。
【請求項１２】
半導体デバイスを試験するために用いる試験信号を出力するドライバと、前記半導体デバイスから電気的信号を受け取るコンパレータと、前記半導体デバイスを装着して前記試験信号を前記半導体デバイスに与えることのできるソケットとを有する半導体試験装置の処理タイミングをキャリブレーションするキャリブレーション方法であって、
前記試験信号の波形を測定する内部の測定器に、基準信号を提供すべく電気的特性試験用プローブと試験用ボードの接続を行う接続ステップと、
前記電気的特性試験用プローブから与えられ前記試験用ボードを介して前記コンパレータへ入力された基準信号を前記測定器において測定する波形測定ステップと、
前記測定器により測定された前記基準信号の立ち上がり又は立下りの期間内のある特定時刻における正常な信号のレベルに基づいて、前記測定器により測定された前記試験信号のレベルが、所望の範囲内かを判定する波形判定ステップと、
前記測定器により測定された前記波形が前記所望の範囲を外れている場合に前記電気的特性試験用プローブと前記試験用ボードとの接続が不良であると通知する通知ステップと
を備えたことを特徴とするキャリブレーション方法。
【請求項１３】
前記通知ステップが、
前記スルーレート値が前記所望の範囲を外れている場合に、前記プロービングステップ、前記波形測定ステップ、及び前記波形判定ステップを繰り返す再接続ステップと、
前記再接続ステップにおいて、前記プロービングステップ、前記波形測定ステップ、及び前記波形判定ステップを所定の回数繰り返しても前記スルーレート値が前記所望の範囲を外れている場合に、前記電気的特性試験用プローブと前記試験用ボードとの接触が不良であると通知する不良通知ステップとを含むことを特徴とする請求項４に記載のキャリブレーション方法。
【請求項１４】
前記反射波測定ステップが、前記試験信号の立ち上がり及び立下りの少なくとも一方の波形を測定することを特徴とする請求項１に記載のキャリブレーション方法。
【請求項１５】
前記波形測定ステップが、前記試験信号の立ち上がり及び立下りの少なくとも一方の波形を測定することを特徴とする請求項４に記載のキャリブレーション方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は、半導体デバイス（「ＤＵＴ」ともいう。例えば半導体集積回等。）をテストするための半導体デバイス試験装置に関し、特に、同装置のキャリブレーション用治具、および、そのキャリブレーション方法に関する。
【０００２】
【発明が解決しようとする課題】
図１は、従来の半導体試験装置の断面図である。テストヘッド７０は、半導体デバイス２０を試験するための試験信号を出力し、また半導体デバイス２０から出力された出力信号を受け取る。テストヘッド７０の上には、テストヘッド７０と同軸ケーブル６２、６４との間で信号を伝達するパフォーマンスボード６６が取り付けられている。同軸ケーブル６２が上記試験信号をパフォーマンスボード６６からソケットボード６０に伝達し、また上記出力信号をソケットボード６０からパフォーマンスボード６６へ伝達する。ソケットボード６０の上にはソケット５０が設けられており、ソケット５０が有するピン５２及び第１端子１２を経て試験信号が半導体デバイス２０に与えられ、また第２端子１４及びピン５４を経て上記出力信号が半導体デバイス２０から受け取られる。
【０００３】
テストヘッド７０は、試験信号を生成するドライバ７６（７６Ａ、７６Ｂ）と、ドライバ

７６が生成する試験信号に遅延を与えるドライバ遅延回路７８（７８Ａ、７８Ｂ）と、出力信号を受け取るコンパレータ８０（８０Ａ、８０Ｂ）と、コンパレータ８０が出力信号を受け取ってから、前記出力信号を出力するまでの時間に遅延を与えるコンパレータ遅延回路８２（８２Ａ、８２Ｂ）とを有する。オシロスコープ等の測定機器のプローブで各ドライバ７６から出力された試験信号を測定し、各ドライバから出力される試験信号のタイミングが同一となるように、ドライバ遅延回路７８が与える遅延時間を調整する。これにより、複数のドライバ７６間のスキューを相殺することができる。また、コンパレータ遅延回路８２が与える遅延時間を調整することにより、複数のコンパレータ８０間のスキューを相殺することができる。

【０００４】

図２Ａ及び２Ｂはそれぞれ、半導体デバイス２０の上面図および正面図である。ここではＴＳＯＰタイプの半導体デバイスを示しているが、半導体デバイスはＱＦＰ、ＢＧＡ等のタイプであっても良い。各種形状の半導体デバイスに対応するソケット５０をそれぞれ用意することにより、いずれの半導体デバイスをも同様にテストすることができる。半導体デバイス２０は、信号を入力する半導体デバイス入力ピン２２および信号を出力する半導体デバイス出力ピン２４を有している一例であり、これらのピンが、ソケット５０の第１端子１２及び第２端子１４に接触する。

【０００５】

図３は、ソケット５０及びソケット５０を装着するソケットボード６０を示す断面図である。ソケットボード６０が有するソケットガイド５８に沿ってソケット５０が装着されると、ソケットボード６０が有するスルーホール５６にソケット５０のピン５２及び５４が挿入される。またソケットボード６０のスルーホール５９の下側から、同軸ケーブル６２，６４の心線が挿入されて半田付けされる。近年、半導体デバイス２０のピン数が増えたために、ソケット５０の第１端子１２に、オシロスコープ等のプローブを正確に当てることが困難となっている。そこで、半導体デバイス２０をソケット５０から取り外し、プローブを直接ソケットボードに当接させる方法が提案されている。

【０００６】

図４は、ソケットボード６０の上面図である。ソケットボード６０には、ソケット５０のピン５２、５４を差し込むためのスルーホール５６、及び同軸ケーブルを挿入して半田付けするためのスルーホール５９が設けられている。またソケットボード６０の上面には、アースパターン（ＧＮＤ）及び電源パターン（ＶＤＤ）が設けられている。このソケットボード６０に、オシロスコープのプローブを当てることにより、半導体試験装置をキャリブレーションすることができる。

【０００７】

図５は、ソケットボード６０にプローブ４４を当てている様子を示す。プローブ４４は、信号端子４０とアース端子４２とを有する。試験装置に設けられたソケットボード６０からソケット５０を取り外し、プローブ４４の信号端子４０をソケット用のスルーホール５６に当接させ、アース端子４２をソケットボード６０上のアースパターンに当接させることにより、スルーホール５６に与えられる信号を測定することができる。しかしながら、アースパターンが測定しようとするスルーホールの近傍にない場合には、アース端子４２に接続された、プローブ４４のアース線を長くしなくてはならなく、測定時の線路インピーダンスが大きくなる。近年、半導体デバイス２０の高速化に伴い、半導体デバイス２０を高い精度で試験する必要が生じている。従って半導体試験装置のキャリブレーションも、高い精度で行う必要があるが、試験信号を測定する際における信号の線路インピーダンスが大きいと、半導体試験装置を正確にキャリブレーションすることができない。

【０００８】

パフォーマンスボード６６上には、信号配線パターン及びアースパターンが隣接して設けられているので、ソケット５０、ソケットボード６０、及び同軸ケーブル６２、６４を取り外し、直接パフォーマンスボードにプローブを当接させると、信号の線路インピーダンスを下げることができる。しかしながらこの場合は、同軸ケーブル６２、６４、ソケット

ボード６０、並びにソケット５０のインダクタンス及び浮遊容量等による影響が試験信号に現れないので、実際の試験状態における正確なキャリブレーションを行うことができない。

【０００９】

図６は、半導体試験装置をキャリブレーションするための従来の他の方法を示す。この形態においては、ドライバ７６と並列にコンパレータ８０とプログラマブルロード１８０が設けられている。プログラマブルロード１８０を適切に設定することにより、ドライバ７６に所望の負荷を与えることができる。ソケット５０から半導体デバイス２０を取り外し、ドライバ７６から試験信号を出力すると、試験信号はソケット５０の上端で反射されてコンパレータ８０に入力される。この間の時間（試験信号が往復する時間）ｔ１を２で割ることにより、ドライバ７６からソケット５０までの信号伝達時間を測定することができる。

【００１０】

図７は、従来の半導体試験装置の更に他の形態を示す。ソケット５０の各ピンに対して、図に示すように２つの同軸ケーブルを接続させる形態が提案されている。この場合は、半導体デバイス２０を取り外して試験信号を生成しても、試験信号はソケット５０で反射されずに、コンパレータ９０に伝送される。このため、ドライバ７６からソケット５０までの試験信号送信時間を計測することができない。

【００１１】

図８は、従来のキャリブレーション方法のフローチャートを示す。最初に、測定ポイントであるソケットボード６０のスルーホール５６及びアースパターンＧＮＤにプローブ４４を接触する（Ｓ３０２）。次に、タイミング測定とキャリブレーションを実行する（Ｓ３１０）。すなわち、１チャネルのドライバが出力する試験信号の波形の立ち上がり又は立下りのタイミングを測定し、キャリブレーションデータを取得する。ドライバ遅延回路７８の設定値を初期状態に設定して、試験信号を所定の振幅条件で発生する（Ｓ３１２）。次に、試験信号の立ち上がり波形のタイミングを測定して立ち上がり波形においてドライバ７６をキャリブレーションする（Ｓ３１４）。次に、試験信号の立下り波形のタイミングを測定して立下り波形においてドライバ７６をキャリブレーションする（Ｓ３１６）。

【００１２】

図９（Ａ）は、タイミング測定ステップ（Ｓ３１０）において測定された試験信号の波形を示す。波形$Ｓ_0$は、基準タイミング位置$ｔ_0$において５０％のレベルとなっている。波形$Ｓ_1$及び$Ｓ_2$は、それぞれタイミング$ｔ_1$及び$ｔ_2$において５０％のレベルとなっている。スルーレートは、波形の立ち上がり又は立下りの傾斜を表す。テストヘッド７０が有する複数のドライバ７６は、５００ピコ秒／Ｖ±１０％未満のスルーレートで信号を出力するように調整されている。立ち上がり波形測定ステップ（Ｓ３１４）において、図９（Ｂ）に示すように、複数のドライバ７６のそれぞれに対応するドライバ遅延回路７８の遅延量を調整して基準タイミング位置$ｔ_0$へタイミング$ｔ_1$及び$ｔ_2$を移動させることで複数のドライバ７６をキャリブレーションする。この移動の結果、ドライバ遅延回路７８の遅延量を増減させた設定データを校正データとして得る。塵などの為にプローブ４４の信号端子４０とソケットボード６０のスルーホール５６とが高抵抗状態となっている場合には、試験信号のレベルが小さくなり、５０％のレベルが検出されなくなるため、接触不良が発生していることが容易に判る。

【００１３】

図９（Ｃ）は、プローブ４４のアース端子４２とソケットボード６０のアースパターンＧＮＤとが接触不良である場合の試験信号の波形を示す。波形$Ｓ_4$は、アース端子４２とアースパターンＧＮＤとがオープンの状態であるときの波形例である。波形$Ｓ_6$は、アース端子４２とアースパターンＧＮＤとの間に高い接触抵抗があるときの波形例である。波形$Ｓ_4$及び$Ｓ_6$は、波形の歪や、なまりを生じている。しかし、波形$Ｓ_4$及び$Ｓ_6$においても、正常な波形$Ｓ_0$と同じく５０％のレベルが測定されるので、接触不良が見過ごされてタイミングの校正が実施されてしまう。そのため、適正なタイミング位置においてキャリ

ブレーションできないので誤った校正が実施される可能性がある。例えば、波形S_6において、本来の正常な波形S_0に対してタイミングのずれe_2が生じている。また、波形S_4においてもタイミングのずれe_1が生じている。そのため誤ったタイミングでドライバ７６が校正されてしまう。タイミングずれが生じている状態で校正が実施されると、キャリブレーションの精度が悪化する要因、あるいは、校正作業上における信頼性が低下する要因となる。

【００１４】

なお、接触不良を点検する方法として、プローブ４４とソケットボード６０との接触点における直流抵抗を測定する方法がある。この方法は、プローブ４４の信号端子４０とソケットボード６０のスルーホール５６との接触不良に対しては、適用可能である。しかし、プローブ４４のアース端子４２と接地側線路であるソケットボード６０のアースパターンＧＮＤとの接触不良に対しては、アースパターンＧＮＤが回路アースであり、共通接続されているため、検出することが困難である。

【００１５】

そこで本発明は、上記課題の少なくとも１つを解決することのできる半導体試験装置を提供することを目的とする。この目的は特許請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

【００１６】

【課題を解決するための手段】

本発明の第１の形態によれば、半導体デバイスを装着することにより半導体デバイスへ試験信号を与えることのできる第１端子を有するソケットと、試験信号を第１端子へ出力するドライバとを有する半導体試験装置における試験信号の出力タイミングをキャリブレーションすべく、半導体デバイスの端子配列と同様の端子配列を有する試験用ボードをソケットに装着するステップと、ドライバにより試験信号を生成する生成ステップと、試験用ボードに到達した試験信号を検出する検出ステップと、検出ステップにより検出した試験信号に基づいて試験信号の出力タイミングを設定する設定ステップとを備えた。ここで、試験用ボードにおける、第１端子に接触する接触端子が、半導体デバイスにおける、第１端子に接触する接触端子と同一の入力インピーダンスを有することが好ましい。

【００１７】

本発明の第２の形態によれば、試験用ボードが、第１端子に接触しかつアースに接続されたアースショートパターンを有し、検出ステップは、ドライバから出力され試験用ボードで反射された試験信号を測定する。

【００１８】

本発明の第３の形態によれば、半導体試験装置は試験信号に遅延を与える遅延回路を更に有し、生成ステップが、ドライバにより試験信号を出力すると共に所定の基準信号を生成し、設定ステップは、検出ステップにより検出した試験信号の、基準信号を基準とする位相差に基づいて遅延回路が加える遅延の大きさを設定する遅延設定ステップを有する。

【００１９】

本発明の第４の形態によれば、試験用ボードが、第１端子に接触する信号配線パターン、及び信号配線パターンに隣接して配置されたアースパターンを有し、検出ステップは、信号配線パターン及びアースパターンに取り付けられた電気的特性試験用プローブにより試験信号を検出する。

【００２０】

本発明の第５の形態によれば、半導体試験装置は複数のドライバを有し、ソケットは複数のドライバの各々に対応付けられた複数の第１端子を有し、試験用ボードは複数の第１端子の各々に対応付けられた複数の信号配線パターンを有し、検出ステップを複数の信号配線パターンのそれぞれにおいて実行し、遅延設定ステップは、複数の信号配線パターンのそれぞれにおいて測定された位相差の大きさが同一になるように複数の遅延回路における各遅延の大きさを設定する。

【００２１】

本発明の第６の形態によれば、ソケットは、半導体デバイスに接触して半導体デバイスから電気的信号を受け取る第２端子を更に有し、半導体試験装置は、第２端子から入力された信号を受け取るコンパレータを更に備え、試験用ボードは、第１端子と第２端子とを電気的に接続するショートパターンを有するショートボードである。

【００２２】

本発明の第７の形態によれば、ドライバから出力されショートボードを経由した試験信号をコンパレータで検出する。次に、出力ステップに対して所定の時間差を有する基準タイミングと、コンパレータ検出ステップで試験信号を検出した時間との時間差に基づいて得られた値を、半導体デバイスを試験するための基準時間として設定する。半導体試験装置に複数のドライバ及び複数のコンパレータを設け、ソケットに複数のドライバの各々に対応付けられた複数の第１端子、及び複数のコンパレータの各々に対応付けられた複数の第２端子を設け、ショートボードに複数の第１端子と複数の第２端子とをそれぞれ接続する複数のショートパターンを設け、検出ステップを複数の信号配線パターンのそれぞれにおいて実行し、基準時間を複数のコンパレータのそれぞれに対して基準時間をそれぞれ独立に設定してもよい。

【００２３】

本発明の第８の形態によれば、複数のソケットと、複数のソケットの各々に対応する複数のショートボード等の試験用ボードと、複数の試験用ボードを一体に保持するフレームとを更に備え、フレームは、フレームを半導体試験装置における所定の位置に装着したときに試験用ボードを所望の位置に移動させる呼び込み機構を試験用ボードごとに有する。

【００２４】

本発明の第９の形態によれば、半導体デバイスを試験するために用いる試験信号を出力するドライバと、半導体デバイスから電気的信号を受け取るコンパレータと、半導体デバイスを装着して試験信号を半導体デバイスに与えることのできるソケットとを有する半導体試験装置の処理タイミングをキャリブレーションするキャリブレーション方法において、試験信号の波形を測定する測定器に、試験信号又は電気的信号を提供すべく必要な接続を行う接続ステップと、ライバが出力した試験信号を測定器において測定する波形測定ステップと、測定器により測定された試験信号の波形が所望の範囲内かを判定する波形判定ステップと、測定器により測定された波形が所望の範囲を外れている場合に測定器に行った接続が不良であると通知する通知ステップとを備えることが好ましい。波形測定ステップは、試験信号の立ち上がり及び立下りの少なくとも一方の波形を測定することが好ましい。更に通知ステップは、波形が所望の範囲を外れている場合に、接続ステップ、波形測定ステップ、及び波形判定ステップを繰り返す再接続ステップと、接続ステップ、波形測定ステップ、及び波形判定ステップを所定の回数繰り返しても波形が所望の範囲を外れている場合に、測定器に行った接続が不良であると通知する不良通知ステップとを含むことが好ましい。

【００２５】

本発明の第１０の形態によれば、上記キャリブレーション方法において、測定器が半導体試験装置の外部の測定器であり、測定器が試験信号を入力する電気的特性試験用プローブを有し、接続ステップは、電気的特性試験用プローブに試験信号を提供すべく必要な接続を行うステップを有することが好ましい。

【００２６】

本発明の第１１の形態によれば、上記キャリブレーション方法において、測定器が半導体試験装置の内部の測定器であり、波形測定ステップがドライバから出力されソケットで反射された試験信号をコンパレータから入力して測定器において測定するステップを有することが好ましい。

【００２７】

本発明の第１２の形態によれば、上記キャリブレーション方法において、測定器が半導体試験装置の内部の測定器であり、波形測定ステップがコンパレータから入力された所定の基準信号を測定器において測定するステップを有することが好ましい。

【００２８】
本発明の第１３の形態によれば、上記キャリブレーション方法において、接続ステップは、キャリブレーションのために試験信号を入力して測定器に与える試験用ボードを測定器に接続するステップを有することが好ましい。
【００２９】
本発明の第１４の形態によれば、上記キャリブレーション方法において、測定器が半導体試験装置の内部の測定器であり、波形測定ステップが、ドライバから出力され試験用ボードで反射された試験信号をコンパレータから入力して測定器において測定するステップを有することが好ましい。
【００３０】
本発明の第１５の形態によれば、上記キャリブレーション方法において、波形判定ステップが、試験信号の立ち上がり又は立下りの期間内における試験信号のレベルが所望の範囲内かを判定することが好ましい。
【００３１】
【発明の実施の形態】
以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態はクレームにかかる発明を限定するものではなく、又実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。
【００３２】
図１０は、本実施形態における半導体試験装置全体の断面を示す。図１と同一の構成には図１と同一の符号を付してあるので説明を省略する。ソケットボード６０の上には、同軸ケーブル６２、６４でパフォーマンスボードに接続された複数のソケット５０が設けられている。また、フレーム１００には複数の保持ユニット１１０が保持（ｍｏｕｎｔ）されており、各保持ユニットの上部には開口部１２０が設けられている。各保持ユニット１１０は、１つの半導体デバイス２０を保持する。テストヘッド７０内には、２つの同軸ケーブル６２、６４に対する回路のみを示しているが、実際には、半導体デバイス２０が有する各ピンに対して同軸ケーブルが設けられており、各同軸ケーブルに対して、ドライバ７６、遅延回路７８、コンパレータ８０、及びコンパレータ用遅延回路８２が設けられている。また、図では１つの半導体デバイス２０に対応する回路のみを示しているが、実際には、各半導体デバイスに対して同様の回路が設けられている。
【００３３】
本半導体試験装置は、複数の半導体デバイスを同時にテストすることができるので、与えられた時間により多くの半導体デバイスを試験することができる。半導体試験装置をキャリブレーションする場合には、予め半導体デバイス２０に代えて試験用ボード１０を各保持ユニット１１０に装着する。フレーム１００を半導体試験装置に取り付けると、試験用ボード１０がソケット５０に装着される。次に、開口部１２０の上部から試験用ボード１０にプローブを当て、ドライバ７６により試験信号を生成する。試験用ボード１０に到達した試験信号をオシロスコープで検出し、検出した試験信号に基づいて遅延回路７８Ａの設定を変更することにより、試験信号の出力タイミングを設定する。
【００３４】
ドライバ７６は、半導体デバイス２０に与える複数の信号の各々に対して設けられている。またテストヘッド７０は更に、基準信号を生成する１つのドライバ１７６と、基準信号に対して所定の遅延を与える１つの遅延回路１７８とを有する。基準信号が生成される時と、ドライバ７６が試験信号を生成する時との間の時間差は常に一定となっている。そこで、この基準信号をオシロスコープに対してトリガとして入力する。各ドライバ７６から出力される試験信号の位相と基準信号の位相との位相差を同一にすることにより、間接的に、複数のドライバ７６間の位相を揃え、ドライバ間のスキューを小さくすることができる。但し他の形態としては、試験用ボード１０に到達する一つの試験信号を基準信号として選択してオシロスコープのトリガとして入力し、選択した試験信号の位相に他の試験信号の位相を合わせても良い。

【００３５】
図１１Ａ及び１１Ｂは、保持ユニット１１０に装着する試験用ボード１０の一例としてのプローブボード１０Ａの上面図及び下面図である。試験用ボード１０の下面には、半導体デバイス２０の端子と同様の配置に接触端子３０が設けられている。フレーム１００を半導体試験装置に取り付けると、接触端子３０がソケット５０の第１端子１２及び第２端子１４に接触する。上面に設けられたアースパターン３６及び複数の信号配線パターン３２は、下面に設けられた接触端子３０と接続されている。アースパターン３６は上面の中央に伸びている。アースパターン３６は各信号配線パターン３２に隣接しており、最短距離は約２ｍｍ以下である。このため、各信号配線パターン３２及びアースパターン３６に、プローブ４４の信号端子４０及びアース端子４２を容易に接触させることができる。また各信号配線パターン３２とアースパターン３６との最短距離は実質的に等しいので、各信号の線路インピーダンスのばらつきが小さく、各信号を正確に測定することができる。
【００３６】
キャリブレーション時におけるドライバ７６からの出力タイミングと、実際の半導体デバイス２０を半導体試験装置に装着したときにおけるドライバ７６からの出力タイミングとの間に誤差が生じることを防ぐためには、接触端子３０における各信号の入力インピーダンスを、実際の半導体デバイス２０における信号の入力インピーダンスと実質的に同一にすることが好ましい。入力インピーダンスを半導体デバイス２０と同一にするためには、周知のように、信号配線パターン３２とアースパターン３６との間に適当なコンデンサ（キャパシタンス）、抵抗等を設ければよい。
【００３７】
図１２は、プローブボード１０Ａの他の実施形態を示す。プローブボード１０Ａは、半導体デバイス２０とほぼ同じ外形寸法の絶縁ブロック２７０の外周の側面に、半導体デバイス２０の各端子とほぼ同じ配置に複数の接触端子３０が設けられている。接触端子３０は、ソケット５０の第１端子１２及び第２端子１４と絶縁ブロック２７０の側面部又は下面部において接触できる。
【００３８】
複数の接触端子３０よりそれぞれ絶縁ブロック２７０の上面の周辺部に延長された場所に複数の信号配線パターン３２が形成される。信号配線パターン３２は、プローブ４４の信号端子４０を接触させるのに使用される。そのため、信号配線パターン３２は、信号端子４０が接触しやすいように膨らんだ形状をしている。複数の信号配線パターン３２の内側に、グランド用の端子３７より延長されてアースパターン３６が形成される。アースパターン３６は、プローブ４４のアース端子４２を接触させるために使用される。なお、プローブ４４は、保持金具２６２により保持される。
【００３９】
アースパターン３６は、各信号配線パターン３２に隣接しているので、信号配線パターン３２及びアースパターン３６とプローブ４４の信号端子４０及びアース端子４２とは容易に接触させることができる。アース端子４２とアースパターン３６とを短距離で接触させることができるので、アース端子４２を低いインピーダンスで接地することができる。このため、従来接地インピーダンスを介して試験信号に重畳された外部雑音が軽減され、雑音の影響による試験信号の歪が抑圧され、キャリブレーションの精度が改善される。また、信号配線パターン３２と信号端子４０とが安定した接触を保てるので、信号配線パターン３２と信号端子４０との接触箇所から発生する雑音や、その雑音による試験信号の歪が抑圧され、キャリブレーションの精度が改善される。
【００４０】
図１３Ａ及び１３Ｂは、試験用ボード１０の他の一例としてのショートボード１０Ｂを示す。ショートボード１０Ｂの下面には、ソケット５０の第１端子１２及び第２端子１４に接触する接触端子３０が設けられている。ショートボード１０Ｂの上面には、第１端子に接触した接触端子３０と第２端子１４に接触した接触端子３０とをショートする複数のショートパターン４６が設けられている。図１１に示すプローブボード１０Ａを半導体試験

装置に装着して、複数のドライバ７６間のスキューをキャリブレーションした後に、プローブボード１０Ａを半導体試験装置から取り外し、代わりに図１３に示すショートボード１０Ｂを半導体試験装置に取り付ける。

【００４１】

この状態で、複数のコンパレータ８０間のスキューをキャリブレーションする。まず、複数のドライバ７６Ａから同時に試験信号を生成する。ドライバ７６Ａにより生成された試験信号は、ショートボード１０Ｂを介してコンパレータ８０Ｂに到達する。ドライバ７６が試験信号を生成してからコンパレータ８０が試験信号を検出するまでのおよその遅延時間は予め分かっている。そこで例えば、基準信号をトリガとしてオシロスコープ１５０に取り込んだ時に、既知の遅延時間をオシロスコープ１５０によって加えて得られた時を基準タイミングとして選択する。但し本発明の他の実施形態としては、基準信号を検出した時を上記基準タイミングとして選択しても良い。これは、上記の遅延時間としてゼロ”０”を選択したときに相当する。

【００４２】

次に、基準タイミングから、各コンパレータ８０が試験信号を検出した時までの時間差をコンパレータ８０毎に測定し、この時間差に基づいた値を半導体デバイス２０を試験するための基準時間として、コンパレータ８０毎に設定する。例えば、時間差が＋ａであった場合には、そのコンパレータ８０に対応するコンパレータ用遅延回路８２の遅延時間をａ減じ、時間差が－ａであった場合には、コンパレータ用遅延回路８２による遅延時間をａ増加させる。これにより、複数のコンパレータ８０間のスキューをキャリブレーションすることができる。

【００４３】

但し他の実施形態としては、コンパレータ用遅延回路８２に代えて遅延時間を格納するメモリをコンパレータ８０毎に設け、上記時間差を単にメモリに格納しておいても良い。この場合は、実際に半導体デバイス２０を試験した場合においてコンパレータ８０が検出した時から、上記メモリに格納した時間差を減じることにより、コンパレータ８０間のスキューの影響を相殺した値を得ることができる。このようなメモリとしては、半導体デジタルメモリの他、アナログメモリ、遅延時間を設定可能な遅延回路等を用いることができる。また時間差を減じる手段としては、数値演算による減算の他、アナログ演算による減算、遅延回路による減算等を用いることができる。

【００４４】

図１４は、半導体試験装置の他の形態を示す。図１０に示した構成と同一の構成には同一の符号を付してあるので、それらの説明は省略する。本形態においては、半導体デバイス２０の出力端子に対応する同軸ケーブル６４には、コンパレータ８０Ｂ及びコンパレータ用遅延回路８２Ｂのみが設けられており、図１０に示すドライバ７６Ｂ及びドライバ用遅延回路７８Ｂは省略されている。また、ドライバ７６Ａ及びコンパレータ８０Ａと並列に、ドライバ７６Ａに対して所望の負荷を与えるプログラマブルロード１８０が設けられている。

【００４５】

まず半導体デバイス２０及び試験用ボード１０をソケット５０から取り外し、ドライバ用遅延回路７８Ａ及びコンパレータ用遅延回路８２Ａによる遅延時間をゼロ”０”とする。次にドライバ７６Ａの出力電圧を変化させてからコンパレータ８０Ａが反射された電流を検出するまでの時間、即ちドライバ７６Ａとソケット５０との間を試験信号が往復する時間ｔ１を測定する。この時間ｔ１を２で割ることにより、ドライバ７６Ａが試験信号を生成してからソケット５０へ試験信号が伝送されるまでの時間即ち、片道の時間（ｔ１）／２を得ることができる。各ドライバ７６Ａについて、試験信号の伝送時間（ｔ１）／２を計測することにより、複数のドライバ７６からソケット５０までの経路における各試験信号の時間差Δｄｒが得られる。

【００４６】

図１５は、更にソケット５０からコンパレータ８０Ｂまでの信号伝送時間を簡易に求める

方法を示す。ソケット５０にショートボード１０Ｂを取り付け、ドライバ７６Ａで試験信号を生成する。試験信号は、同軸ケーブル６２、ショートボード１０Ｂ、及び同軸ケーブル６４を経てコンパレータ８０Ｂにより受け取られる。ドライバ７６が試験信号を生成してからコンパレータ８０Ｂが試験信号を受け取るまでの時間、即ちドライバ７６とコンパレータ８０Ｂとの間の信号伝送時間ｔ２を計測し、ドライバ７６とソケット５０との間の伝送時間（ｔ１）／２をｔ２から減じることにより、ソケット５０からコンパレータ８０Ｂまでの信号伝送時間ｔ３を求めることができる。ソケット５０から各コンパレータ８０Ｂまでの伝送時間ｔ３を計測することにより、ソケット５０から各コンパレータ８０Ｂまでの経路における試験信号の時間差Δｃｐが得られる。

ドライバ７６Ａ側の経路における時間差Δｄｒに基づいてドライバ用遅延回路７８に設定する遅延時間を変更することにより、ドライバ７６Ａ間のスキューを相殺することができる。また時間差Δｃｐに基づいてコンパレータ８０Ｂ用の遅延回路８２Ｂに設定する遅延時間を変更することにより、複数のコンパレータ８０Ｂ間のスキューを相殺することができる。

【００４７】

図１６は、半導体試験装置の更に他の形態を示す。本形態においては、２つの同軸ケーブルがソケット５０の１つの端子に接続されている。この場合、半導体デバイス２０及び試験用ボード１０を取り外してもソケット５０においてインピーダンス不整合が生じないので、ドライバ７６からソケット５０までの信号伝送時間、及びソケット５０からコンパレータ９０までの信号伝送時間を求めることができない。そこでまず、ソケット５０に試験用ボード１０の一例としてのアースショートボード１０Ｃを取り付ける。アースショートボード１０Ｃにおいては、各試験信号がアースにショートされている。これによりアースショートボード１０Ｃにおいてインピーダンス不整合が生じるので、ドライバ７６が生成した信号がコンパレータ８０に反射される。

【００４８】

次に図１６におけるアースショートボード１０Ｃをソケット５０から取り外し、コンパレータ９０用の遅延回路９２における遅延時間をゼロ”０”に設定する。さらにドライバ７６により試験信号を生成すると、図１５の場合と同様に、試験信号が同軸ケーブル６２、６４を経てコンパレータ９０により受け取られる。ドライバ７６が試験信号を生成してからコンパレータ９０が試験信号を受け取るまでの時間、即ちドライバ７６とコンパレータ９０との間の信号伝送時間ｔ２を計測し、ドライバ７６とソケット５０との間の伝送時間（ｔ１）／２をｔ２から減じることにより、ソケット５０からコンパレータ９０までの信号伝送時間ｔ３を求めることができる。ソケット５０から各コンパレータ９０までの伝送時間ｔ３を計測することにより、ソケット５０から各コンパレータ９０Ｂまでの経路における試験信号の時間差Δｃｐが得られる。

ドライバ７６側の経路における時間差Δｄｒに基づいてドライバ用遅延回路７８に設定する遅延時間を変更することにより、ドライバ７６間のスキューを相殺することができる。また時間差Δｃｐに基づいてコンパレータ９０用の遅延回路９２に設定する遅延時間を変更することにより、複数のコンパレータ９０間のスキューを相殺することができる。

【００４９】

図１７Ａ及び１７Ｂは、アースショートボード１０Ｃの構成を示す。アースショートボード１０Ｃの下面には、ソケット５０の第１端子１２及び第２端子１４に接触する接触端子３０が設けられている。またアースショートボード１０Ｃの上面では、ソケット５０の第１端子に接触する各信号配線パターン３２がアースパターン３６にショートされている。このため、試験信号の線路インピーダンスは、アースショートボード１０Ｃでアースにショートされた後に急激に小さくなる。このインピーダンスの不整合により、ドライバ７６Ａで生成された信号はアースショートボード１０Ｃで反射されて、コンパレータ８０Ａによって検出される。

【００５０】

図１８は、半導体試験装置の更に他の構成を示す。本実施形態では、ソケット５０におけ

る１つの端子に２つの同軸ケーブル６２，６４が接続されており、各同軸ケーブルにそれぞれ、ドライバ、ドライバ用遅延回路、コンパレータ、プログラマブルロード、及びコンパレータ用遅延回路が接続されている。この場合には、アースショートボード１０Ｃをソケット５０に取り付け、ドライバ７６，７７から順次に試験信号を生成し、ソケット５０で反射された試験信号をそれぞれコンパレータ８０及び９０で検出する。
これにより、ドライバ７６からソケット５０までの線路、およびドライバ７７からソケット５０までの線路における伝送遅延時間の時間差Δｄｒを求めることができる。この時間差Δｄｒに基づいて、複数のドライバ７６間のスキュー、複数のドライバ７７間のスキュー、複数のコンパレータ８０間のスキュー、及び複数のコンパレータ９０間のスキューを、それぞれ遅延回路７８、７９、８２及び８３によりキャリブレーションすることができる。

【００５１】
図１９は、図１８に示した半導体試験装置をキャリブレーションする方法の変更例を示す。理解しやすくするために、本図では図１８に示した遅延回路７８、７９、８２、８３の記載を省略している。また、図１８に示した構成と同一の構成には図１８と同一の符号を付してあるので、それらの説明は省略する。本形態では、１つの波形成型器１６０から２つのドライバ７６、７７に試験信号を供給することができる。また波形成型器１６０とドライバ７７との間には、試験信号を通過させるか否かを制御するゲート１６２が設けられている。本形態によれば、試験信号を生成するためのパターン発生器や波形フォーマッタ等を各ドライバ７６、７７毎に設ける必要がないので、試験装置を安価に構成することができる。

【００５２】
図２０は、フレーム１００の開口部１２０、保持ユニット１１０、及び試験用ボード１０の拡大図である。フレーム１００が有する円柱部材１０４を保持ユニット１１０に貫通させ、留め具１０６によって保持ユニット１１０の抜けを防止する。保持ユニット１１０は、試験用ボード１０又は半導体デバイス２０を保持することができる。保持ユニット１１０と円柱部材１０４との間には大きなクリアランスが設けられているので、各保時ユニット１１０はクリアランスの範囲内でフレーム１００に対して自在に変位することができる。バネ１０２は、保持ユニット１１０をソケット５０へ押圧する。ソケット５０には、先端が円錐形の位置決め棒１０８が設けられいる。
位置決め棒１０８は、各保持ユニット１１０及び試験用ボード１０を、それぞれの適切な位置に呼び込む呼び込み機構として機能する。即ち、保持ユニット１１０に設けられた位置決め穴に位置決め棒１０８を挿入することにより保持ユニットが適切な位置に変位する。このため、試験用ボード１０又は半導体デバイス２０の接触端子３０に、ソケット５０の第１端子１２及び第２端子１４が正確に接触することができる。

【００５３】
図２１は、フレーム１００の上面図である。フレーム１００の両端には、フレーム１００を人間の手、又はロボットにより掴むためのハンドル１４０が設けられている。各保持ユニット１１０は、フレーム１００内において他の保持ユニット１１０から独立して自由に変位することができる。従来は、保持ユニット１１０のそれぞれを確実にソケット５０に接触させるために、まず各保持ユニットをソケットに装着し、その後上部から保持ユニットを固定していた。本実施形態によれば、フレーム１００を半導体試験装置に装着すると、各保持ユニット１１０がそれぞれ適切な位置に変位するので、多数の試験用ボード１０または半導体デバイス２０を容易に装着し、または取り外すことができる。

【００５４】
特に、必要な種類の試験用ボード１０を予め取り付けた複数のフレーム１００と、半導体デバイス２０を取り付けたフレーム１００とをそれぞれ用意することにより、フレーム１００を交換するのみで、複数の試験用ボード１０の種類を変更し、又は半導体デバイス２０に変更することができる。

【００５５】

以上の実施形態においては、半導体デバイス２０に代えてソケット５０に試験用ボード１０を装着して半導体試験装置をキャリブレーションした。上記実施例によれば、実際に半導体デバイスを試験するときにおける信号線路と、半導体試験装置をキャリブレーションするときの信号線路とがほぼ同じなので、それぞれの場合における線路インピーダンスがほぼ等しくなる。従って、実使用に近い状態で半導体試験装置をキャリブレーションすることができる。しかしながら他の実施形態としては、例えば半導体デバイス２０及びソケット５０を半導体試験装置から取り外し、ソケットボード６０に直接試験用ボード１０を取り付けても良い。この場合には、実使用状態における線路インピーダンスとキャリブレーション時の線路インピーダンスとが多少異なる。しかしながら、ソケットボード６０はソケット５０の上側と比較して面積が広いので、プローブ４４を信号線路に容易に当接させることができる。

【００５６】

図２２は、プローブボード１０Ｄを取り付けたソケットボード６０の上面図である。プローブボード１０Ｄの上面には、信号配線パターン１３２が、相互に所定の間隔を持って配置されている。このため、プローブ４４の信号端子４０を当接させたときに、信号端子４０が他の信号配線パターンにショートすることを防ぐことができる。また、プローブボード１０Ｄの上面にはアースパターン１３６が設けられている。アースパターン１３６は各信号配線パターン１３２に隣接しており、最短距離は約２ｍｍ以下である。このため、各信号配線パターン１３２及びアースパターン１３６に、プローブ４４の信号端子４０及びアース端子４２を容易に接触させることができる。また各信号配線パターン１３２とアースパターン１３６との最短距離が実質的に等しいので各信号の線路インピーダンスのばらつきが小さく、各信号を正確に測定することができる。

【００５７】

このような、半導体デバイス２０及びソケット５０に代えて取り付けられる試験用ボード１０を多数用意し、それぞれを図２０に示す保持ユニット１１０に保持させても良い。実際の半導体試験においては、半導体デバイス２０に加えて半導体デバイス２０用のソケット５０を保持ユニット１１０に装着し、更にフレーム１００に取り付ける。必要な種類の試験用ボードを取り付けたフレーム１００をそれぞれ用意することにより、フレーム１００を交換するのみで容易に多数の試験用ボード１０の種類を交換し、または試験用ボード１０を半導体デバイス２０に交換することができる。

尚、上記のキャリブレーションでは、種々の端子を接触させる必要があるが、これを人手ではなく、ロボットを用いて行ってもよい。これにより、均一な圧力を与えることができるだけでなく、生産性も向上しうる。更に、本実施形態ではオシロスコープによって試験信号を検出したが、例えば、スタンダードドライバおよびスタンダードコンパレータ等を用いて試験信号を検出しても良い。

【００５８】

以上のように本実施形態によれば、半導体試験装置のキャリブレーションの精度を高めることができる。また複数の半導体デバイスを容易に試験装置に装着することができるので、半導体試験の生産性を向上することができる。

【００５９】

図２３は、試験用ボード１０の他の実施形態を示す。図２３において図１０と同じ符号が付けられた構成は、図１０と同様の構成を有するので説明を省略する。試験用ボード１０は、テストヘッド７０上に設けられたポゴピン２０４と接触するようにテストヘッド７０上に設置される。試験用ボード１０の下面に形成された接触端子３０は、テストヘッド７０のポゴピン２０４の配置に合わせて形成されている。また、試験用ボード１０の上面に形成された信号配線パターン３２及びアースパターン３６は、プローブ４４の信号端子４０及びアース端子４２の配置に合わせて形成されている。試験用ボード１０の信号配線パターン３２及びアースパターン３６は、接触端子３０と電気的に接続されている。このように試験用ボード１０の接触端子３０の配置をソケットボード６０、パフォーマンスボード６６、又はテストヘッド７０の端子の配置に合わせることにより、試験用ボード１０を

ソケット５０に装着するばかりでなく、ソケットボード６０、パフォーマンスボード６６、あるいはテストヘッド７０に装着することができる。

【００６０】

テストヘッド７０は、試験装置本体２０８からの指示を受けて、所定のレベルの試験信号を生成し、ポゴピン２０４を介して試験用ボード１０に試験信号を与える。テストヘッド７０は、ピンエレクトロニクス２０６を内部に備える。ピンエレクトロニクス２０６は、図示されない複数のドライバ７６、ドライバ用遅延回路７８、コンパレータ８０、及びコンパレータ用遅延回路８２を有する。オシロスコープ２００は、あらかじめ校正された測定器である。オシロスコープ２００と試験装置本体２０８とは双方向に制御可能なＧＰＩＢ等の通信手段で接続されている。したがって所望の条件で測定が実施でき、測定結果のタイミングデータは、試験装置本体２０８において校正用データ又は判定処理に使用される。試験装置本体２０８は、本体遅延回路２１０を有し、ピンエレクトロニクス２０６が有するドライバ用遅延回路７８及びコンパレータ用遅延回路８２の遅延時間の設定値を調整できる。

【００６１】

テストヘッド７０に備えられている基準信号端２２１から基準パルス信号２２０がオシロスコープ２００のトリガ入力端に入力される。基準パルス信号２２０によりドライバ７６が試験信号を出力するタイミングを調整する。オシロスコープ２００に接続されたプローブ４４の信号端子４０及びアース端子４２は、試験用ボード１０の信号配線パターン３２及びアースパターン３６に接触され電気的に接続される。

【００６２】

図２４は、図２３に示した半導体試験装置の接続図を示す。試験用ボード１０は、ピンエレクトロニクス２０６の出力端Ｐ１に設けられたポゴピン２０４と接触端子３０において接触されて電気的に接続されている。試験用ボード１０の信号配線パターン３２において複数のドライバ７６が試験信号を出力するタイミングが全ドライバで同一になるようにキャリブレーションする。

【００６３】

図２５は、図２３又は図２４に記載の半導体試験装置をキャリブレーションする方法を示したフローチャートである。但し、本フローチャートに示すキャリブレーション方法は、図２３又は図２４に記載の半導体試験装置に限られず、プローブ４４を測定対象に接触することによって測定対象から得られた信号を試験装置の外部の測定器で測定する試験装置に適用できる。従来のキャリブレーション方法においては、プローブ４４と測定対象との接触不良を検出できない可能性があった。そこで、本実施形態では、ドライバ７６のキャリブレーションに先立って、プローブ４４と測定対象との接触をチェックする。

【００６４】

最初に、プローブ４４の信号端子４０及びアース端子４２を試験用ボード１０の信号配線パターン３２及びアースパターン３６に接触する（Ｓ３０２）。次に、プローブ４４が試験用ボード１０に接触している状態で、ドライバ７６から出力された試験信号の波形の立上がり又は立下りに要する時間であるスルーレート値をプローブ４４に接続されたオシロスコープ２００で測定する（Ｓ３０４）。なお、プローブ４４と試験用ボード１０との接触チェックの良否判定は、波形の立上がり又は立下りのいずれか一方を行えばよい。次に、測定されたスルーレート値が所望のスルーレート値の範囲内であるかを判定して分岐する（Ｓ３０６）。

【００６５】

スルーレート判定ステップ（Ｓ３０６）においてスルーレート値が所望の範囲から外れていると判定された場合に、プロービングステップ（Ｓ３０２）、スルーレート測定ステップ（Ｓ３０４）、及びスルーレート判定ステップ（Ｓ３０６）を所定の回数繰り返す。更に、プロービングステップ（Ｓ３０２）、スルーレート測定ステップ（Ｓ３０４）、及びスルーレート判定ステップ（Ｓ３０６）を所定の回数繰り返したか判定する（Ｓ３２２）。プロービングステップ（Ｓ３０２）、スルーレート測定ステップ（Ｓ３０４）、及びス

ルーレート判定ステップ（Ｓ３０６）を所定の回数繰り返してもスルーレート値が所望の範囲から外れていると判定された場合には、プローブ４４と試験用ボード１０との接触不良を半導体試験装置の外部へ通知する（Ｓ３２６）。試験の作業者は、ドライバ７６と試験用ボード１０間の伝送線路の接続不良部位を点検し、塵埃を除去する。

【００６６】

図２６は、スルーレート測定ステップ（Ｓ３０４）において測定された波形の立ち上がりの場合における３種類のプロービング接触状態の波形を示す。第１の波形$Ｓ_0$は、良好な接触状態の場合であり、第２の波形$Ｓ_4$は、プローブ４４のアース端子４２と試験用ボード１０のアースパターン３６とがオープンの場合の例であり、第３の波形$Ｓ_6$は、アース端子４２とアースパターン３６との間に数百Ωの高い接触抵抗がある場合の例である。スルーレート値は、１００％のレベルに対して２０％及び８０％のレベルを閾値として、波形のレベルがそれぞれの閾値に達したときの時間の差を算出して求める。

【００６７】

第１の波形$Ｓ_0$におけるスルーレート値Ｔｒ１は、正常なスルーレート値にほぼ一致している場合であり、良好な接触状態であることが容易に判定できる。次に第２の波形$Ｓ_4$におけるスルーレート値Ｔｒ３は、正常なスルーレート値Ｔｒ１の数倍ものスルーレート値を示す。したがって、アース端子４２とアースパターン３６とが接触不良であることが判定できる。また、第３の波形$Ｓ_6$におけるスルーレート値Ｔｒ２においても正常なスルーレート値Ｔｒ１の数倍ものスルーレート値を示す。したがってこの場合も、アース端子４２とアースパターン３６とが接触不良であることが判定できる。

【００６８】

更に他の実施形態として、スルーレート値を測定する代わりに、試験信号の立ち上がり又は立下りの期間内のある特定時刻における正常な信号のレベルに基づいて所望の閾値の範囲を設定して、測定された信号のレベルが所望の閾値の範囲内に収まっているか否かを基準として接触不良を判定してもよい。例えば波形レベルを測定するタイミングをＴｓとし、閾値の範囲を正常な信号の１００％のレベルから２０％以内のレベル、すなわち正常な信号の８０％以上のレベルとした場合に、波形$Ｓ_0$のレベルは閾値の範囲内に収まっているが、波形$Ｓ_6$及び波形$Ｓ_4$は閾値の範囲から外れている。したがって、波形$Ｓ_0$においては接触状態が良好であり、波形$Ｓ_6$及び$Ｓ_4$においては、接触状態が不良であると判定できる。

【００６９】

図２７は、キャリブレーション方法の更に他の実施形態を示すための半導体試験装置の概要図及び接続図を示す。図２７（Ａ）及び（Ｂ）において、図２３及び図２４と同じ符号が付けられた構成は、図２３及び図２４と同様の構成を有するので説明を省略する。パフォーマンスボード６６は、ポゴピン２０４と接触するように設置され、ポゴピン２０４と電気的に接続される。半導体デバイス２０又は試験用ボード１０が装着されるソケット５０は、パフォーマンスボード６６と同軸ケーブル６４によって接続される。ソケット５０は、ピンエレクトロニクス２０６内のドライバ７６が生成した試験信号を、ポゴピン２０４、パフォーマンスボード６６、及び同軸ケーブル６４を通して入力して半導体デバイス２０又は試験用ボード１０に与える。図２７に示す半導体試験装置において、ポゴピン２０４とパフォーマンスボード６６との接触箇所２７２に接触不良が生じる可能性がある。

【００７０】

図２８は、図２７に示した半導体試験装置のキャリブレーションの実施形態を示したフローチャートを示す。最初に、ドライバ７６に接続されているコンパレータ８０を用いてドライバ７６から出力されてソケット５０から反射されてくる反射波形を入力し、試験装置本体２０８においてコンパレータ８０から入力された反射波形を測定する（Ｓ４０４）。次に、測定された反射波形が所望の範囲内であるか試験装置本体２０８において判定し、不良と判定した場合はループ回数判定ステップ（Ｓ３２２）へ分岐する（Ｓ４０６）。

【００７１】

反射波形が所望の範囲から外れていると判定された場合に、パフォーマンスボード６６と

ポゴピン２０４とを再接触し（Ｓ４２４）、反射波形測定ステップ（Ｓ４０４）、及び反射波形判定ステップ（Ｓ４０６）を繰り返す。次に、再接触ステップ（Ｓ４２４）、反射波形測定ステップ（Ｓ４０４）、及び反射波形判定ステップ（Ｓ４０６）を所定の回数繰り返したか判定する（Ｓ３２２）。再接触ステップ（Ｓ４２４）、反射波形測定ステップ（Ｓ４０４）、及び反射波形判定ステップ（Ｓ４０６）を所定の回数繰り返しても測定した波形が所望の範囲から外れていると判定された場合には、パフォーマンスボード６６とポゴピン２０４との接触不良を半導体試験装置の外部へ通知する（Ｓ３２６）。

【００７２】

図２９は、反射波形測定ステップ（Ｓ４０４）において測定された反射波形の例を示す。反射波形測定ステップ（Ｓ４０４）において図２９（Ｂ）に示す推移波形$Ｓ_{１０}$が測定される。推移波形$Ｓ_{１０}$は、正常な場合の推移波形である。ドライバ７６の出力と伝送線路の長さにより反射波形の推移は決まっている。すなわち、図２９（Ａ）に示すように正常な場合の推移波形$Ｓ_{１０}$は、最初はレベルＶ４の半分のレベルＶ２で推移し、伝送線路をパルスが往復する往復時間Ｔ１の経過後にレベルＶ４に到達する。推移波形$Ｓ_{１０}$は測定された推移波形$Ｓ_{１２}$と比較されるための基準として使用される。反射波形判定ステップ（Ｓ４０６）において、推移波形$Ｓ_{１２}$のデータと、基準となる推移波形$Ｓ_{１０}$との差分が算出され、その差分量である分布状態$Ｄ_{１０}$から波形の良否が判定される。

【００７３】

図２８及び図２９に示したキャリブレーション方法は図１７、１８、及び１９に示したアースショートボード１０Ｃを用いて反射信号を生成するキャリブレーション方法においても適用可能である。また、図２３に示した試験用ボード１０をソケット５０以外の場所に装着した場合においても、試験用ボード１０としてアースショートボード１０Ｃを使用することにより反射信号が生成できるので適用可能である。

【００７４】

図３０は、コンパレータ８０に対するキャリブレーション方法の他の実施形態を示す。プローブ４４が基準信号端２２１に接続され、基準信号端２２１から入力された基準パルス信号２２０を、プローブ４４を介して試験用ボード１０に与えること以外は、図２３に示す半導体試験装置と同様の構成である。コンパレータ８０のキャリブレーション方法として、基準パルス信号２２０を基準タイミングとして試験用ボード１０に与えることにより複数のコンパレータ８０に基準タイミングを入力してキャリブレーションする方法がある。このコンパレータ８０のキャリブレーション方法においても、図２５及び２６において説明した接触不良の検出方法が適用できる。例えば、プローブ４４と試験用ボード１０との間に接触不良があった場合、コンパレータ８０には、図２６に示す波形$Ｓ_{4}$又は$Ｓ_{6}$に類似した波形の基準パルス信号２２０が入力される。この場合においても、図２６における説明と同様に、例えば波形$Ｓ_{0}$の１００％のレベルに対して２０％及び８０％のレベルを閾値としてそれぞれの波形が閾値のレベルに達する時間を測定すればよい。測定された時間の差を求めることにより、スルーレート値を算出し、正常な状態におけるスルーレート値Ｔｒ１との差異を得ることができる。したがって、ドライバ７６の出力タイミングのキャリブレーションにおけるのと同様に、コンパレータ８０においてもプローブ４４と試験用ボード１０との接触不良の検出ができる。

【００７５】

更に他の実施形態として、図２６において述べたのと同様に、スルーレート値を測定する代わりに、試験信号の立ち上がり又は立下りの期間内における正常な信号のレベルから所望の閾値の範囲を設定して、測定された信号のレベルが所望の閾値の範囲内に収まっているか否かを基準として接触不良を判定してもよい。

【００７６】

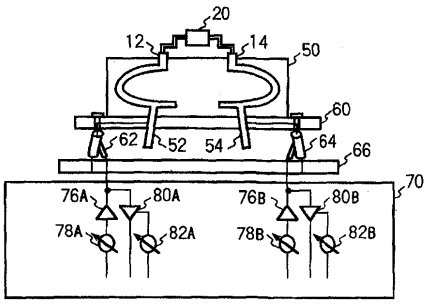
以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施形態に、多様な変更又は改良を加えることができることが当業者に明らかである。その様な変更又は改良を加えた形態も本発明の技術的範囲に含まれることが、添付のクレームの記載から明らかである。

【図面の簡単な説明】
【図１】従来の半導体試験装置の断面図である。
【図２】半導体デバイス２０の上面図および正面図である。
【図３】ソケット５０及びソケット５０を装着するソケットボード６０を示す断面図である。
【図４】ソケットボード６０の上面図である。
【図５】ソケットボード６０にプローブ４４を当てている様子を示す。
【図６】半導体試験装置をキャリブレーションするための従来の他の方法を示す。
【図７】従来の半導体試験装置の更に他の形態を示す。
【図８】従来のキャリブレーション方法のフローチャートを示す。
【図９】タイミング測定ステップ（Ｓ３１０）において測定された試験信号の波形を示す。
【図１０】本実施形態における半導体試験装置全体の断面を示す。
【図１１】保持ユニット１１０に装着する試験用ボード１０の一例としてのプローブボード１０Ａの上面図及び下面図である。
【図１２】試験用ボード１０の他の例としてのショートボードである。
【図１３】半導体試験装置の他の形態を示す。
【図１４】更にソケット５０からコンパレータ８０Ｂまでの信号伝送時間を簡易に求める方法を示す。
【図１５】半導体試験装置の更に他の形態を示す。
【図１６】アースショートボード１０Ｃの構成を示す。
【図１７】半導体試験装置の更に他の構成を示す。
【図１８】図１５に示した半導体試験装置をキャリブレーションする方法の変更例を示す。
【図１９】フレーム１００の開口部１２０、保持ユニット１１０、及び試験用ボード１０の拡大図である。
【図２０】フレーム１００の上面図である。
【図２１】プローブボード１０Ｄを取り付けたソケットボード６０の上面図である。
【図２２】半導体試験装置の更に他の形態を示す。
【図２３】試験用ボード１０の他の実施形態を示す。
【図２４】図２３に示した半導体試験装置の接続図を示す。
【図２５】図２３又は図２４に記載の半導体試験装置をキャリブレーションする方法を示したフローチャートである。
【図２６】スルーレート測定ステップ（Ｓ３０４）において測定された波形を示す。
【図２７】キャリブレーション方法の更に他の実施形態を示すための半導体試験装置の概要図及び接続図を示す。
【図２８】図２７に示した半導体試験装置のキャリブレーション方法の実施形態を示したフローチャートを示す。
【図２９】反射波測定ステップ（Ｓ４０４）において測定された反射波形の例を示す。
【図３０】コンパレータ８０に対するキャリブレーション方法の他の実施形態を示す。
【符号の説明】
１０　試験用ボード
１０Ａ　プローブボード
１０Ｂ　ショートボード
１０Ｃ　アースショートボード
１０Ｄ　プローブボード
１２　第１端子
１４　第２端子
２０　半導体デバイス
３０　接触端子

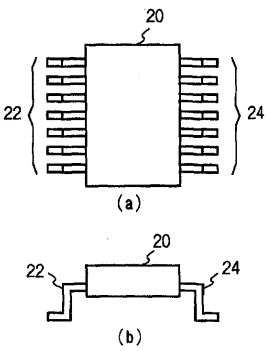
３２　信号配線パターン
３６　アースパターン
４０　信号端子
４２　アース端子
４４　プローブ
４６　ショートパターン
５０　ソケット
５２　ピン
５４　ピン
５６　スルーホール
５８　ソケットガイド
５９　スルーホール
６０　ソケットボード
６２　同軸ケーブル
６４　同軸ケーブル
６６　パフォーマンスボード
７０　テストヘッド
７６　ドライバ
７７　ドライバ
７８　遅延回路
７９　遅延回路
８０　コンパレータ
９０　コンパレータ
８２　遅延回路
８３　遅延回路
１００　フレーム
１０２　バネ
１０４　円柱部材
１０６　留め具
１０８　位置決め棒
１１０　保持ユニット
１２０　開口部
１３２　信号配線パターン
１３６　アースパターン
１４０　ハンドル
１５０　オシロスコープ
１６０　波形成型器
１６２　ゲート
１８０　プログラマブルロード
２００　オシロスコープ
２０４　ポゴピン
２０６　ピンエレクトロニクス
２０８　試験装置本体
２１０　本体遅延回路
２２０　基準パルス信号
２２１　基準信号端
２２２　基準ドライバ
Ｓ３０２　プロービングステップ
Ｓ３０４　スルーレート測定ステップ
Ｓ３０６　スルーレート判定ステップ

Ｓ３１０　タイミング測定ステップ
Ｓ３１２　試験信号発生ステップ
Ｓ３１４　立ち上がり波形測定ステップ
Ｓ３１６　立下り波形測定ステップ
Ｓ３２２　ループ回数判定ステップ
Ｓ４２４　再接触ステップ
Ｓ３２６　不良通知ステップ
Ｓ４０４　反射波形測定ステップ
Ｓ４０６　反射波形判定ステップ
S_0、S_1、S_2、S_4、S_6　波形
S_{10}、S_{12}　推移波形
t_0　基準タイミング位置
t_1、t_2　タイミング
e_1、e_2　タイミングずれ
D_{10}　分布状態
Ｖ２　半分のレベル
Ｖ４　レベル
Ｔ１　往復の時間

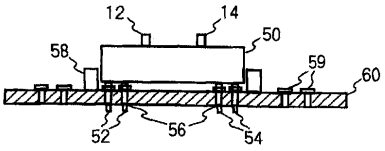
【図１】



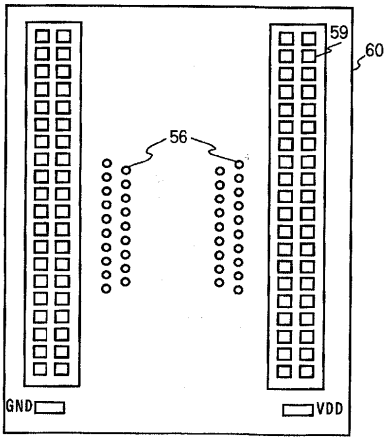
【図２】



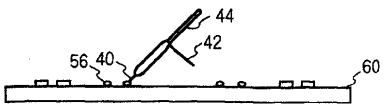
【図３】



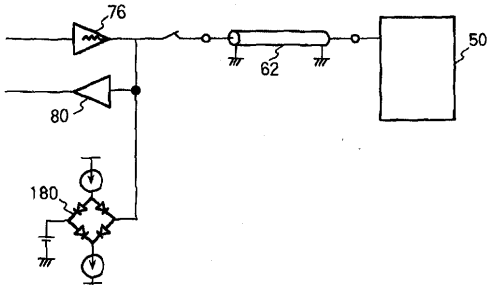
【図４】



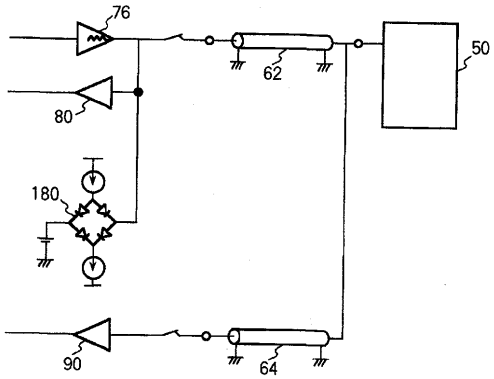
【図５】



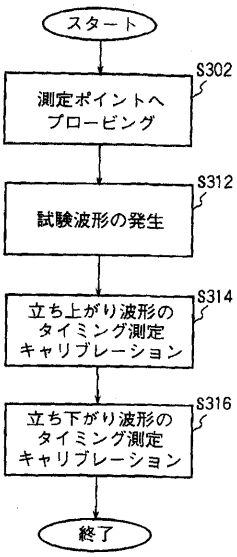
【図６】



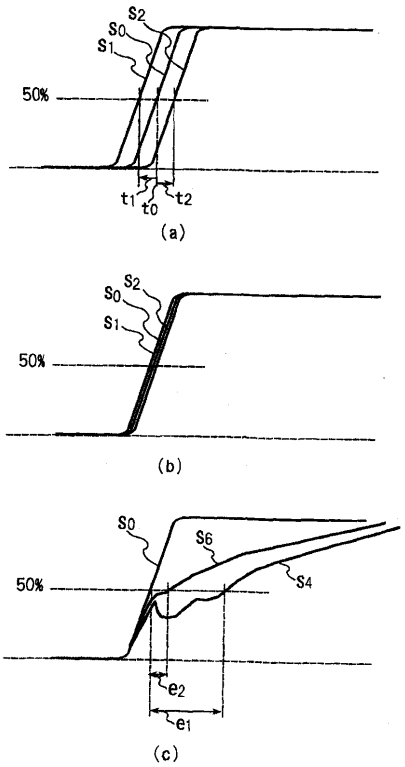
【図７】



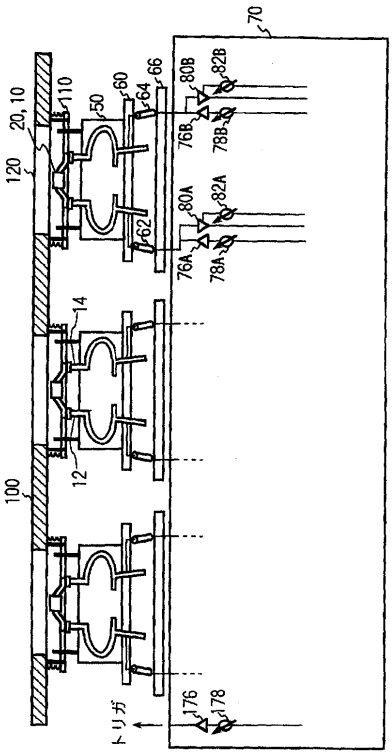
【図８】



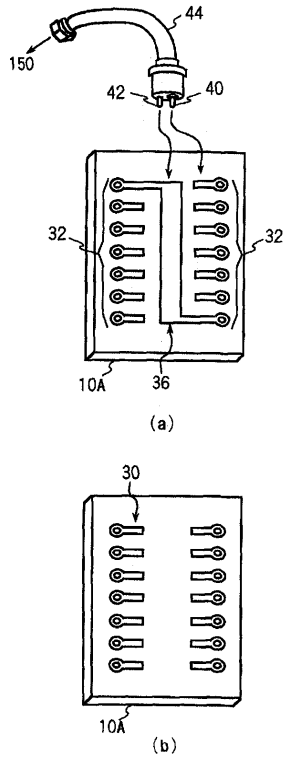
【図９】



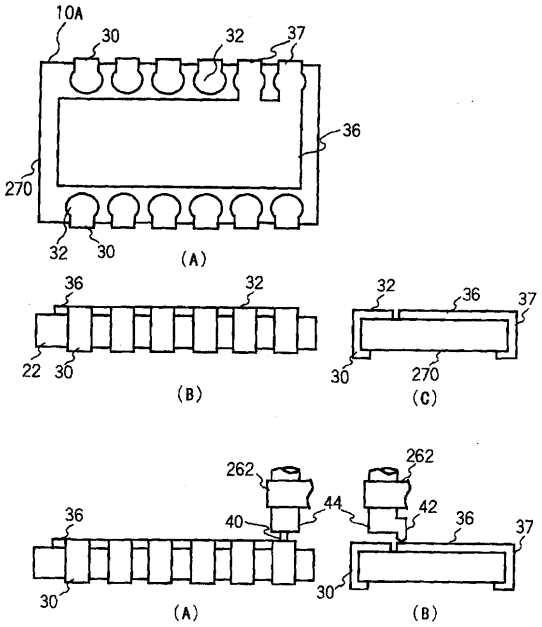
【図１０】



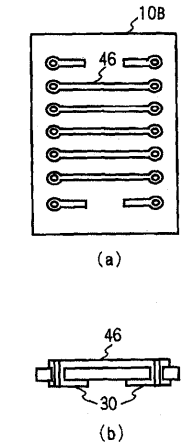
【図１１】



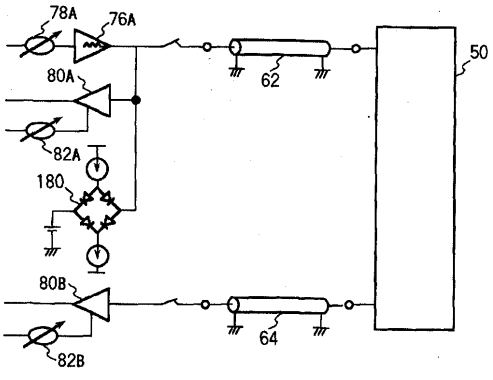
【図１２】



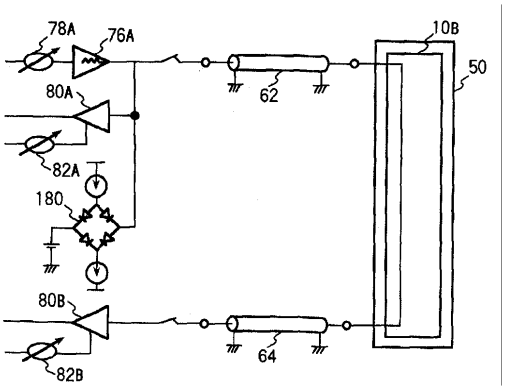
【図１３】



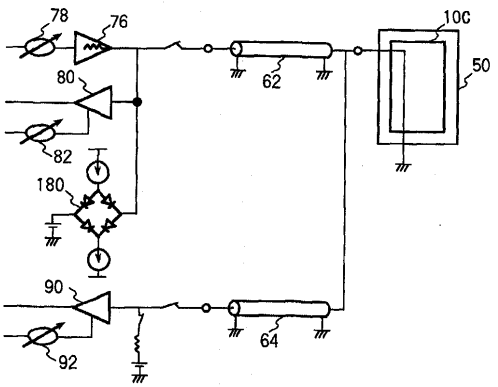
【図１４】



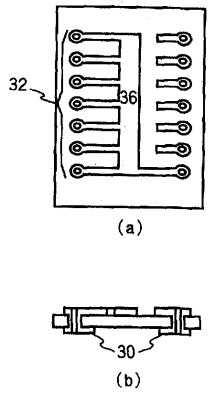
【図１５】



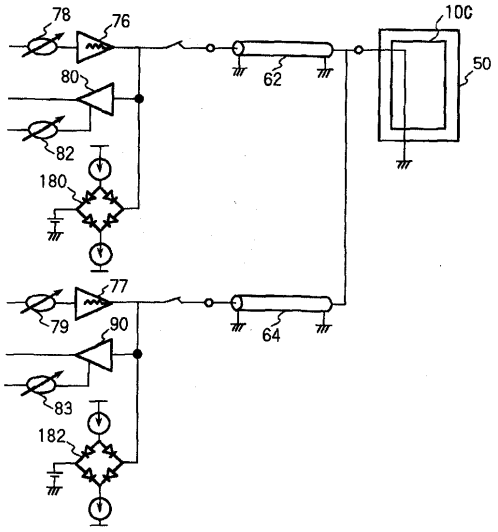
【図１６】



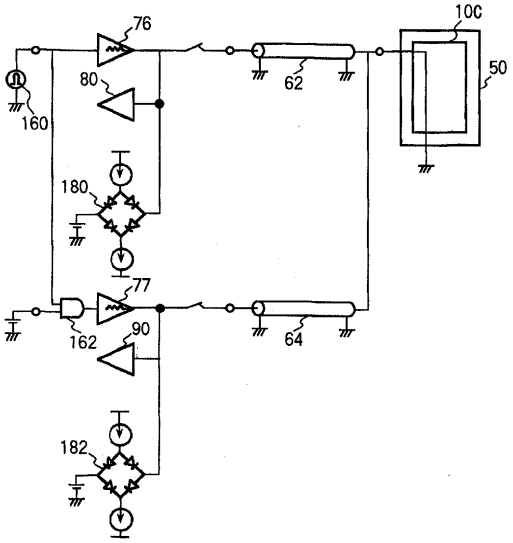
【図１７】



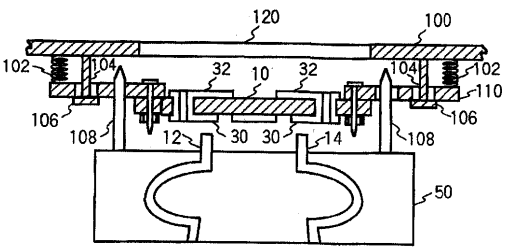
【図１８】



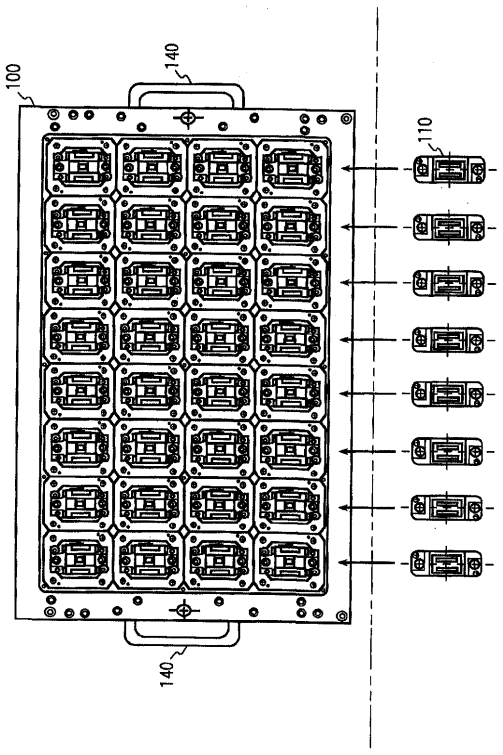
【図１９】



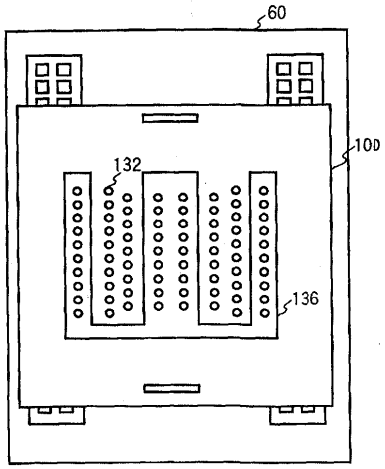
【図２０】



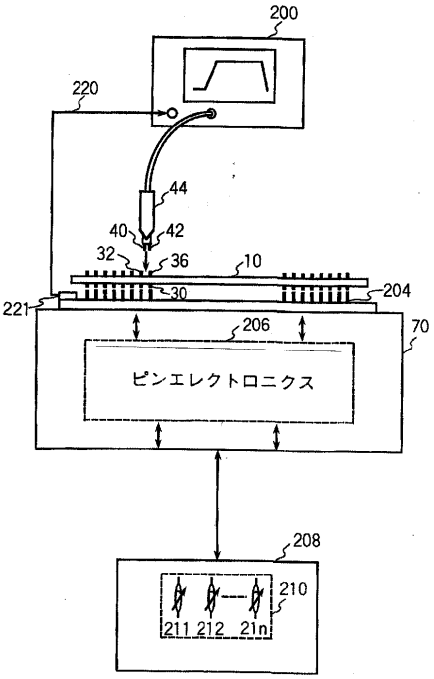
【図２１】



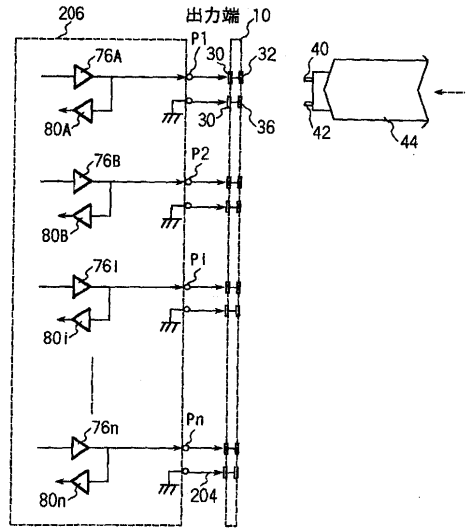
【図２２】



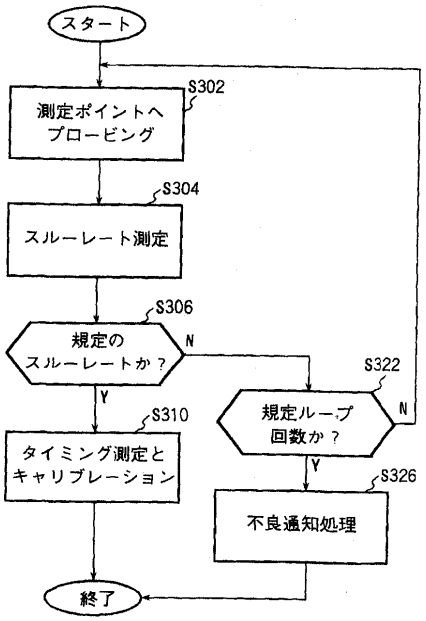
【図２３】



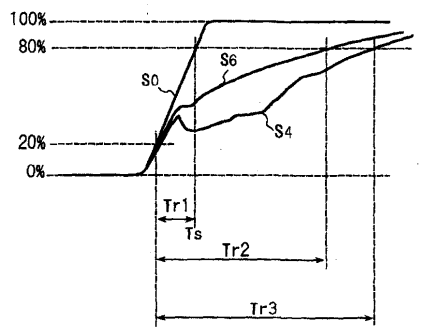
【図２４】



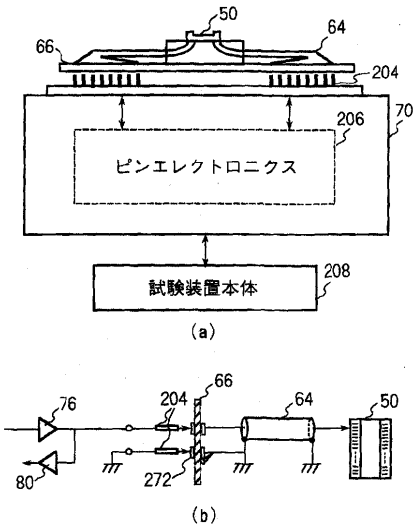
【図２５】



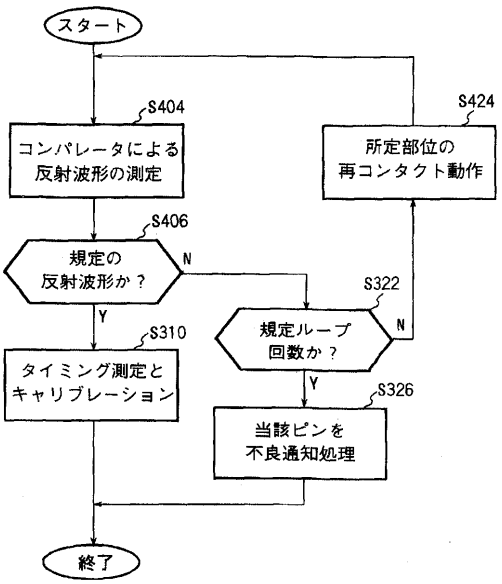
【図２６】



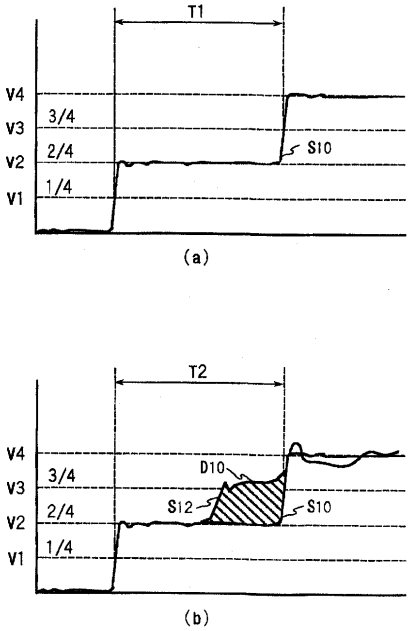
【図２７】



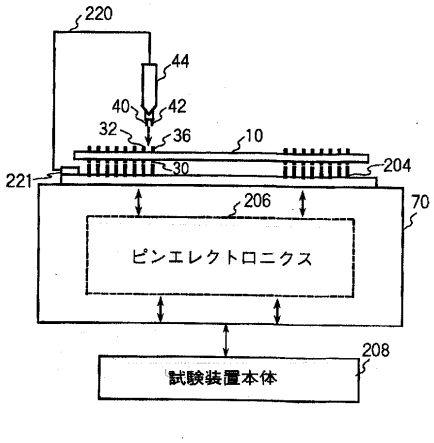
【図２８】



【図２９】



【図３０】



フロントページの続き

(51)Int.Cl.[7] FI
G01R 31/28 P
G01R 31/28 R

(72)発明者 塩塚 弘幸
東京都練馬区旭町１丁目３２番１号 株式会社アドバンテスト内
(72)発明者 濱 博之
東京都練馬区旭町１丁目３２番１号 株式会社アドバンテスト内
(72)発明者 関根 英一
東京都練馬区旭町１丁目３２番１号 株式会社アドバンテスト内
(72)発明者 鈴木 利一
東京都練馬区旭町１丁目３２番１号 株式会社アドバンテスト内
(72)発明者 小▲塚▼ 紀義
東京都練馬区旭町１丁目３２番１号 株式会社アドバンテスト内
(72)発明者 石垣 幸男
東京都練馬区旭町１丁目３２番１号 株式会社アドバンテスト内

審査官 越川 康弘

(56)参考文献 特開平０８－０６２２９１（ＪＰ，Ａ）
特開平０８－０６２３０８（ＪＰ，Ａ）
特開平０４－２７３０７９（ＪＰ，Ａ）
特開平１０－１２３２００（ＪＰ，Ａ）
特開平０４－１８８０８６（ＪＰ，Ａ）
特開平０８－０３６０３７（ＪＰ，Ａ）
特開平０９－０３３５９８（ＪＰ，Ａ）
実開昭６１－１４６７７３（ＪＰ，Ｕ）
実開平０５－０３６８３９（ＪＰ，Ｕ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G01R 31/28
G01R 31/319
G01R 31/26
G01R 35/00
G01R 31/02