

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-199525

(P2012-199525A)

(43) 公開日 平成24年10月18日 (2012. 10. 18)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 8 C	5 F 1 1 O
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 1 8 B	
	H O 1 L 29/78 6 1 7 J	
	H O 1 L 29/78 6 1 7 K	
	H O 1 L 29/78 6 1 7 T	
審査請求 未請求 請求項の数 15 O L (全 50 頁) 最終頁に続く		

(21) 出願番号	特願2012-42660 (P2012-42660)	(71) 出願人	000153878
(22) 出願日	平成24年2月29日 (2012. 2. 29)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2011-47759 (P2011-47759)		神奈川県厚木市長谷 3 9 8 番地
(32) 優先日	平成23年3月4日 (2011. 3. 4)	(72) 発明者	遠藤 佑太
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
		F ターム (参考)	5F110 AA04 AA05 AA07 AA30 BB01 BB05 CC01 CC07 DD01 DD02 DD03 DD04 DD05 EE02 EE03 EE04 EE14 EE22 EE42 EE43 EE44 FF01 FF02 FF03 FF04 FF23 FF28 FF30 GG01 GG12 GG13 GG15 GG17 GG22 GG25 GG28 GG29 GG42 GG43 GG58 HM04 NN02 NN40 QQ02 QQ09

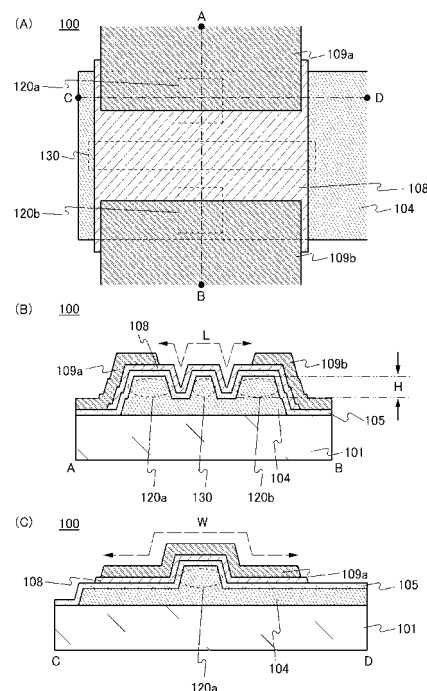
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 トランジスタのサイズを縮小しつつ、良好なスイッチング特性を有する半導体装置を提供する。

【解決手段】 一对の第1の突起と、一对の第1の突起の間に設けられる第2の突起とを有するゲート電極と、ゲート電極を覆うゲート絶縁膜と、ゲート絶縁膜と接して、且つ一对の第1の突起および第2の突起に重畳する半導体膜と、半導体膜と接して、且つ一对の第1の突起と重畳する一对の電極と、を有し、半導体膜の側端は、半導体膜のチャネル幅方向において、一对の第1の突起の頂面より外側であり、一对の電極の側端は、半導体膜のチャネル幅方向において、一对の第1の突起の頂面より外側である半導体装置である。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

一対の第 1 の突起と、前記一対の第 1 の突起の間に設けられる第 2 の突起とを有するゲート電極と、

前記ゲート電極を覆うゲート絶縁膜と、

前記ゲート絶縁膜と接して、且つ前記一対の第 1 の突起および前記第 2 の突起に重畳する半導体膜と、

前記半導体膜と接し、且つ前記一対の第 1 の突起に重畳する一対の電極と、を有し、

前記半導体膜の側端は、前記半導体膜のチャンネル幅方向において、前記一対の第 1 の突起の頂面より外側にあり、

前記一対の電極の側端は、前記半導体膜のチャンネル幅方向において、前記一対の第 1 の突起の頂面より外側にあることを特徴とする半導体装置。

【請求項 2】

請求項 1 において、

前記一対の第 1 の突起は、前記半導体膜のチャンネル幅方向において、複数設けられていることを特徴とする半導体装置。

【請求項 3】

複数の一対の第 1 の突起と、前記複数の一対の第 1 の突起の間に設けられる第 2 の突起とを有するゲート電極と、

前記ゲート電極を覆うゲート絶縁膜と、

前記ゲート絶縁膜と接して、且つ前記複数の一対の第 1 の突起および前記第 2 の突起に重畳する半導体膜と、

前記半導体膜と接し、且つ前記複数の一対の第 1 の突起に重畳する一対の電極と、を有し、

前記半導体膜の側端は、前記半導体膜のチャンネル幅方向において、前記複数の一対の第 1 の突起のうち異なる一対の第 1 の突起の頂面上にあり、

前記一対の電極の側端は、前記半導体膜のチャンネル幅方向において、前記複数の一対の第 1 の突起のうち異なる前記一対の第 1 の突起の頂面上にあることを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一において、

前記第 2 の突起は、前記半導体膜のチャンネル長方向において、複数設けられていることを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一において、

前記ゲート電極は、前記一対の第 1 の突起および前記第 2 の突起である第 1 の領域と、前記第 1 の領域に接する第 2 の領域とを有し、

前記第 1 の領域と前記第 2 の領域は、異なる導電材料によって構成されており、

前記第 1 の領域を構成する導電材料と、前記第 2 の領域を構成する導電材料との仕事関数の差は、 0.6 eV 以下であることを特徴とする半導体装置。

【請求項 6】

請求項 1 乃至請求項 5 において、

前記ゲート電極は、多階調マスクを用いて形成されることを特徴とする半導体装置。

【請求項 7】

一対の第 1 の突起と、前記一対の第 1 の突起の間に設けられる第 2 の突起とを有し、且つ絶縁表面を有する構造物と、

前記一対の第 1 の突起および前記第 2 の突起に接する半導体膜と、

前記半導体膜と接して、且つ前記一対の第 1 の突起に重畳する一対の電極と、

前記構造物、前記半導体膜、および前記一対の電極を覆うゲート絶縁膜と、

前記ゲート絶縁膜に接して、且つ前記一対の電極の間に設けられるゲート電極と、を有

10

20

30

40

50

し、

前記半導体膜の側端は、前記半導体膜のチャネル幅方向において、前記一对の第1の突起の頂面より外側であり、

前記一对の電極の側端は、前記半導体膜のチャネル幅方向において、前記一对の第1の突起の頂面より外側であることを特徴とする半導体装置。

【請求項8】

請求項7において、

前記一对の第1の突起は、前記半導体膜のチャネル幅方向において、複数設けられていることを特徴とする半導体装置。

【請求項9】

複数の一对の第1の突起と、前記複数の一对の第1の突起の間に設けられる第2の突起とを有し、且つ絶縁表面を有する構造物と、

前記複数の一对の第1の突起および前記第2の突起に接する半導体膜と、

前記半導体膜と接して、且つ前記複数の一对の第1の突起に重畳する一对の電極と、

前記構造物、前記半導体膜、および前記一对の電極を覆うゲート絶縁膜と、

前記ゲート絶縁膜に接して、且つ前記一对の電極の間に設けられるゲート電極と、を有し、

前記半導体膜の側端は、前記半導体膜のチャネル幅方向において、前記複数の一对の第1の突起のうち異なる一对の第1の突起の頂面上にあり、

前記一对の電極の側端は、前記半導体膜のチャネル幅方向において、前記複数の一对の第1の突起のうち異なる前記一对の第1の突起の頂面上にあることを特徴とする半導体装置。

【請求項10】

請求項7乃至請求項9のいずれか一において、

前記第2の突起は、前記半導体膜のチャネル長方向において、複数設けられていることを特徴とする半導体装置。

【請求項11】

請求項7乃至請求項10のいずれか一において、

前記構造物は、多階調マスクを用いて形成されることを特徴とする半導体装置。

【請求項12】

請求項7乃至請求項11のいずれか一において、

前記絶縁表面を有する構造物は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウムまたは窒化アルミニウムを含むことを特徴とする半導体装置。

【請求項13】

請求項1乃至請求項12のいずれか一において、

前記半導体膜に形成される実効上のチャネル長は、上面から見た前記一对の電極間の距離である見かけ上のチャネル長に対して3倍以上の長さを有することを特徴とする半導体装置。

【請求項14】

請求項1乃至請求項13のいずれか一において、

前記半導体膜に形成される実効上のチャネル幅は、上面から見た前記一对の電極の幅である見かけ上のチャネル幅に対して3倍以上の長さを有することを特徴とする半導体装置。

【請求項15】

請求項1乃至請求項14のいずれか一において、

前記半導体膜は、酸化物半導体膜であることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、酸化物半導体膜を用いた半導体装置に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる素子および装置全般を指す。例えば、該素子の代表例はトランジスタである。該トランジスタを含む表示装置、半導体回路および電子機器は全て半導体装置に含まれる。

【背景技術】

【0003】

トランジスタはスイッチング特性を有しており、そのスイッチング特性を利用して、液晶表示装置や発光表示装置などの画素におけるスイッチング素子として用いられている。また、トランジスタは液晶表示装置や発光表示装置などだけではなく、スイッチング特性を利用して半導体記憶装置にも用いられている。

10

【0004】

例えば、半導体記憶装置の1つであるDRAM (Dynamic Random Access Memory) は、トランジスタとキャパシタでメモリセルが構成されている。そして、DRAMにおいて、チップサイズの増大を抑えつつ、半導体集積回路の集積度をより高くするためには、メモリセルの面積を縮小する目的としたトランジスタの微細化が必要である。

【0005】

トランジスタの微細化において、極端にチャネル長が短縮されたトランジスタは、しきい値電圧がマイナス方向へ変動するなど電気特性に変動が生じる。この現象は短チャネル効果と呼ばれ、短チャネル効果を抑制することは、トランジスタの微細化において重要な課題である。

20

【0006】

さらに、極端にチャネル長が短縮されたトランジスタは、短チャネル効果により、パンチスルー現象によるリーク電流が流れやすくなり、スイッチング特性が機能しなくなることもある。該リーク電流を防ぐには、シリコン基板に高濃度の不純物をドーピングすればよいが、そうするとソースとシリコン基板間またはドレインとシリコン基板間に接合リーク電流が流れやすくなり、結局はメモリの保持特性を低下させてしまう原因となってしまう、この問題の解決策としては適切ではなかった。

【0007】

30

このような問題に対して、メモリセルを構成するトランジスタを三次元に形成し、該トランジスタの実効上のチャネル長を短チャネル効果が生じない程度に維持する方法が考えられてきた。例えば、トランジスタのチャネル部が形成される領域にU字状の縦長溝を形成し、該縦長溝の壁面に沿ってゲート絶縁膜を形成し、さらに該縦長溝にゲート電極を埋め込んだ構造である（非特許文献1参照）。

【0008】

このような構造をチャネル部に有するトランジスタは、ソースとドレインの間を流れる電流が縦長溝部分を回り込む形で流れるため、上面から見たトランジスタのソース電極およびドレイン電極間の距離である見かけ上のチャネル長に対して、実効上のチャネル長が長くなっている。このため、トランジスタのサイズを縮小しつつ、短チャネル効果を抑制できるといった効果を奏する。

40

【先行技術文献】

【非特許文献】

【0009】

【非特許文献1】Kinam Kim、「Technology for sub-50 nm DRAM and NAND Flash Manufacturing」、International Electron Devices Meeting, 2005. IEDM Technical Digest、2005年12月、p. 333 - 336

【発明の概要】

50

【発明が解決しようとする課題】

【0010】

短チャネル効果を抑制するためには、実効上のチャネル長を長くすることが有効であるが、上記のように、U字状の縦長溝を設ける構造とするトランジスタは、該縦長溝を形成する際に溝を掘るためにフォトリソグラフィ工程を余分に行う必要があり、コストや歩留まりの観点で問題があった。

【0011】

また、縦長溝に対してゲート絶縁膜などを形成する場合、スパッタリング法やプラズマCVD (Chemical Vapor Deposition) 法では、該縦長溝の入り口付近に膜が堆積し、溝が塞がってしまうことがあった。そのため、被覆性の高い成膜方法を選定する必要があった。具体的には、比較的成本高となる原子層堆積法 (ALD: Atomic Layer Deposition) 法、またはシリコンウェハなどでしか使用できない熱酸化法などに限られることが問題であった。

【0012】

そこで、本発明の一態様は、縦長溝を用いずに、トランジスタのサイズを縮小しつつ、実効上のチャネル長を長くすることができるトランジスタを提供することを課題の一とする。

【0013】

短チャネル効果を抑制するために、トランジスタのサイズを縮小しつつ、実効上のチャネル長を長くすることによって、トランジスタのオフ電流またはリーク電流を低減させることができるが、このようにすることで、トランジスタのオン電流も低減してしまう。

【0014】

トランジスタのスイッチング特性、例えばトランジスタのオン・オフ比を向上させることは、トランジスタを半導体記憶装置に用いる際に有用である。例えば、半導体記憶装置に設けられる読み出し回路において、読み出すことが可能な電流値の範囲を大きくすることができる。そのため、短チャネル効果を抑制するために実効上のチャネル長を長くしたトランジスタにおいて、オン電流を増大させて、トランジスタのオン・オフ比を十分に確保することは有意なことである。

【0015】

そこで、本発明の一態様は、トランジスタのサイズを縮小しつつ、高いオン電流が確保できるトランジスタ、および良好なスイッチング特性を有するトランジスタを提供することを課題とする。

【課題を解決するための手段】

【0016】

トランジスタのサイズを縮小しつつ、実効上のチャネル長を長くするということは、トランジスタを上面から見た場合、ソース電極およびドレイン電極となる一対の電極間の距離に相当する見かけ上のチャネル長に対して、実効上のチャネル長に相当するソースおよびドレイン間を流れるキャリアの経路の距離を長くすることである。

【0017】

そこで、作製するボトムゲート構造のトランジスタにおいて、見かけ上のチャネル長に対して実効上のチャネル長を長くするための手段は、該トランジスタのゲート電極として、半導体膜のチャネル幅方向に延伸した突起が設けられたゲート電極を用いることである。

【0018】

さらに、トランジスタのオン電流を増大させるためには、ソース電極およびドレイン電極として機能する一対の電極幅に相当するチャネル幅を広くすればよいが、トランジスタのサイズを縮小しつつ、該チャネル幅を広くする必要がある。

【0019】

そこで、作製するボトムゲート構造のトランジスタにおいて、該トランジスタのゲート電極として、半導体膜のチャネル幅方向に延伸した突起と、該チャネル幅方向に延伸した

10

20

30

40

50

突起を介して対向した一对の突起とが設けられたゲート電極を用いることで、実効上のチャネル長を長くさせつつ、さらに、トランジスタを上面から見た場合の該一对の電極幅に相当する見かけ上のチャネル幅より、トランジスタの動作時に機能する実効上のチャネル幅を広くすることができる。

【0020】

なお、トランジスタのチャネル領域は、トランジスタに含まれる半導体膜に形成されることから、「半導体膜のチャネル幅」は、「トランジスタのチャネル幅」と言い換えることができる。そして、「半導体膜のチャネル長」についても「トランジスタのチャネル長」と言い換えることができる。また、「半導体膜のチャネル幅方向」または「トランジスタのチャネル幅方向」を、単に「チャネル幅方向」と記し、「半導体膜のチャネル長方向」または「トランジスタのチャネル長方向」を、単に「チャネル長方向」と記す場合がある。

10

【0021】

本発明の一態様は、一对の第1の突起と、一对の第1の突起の間に設けられる第2の突起とを有するゲート電極と、ゲート電極を覆うゲート絶縁膜と、ゲート絶縁膜と接して、且つ一对の第1の突起および第2の突起に重畳する半導体膜と、半導体膜と接して、且つ一对の第1の突起と重畳する一对の電極と、を有し、半導体膜の側端は、半導体膜のチャネル幅方向において、一对の第1の突起の頂面より外側であり、一对の電極の側端は、半導体膜のチャネル幅方向において、一对の第1の突起の頂面より外側である、半導体装置である。

20

【0022】

また、チャネル幅方向に延伸した突起を介して対向する一对の突起は、ゲート電極上に複数設けることで、トランジスタを上面から見た場合の該一对の電極幅に相当する見かけ上のチャネル幅に対して、実効上のチャネル幅をさらに広くすることができる。

【0023】

本発明の他の一態様は、一对の第1の突起が、半導体膜のチャネル幅方向において、複数設けられている半導体装置である。

【0024】

また、一对の突起を複数設けた場合、チャネル幅方向における半導体膜の側端およびチャネル幅方向における一对の電極の側端は、複数設けられた一对の突起のうち異なる一对の突起の頂面上であってもよい。

30

【0025】

本発明の他の一態様は、複数の一对の第1の突起と、複数の一对の第1の突起の間に設けられる第2の突起とを有するゲート電極と、ゲート電極を覆うゲート絶縁膜と、ゲート絶縁膜と接して、且つ複数の一对の第1の突起および第2の突起に重畳する半導体膜と、半導体膜と接し、且つ複数の一对の第1の突起に重畳する一对の電極と、を有し、半導体膜の側端は、半導体膜のチャネル幅方向において、複数の一对の第1の突起のうち異なる一对の第1の突起の頂面上にあり、一对の電極の側端は、半導体膜のチャネル幅方向において、複数の一对の第1の突起のうち異なる一对の第1の突起の頂面上にある、半導体装置である。

40

【0026】

また、チャネル幅方向に延伸した突起を一对の突起の間に複数設けることで、見かけ上のチャネル長に対して、トランジスタの動作時に機能する実効上のチャネル長をさらに長くすることができる。

【0027】

本発明の他の一態様は、半導体膜のチャネル長方向において、第2の突起が複数設けられている半導体装置である。

【0028】

また、上記において、ゲート電極は、一对の突起、および該一对の突起の間に設けられてチャネル幅方向に延伸した突起を含む領域と、該領域以外の領域と、で構成されている

50

ものとみなすことができる。そこで、2つの領域は、互いに異なる導電材料によって構成されていてもよい。その際、互いの領域を構成する導電材料の仕事関数の差は、0.6 eV以下とすることが好ましい。

【0029】

そこで、本発明の他の一態様は、ゲート電極は、一对の第1の突起および第2の突起を含む第1の領域と、第1の領域以外の第2の領域とを有し、第1の領域と第2の領域は、異なる導電材料によって構成されており、第1の領域を構成する導電材料と、第2の領域を構成する導電材料との仕事関数の差は、0.6 eV以下であることを特徴とする半導体装置である。

【0030】

また、ボトムゲート構造のトランジスタに限らず、半導体膜のチャネル幅方向に延伸した突起と、該チャネル幅方向に延伸した突起を介して対向した一对の突起とが設けられた絶縁表面を有する構造物を形成することで、トップゲート構造のトランジスタにおいても、短チャネル効果を抑制しつつ、該トランジスタのオン電流を増大させることができる。

【0031】

そこで、本発明の他の一態様は、一对の第1の突起と、一对の第1の突起の間に設けられる第2の突起とを有し、且つ絶縁表面を有する構造物と、一对の第1の突起および第2の突起に接する半導体膜と、半導体膜と接して、且つ一对の第1の突起と重畳する一对の電極と、構造物、半導体膜、および一对の電極を覆うゲート絶縁膜と、ゲート絶縁膜に接して、且つ一对の電極の間に設けられるゲート電極と、を有し、半導体膜の側端は、半導体膜のチャネル幅方向において、一对の第1の突起の頂面より外側であり、一对の電極の側端は、半導体膜のチャネル幅方向において、一对の第1の突起の頂面より外側である、半導体装置である。

【0032】

上記トップゲート構造のトランジスタにおいても、チャネル幅方向に延伸した突起を介して対向する一对の突起を、絶縁表面を有する構造物上に複数設けることで、トランジスタを上面から見た場合の該一对の電極幅に相当する見かけ上のチャネル幅に対して、トランジスタの動作時に機能する実効上のチャネル幅をさらに広げることができる。

【0033】

絶縁表面を有する構造物上に一对の突起を複数設けた場合、チャネル幅方向における半導体膜の側端およびチャネル幅方向における一对の電極の側端は、複数設けられた一对の突起のうち異なる一对の突起の頂面上であってもよい。

【0034】

また、上記トップゲート構造のトランジスタにおいても、チャネル幅方向に延伸した突起を一对の突起の間に複数設けることで、見かけ上のチャネル長に対して、実効上のチャネル長をさらに長くすることができる。

【0035】

また、トップゲート構造のトランジスタに用いる上記絶縁表面を有する構造物は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウムまたは窒化アルミニウムを含むことが好ましい。

【0036】

そして、上記ボトムゲート構造のトランジスタおよび上記トップゲート構造のトランジスタともに、見かけ上のチャネル長およびチャネル幅に対して、実効上のチャネル長および実効上のチャネル幅は3倍以上であることが好ましい。

【0037】

また、本発明の一態様であるボトムゲート構造のトランジスタにおいて、チャネル幅方向に延伸した突起と、該チャネル幅方向に延伸した突起を介して対向した一对の突起とが設けられたゲート電極は、2枚のフォトリソグラフィ工程と2回のエッチングを行うことで形成することができる。

10

20

30

40

50

【0038】

上記方法と異なる方法として、ゲート電極となる導電膜上に、ゲート電極として機能する領域と、チャンネル幅方向に延伸した突起が形成される領域と、該チャンネル幅方向に延伸した突起を介して対向した一对の突起が形成される領域とに対応させて、厚さの異なる領域を有するレジストマスクを形成し、該レジストマスクを用いてエッチングすることにより、チャンネル幅方向に延伸した突起と、該チャンネル幅方向に延伸した突起を介して対向した一对の突起とが設けられたゲート電極を形成することができる。厚さの異なる領域を有するレジストマスクは多階調マスクを用いることで形成することができる。それゆえ、ゲート電極を形成する際に、使用するフォトマスクを1枚にすることができ、さらに、フォトリソグラフィ工程の回数を減らせるため、フォトリソグラフィ工程の回数を増やすことなく該ゲート電極を作製することができる。

【0039】

さらに、上記トップゲート構造のトランジスタにおいても、チャンネル幅方向に延伸した突起と、該チャンネル幅方向に延伸した突起を介して対向した一对の突起とが設けられた絶縁表面を有する構造物は、多階調マスクを用いる上記方法で形成することができる。

【0040】

上記におけるトランジスタに用いる半導体膜は、酸化物半導体膜であることが好ましい。酸化物半導体膜は、シリコン半導体膜に比べて大きなバンドギャップを有するため、該酸化物半導体膜をトランジスタに用いることでオフ電流を低減させることができる。それゆえ、トランジスタのオン・オフ比を確保することが容易になる。さらに、半導体記憶装置のメモリセルに該トランジスタを用いる場合、該メモリセルにおいてリーク電流が流れることを抑制することができる。

【発明の効果】

【0041】

本発明の一態様によって、従来用いられていた縦長溝を用いずに、トランジスタのサイズを縮小しつつ、実効上のチャンネル長を長くしたトランジスタを提供することができる。

【0042】

また、本発明の一態様によって、短チャンネル効果を抑制できるため、トランジスタのサイズを縮小しつつ、高いオン電流が確保できるトランジスタ、および良好なスイッチング特性を有するトランジスタを提供することができる。それゆえ、短チャンネル効果の影響を低減し、かつ集積度が高い半導体装置を提供することができる。

【図面の簡単な説明】

【0043】

【図1】本発明の一態様である半導体装置の一例を示す上面図および断面図。

【図2】本発明の一態様である半導体装置の作製方法の一例を示す断面図。

【図3】多階調マスクを説明する断面図。

【図4】本発明の一態様である半導体装置の作製方法の一例を示す断面図。

【図5】本発明の一態様である半導体装置の一例を示す断面図。

【図6】本発明の一態様である半導体装置の作製方法の一例を示す断面図。

【図7】本発明の一態様である半導体装置の作製方法の一例を示す断面図。

【図8】本発明の一態様である半導体装置の作製方法の一例を示す断面図。

【図9】本発明の一態様である半導体装置の一例を示す上面図および断面図。

【図10】本発明の一態様である半導体装置の作製方法の一例を示す断面図。

【図11】本発明の一態様である半導体装置の一例を示す上面図および断面図。

【図12】本発明の一態様である半導体装置の作製方法の一例を示す断面図。

【図13】本発明の一態様である半導体装置の一例を示す上面図および断面図。

【図14】本発明の一態様である半導体装置の作製方法の一例を示す断面図。

【図15】本発明の一態様である半導体装置の一例を示す上面図および断面図。

【図16】本発明の一態様である半導体装置の作製方法の一例を示す断面図。

【図17】本発明の一態様である半導体装置の作製方法の一例を示す断面図。

【図 1 8】本発明の一態様である半導体装置の作製方法の一例を示す断面図。

【図 1 9】本発明の一態様であるトランジスタを用いた半導体記憶装置の一例を示す回路図および断面図、ならびに保持電位の時間変化を示す図。

【図 2 0】本発明の一態様であるトランジスタを用いた半導体記憶装置の一例を示す回路図および容量電位とドレイン電流の関係を示す図。

【図 2 1】本発明の一態様であるトランジスタを用いた半導体記憶装置の一例を示す回路図。

【図 2 2】本発明の一態様であるトランジスタを用いた C P U の具体例を示すブロック図およびその一部の回路図。

【図 2 3】本発明の一態様であるトランジスタを用いた表示装置の一例を示す回路図。

10

【図 2 4】本発明の一態様を用いた電子機器の一例を示す斜視図。

【図 2 5】本発明の一態様である半導体装置の一例を示す上面図。

【発明を実施するための形態】

【0 0 4 4】

本発明の実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分または同様な機能を有する部分には、同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

20

【0 0 4 5】

なお、本明細書で説明する各図において、各構成の大きさ、膜の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【0 0 4 6】

本明細書において、「膜」という用語は、C V D 法（プラズマ C V D 法などを含む。）またはスパッタリング法などにより、被形成面の全面に形成されたものと、該被形成面の全面に形成されたものに対して半導体装置の作製工程に係る処理を行った後のものと、に用いる。

【0 0 4 7】

30

本明細書にて用いる第 1、第 2、第 3 などの用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではない。そのため、例えば、「第 1 の」を「第 2 の」または「第 3 の」などと適宜置き換えて説明することができる。

【0 0 4 8】

本明細書において、「オン電流」とは、トランジスタが導通状態のときに、ソースとドレインの間に流れる電流をいう。例えば、n 型の薄膜トランジスタの場合には、ゲート電圧がトランジスタのしきい値電圧よりも大きいときに、ソースとドレインとの間に流れる電流が、オン電流である。また「オフ電流」とは、トランジスタが非導通状態としたときに、意図せずにソースとドレインの間に流れる電流をいう。例えば、n 型の薄膜トランジスタの場合には、ゲート電圧がトランジスタのしきい値電圧よりも小さいときに、ソースとドレインとの間に流れる電流が、オフ電流である。なお、「ゲート電圧」とは、ソースを基準としたゲートとソースの電位差をいう。また、「オン・オフ比」とは、トランジスタのオフ電流に対するオン電流の比をいう。

40

【0 0 4 9】

「ソース」や「ドレイン」の機能は、回路動作において電流の方向が変化する場合には入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0 0 5 0】

（実施の形態 1）

本実施の形態では、本発明の一態様であるトランジスタ 1 0 0 について図 1 を用いて説

50

明する。

【0051】

図1(A)はトランジスタ100の上面図である。

【0052】

トランジスタ100は、基板101に一对の第1の突起120a、120bと、一对の第1の突起120a、120bの間に設けられる第2の突起130とを有するゲート電極104と、ゲート電極104を覆うゲート絶縁膜105と、ゲート絶縁膜105と接して、且つ一对の第1の突起120a、120bおよび第2の突起130に重畳する半導体膜108と、半導体膜108と接して、且つ一对の第1の突起120a、120bと重畳する一对の電極109a、109bと、を有するボトムゲート構造のトランジスタである。10

なお、図1(A)において、ゲート絶縁膜105は、便宜上、図示していない。

【0053】

ゲート電極104に設けられた一对の第1の突起120a、120bは、チャネル幅方向に延伸して設けられた第2の突起130を挟んで対向して設けられている。

【0054】

チャネル幅方向において、半導体膜108の側端は、ゲート電極104に設けられた一对の第1の突起120a、120bの頂面より外側に位置する。

【0055】

また、チャネル幅方向において、一对の電極109a、109bの側端は、ゲート電極104に設けられた一对の第1の突起120a、120bの頂面より外側に位置する。20

【0056】

図1(B)は図1(A)に示した一点鎖線A-B間におけるトランジスタ100の断面図である。

【0057】

半導体膜108は、ゲート電極104に設けられた一对の第1の突起120a、120bおよび第2の突起130の形状に沿って形成される。従って、トランジスタ100は、三次元状のチャネル領域が形成され、トランジスタ100の動作時に機能する実効上のチャネル長Lは、図1(A)の一对の電極109a、109b間の距離に相当する見かけ上のチャネル長に対して、少なくとも一对の第1の突起120a、120bおよび第2の突起130の高さHの分は、長くなる(図1(B)参照)。30

【0058】

「一对の第1の突起120a、120bおよび第2の突起130の高さH」とは、一对の第1の突起120a、120bおよび第2の突起130頂面からゲート電極104の底面に下ろした垂線において、該頂面から、ゲート電極104の一对の突起120a、120bおよび第2の突起130以外の領域における上面までの距離に相当する。

【0059】

図1(C)は図1(A)に示した一点鎖線C-D間におけるトランジスタ100の断面図である。

【0060】

トランジスタ100のC-D断面は、基板101と、一对の第1の突起120a、120bのうちの一方である第1の突起120aを有するゲート電極104と、ゲート電極104を覆うゲート絶縁膜105と、ゲート絶縁膜105と接して、且つ該第1の突起120aと重畳する半導体膜108と、半導体膜108と接して、且つ第1の突起120aと重畳する一对の電極109a、109bのうちの一方である電極109aと、を有する。40

【0061】

実効上のチャネル長Lが長くなることによって、トランジスタのオン電流も低減するが、トランジスタ100の半導体膜108は、ゲート電極104に設けられた一对の第1の突起120a、120bの形状に沿って形成される。従って、トランジスタ100は、三次元状のチャネル領域が形成され、トランジスタ100の動作時に機能する実効上のチャネル幅Wは、図1(A)の一对の電極109a、109bの幅に相当する見かけ上のチャ50

ネル幅に対して、少なくとも一对の第1の突起120a、120bの高さHの分は、長くなる（図1（C）参照）。これにより、トランジスタのサイズを縮小しつつ、トランジスタ100のオン電流を増大させることができる。

【0062】

また、一对の第1の突起120a、120bおよび第2の突起130の高さHは、見かけ上のチャネル長に対して、実効上のチャネル長Lが3倍以上、好ましくは5倍以上、さらに好ましくは10倍以上の長さとなって、且つ、見かけ上のチャネル幅に対して、実効上のチャネル幅Wが3倍以上、好ましくは5倍以上、さらに好ましくは10倍以上の長さとなることが好ましい。その好ましい長さとなるように、一对の第1の突起120a、120bおよび第2の突起130の高さHを選択する。なお、一对の第1の突起120a、120bおよび第2の突起130は、同じ作製工程で形成されることから、一对の第1の突起120a、120bの高さと第2の突起130の高さは同じになる。

10

【0063】

このように、トランジスタ100は、実効上のチャネル長Lが見かけ上のチャネル長に対して長くなっていることから、トランジスタのサイズを縮小しつつ、しきい値電圧のマイナス方向への変動やオフ電流の増大など、短チャネル効果の影響を低減することができる。

【0064】

つまり、トランジスタ100は、実効上のチャネル長Lを長くさせて短チャネル効果を抑制することができ、さらに実効上のチャネル幅Wも長くさせてオン電流を増大させることができるため、トランジスタのオン・オフ比を十分に確保された良好なスイッチング特性を有するトランジスタである。

20

【0065】

また、図1（A）乃至図1（C）に示した一对の第1の突起120a、120bおよび第2の突起130は角錘台状であるが、錘状でもよい。つまり、トランジスタ100の見かけ上のチャネル長および見かけ上のチャネル幅に対して、実効上のチャネル長Lおよび実効上のチャネル幅Wが長くなる形状であれば、特に限定はない。さらに、一对の第1の突起120a、120bおよび第2の突起130の高さ方向に垂直な方向の断面形状は円形（楕円形も含む。）でもよく、多角形でもよい。

【0066】

30

また、一对の第1の突起120a、120bおよび第2の突起130のA-B断面およびC-D断面は台形状である。このように、一对の第1の突起120a、120bおよび第2の突起130を角錘台状とする場合、トランジスタ100の作製において形成される膜の被覆性を向上させて該膜の断切れを防止するために、一对の第1の突起120a、120bおよび第2の突起130はテーパ形状とすることが好ましい。

【0067】

ここで、ゲート電極104においてチャネル幅方向に延伸して設けられている第2の突起130について説明する。

【0068】

半導体膜108は以下、2つの領域を有しているとみなせる。該2つの領域とは（1）一对の第1の突起120a、120bおよび第2の突起130の両方の形状に沿って形成されている領域と、（2）第2の突起130のみの形状に沿って形成されている領域と、である。この場合、（1）に形成される実効上のチャネル長よりも（2）に形成される実効上のチャネル長のほうが短くなっている。

40

【0069】

見かけ上のチャネル長に対して実効上のチャネル長を長くすることによる短チャネル効果の抑制は、一对の第1の突起120a、120bの形状に沿って形成されること以上に、第2の突起130の形状に沿って形成されることに起因している。つまり、上記（1）の領域および上記（2）の領域ともに短チャネル効果が抑制される。

【0070】

50

第2の突起130が延伸して設けられていることによって、図1(A)のように、形成する半導体膜108において、チャンネル幅方向の長さを一对の第1の突起120a、120bのチャンネル幅方向の長さに対して長くした場合でも、半導体膜108全ての領域で、見かけ上のチャンネル長に対する実効上のチャンネル長を長くすることができ、短チャンネル効果を抑制できる。

【0071】

言い換えると、第2の突起130が延伸して設けられていることによって、半導体膜108の大きさについて、その選択の範囲を広くすることができる。

【0072】

トランジスタ100の構造は、図1に示されたものに限定されない。例えば、トランジスタ100は、以下の構造とすることができる。

【0073】

半導体膜108の領域は、一对の第1の突起120a、120bおよび第2の突起130に重畳していればよい。つまり、図1(A)に示すトランジスタ100の半導体膜108の側端は、チャンネル長方向において、ゲート電極104の側端より外側に位置し、チャンネル幅方向において、第2の突起130の側端より内側に位置しているが、このほかにチャンネル長方向において、半導体膜108の側端は、ゲート電極104の側端より内側に位置してもよいし、チャンネル幅方向において、半導体膜108の一方の側端は、ゲート電極104の側端および第2の突起130の側端より外側に位置していてもよい(図25(A)参照)。

【0074】

また、チャンネル長方向において、一对の第1の突起120a、120bの側端は、ゲート電極104の側端より内側に位置しており、チャンネル幅方向において、第2の突起130の側端もゲート電極104の側端より内側に位置しているが、一对の第1の突起120a、120bの側端および第2の突起130の側端のそれぞれ一側端がゲート電極104の側端の一側端となるように形成されていてもよい(図25参照(B)参照)。なお、図1に示したトランジスタ100は、チャンネル長方向において、一对の第1の突起120a、120bの側端は、ゲート電極104の側端より内側に位置し、チャンネル幅方向において、第2の突起130の側端もゲート電極104の側端より内側に位置している。これは、多階調マスクを用いて形成することにより生じることであり、多階調マスクを用いて形成する方法については後述する。

【0075】

また、図1(A)に示すトランジスタ100の一对の電極109a、109bのチャンネル幅方向における側端は、半導体膜108の側端より内側である。しかし、チャンネル長方向における一对の電極109a、109bの側端が一对の第1の突起120a、120bに重畳し、チャンネル幅方向における一对の電極109a、109bの側端が、一对の第1の突起120a、120bの頂面より外側であれば、チャンネル幅方向における一对の電極109a、109bの側端は、半導体膜108より外側であってもよい(図25(C)参照)。

【0076】

さらに、図1に示したトランジスタ100は、一对の電極109a、109bの下面と半導体膜108の上面とが接するトップコンタクト構造であるが、一对の電極109a、109bの上面と半導体膜108の下面とが接するボトムコンタクト構造であってもよい。

【0077】

トランジスタ100の作製方法について説明する。なお、図2、図4、および図6乃至図8に示した断面図は、図1(A)の一点鎖線A-B間および一点鎖線C-D間の断面に相当する。

【0078】

基板101に大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を

10

20

30

40

50

有している必要がある。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板などを、基板101として用いてもよい。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI (Silicon On Insulator) 基板などを適用することも可能であり、これらの基板上に半導体素子が設けられたものを、基板101として用いてもよい。

【0079】

また、基板101として、可とう性基板を用いてもよい。その場合は、可とう性基板上に直接的にトランジスタを作製する。なお、可とう性基板上にトランジスタを設ける方法としては、基板101として非可とう性のものを用いて、この上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板に転置する方法もある。その場合には、基板101とトランジスタとの間に剥離層を設けるとよい。

【0080】

まず、下記導電材料を用いてスパッタリング法、真空蒸着法またはメッキ法により基板101上に導電膜102を形成する(図2(A)参照)。導電膜102の厚さは、一对の突起120a、120bおよび第2の突起130の高さH、ならびにトランジスタ100の実効上のチャンネル長Lを考慮して選択する。例えば、導電膜102の厚さは100nm以上で形成すればよい。

【0081】

導電膜102の導電材料としては、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ag、TaおよびW、それらの窒化物、酸化物ならびに合金から一以上選択し、単層または積層で形成することができる。また、ゲート電極104として該酸化物を用いる場合は、 $5 \times 10^{19} \text{ cm}^{-3}$ 以上20atomi c %以下、好ましくは $1 \times 10^{20} \text{ cm}^{-3}$ 以上7atomi c %以下の窒素を含んでもよい。例えば、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上7atomi c %以下の窒素を含み、かつIn、GaおよびZnを含む酸化物膜を用いるとよい。

【0082】

次に、導電膜102を加工して、一对の突起120a、120bおよび第2の突起130が設けられたゲート電極104を形成する。なお、ゲート電極104はトランジスタ100のゲート配線としても機能する。

【0083】

一对の突起120a、120bおよび第2の突起130が設けられたゲート電極104は、異なるパターンを有する2枚のフォトリソグラフィ工程および2回のエッチング工程で形成することができる。フォトリソグラフィ工程の代わりにインクジェット法または印刷法等により異なるパターンを有する2種類のマスクを形成してもよい。ただし、トランジスタの作製工程において、フォトリソグラフィの枚数が増えることは、それだけフォトリソグラフィ工程の回数が増えることになり、歩留まりの低下など生産性を低下させる可能性がある。

【0084】

そこで、本実施の形態では、一对の突起120a、120bおよび第2の突起130が設けられたゲート電極104を、厚さの異なる領域を有するレジストマスクを用いて形成する方法を説明する。厚さの異なる領域を有するレジストマスクは、多階調マスクを用いて形成することができる。多階調マスクを用いることは、1枚のフォトリソグラフィ工程でゲート電極104を形成することができ、フォトリソグラフィ工程数を増やさずに一对の突起120a、120bおよび第2の突起130を形成できるため好ましい。

【0085】

多階調マスクとは、多段階の光量で露光を行うことが可能なマスクであり、代表的には、露光領域、半露光領域および未露光領域の3段階の光量で露光を行う。多階調マスクを用いることで、一度の露光および現像工程によって、複数(代表的には二種類)の厚さを有するレジストマスクを形成することができる。そのため、多階調マスクを用いることで、フォトリソグラフィの枚数を削減することができる。

10

20

30

40

50

【0086】

多階調マスクについて図3を用いて説明する。図3(A-1)および図3(B-1)は、代表的な多階調マスクの断面を示す。図3(A-1)には、グレートンマスク304を示し、図3(B-1)にはハーフトンマスク314を示す。

【0087】

図3(A-1)に示すグレートンマスク304は、透光性を有する基板301に遮光層により形成された遮光部302、および遮光層のパターンにより設けられた回折格子部303で構成されている。

【0088】

回折格子部303は、露光に用いる光の解像度限界以下の間隔で設けられたスリット、ドットまたはメッシュ等を有することで、光の透過率を制御する。なお、回折格子部303に設けられるスリット、ドットまたはメッシュは周期的なものであってもよいし、非周期的なものであってもよい。

【0089】

透光性を有する基板301としては、石英等を用いることができる。遮光部302および回折格子部303を構成する遮光層は、金属膜を用いて形成すればよく、好ましくはクロムまたは酸化クロム等により設けられる。

【0090】

グレートンマスク304に露光するための光を照射した場合、図3(A-2)に示すように、遮光部302に重畳する領域における透光率は0%となり、遮光部302も回折格子部303も設けられていない領域における透光率は100%となる。また、回折格子部303における透光率は、概ね10%~70%の範囲であり、回折格子のスリット、ドットまたはメッシュの間隔等により調節可能である。

【0091】

図3(B-1)に示すハーフトンマスク314は、透光性を有する基板311上に半透光層により形成された半透光部312および遮光層により形成された遮光部313で構成されている。

【0092】

半透光部312は、MoSiN、MoSi、MoSiO、MoSiON、CrSi等の層を用いて形成することができる。遮光部313は、グレートンマスクの遮光層と同様の金属膜を用いて形成すればよく、好ましくはクロムまたは酸化クロム等により設けられる。

【0093】

ハーフトンマスク314に露光するための光を照射した場合、図3(B-2)に示すように、遮光部313に重畳する領域における透光率は0%となり、遮光部313も半透光部312も設けられていない領域における透光率は100%となる。また、半透光部312における透光率は、概ね10%~70%の範囲であり、形成する材料の種類または形成する膜厚等により調整可能である。

【0094】

多階調マスクを用いることにより、露光部分、中間露光部分、および未露光部分の3つの露光レベルのマスクを形成することができ、一度の露光および現像工程により、複数(代表的には二種類)の厚さの領域を有するレジストマスクを形成することができる。このため、多階調マスクを用いることで、トランジスタ100の作製工程におけるフォトマスクの枚数を削減することができる。

【0095】

そこで、導電膜102上にハーフトンマスクを用いたフォトリソグラフィ法により、厚さの異なる領域を有するレジストマスク150を形成する。

【0096】

図2(B)に示すハーフトンマスクは、光を透過する基板140上に半透過層141a、および遮光層141bで構成されている。したがって、レジストマスク150は、導

10

20

30

40

50

電膜 102 において、一对の第 1 の突起 120 a、120 b および第 2 の突起 130 が形成される領域は厚く、それ以外の領域は薄くなるように形成する（図 2（B）参照）。なお、導電膜 102 において、ゲート電極 104 が形成されない領域には、レジストマスク 150 も形成されないようにする。一对の第 1 の突起 120 a、120 b と第 2 の突起 130 との間の距離を考慮して、レジストマスク 150 の薄く形成される領域の厚さを決定する。

【0097】

次に、レジストマスク 150 を用いて、導電膜 102 の一部を選択的に除去（エッチング）する。このエッチングにより、島状に加工された導電膜 103 を形成する。なお、該エッチングはドライエッチングで行えばよい。

10

【0098】

次に、レジストマスク 150 を縮小（後退）させて、後に一对の第 1 の突起 120 a、120 b と第 2 の突起 130 との間隔となる部分において分離されたレジストマスク 151 を形成する（図 4（A）参照）。レジストマスク 150 の縮小（後退）には、酸素プラズマによるアッシングを用いればよい。

【0099】

次に、レジストマスク 151 を用いて島状に加工された導電膜 103 をエッチングし、一对の第 1 の突起 120 a、120 b および第 2 の突起 130 を形成し、ゲート電極 104 を形成する。そして、該エッチングの後にレジストマスク 151 を除去する（図 4（B）参照）。該エッチングを行う時間が長くなるほど、一对の第 1 の突起 120 a、120 b および第 2 の突起 130 の高さ H を高くすることができる。このとき、島状に加工された導電膜 103 において、一对の第 1 の突起 120 a、120 b および第 2 の突起 130 が形成される以外の領域が消失しないように、導電膜 102 のエッチングレートを考慮して、エッチング時間を調節する必要がある。

20

【0100】

一对の第 1 の突起 120 a、120 b および第 2 の突起 130 を形成する際に、レジストマスク 150 を縮小（後退）させて、形成したレジストマスク 151 を用いることにより、一对の第 1 の突起 120 a、120 b および第 2 の突起 130 のチャンネル長方向およびチャンネル幅方向における端部は、ゲート電極 104 のチャンネル長方向およびチャンネル幅方向における端部より内側に位置するように形成される（図 1（A）参照）。

30

【0101】

一对の第 1 の突起 120 a、120 b および第 2 の突起 130 を、異なるパターンを有する 2 枚のフォトマスクを用いて、2 回のフォトリソグラフィ工程と 2 回のエッチングを行うことで形成すれば、一对の第 1 の突起 120 a、120 b の側端および第 2 の突起 130 の側端がゲート電極 104 の側端となるように形成することができる。この場合において、完成したトランジスタ 100 の上面図は図 25（B）であり、図 25（B）の一点鎖線 A-B 間の断面図は図 5 である。

【0102】

また、ゲート電極 104 を形成したあと、逆スパッタリング処理などのプラズマ処理を行っても構わない。このような処理を行うことによって、一对の第 1 の突起 120 a、120 b および第 2 の突起 130 の角が削られ、曲面形状にでき、以降のトランジスタ 100 の作製工程において形成する膜の被覆性を高めることができる。

40

【0103】

次いで、ゲート電極 104 を覆うようにゲート絶縁膜 105 を形成する（図 6（A）参照）。ゲート絶縁膜 105 の厚さは、1 nm 以上 300 nm 以下とすればよい。

【0104】

ゲート絶縁膜 105 は、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化イットリウムまたは酸化ジルコニウムなどを用いればよく、積層または単層で設ければよい。例えば、熱酸化法、プラズマ CVD 法、スパッタリング法などで形成すればよい。後に形成する半導体膜 108 に酸

50

化物半導体膜を用いる場合、ゲート絶縁膜 105 は、加熱処理により酸素を放出する膜を用いると好ましい。加熱処理により酸素を放出する膜を用いることで、後に形成する半導体膜 108 に生じる欠陥を修復することができ、トランジスタ 100 の電気特性の劣化を抑制できる。

【0105】

「加熱処理により酸素を放出する」とは、TDS (Thermal Desorption Spectroscopy: 昇温脱離ガス分光法) 分析にて、酸素原子に換算しての酸素の放出量が $1.0 \times 10^{18} \text{ cm}^{-3}$ 以上、好ましくは $3.0 \times 10^{20} \text{ cm}^{-3}$ 以上であることをいう。

【0106】

ここで、TDS 分析にて、酸素原子に換算しての酸素の放出量の測定方法について、以下に説明する。

【0107】

TDS 分析したときの気体の放出量は、検出したイオン強度の積分値に比例する。このため、当該積分値と、標準試料の基準値に対する比とにより、気体の放出量を計算することができる。標準試料の基準値とは、所定の原子を含む試料において検出したイオン強度の積分値に対する原子の密度の割合である。

【0108】

例えば、標準試料である所定の密度の水素を含むシリコンウェハの TDS 分析結果、および絶縁膜の TDS 分析結果から、絶縁膜の酸素分子の放出量 (N_{O_2}) は、数式 1 で求めることができる。ここで、TDS 分析で得られる質量数 32 で検出されるイオン強度の全てが酸素分子由来と仮定する。質量数 32 のものとしてほかに C_2H_2 があるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である質量数 17 の酸素原子および質量数 18 の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。

【0109】

$$\text{N}_{\text{O}_2} = \text{N}_{\text{H}_2} / \text{S}_{\text{H}_2} \times \text{S}_{\text{O}_2} \times \alpha \quad (\text{数式 1})$$

【0110】

N_{H_2} は、標準試料から脱離した水素分子を密度で換算した値である。 S_{H_2} は、標準試料を TDS 分析したときのイオン強度の積分値である。ここで、標準試料の基準値を、 $\text{N}_{\text{H}_2} / \text{S}_{\text{H}_2}$ とする。 S_{O_2} は、絶縁膜を TDS 分析したときのイオン強度の積分値である。 α は、TDS 分析におけるイオン強度に影響する係数である。数式 1 の詳細に関しては、特開平 6-275697 公報を参照する。なお、上記絶縁膜の酸素の放出量は、電子科学株式会社製の昇温脱離分析装置 EMD-WA1000S/W を用い、標準試料として $1 \times 10^{16} \text{ cm}^{-3}$ の水素原子を含むシリコンウェハを用いて測定した。

【0111】

また、TDS 分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述の α は酸素分子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の放出量についても見積もることができる。

【0112】

なお、 N_{O_2} は酸素分子の放出量である。酸素原子に換算したときの放出量は、酸素分子の放出量の 2 倍となる。

【0113】

上記構成において、加熱処理により酸素を放出する膜は、酸素が過剰な酸化シリコン (SiO_x ($x > 2$)) 膜であってもよい。酸素が過剰な酸化シリコン (SiO_x ($x > 2$)) 膜とは、シリコン原子数の 2 倍より多い酸素原子を単位体積当たりを含むものである。単位体積当たりのシリコン原子数および酸素原子数は、ラザフォード後方散乱法により測定した値である。

【0114】

ゲート絶縁膜 105 として、加熱により酸素放出される膜を用いることで、後述する酸化物半導体膜 107 に酸素が供給され、ゲート絶縁膜 105 および後述する酸化物半導体膜 107 の界面準位を低減できる。従って、トランジスタ 100 の動作に起因して生じる電荷などが、該界面準位に捕獲されることを抑制でき、トランジスタ 100 を電気特性の劣化の少ないトランジスタとすることができる。

【0115】

次いで、ゲート絶縁膜 105 上に酸化物半導体膜 106 を形成する（図 6（B）参照）。

【0116】

酸化物半導体膜は、シリコン半導体に比べて大きなバンドギャップを有し、該酸化物半導体膜をトランジスタ 100 に用いることでオフ電流を低減させることができる。それゆえ、トランジスタのオン・オフ比を確保することが容易になる。

【0117】

なお、酸化物半導体膜は、In、Ga、Zn および Sn から選ばれた 2 種以上を含む金属酸化物材料を用いればよい。例えば、四元系金属酸化物である In-Sn-Ga-Zn-O 系の材料や、三元系金属酸化物である In-Ga-Zn-O 系の材料、In-Sn-Zn-O 系の材料、In-Al-Zn-O 系の材料、Sn-Ga-Zn-O 系の材料、Al-Ga-Zn-O 系の材料、Sn-Al-Zn-O 系の材料や、二元系金属酸化物である In-Zn-O 系の材料、Sn-Zn-O 系の材料、Al-Zn-O 系の材料、Zn-Mg-O 系の材料、Sn-Mg-O 系の材料、In-Mg-O 系の材料、In-Ga-O 系の材料や、一元系金属酸化物である In-O 系の材料、Sn-O 系の材料、Zn-O 系の材料などを用いればよい。ここで、例えば、In-Ga-Zn-O 系の材料とは、インジウム（In）、ガリウム（Ga）、亜鉛（Zn）を有する酸化物、という意味であり、その組成比は特に問わない。また、In と Ga と Zn 以外の元素を含んでいてもよい。このとき、酸化物半導体膜の化学量論比に対し、O を過剰にすると好ましい。O を過剰にすることで酸化物半導体膜の酸素欠損に起因するキャリアの生成を抑制することができる。

【0118】

なお、一例として、酸化物半導体膜として In-Zn-O 系の材料を用いる場合、原子数比で、 $\text{In}/\text{Zn} = 0.5$ 以上 5.0 以下、好ましくは $\text{In}/\text{Zn} = 1$ 以上 2.0 以下、さらに好ましくは $\text{In}/\text{Zn} = 3$ 以上 3.0 以下とする。Zn の原子数比を前述の範囲とすることで、トランジスタ 100 の電界効果移動度を向上させることができる。ここで、化合物の原子数比が $\text{In} : \text{Zn} : \text{O} = X : Y : Z$ のとき、 $Z > 1.5X + Y$ とすると好ましい。

【0119】

酸化物半導体膜として、化学式 $\text{InMO}_3 \cdot (\text{ZnO})_m$ ($m > 0$) で表記される材料を用いてもよい。ここで、M は、Ga、Al、Mn および Co から選ばれた一または複数の金属元素を示す。例えば、M として、Ga、Ga および Al、Ga および Mn または Ga および Co などを用いてもよい。

【0120】

酸化物半導体膜は、単結晶、多結晶（ポリクリスタルともいう。）または非晶質などの状態をとる。好ましくは、酸化物半導体膜は、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) 膜とする。

【0121】

CAAC-OS 膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-OS 膜は、非晶質相に結晶部および非晶質部を有する結晶-非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が 100 nm 未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡 (TEM: Transmission Electron Microscope) による観察像では、CAAC-OS 膜に含まれる非晶質部と結晶部との境界は明確ではない。また、TEM によって CAAC-OS 膜には粒界（グ

10

20

30

40

50

レインバウンダリーともいう。)は確認できない。そのため、C A A C - O S 膜は、粒界に起因する電子移動度の低下が抑制される。

【0122】

C A A C - O S 膜に含まれる結晶部は、c 軸が C A A C - O S 膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつ a b 面に垂直な方向から見て三角形状または六角形状の原子配列を有し、c 軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれ a 軸および b 軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、 85° 以上 95° 以下の範囲も含まれることとする。また、単に平行と記載する場合、 5° 以上 5° 以下の範囲も含まれることとする。なお、酸化物半導体膜を構成する酸素の一部は窒素で置換されてもよい。

10

【0123】

なお、C A A C - O S 膜において、結晶部の分布が一様でなくてもよい。例えば、C A A C - O S 膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、C A A C - O S 膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【0124】

C A A C - O S 膜に含まれる結晶部の c 軸は、C A A C - O S 膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、C A A C - O S 膜の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。なお、結晶部の c 軸の方向は、C A A C - O S 膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。

20

【0125】

C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動を低減することが可能である。よって、当該トランジスタは、信頼性が高い。

【0126】

ゲート絶縁膜 105 上に形成する酸化物半導体膜 106 は、スパッタリング法、分子線エピタキシー法、原子層堆積法またはパルスレーザー蒸着法により形成する。ここでは、スパッタリング法により形成する。なお、酸化物半導体膜 106 は、厚さ 1 nm 以上 50 nm 以下で形成すればよい。

30

【0127】

酸化物半導体膜 106 を C A A C - O S とする際には、基板 101 を加熱しながら酸化物半導体膜 106 を形成すればよく、基板 101 を加熱する温度としては、 150°C 以上 450°C 以下とすればよく、好ましくは基板温度が 200°C 以上 350°C 以下とする。なお、酸化物半導体膜の形成時に、基板を加熱する温度を高くすることで、非晶質な部分に対して結晶部分の占める割合の多い C A A C - O S とすることができる。

【0128】

スパッタリング法により酸化物半導体膜 106 を形成する際、できる限り酸化物半導体膜 106 に含まれる水素濃度を低減させることが好ましい。水素濃度を低減させるには、スパッタリング装置の処理室内に供給する雰囲気ガスとして、水素、水、水酸基または水素化物などの不純物が除去された高純度の希ガス（代表的にはアルゴン）、酸素、および希ガスと酸素との混合ガスを適宜用いる。さらには、該処理室の排気は、水の排気能力の高いクライオポンプおよび水素の排気能力の高いスパッタイオンポンプを組み合わせ用いればよい。

40

【0129】

上記のようにすることで、水素の混入が低減された酸化物半導体膜 106 を形成することができる。なお、上記スパッタリング装置を用いても、酸化物半導体膜 106 は少なからず窒素を含んで形成される。例えば、二次イオン質量分析法 (S I M S : S e c o n d

50

ary Ion Mass Spectroscopy) で測定される酸化物半導体膜 106 の窒素濃度は、 $5 \times 10^{18} \text{ cm}^{-3}$ 未満となる。

【0130】

また、ゲート絶縁膜 105 および酸化物半導体膜 106 は、真空下で連続して形成してもよい。例えば、基板 101 上のゲート電極 104 の表面に付着した水素を含む不純物を、熱処理またはプラズマ処理で除去した後、大気に暴露することなくゲート絶縁膜 105 を形成し、続けて大気に暴露することなく酸化物半導体膜 106 を形成してもよい。このようにすることで、ゲート電極 104 の表面に付着した水素を含む不純物を低減し、また、ゲート絶縁膜 105 と酸化物半導体膜 106 との界面に、大気成分が付着することを抑制できる。その結果、電気特性が良好で、信頼性の高いトランジスタ 100 を作製することができる。

10

【0131】

次に、フォトリソグラフィ工程によりレジストマスクを酸化物半導体膜 106 上に形成し、該レジストマスクを用いて、酸化物半導体膜 106 を所望の形状にエッチングし、島状の酸化物半導体膜 107 を形成する (図 7 (A) 参照)。該エッチングは、ドライエッチングまたはウェットエッチングで行えばよい。

【0132】

酸化物半導体膜 107 には、酸素欠損に起因して電荷が生じている場合がある。これは、酸化物半導体膜 106 を形成する際、または酸化物半導体膜 107 を形成する際に生じる。一般に酸化物半導体における酸素欠損は、酸素欠損の一部がドナーとなり、キャリアである電子を生じる。つまり、該電子の生成は、トランジスタ 100 のしきい値電圧をマイナス方向に変動させる要因となる。そして、酸化物半導体膜 107 において、該電子の生成は、酸化物半導体膜 106 (または酸化物半導体膜 107) とゲート絶縁膜 105 との界面近傍で生じる酸素欠損において顕著である。

20

【0133】

そこで、酸化物半導体膜 107 に、第 1 の加熱処理を行い、酸化物半導体膜 111 を形成する (図 7 (B) 参照)。なお、酸化物半導体膜 111 は、図 1 に示したトランジスタ 100 の半導体膜 108 に相当する。さらに、半導体膜 108 は、酸化物半導体膜 111 のかわりに半導体特性を示す他の材料を適用してもよい。例えば、該材料としては、単結晶シリコン膜もしくは多結晶シリコン膜に代表されるように結晶性を有するシリコン半導体膜などがある。

30

【0134】

第 1 の加熱処理は、酸化物半導体膜 107 から水素 (水、水酸基または水素化物を含む) を放出させると共に、ゲート絶縁膜 105 に含まれる酸素の一部を放出し、酸化物半導体膜 107 中、およびゲート絶縁膜 105 と酸化物半導体膜 107 との界面近傍に酸素を拡散させる。さらに、ゲート絶縁膜 105 と酸化物半導体膜 107 と界面準位および酸化物半導体膜 107 の酸素欠損を低減し、完成したトランジスタ 100 の酸化物半導体膜 111 とゲート絶縁膜 105 との界面におけるキャリア捕獲の影響を小さくすることができる。従って、第 1 の加熱処理は、トランジスタ 100 のしきい値電圧がマイナス方向へ変動することを抑制することができる。

40

【0135】

第 1 の加熱処理の温度は、上記を可能にする温度であり、具体的には、 150°C 以上基板歪み点温度未満、好ましくは 250°C 以上 450°C 以下、さらに好ましくは 300°C 以上 450°C 以下とし、酸化性雰囲気または不活性雰囲気で行う。ここで、酸化性雰囲気は、酸素、オゾンまたは窒化酸素などの酸化性ガスを 10 ppm 以上含有する雰囲気をいう。また、不活性雰囲気は、前述の酸化性ガスが 10 ppm 未満であり、その他、窒素または希ガスで充填された雰囲気をいう。処理時間は 3 分～24 時間とする。24 時間を超える熱処理は生産性の低下を招くため好ましくない。

【0136】

第 1 の加熱処理に用いる加熱処理装置に特別な限定はなく、抵抗発熱体などの発熱体か

50

らの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、電気炉や、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等のRTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。

【0137】

さらに、酸化物半導体膜107中の水素はドナーとなりキャリアである電子を生じる。第1の加熱処理によって、酸化物半導体膜107は膜中の水素濃度が低減され、高純度化された酸化物半導体膜111となる。酸化物半導体膜111の水素濃度は、 $5 \times 10^{18} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{18} \text{ cm}^{-3}$ 以下、より好ましくは $5 \times 10^{17} \text{ cm}^{-3}$ 未満、さらに好ましくは $1 \times 10^{16} \text{ cm}^{-3}$ 以下である。なお、酸化物半導体膜111中の水素濃度は、二次イオン質量分析法で測定されるものである。

【0138】

第1の加熱処理によって、水素濃度が十分に低減されて高純度化され、且つ十分な酸素を供給されて酸素欠損に起因するエネルギーギャップ中の欠陥準位が低減された酸化物半導体膜111を用いることで、トランジスタ100のオフ電流を低減させることができる。具体的には、室温（25℃）でのオフ電流（ここでは、チャネル長が3μm、チャネル幅が1μmのトランジスタにおける値）は100zA（1zA（zeptoアンペア）は $1 \times 10^{-21} \text{ A}$ ）以下、望ましくは10zA以下となる。なお、LiやNaなどのアルカリ金属は、不純物であるため含有量を少なくすることが好ましく、酸化物半導体膜111中に $2 \times 10^{16} \text{ cm}^{-3}$ 以下、好ましくは、 $1 \times 10^{15} \text{ cm}^{-3}$ 以下の濃度とことが好ましい。さらに、アルカリ土類金属も不純物であるため含有量を少なくすることが好ましい。

【0139】

なお、トランジスタ100の作製工程において、第1の加熱処理を行う順番は、酸化物半導体膜107を形成した後だけではなく、酸化物半導体膜106を形成した後であれば、いつ行ってもよい。さらに、第1の加熱処理は複数回行ってもよい。例えば、酸化物半導体膜107を形成した後に1回行うだけではなく、酸化物半導体膜106を形成した後と、酸化物半導体膜107を形成した後の2回行ってもよい。

【0140】

まず、ゲート絶縁膜105および酸化物半導体膜111上に導電膜を形成する。該導電膜は、ゲート電極104を形成する際に用いる導電膜102に適用可能な導電材料を用いて、単層または積層して形成する。また、該導電膜の厚さは、特に限定はなく、上記導電材料の電気抵抗や、作製工程にかかる時間を考慮し、適宜決めることができる。例えば、10nm以上500nm以下で形成すればよい。なお、該導電膜を形成する方法は導電膜102と同様とすればよい。

【0141】

次いで、形成した導電膜上にフォトリソグラフィ工程によりレジストマスクを形成し、該レジストマスクを用いて該導電膜をエッチングし、一対の電極109a、109bを形成する（図8（A）参照）。該エッチングはドライエッチングまたはウェットエッチングで行えばよい。なお、一対の電極109a、109bはソース電極およびドレイン電極として機能し、ソース配線およびドレイン配線としても機能する。

【0142】

上記工程により、トランジスタ100を形成することができる。なお、ここまでの作製工程の後に、保護絶縁膜110を形成してもよい（図8（B）参照）。保護絶縁膜110はゲート絶縁膜105と同様とすればよい。さらに、保護絶縁膜110を形成した後に第2の加熱処理を行ってもよい。第2の加熱処理を行うことで、ゲート絶縁膜105中の酸

10

20

30

40

50

素の一部および保護絶縁膜 110 中の酸素の一部を、酸化物半導体膜 111 中、およびゲート絶縁膜 105 と酸化物半導体膜 111 との界面近傍、酸化物半導体膜 111 と保護絶縁膜 110 との界面近傍に拡散させることができ、酸化物半導体膜 111 の酸素欠損を補うことができるため、トランジスタ 100 の電気特性を向上させることができる。なお、第 2 の加熱処理における装置および加熱条件は、第 1 の加熱処理と同様とすればよい。

【0143】

以上より、トランジスタ 100 のゲート電極 104 には一对の第 1 の突起 120 a、120 b および第 2 の突起 130 が設けられていることにより、上面図における一对の電極 109 a、109 b 間の距離である見かけ上のチャンネル長 L に対して、実効上のチャンネル長 L_{eff} を 3 倍以上、好ましくは 5 倍以上、さらに好ましくは 10 倍以上の長さとする事ができる。さらに、上面図における一对の電極 109 a、109 b 間の幅である見かけ上のチャンネル幅 W に対して、実効上のチャンネル幅 W_{eff} を 3 倍以上、好ましくは 5 倍以上、さらに好ましくは 10 倍以上の長さとする事ができる。そのため、トランジスタのサイズを縮小しても短チャンネル効果の影響が低減され、半導体装置の集積度を高めることが可能となる。また、コストが低く、歩留まりの高い半導体装置を提供することができる。

10

【0144】

なお、本実施の形態の構成は、他の実施の形態の構成を適宜、組み合わせることができる。

【0145】

(実施の形態 2)

本実施の形態では、実施の形態 1 に示したトランジスタ 100 とは異なる構造のトランジスタについて説明する。

20

【0146】

本発明の一態様は、ゲート電極に設けられる一对の第 1 の突起が複数であるボトムゲート構造のトランジスタである。そこで、本実施の形態では、ゲート電極 104 に一对の第 1 の突起 120 a、120 b が複数設けられている形態について説明する。また、本実施の形態は、実施の形態 1 と比較して一对の第 1 の突起 120 a、120 b を設ける数が異なるだけであるため、実施の形態 1 の説明は、適宜参照することができる。

【0147】

本実施の形態は、一对の第 1 の突起 120 a、120 b がゲート電極 104 に 3 組設けられているトランジスタ 200 を例に説明する。

30

【0148】

図 9 (A) はトランジスタ 200 の上面図である。

【0149】

トランジスタ 200 は、基板 101 に、3 組設けられた一对の第 1 の突起 120 a、120 b と、該一对の第 1 の突起 120 a、120 b の間に設けられた第 2 の突起 130 とを有するゲート電極 104 と、ゲート電極 104 を覆うゲート絶縁膜 105 と、ゲート絶縁膜 105 と接して、且つ該一对の第 1 の突起 120 a、120 b および第 2 の突起 130 に重畳する半導体膜 108 と、半導体膜 108 と接して、且つ該一对の第 1 の突起 120 a、120 b と重畳する一对の電極 109 a、109 b と、を有するボトムゲート構造のトランジスタである。なお、図 9 (A) において、ゲート絶縁膜 105 は、便宜上、図示していない。

40

【0150】

さらに、チャンネル幅方向において、半導体膜 108 の側端は、ゲート電極 104 に 3 組設けられた一对の第 1 の突起 120 a、120 b のうち最も外側に配置される一对の第 1 の突起 120 a、120 b の頂面上に位置している。

【0151】

また、チャンネル幅方向において、一对の電極 109 a、109 b の側端は、ゲート電極 104 に 3 組設けられた一对の第 1 の突起 120 a、120 b のうち最も外側に配置される一对の第 1 の突起 120 a、120 b の頂面上に位置している。

50

【0152】

ゲート電極104に設けられた3組の一对の第1の突起120a、120bの全ては、チャンネル幅方向に延伸して設けられた第2の突起130を挟んで対向して設けられている。図9(B)は図9(A)に示した一点鎖線A-B間におけるトランジスタ200の断面図である。図9(B)に示すように、トランジスタ200のA-B断面は、トランジスタ100と同様である。

【0153】

トランジスタ200の半導体膜108は、ゲート電極104に設けられた3組の一对の第1の突起120a、120bおよび第2の突起130の形状に沿って形成される。従って、トランジスタ200は、三次元状のチャンネル領域が形成され、トランジスタ200動作時に機能する実効上のチャンネル長Lは、図9(A)の一对の電極109a、109b間の距離に相当する見かけ上のチャンネル長に対して、少なくとも一对の第1の突起120a、120bおよび第2の突起130の高さHの分は、長くなる(図9(B)参照)。

【0154】

図9(C)は、図9(A)に示した一点鎖線C-D間におけるトランジスタ200の断面図である。

【0155】

図9(C)に示すように、トランジスタ200のC-D断面は、基板101と、一对の第1の突起120a、120bのうち的一方である第1の突起120aが離間して3つ設けられたゲート電極104と、ゲート電極104を覆うゲート絶縁膜105と、ゲート絶縁膜105と接して、且つゲート電極104およびゲート電極104に設けられた全ての第1の突起120aと重畳する半導体膜108と、半導体膜108と接して、且つゲート電極104に設けられた全ての第1の突起120aと重畳する一对の電極109a、109bのうち的一方である電極109aと、を有する。

【0156】

トランジスタ200の半導体膜108は、ゲート電極104に設けられた3組の一对の第1の突起120a、120bの形状に沿って形成される。従って、トランジスタ200は、三次元状のチャンネル領域が形成され、トランジスタ200の動作時に機能する実効上のチャンネル幅Wは、図9(A)の一对の電極109a、109bの幅に相当する見かけ上のチャンネル幅に対して、少なくとも形状に沿って形成された一对の第1の突起120a、120bの高さHの分は、長くなる(図9(C)参照)。

【0157】

実施の形態1と同様に、見かけ上のチャンネル幅および見かけ上のチャンネル長に対して、実効上のチャンネル幅Wおよび実効上のチャンネル長Lが、3倍以上、好ましくは5倍以上、さらに好ましくは10倍以上の長さとなるように、3組の一对の第1の突起120a、120bおよび第2の突起130の高さHを選択する。なお、一对の第1の突起120a、120bおよび第2の突起130は、同じ作製工程で形成されることから、一对の第1の突起120a、120bおよび第2の突起130の高さHは同じである。

【0158】

また、ゲート電極104に設けられる一对の第1の突起の数は、特に限定はなく、作製するトランジスタの大きさに合わせて適宜決めればよい。なお、ゲート電極に設ける一对の第1の突起だけでなく、後述の実施の形態3で説明するように、第2の突起を複数設けてもよい。このように、一对の第1の突起および第2の突起を複数設けることによって、一組一組(一つ一つ)の一对の第1の突起および第2の突起の高さを低くできるため、トランジスタの作製工程において形成される膜の被覆性を高めることができる。

【0159】

以上より、トランジスタ200は、トランジスタのサイズを縮小させつつ、実効上のチャンネル長Lを長くさせて短チャンネル効果を抑制することができ、さらに実効上のチャンネル幅Wも長くさせてオン電流を増大させることができるため、トランジスタのオン・オフ比を十分に確保された良好なスイッチング特性を有するトランジスタである。

【0160】

ここで、トランジスタ200の作製方法について説明する。

【0161】

基板101に実施の形態1と同様にして導電膜102を形成する（図10（A）参照）。

【0162】

次に、ハーフトーンマスクを用いて、3組の一对の第1の突起120a、120bおよび第2の突起130が形成される領域の厚さは厚く、それ以外の領域の厚さは薄くなるようにレジストマスク150を形成する（図10（B）参照）。なお、導電膜102において、ゲート電極104が形成されない領域には、レジストマスク150も形成されないようにする。一对の第1の突起120a、120bと第2の突起130との間の距離を考慮して、レジストマスク150の薄く形成される領域の厚さを決定する。

10

【0163】

なお、ゲート電極104に設ける一对の第1の突起120a、120bの数をさらに増やす場合は、多階調マスクを用いて形成する厚さの異なる領域を有するレジストマスクにおいて、設ける一对の第1の突起120a、120bの数だけ、厚さの厚い領域を形成し、それ以外の領域の厚さは薄くなるように形成すればよい。

【0164】

次に、レジストマスク150を用いて、導電膜102の一部を選択的に除去（エッチング）する。このエッチングにより、島状に加工された導電膜103を形成する。なお、該エッチングはドライエッチングで行えばよい。

20

【0165】

次に、レジストマスク150を縮小（後退）させて、のちに一对の第1の突起120a、120bと第2の突起130との間隔となる部分において分離されたレジストマスク151を形成する（図10（C）参照）。レジストマスク150の縮小（後退）には、酸素プラズマによるアッシングを用いればよい。

【0166】

次に、レジストマスク151を用いて島状に加工された導電膜103をエッチングし、一对の第1の突起120a、120bおよび第2の突起130を形成し、ゲート電極104を形成する。そして、該エッチングの後にレジストマスク151を除去する（図10（D）参照）。

30

【0167】

以降の作製工程は、トランジスタ100と同様とすればトランジスタ200を作製することができる（図6乃至図8参照）。

【0168】

以上より、本実施の形態に示すトランジスタ200は、ゲート電極104に複数の一对の第1の突起120a、120bおよび1つの第2の突起130を設けることで、見かけ上のチャネル長に対して、実効上のチャネル長 L を3倍以上、好ましくは5倍以上、さらに好ましくは10倍以上の長さとすることができる。さらに、見かけ上のチャネル幅に対して、実効上のチャネル幅 W を3倍以上、好ましくは5倍以上、さらに好ましくは10倍以上の長さとすることができる。そのため、トランジスタのサイズを縮小しても短チャネル効果の影響が低減され、半導体装置の集積度を高めることが可能となる。また、コストが低く、歩留まりの高い半導体装置を提供することができる。

40

【0169】

なお、本実施の形態の構成は、他の実施の形態の構成を適宜、組み合わせることができる。

【0170】

（実施の形態3）

本実施の形態では、先の実施の形態に示したトランジスタとは異なる構造のトランジスタについて説明する。

50

【0171】

本発明の一態様は、ゲート電極に設けられる第2の突起が複数であるボトムゲート構造のトランジスタである。そこで、本実施の形態では、ゲート電極104に第2の突起130が複数設けられている形態について説明する。また、本実施の形態は、実施の形態1と比較して第2の突起130を設ける数が異なるだけであるため、実施の形態1の説明を適宜参照することができる。

【0172】

本実施の形態は、第2の突起130がゲート電極104に2つ設けられているトランジスタ300を例に説明する。

【0173】

図11(A)はトランジスタ300の上面図である。

【0174】

トランジスタ300は、基板101に、一对の第1の突起120a、120bと、該一对の第1の突起120a、120bの間に2つ設けられた第2の突起130とを有するゲート電極104と、ゲート電極104を覆うゲート絶縁膜105と、ゲート絶縁膜105と接して、且つ一对の第1の突起120a、120bおよび該第2の突起130に重畳する半導体膜108と、半導体膜108と接して、且つ該一对の第1の突起120a、120bと重畳する一对の電極109a、109bと、を有するボトムゲート構造のトランジスタである。なお、図11(A)において、ゲート絶縁膜105は、便宜上、図示していない。

【0175】

さらに、チャンネル幅方向において、半導体膜108の側端は、ゲート電極104に設けられた一对の第1の突起120a、120bの頂面より外側に位置する。

【0176】

また、チャンネル幅方向において、一对の電極109a、109bの側端は、ゲート電極104に設けられた一对の第1の突起120a、120bの頂面より外側に位置する。

【0177】

ゲート電極104に設けられた一对の第1の突起120a、120bは、チャンネル幅方向に延伸して2つ設けられた第2の突起130を挟んで対向して設けられている。

【0178】

図11(B)は図11(A)に示した一点鎖線A-B間におけるトランジスタ300の断面図である。

【0179】

図11(B)に示すように、トランジスタ300のA-B断面は、基板101と、一对の第1の突起120a、120bおよび一对の第1の突起120a、120bの間に設けられた2つの第2の突起130とを有するゲート電極104と、ゲート電極104を覆うゲート絶縁膜105と、ゲート絶縁膜105と接して、且つゲート電極104、一对の第1の突起120a、120b、および全ての第2の突起130に重畳する半導体膜108と、半導体膜108と接して、且つ一对の第1の突起120a、120bと重畳する一对の電極109a、109bと、を有する。

【0180】

トランジスタ300の半導体膜108は、ゲート電極104に設けられた一对の第1の突起120a、120bおよび2つの第2の突起130の形状に沿って形成される。従って、トランジスタ300は、三次元状のチャンネル領域が形成され、トランジスタ300動作時に機能する実効上のチャンネル長Lは、図11(A)の一对の電極109a、109b間の距離に相当する見かけ上のチャンネル長に対して、少なくとも一对の第1の突起120a、120bおよび第2の突起130の高さHの分は、長くなる(図11(B)参照)。

【0181】

図11(C)は、図11(A)に示した一点鎖線C-D間におけるトランジスタ300の断面図である。なお、図11(C)に示すように、トランジスタ300のC-D断面は

10

20

30

40

50

、トランジスタ 100 と同様である。

【0182】

トランジスタ 300 の半導体膜 108 は、ゲート電極 104 に設けられた一对の第 1 の突起 120 a、120 b の形状に沿って形成される。従って、トランジスタ 300 は、三次元状のチャネル領域が形成され、トランジスタ 300 の動作時に機能する実効上のチャネル幅 W は、図 11 (A) の一对の電極 109 a、109 b の幅に相当する見かけ上のチャネル幅に対して、少なくとも一对の第 1 の突起 120 a、120 b の高さ H の分は、長くなる (図 11 (C) 参照)。

【0183】

実施の形態 1 と同様に、見かけ上のチャネル幅および見かけ上のチャネル長に対して、実効上のチャネル幅 W および見かけ上のチャネル長 L が、3 倍以上、好ましくは 5 倍以上、さらに好ましくは 10 倍以上の長さとなるように、一对の第 1 の突起 120 a、120 b および 2 つの第 2 の突起 130 の高さ H を選択する。なお、一对の第 1 の突起 120 a、120 b および第 2 の突起 130 は、同じ作製工程で形成されることから、一对の第 1 の突起 120 a、120 b および第 2 の突起 130 の高さは同じである。

【0184】

また、ゲート電極に設けられる第 2 の突起の数は、特に限定はなく、作製するトランジスタの大きさに合わせて適宜決めればよい。なお、ゲート電極に設ける第 2 の突起だけでなく、実施の形態 2 で説明したように、一对の第 1 の突起を複数設けてもよい。このように、一对の第 1 の突起および第 2 の突起を複数設けることによって、一組一組 (一つ一つ) の一对の第 1 の突起および第 2 の突起の高さを低くできるため、トランジスタの作製工程において形成される膜の被覆性を高めることができる。

【0185】

以上から、トランジスタ 300 は、トランジスタのサイズを縮小させつつ、実効上のチャネル長 L を長くさせて短チャネル効果を抑制することができ、さらに実効上のチャネル幅 W も長くさせてオン電流を増大させることができるため、トランジスタのオン・オフ比を十分に確保された良好なスイッチング特性を有するトランジスタである。

【0186】

ここで、トランジスタ 300 の作製方法について説明する。なお、トランジスタ 300 の C-D 断面は、トランジスタ 100 と同様であるため、トランジスタ 300 の A-B 断面を例に説明する。

【0187】

基板 101 に実施の形態 1 と同様にして導電膜 102 を形成する (図 12 (A) 参照)。

【0188】

次に、ハーフトーンマスクを用いて、一对の第 1 の突起 120 a、120 b および 2 つの第 2 の突起 130 が形成される領域の厚さは厚く、それ以外の領域の厚さは薄くなるようにレジストマスク 150 を形成する (図 12 (B) 参照)。なお、導電膜 102 において、ゲート電極 104 が形成されない領域には、レジストマスク 150 も形成されないようにする。一对の第 1 の突起 120 a、120 b と第 2 の突起 130 との間の距離を考慮して、レジストマスク 150 の薄く形成される領域の厚さを決定する。

【0189】

なお、ゲート電極 104 に設ける第 2 の突起 130 の数をさらに増やす場合は、多階調マスクを用いて形成する厚さの異なる領域を有するレジストマスクにおいて、設ける第 2 の突起 130 の数だけ、厚さの厚い領域を形成し、それ以外の領域の厚さは薄くなるように形成すればよい。

【0190】

次に、レジストマスク 150 を用いて、導電膜 102 の一部を選択的に除去 (エッチング) する。このエッチングにより、島状に加工された導電膜 103 を形成する。なお、該エッチングはドライエッチングで行えばよい。

【0191】

次に、レジストマスク150を縮小（後退）させて、のちに一对の第1の突起120a、120bと第2の突起130との間隔となる部分において分離されたレジストマスク151を形成する（図12（C）参照）。レジストマスク150の縮小（後退）には、酸素プラズマによるアッシングを用いればよい。

【0192】

次に、レジストマスク151を用いて島状に加工された導電膜103をエッチングし、一对の第1の突起120a、120bおよび第2の突起130を形成し、ゲート電極104を形成する。そして、該エッチングの後にレジストマスク151を除去する（図12（D）参照）。

10

【0193】

以降の作製工程は、トランジスタ100と同様とすればトランジスタ300を作製することができる（図6乃至図8参照）。

【0194】

以上より、本実施の形態に示すトランジスタ300は、ゲート電極104に1つの一对の第1の突起120a、120bおよび複数の第2の突起130を設けることで、見かけ上のチャネル長に対して、実効上のチャネル長 L を3倍以上、好ましくは5倍以上、さらに好ましくは10倍以上の長さとすることができる。さらに、見かけ上のチャネル幅に対して、実効上のチャネル幅 W を3倍以上、好ましくは5倍以上、さらに好ましくは10倍以上の長さとすることができる。そのため、トランジスタのサイズを縮小しても短チャネル効果の影響が低減され、半導体装置の集積度を高めることが可能となる。また、コストが低く、歩留まりの高い半導体装置を提供することができる。

20

【0195】

なお、本実施の形態の構成は、他の実施の形態の構成を適宜、組み合わせることができる。

【0196】

（実施の形態4）

本実施の形態では、先の実施の形態に示したトランジスタとは異なる構造のトランジスタについて説明する。

【0197】

トランジスタ100において、ゲート電極104は、一对の第1の突起120a、120b、および第2の突起130を含む領域と、一对の第1の突起120a、120b、および第2の突起130以外の領域と、を有しているものとみなすことができる。そこで、本実施の形態では、上記2つの異なる領域において、それぞれの領域が互いに異なる導電材料によって構成される形態について説明する。また、本実施の形態は、実施の形態1と比較して一对の第1の突起120a、120bおよび第2の突起130を構成する導電材料が異なるだけであるため、実施の形態1で説明したことは、本実施の形態に適用することができる。

30

【0198】

本実施の形態は、異なる種類の導電材料を用いて、一对の第1の突起120a、120bおよび第2の突起130が形成されたゲート電極104を有するトランジスタ400を例に説明する。

40

【0199】

図13（A）はトランジスタ400の上面図である。

【0200】

トランジスタ400は、基板101に、一对の第1の突起120a、120bと、一对の第1の突起120a、120bの間に設けられる第2の突起130とを有するゲート電極104と、ゲート電極104を覆うゲート絶縁膜105と、ゲート絶縁膜105と接して、且つ一对の第1の突起120a、120bおよび第2の突起130に重畳する半導体膜108と、半導体膜108と接して、且つ一对の第1の突起120a、120bと重畳

50

する一対の電極 109a、109b と、を有するボトムゲート構造のトランジスタである。なお、図 13 (A) において、ゲート絶縁膜 105 は、便宜上、図示していない。

【0201】

さらに、チャンネル幅方向において、半導体膜 108 の側端は、ゲート電極 104 に設けられた一対の第 1 の突起 120a、120b の頂面より外側に位置する。

【0202】

また、チャンネル幅方向において、一対の電極 109a、109b の側端は、ゲート電極 104 に設けられた一対の第 1 の突起 120a、120b の頂面より外側に位置する。

【0203】

ゲート電極 104 に設けられた一対の第 1 の突起 120a、120b は、チャンネル幅方向に延伸して設けられた第 2 の突起 130 を挟んで対向して設けられている。

10

【0204】

図 13 (B) は図 13 (A) に示した一点鎖線 A-B 間におけるトランジスタ 400 の断面図である。

【0205】

図 13 (B) に示すように、トランジスタ 400 の A-B 断面は、基板 101 と、ゲート電極 104 と、ゲート電極 104 を覆うゲート絶縁膜 105 と、ゲート絶縁膜 105 と接して、且つゲート電極 104、該一対の第 1 の突起 120a、120b、および該第 2 の突起 130 に重畳する半導体膜 108 と、半導体膜 108 と接して、且つ一対の第 1 の突起 120a、120b と重畳する一対の電極 109a、109b と、を有する。

20

【0206】

さらにゲート電極 104 は、領域 104a と、領域 104a に接して且つ分離して設けられた一対の第 1 の突起 120a、120b および第 2 の突起 130 を含む領域 104b とを有している。そして、領域 104a および領域 104b は互いに異なる導電材料から構成されており、領域 104a は第 1 の導電材料、領域 104b は第 2 の導電材料で構成されている。

【0207】

トランジスタ 400 の半導体膜 108 は、ゲート電極 104 のうち、領域 104b である一対の第 1 の突起 120a、120b および第 2 の突起 130 の形状に沿って形成される。従って、トランジスタ 400 は、三次元状のチャンネル領域が形成され、トランジスタ 400 動作時に機能する実効上のチャンネル長 L は、図 13 (A) の一対の電極 109a、109b 間の距離に相当する見かけ上のチャンネル長に対して、少なくとも一対の第 1 の突起 120a、120b および第 2 の突起 130 の高さ H の分は、長くなる (図 13 (B) 参照)。

30

【0208】

図 13 (C) は図 13 (A) に示した一点鎖線 C-D 間におけるトランジスタ 400 の断面図である。

【0209】

図 13 (C) に示すように、トランジスタ 400 の C-D 断面は、基板 101 と、ゲート電極 104 と、ゲート電極 104 を覆うゲート絶縁膜 105 と、ゲート絶縁膜 105 と接して、且つゲート電極 104、および該第 1 の突起 120a に重畳する半導体膜 108 と、半導体膜 108 と接して、且つ該第 1 の突起 120a と重畳する一対の電極 109a、109b のうち一方の電極 109a と、を有する。

40

【0210】

さらにゲート電極 104 は、第 1 の導電材料で構成された領域 104a 上に領域 104b の一部であり、第 2 の導電材料で構成された一対の第 1 の突起 120a、120b のうち一方である第 1 の突起 120a を有している。

【0211】

トランジスタ 400 の半導体膜 108 は、ゲート電極 104 のうち、領域 104b の一部である一対の第 1 の突起 120a、120b の形状に沿って形成される。従って、ト

50

ンジスタ400は、三次元状のチャネル領域が形成され、トランジスタ400の動作時に機能する実効上のチャネル幅Wは、図13(A)の一对の電極109a、109bの幅に相当する見かけ上のチャネル幅に対して、少なくとも一对の第1の突起120a、120bの高さHの分は、長くなる(図13(C)参照。))。

【0212】

実施の形態1と同様に、見かけ上のチャネル幅および見かけ上のチャネル長に対して、実効上のチャネル幅Wおよび見かけ上のチャネル長Lが、3倍以上、好ましくは5倍以上、さらに好ましくは10倍以上の長さとなるように、一对の第1の突起120a、120bおよび第2の突起130の高さHを選択する。なお、一对の第1の突起120a、109bおよび第2の突起130は、同じ作製工程で形成されることから、一对の第1の突起120a、120bおよび第2の突起130の高さは同じである。

10

【0213】

また、ゲート電極に設けられる一对の第1の突起の数および第2の突起の数は、実施の形態2および実施の形態3で説明したように複数にしてもよく、作製するトランジスタの大きさに合わせて適宜決めればよい。一对の第1の突起および第2の突起を複数設けることによって、一組一組(一つ一つ)の一对の第1の突起および第2の突起の高さを低くできるため、トランジスタの作製工程において形成される膜の被覆性を高めることができる。

【0214】

以上から、トランジスタ400は、トランジスタのサイズを縮小させつつ、実効上のチャネル長Lを長くさせて短チャネル効果を抑制することができ、さらに実効上のチャネル幅Wも長くさせてオン電流を増大させることができるため、トランジスタのオン・オフ比を十分に確保された良好なスイッチング特性を有するトランジスタである。

20

【0215】

ここで、トランジスタ400の作製方法について説明する。なお、トランジスタ400のA-B断面およびC-D断面は、トランジスタ100と同様であるため、トランジスタ400のA-B断面を例に説明する。

【0216】

基板101に第1の導電材料を用いて導電膜102aを形成する。導電膜102aの上に第2の導電材料を用いて、導電膜102bを形成する(図14(A)参照)。導電膜102aおよび導電膜102b合わせて、実施の形態1に記載した導電膜102の厚さとなるように形成すればよい。なお、導電膜102aの厚さは、導電膜102bの厚さより薄くてもよい。

30

【0217】

第1の導電材料および第2の導電材料ともに、実施の形態1で説明した導電膜102に適用可能な導電材料と同様であるが、第1の導電材料に、実施の形態1で説明した金属の酸化物を用いる場合は、該酸化物膜は金属膜と比べて抵抗が高いため、ゲート電極104全体の抵抗を低減するために、第2の導電材料としてシート抵抗が $10\Omega/\text{sq}$ 以下の低抵抗なものを用いることが好ましい。また、第1の導電材料および第2の導電材料としては、仕事関数差が0.6eV以内、好ましくは0.2eV以内、さらに好ましくは0.1eV以内となるものを用いることが好ましい。

40

【0218】

図2(B)と同様にして、ハーフトーンマスクを用いて、一对の第1の突起120a、120bおよび第2の突起130が形成される領域の厚さは厚く、それ以外の領域の厚さは薄くなるようにレジストマスク150を形成する(図14(B)参照)。なお、導電膜102において、ゲート電極104が形成されない領域には、レジストマスク150も形成されないようにする。一对の第1の突起120a、120bと第2の突起130との間の距離を考慮して、レジストマスク150の薄く形成される領域の厚さを決定する。

【0219】

なお、ゲート電極104に設ける一对の第1の突起120a、120bおよび第2の突

50

起 1 3 0 の数を複数にする場合は、多階調マスクを用いて形成する厚さの異なる領域を有するレジストマスクにおいて、設ける一对の第 1 の突起 1 2 0 a、1 2 0 b および第 2 の突起 1 3 0 の数だけ、厚さの厚い領域を形成し、それ以外の領域の厚さは薄くなるように形成すればよい。

【0 2 2 0】

次に、レジストマスク 1 5 0 を用いて、導電膜 1 0 2 a および導電膜 1 0 2 b の一部を選択的に除去（エッチング）する。このエッチングにより、島状に加工された導電膜 1 0 3 a および島状に加工された導電膜 1 0 3 b を形成する。なお、該エッチングは、導電膜 1 0 2 a および導電膜 1 0 2 b の両方ともエッチングできるエッチング条件を用いて、ドライエッチングを行えばよい。

10

【0 2 2 1】

次に、レジストマスク 1 5 0 を縮小（後退）させて、のちに一对の第 1 の突起 1 2 0 a、1 2 0 b と第 2 の突起 1 3 0 との間隔となる部分において分離されたレジストマスク 1 5 1 を形成する（図 1 4（C）参照）。レジストマスク 1 5 0 の縮小（後退）には、酸素プラズマによるアッシングを用いればよい。

【0 2 2 2】

次に、レジストマスク 1 5 1 を用いて島状に加工された導電膜 1 0 3 b をエッチングし、一对の第 1 の突起 1 2 0 a、1 2 0 b および第 2 の突起 1 3 0 を形成し、領域 1 0 4 a および領域 1 0 4 b 有するゲート電極 1 0 4 を形成する。そして、該エッチングの後にレジストマスク 1 5 1 を除去する（図 1 4（D）参照）。該エッチングは、島状に加工された導電膜 1 0 3 a に対して島状に加工された導電膜 1 0 3 b の選択比が高いエッチング条件を用いて、ドライエッチングを行う必要がある。

20

【0 2 2 3】

以降の作製工程は、トランジスタ 1 0 0 と同様とすればトランジスタ 4 0 0 を作製することができる（図 6 乃至図 8 参照）。

【0 2 2 4】

以上より、本実施の形態に示すトランジスタ 4 0 0 は、ゲート電極 1 0 4 に第 1 の導電材料で構成された領域 1 0 4 a と、第 2 の導電材料で構成された一对の第 1 の突起 1 2 0 a、1 2 0 b および第 2 の突起 1 3 0 を含む領域 1 0 4 b を設けることで、見かけ上のチャネル長に対して、実効上のチャネル長 L を 3 倍以上、好ましくは 5 倍以上、さらに好ましくは 1 0 倍以上の長さとすることができる。さらに、見かけ上のチャネル幅に対して、実効上のチャネル幅 W を 3 倍以上、好ましくは 5 倍以上、さらに好ましくは 1 0 倍以上の長さとすることができる。そのため、トランジスタを縮小しても短チャネル効果の影響が低減され、半導体装置の集積度を高めることが可能となる。また、コストが低く、歩留まりの高い半導体装置を提供することができる。

30

【0 2 2 5】

なお、本実施の形態の構成は、他の実施の形態の構成を適宜、組み合わせることができる。

【0 2 2 6】

（実施の形態 5）

本実施の形態では、先の実施の形態に示したトランジスタとは異なる構造のトランジスタについて説明する。

40

【0 2 2 7】

本発明の一態様は、ボトムゲート構造のトランジスタに限らず、一对の第 1 の突起および第 2 の突起が設けられた絶縁表面を有する構造物を形成するトップゲート構造のトランジスタでもよい。そこで、本実施の形態では、一对の第 1 の突起 1 2 0 a、1 2 0 b および第 2 の突起 1 3 0 が設けられた絶縁表面を有する構造物を有するトップゲート構造のトランジスタについて説明する。本実施の形態に示すトランジスタは実施の形態 1 に示したトランジスタの変形例であるため、実施の形態 1 の説明は、適宜参照することができる。

【0 2 2 8】

50

ここでは、1つの一对の第1の突起120a、120b、および1つの第2の突起130が形成された絶縁表面を有する構造物を有するトランジスタ500を例に説明する。

【0229】

図15(A)はトランジスタ500の上面図である。

【0230】

トランジスタ500は、基板101に、一对の第1の突起120a、120bと、一对の第1の突起120a、120bの間に設けられる第2の突起130とを有して且つ絶縁表面を有する構造物504と、一对の第1の突起120a、120bおよび第2の突起130に接する半導体膜108と、半導体膜108と接して、且つ一对の第1の突起120a、120bと重畳する一对の電極109a、109bと、構造物504、半導体膜108、および一对の電極109a、109bを覆うゲート絶縁膜105と、ゲート絶縁膜105に接して、且つ一对の電極109a、109bの間に設けられるゲート電極510と、を有するトップゲート構造のトランジスタである。なお、図15(A)において、ゲート絶縁膜105は、便宜上、図示していない。

10

【0231】

さらに、チャネル幅方向において、半導体膜108の側端は、絶縁表面を有する構造物504に設けられた一对の第1の突起120a、120bの頂面より外側に位置する。

【0232】

また、チャネル幅方向において、一对の電極109a、109bの側端は、絶縁表面を有する構造物504に設けられた一对の第1の突起120a、120bの頂面より外側に位置する。

20

【0233】

絶縁表面を有する構造物504に設けられた一对の第1の突起120a、120bは、チャネル幅方向に延伸して設けられた第2の突起130を挟んで対向して設けられている。

【0234】

図15(B)は図15(A)に示した一点鎖線A-B間におけるトランジスタ500の断面図である。

【0235】

半導体膜108は、絶縁表面を有する構造物504に設けられた一对の第1の突起120a、120bおよび第2の突起130の形状に沿って形成される。従って、トランジスタ500は、三次元状のチャネル領域が形成され、トランジスタ500動作時に機能する実効上のチャネル長Lは、図15(A)の一对の電極109a、109b間の距離に相当する見かけ上のチャネル長に対して、少なくとも一对の第1の突起120a、120bおよび第2の突起130の高さHの分は、長くなる(図15(B)参照)。

30

【0236】

「一对の第1の突起120a、120bおよび第2の突起130の高さH」とは、一对の第1の突起120a、120bおよび第2の突起130頂面から絶縁表面を有する構造物504の底面に下ろした垂線において、該頂面から、絶縁表面を有する構造物504の一对の突起120a、120bおよび第2の突起130以外の領域における上面までの距離に相当する。

40

【0237】

図15(C)は、図15(A)に示した一点鎖線C-D間におけるトランジスタ500の断面図である。

【0238】

図15(C)に示すように、トランジスタ500のC-D断面は、基板101と、一对の第1の突起120a、120bのうち的一方である第1の突起120aを有して且つ絶縁表面を有する構造物504と、該第1の突起120aを覆う半導体膜108と、半導体膜108と接して、且つ該第1の突起120aと重畳する一对の電極109a、109bのうち的一方である電極109aと、絶縁表面を有する構造物504、半導体膜108、

50

電極 109a を覆うゲート絶縁膜 105 を有する。

【0239】

半導体膜 108 は、絶縁表面を有する構造物 504 に設けられた一对の第 1 の突起 120a、120b の形状に沿って形成される。従って、トランジスタ 500 は、三次元状のチャネル領域が形成され、トランジスタ 500 の動作時に機能する実効上のチャネル幅 W は、図 15 (A) の一对の電極 109a、109b の幅に相当する見かけ上のチャネル幅に対して、少なくとも一对の第 1 の突起 120a、120b の高さ H の分は、長くなる (図 15 (C) 参照)。これにより、トランジスタのサイズを縮小しつつ、トランジスタ 500 のオン電流を増大させることができる。

【0240】

実施の形態 1 と同様に、見かけ上のチャネル幅および見かけ上のチャネル長に対して、実効上のチャネル幅 W および見かけ上のチャネル長 L が、3 倍以上、好ましくは 5 倍以上、さらに好ましくは 10 倍以上の長さとなるように、一对の第 1 の突起 120a、120b および第 2 の突起 130 の高さ H を選択する。

【0241】

また、ゲート電極に設けられる一对の第 1 の突起の数および第 2 の突起の数は、実施の形態 2 および実施の形態 3 で説明したように複数にしてもよく、作製するトランジスタの大きさに合わせて適宜決めればよい。一对の第 1 の突起および第 2 の突起を複数設けることによって、一組一組 (一つ一つ) の一对の第 1 の突起および第 2 の突起の高さを低くできるため、トランジスタの作製工程において形成される膜の被覆性を高めることができる。

【0242】

以上から、トランジスタ 500 は、トランジスタのサイズを縮小させつつ、実効上のチャネル長 L を長くさせて短チャネル効果を抑制することができ、さらに実効上のチャネル幅 W も長くさせてオン電流を増大させることができるため、トランジスタのオン・オフ比を十分に確保された良好なスイッチング特性を有するトランジスタである。

【0243】

なお、図 15 に示したトランジスタ 500 において、一对の電極 109a、109b とゲート電極 510 とは重畳していない構成であるが、これに限定されるものではない。例えば、一对の電極 109a、109b とゲート電極 510 とは重畳する構成であってもよい。

【0244】

また、図示していないが、トランジスタ 500 は、半導体膜 108 の一对の電極 109a、109b およびゲート電極 510 と重畳しない領域に、LDD 領域としてドーパントが添加された低抵抗領域を設けてもよい。LDD 領域を設けることによってホットキャリア劣化などのトランジスタ 500 の劣化が抑制され、トランジスタ 500 の信頼性を向上させることができる。また、一对の電極 109a、109b とゲート電極 510 とで形成される寄生容量を低減することができるため、トランジスタ 500 の動作速度を速くすることができる。

【0245】

トランジスタ 500 の構造は、図 15 に示されたものに限定されない。例えば、図 15 に示したトランジスタ 500 は、一对の電極 109a、109b の下面と半導体膜 108 の上面とが接するトップコンタクト構造であるが、一对の電極 109a、109b の上面と半導体膜 108 の下面とが接するボトムコンタクト構造であってもよい。また、半導体膜 108、一对の第 1 の突起 120a、120b、第 2 の突起 130、および一对の電極 109a、109b のチャネル方向およびチャネル幅方向における側端の位置は、実施の形態 1 と同様に、適宜選択できる。

【0246】

ここで、トランジスタ 500 の作製方法について説明する。なお、トランジスタ 500 の A-B 断面を例に説明する。

10

20

30

40

50

【0247】

基板101は実施の形態1と同様とすればよく、基板101に絶縁材料を用いて、絶縁膜502を形成する(図16(A)参照)。絶縁膜502の厚さは、実施の形態1で説明した導電膜102と同様とする。

【0248】

絶縁膜502は、後の熱処理に耐える材料であればよく、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどの無機化合物またはポリイミドなどの有機化合物を用いればよい。

【0249】

また、トランジスタ500の半導体膜108として酸化物半導体膜を用いる場合は、絶縁膜502として、加熱処理により酸素を放出する膜を用いると好ましい。加熱により酸素放出される膜を用いることで、後に形成される酸化物半導体膜107に酸素が供給され、後に形成される絶縁表面を有する構造物504と、後に形成される酸化物半導体膜107との界面準位を低減できる。従って、トランジスタ500の動作に起因して生じる電荷などが、該界面準位に捕獲されることを抑制でき、トランジスタ500を電気特性の劣化の少ないトランジスタとすることができる。

【0250】

なお、基板101と絶縁膜502との間に下地絶縁膜を形成してもよい。下地絶縁膜は、基板101からの不純物(例えば、LiやNaなどのアルカリ金属など)の拡散を防止する他に、トランジスタ500の作製工程におけるエッチング工程によって、基板101がエッチングされることを防ぐ。それゆえ、下地絶縁膜の厚さは特に限定はないが、50nm以上とすることが好ましい。

【0251】

下地絶縁膜は、ゲート絶縁膜105に適用可能な膜種から適宜選択して形成すればよい。アルカリ金属の侵入防止のためには、下地絶縁膜として、窒化物絶縁膜を用いることが好ましい。

【0252】

実施の形態1と同様に、ハーフトーンマスクを用いて、厚さの異なる領域を有するレジストマスク150を形成する。レジストマスク150は、一对の第1の突起120a、120bおよび第2の突起130が形成される領域の厚さは厚く、それ以外の領域の厚さは薄くなるように形成する(図16(B)参照)。なお、導電膜102において、ゲート電極104が形成されない領域には、レジストマスク150も形成されないようにする。一对の第1の突起120a、120bと第2の突起130との間の距離を考慮して、レジストマスク150の薄く形成される領域の厚さを決定すればよい。なお、ハーフトーンマスクの代わりにグレートーンマスクのように他の多階調マスクを用いてもよい。

【0253】

また、絶縁表面を有する構造物504に設けられる一对の第1の突起120a、120bおよび第2の突起130の数を複数にする場合は、多階調マスクを用いて形成する厚さの異なる領域を有するレジストマスクにおいて、設けられる一对の第1の突起120a、120bおよび第2の突起130の数だけ厚さの厚い領域を形成し、それ以外の領域の厚さは薄くなるように形成すればよい。

【0254】

レジストマスク150を用いて、絶縁膜502の一部を選択的に除去(エッチング)する。このエッチングにより、島状に加工された絶縁膜503を形成する。なお、該エッチングはドライエッチングで行えばよい。

【0255】

レジストマスク150を縮小(後退)させて、のちに一对の第1の突起120a、120bと第2の突起130との間隔となる部分において分離されたレジストマスク151を形成する(図16(C)参照)。レジストマスク150の縮小(後退)には、酸素プラズ

10

20

30

40

50

マによるアッシングを用いればよい。

【0256】

レジストマスク151を用いて島状に加工された絶縁膜503の一部をエッチングして、一对の第1の突起120a、120bおよび第2の突起130を形成し、絶縁表面を有する構造物504を形成する。そして、該エッチングの後にレジストマスク151を除去する（図16（D）参照）。

【0257】

また、絶縁表面を有する構造物504を形成したあと、逆スパッタリング処理などのプラズマ処理を行ってもよい。このような処理を行うことによって、一对の第1の突起120a、120bおよび第2の突起130の上端部の角が削られ、曲面形状にでき、以降のトランジスタ500の作製工程において形成する膜の被覆性を高めることができる。

10

【0258】

絶縁表面を有する構造物504を覆って酸化物半導体膜106を形成する。酸化物半導体膜106は実施の形態1と同様にして形成する（図17（A）参照）。

【0259】

フォトリソグラフィ工程によりレジストマスクを酸化物半導体膜106上に形成し、該レジストマスクを用いて、酸化物半導体膜106を所望の形状にエッチングし、島状の酸化物半導体膜107を形成する（図17（B）参照）。該エッチングは、ドライエッチングまたはウェットエッチングで行えばよい。

20

【0260】

酸化物半導体膜107から水素（水、水酸基または水素化物を含む）を放出させると共に、ゲート絶縁膜105に含まれる酸素の一部を放出し、酸化物半導体膜107中、およびゲート絶縁膜105と酸化物半導体膜107との界面近傍に酸素を拡散させるために、第1の加熱処理を行い、酸化物半導体膜111を形成する（図17（C）参照）。なお、酸化物半導体膜111は、図15に示す半導体膜108に相当する。さらに、実施の形態1と同様に、半導体膜108は、酸化物半導体膜111のかわりに半導体特性を示す他の材料を適用してもよい。

【0261】

第1の加熱処理によって、ゲート絶縁膜105と酸化物半導体膜107と界面準位および酸化物半導体膜107の酸素欠損を低減し、完成したトランジスタ500の酸化物半導体膜111とゲート絶縁膜105との界面におけるキャリア捕獲の影響を小さくすることができる。

30

【0262】

第1の加熱処理の条件および装置は、実施の形態1と同様である。

【0263】

また、第1の加熱処理によって形成される酸化物半導体膜111の水素濃度は実施の形態1と同様である。アルカリ金属およびアルカリ土類金属は酸化物半導体膜111にとって不純物であるため、含有量は少ないことが好ましく、酸化物半導体膜111中に含まれるアルカリ金属の濃度は実施の形態1と同様である。

【0264】

なお、トランジスタ500の作製工程において、第1の加熱処理を行う順番は、酸化物半導体膜107を形成した後だけではなく、酸化物半導体膜106を形成した後であれば、いつ行ってもよい。さらに、第1の加熱処理は複数回行ってもよい。例えば、酸化物半導体膜107を形成した後に1回行うだけではなく、酸化物半導体膜106を形成した後に、酸化物半導体膜107を形成した後の2回行ってもよい。

40

【0265】

次いで、酸化物半導体膜111上に一对の電極109a、109bを形成する（図17（D）参照）。一对の電極109a、109bは実施の形態1と同様にして形成すればよい。なお、一对の電極109a、109bはソース電極およびドレイン電極として機能し、ソース配線およびドレイン配線としても機能する。

50

【0266】

次いで、絶縁表面を有する構造物504、酸化物半導体膜111、および一对の電極109a、109bを覆うゲート絶縁膜105を形成する(図18(A)参照)。なお、ゲート絶縁膜105は、実施の形態1で説明した膜種から適宜選択して形成すればよい。

【0267】

次いで、ゲート絶縁膜105と接して、且つ第2の突起130と重畳するゲート電極510を形成する(図18(B)参照)。ゲート電極510は、実施の形態1で説明したゲート電極104に適用可能な導電材料を用いて導電膜を形成し、該導電膜にフォトリソグラフィ工程およびエッチング工程を行ってゲート電極510を形成する。ゲート電極510の厚さは、一对の電極109a、109bと同様にすればよい。

10

【0268】

また、酸化物半導体膜111の一对の電極109a、109bおよびゲート電極510と重畳しない領域に、LDD領域としてドーパントが添加された低抵抗領域を設ける場合は、一对の電極109a、109bおよびゲート電極510をマスクとしてドーパントを添加することにより、セルフアラインに低抵抗領域を形成することができる。なお、ドーパントとしては一導電性を付与できる元素として、イオンドーピング法またはイオンインプランテーション法を用いて添加すればよい。

【0269】

上記工程により、トランジスタ500を形成することができる。なお、ここまでの作製工程の後に、保護絶縁膜110を形成してもよい(図18(C)参照)。保護絶縁膜110は、ゲート絶縁膜105と同様とすればよい。さらに、保護絶縁膜110を形成した後に第2の加熱処理を行ってもよい。第2の加熱処理を行うことで、下地絶縁膜中の酸素の一部、絶縁表面を有する構造物504中の酸素の一部、ゲート絶縁膜105中の酸素の一部および保護絶縁膜110中の酸素の一部を、酸化物半導体膜111中や、下地絶縁膜およびゲート絶縁膜105と酸化物半導体膜111との界面近傍や、ゲート絶縁膜105と保護絶縁膜110との界面近傍に拡散させることができるため、トランジスタ500の電気特性を向上させることができる。なお、第2の加熱処理における装置および加熱条件は、第1の加熱処理と同様とすればよい。

20

【0270】

以上より、絶縁表面を有する構造物504には一对の第1の突起120a、120bおよび第2の突起130が設けられていることにより、上面図における一对の電極109a、109b間の距離である見かけ上のチャネル長に対して、実効上のチャネル長を3倍以上、好ましくは5倍以上、さらに好ましくは10倍以上の長さとすることができる。さらに、上面図における一对の電極109a、109b間の幅である見かけ上のチャネル幅に対して、実効上のチャネル幅を3倍以上、好ましくは5倍以上、さらに好ましくは10倍以上の長さとすることができる。そのため、トランジスタのサイズを縮小しても短チャネル効果の影響が低減され、半導体装置の集積度を高めることが可能となる。また、コストが低く、歩留まりの高い半導体装置を提供することができる。

30

【0271】

なお、本実施の形態の構成は、他の実施の形態の構成を適宜、組み合わせることができる。

40

【0272】

(実施の形態6)

本実施の形態では、実施の形態1乃至実施の形態5のいずれかに示したトランジスタを用いて、半導体記憶装置を作製する例について説明する。

【0273】

揮発性半導体記憶装置の代表的な例としては、記憶素子を構成するトランジスタを選択してキャパシタに電荷を蓄積することで、情報を記憶するDRAM、フリップフロップなどの回路を用いて記憶内容を保持するSRAM(Static Random Access Memory)がある。

50

【0274】

不揮発性半導体記憶装置の代表例としては、トランジスタのゲート電極とチャネル形成領域との間にフローティングゲートを有し、当該フローティングゲートに電荷を保持することで記憶を行うフラッシュメモリがある。

【0275】

上述した半導体記憶装置に含まれるトランジスタの一部に実施の形態1乃至実施の形態5のいずれかで示したトランジスタを適用することができる。

【0276】

まずは、実施の形態1乃至実施の形態5のいずれかで示したトランジスタを適用した半導体記憶装置であるメモリセルについて図19を用いて説明する。

【0277】

メモリセルは、ビット線BLと、ワード線WLと、センスアンプS Ampと、トランジスタTrと、キャパシタCと、を有する(図19(A)参照)。

【0278】

ここで、半導体記憶装置の集積度を高めていくと、トランジスタTrもそれに伴いサイズを縮小していく必要が生じる。ところが、単にトランジスタTrのサイズを縮小していくと、ある程度以下のサイズとしたとき、トランジスタTrにおける短チャネル効果が無視できなくなる。これは、短チャネル効果により、パンチスルー現象によるリーク電流が流れやすくなり、トランジスタがスイッチング素子として機能しなくなるためである。

【0279】

本発明の一形態のトランジスタをトランジスタTrに適用することで、トランジスタTrの占有面積を小さくでき、かつ実効上のチャネル長を長くすることができる。そのため、より半導体記憶装置の集積度を高めることが可能となる。

【0280】

なお、キャパシタに保持された電位の時間変化は、トランジスタTrのオフ電流によって図19(B)に示すように徐々に低減していくことが知られている。当初V0からV1まで充電された電位は、時間が経過するとdataを読み出す限界点であるVAまで低減する。この期間を保持期間T₁とする。即ち、2値メモリセルの場合、保持期間T₁の間にリフレッシュをする必要がある。

【0281】

ここで、トランジスタTrのチャネル領域を形成する半導体膜に酸化物半導体膜を用いると、酸化物半導体膜を用いたトランジスタはオフ電流が小さいため、保持期間T₁を長くすることができる。即ち、リフレッシュ期間を長くすることが可能となるため、消費電力を低減することができる。例えば、実施の形態1で記述したように、オフ電流が 1×10^{-21} A以下、好ましくは 1×10^{-24} A以下となった酸化物半導体膜を用いたトランジスタでメモリセルを構成すると、電力を供給せずに数日間～数十年間に渡ってデータを保持することが可能となる。

【0282】

図19(C)および図19(D)に、実施の形態1および実施の形態5で示したトランジスタで構成したメモリセルの断面構造の一例を示す。なお、図19(C)および図19(D)には、実施の形態1乃至実施の形態5で示したいずれのトランジスタも適用することができるが、例として、トランジスタ100およびトランジスタ500を適用した場合を示す。

【0283】

図19(C)は、基板101上に設けられた半導体膜108を有するトランジスタ100およびキャパシタ190の断面構造である。なお、キャパシタ190は、トランジスタ100のゲート電極104と同一の層かつ同一の導電材料で構成される第1の容量電極と、一对の電極109a、109bの一方である電極109bと接続する第2の容量電極と、第1の容量電極および第2の容量電極の間に設けられたゲート絶縁膜105と同一の層かつ同一材料である誘電体層と、で構成される。トランジスタ100のみならず、キャパ

10

20

30

40

50

シタ 190 に対しても本発明の一態様を適用することによって、三次元のキャパシタ形状を得ることができるため、キャパシタの占有面積も縮小することができる。

【0284】

図 19 (D) は、基板 101 上に設けられた半導体膜 108 を有するトランジスタ 500 およびキャパシタ 191 の断面構造である。なお、キャパシタ 191 は、トランジスタ 500 のゲート電極 510 と同一の層かつ同一の導電材料で構成される第 1 の容量電極と、トランジスタ 500 の一对の電極 109a、109b の一方である電極 109b と接続する第 2 の容量電極と、第 1 の容量電極および第 2 の容量電極の間に設けられたトランジスタ 500 のゲート絶縁膜 105 と同一の層かつ同一の材料である誘電体層と、で構成される。トランジスタ 500 のみならず、キャパシタ 191 に対しても本発明の一態様を適用することによって、三次元のキャパシタ形状を得ることができるため、キャパシタの占有面積も縮小することができる。

10

【0285】

以上のように、キャパシタに対して本発明の一態様を適用することができる。以後、図示しないが、他の形態に上記キャパシタ構造を適用しても構わない。

【0286】

以上のように、本発明の一態様によって、集積度を高めても短チャネル効果が低減され、長期間の信頼性が高く、かつ消費電力の小さい半導体記憶装置を得ることができる。

【0287】

次に、実施の形態 1 乃至実施の形態 5 のいずれかで示したトランジスタを適用した半導体記憶装置であるメモリセルについて図 19 と異なる例について図 20 を用いて説明する。

20

【0288】

図 20 (A) は、メモリセルの回路図である。メモリセルは、トランジスタ T_r_1 と、トランジスタ T_r_1 のゲートと接続するゲート配線 GL_1 と、トランジスタ T_r_1 のソースと接続するソース配線 SL_1 と、トランジスタ T_r_2 と、トランジスタ T_r_2 のソースと接続するソース配線 SL_2 と、トランジスタ T_r_2 のドレインと接続するドレイン配線 DL_2 と、キャパシタ C と、キャパシタ C の一端と接続する容量配線 CL と、キャパシタ C の他端、トランジスタ T_r_1 のドレインおよびトランジスタ T_r_2 のゲートと接続するフローティングゲート FG と、を有する。

30

【0289】

図 19 で示す半導体記憶装置と同様、図 20 で示す半導体記憶装置も集積度を高めていくと、トランジスタ T_r_1 およびトランジスタ T_r_2 もそれに伴いサイズを縮小していく必要が生じる。図 20 で示す半導体記憶装置は図 19 で示す半導体記憶装置よりも用いるトランジスタの数が多いため、集積度を高めるためにはさらにトランジスタのサイズを縮小することが重要となる。

【0290】

本発明の一形態のトランジスタをトランジスタ T_r_1 およびトランジスタ T_r_2 に適用することで、トランジスタの占有面積は小さくでき、かつ実効上のチャネル長を長くすることができる。そのため、より半導体記憶装置の集積度を高めることが可能となる。

40

【0291】

なお、本実施の形態に示す半導体記憶装置は、フローティングゲート FG の電位に応じて、トランジスタ T_r_2 のしきい値が変動することを利用したものである。例えば、図 20 (B) は容量配線 CL の電位 V_CL と、トランジスタ T_r_2 を流れるドレイン電流 I_{ds_2} との関係を説明する図である。

【0292】

ここで、フローティングゲート FG は、トランジスタ T_r_1 を介して、電位を調整することができる。例えば、ソース配線 SL_1 の電位を V_{DD} とする。このとき、ゲート配線 GL_1 の電位をトランジスタ T_r_1 のしきい値電圧 V_{th} に V_{DD} を加えた電位以上とすることで、フローティングゲート FG の電位を $HIGH$ にすることができる。ま

50

た、ゲート配線 GL_1 の電位をトランジスタ Tr_1 のしきい値電圧 V_{th} 以下とすることで、フローティングゲート FG の電位を LOW にすることができる。

【0293】

そのため、 $FG=LOW$ で示した $V_{CL}-I_{ds_2}$ カーブと、 $FG=HIGH$ で示した $V_{CL}-I_{ds_2}$ カーブのいずれかを得ることができる。即ち、 $FG=LOW$ では、 $V_{CL}=0V$ にて I_{ds_2} が小さいため、データ 0 となる。また、 $FG=HIGH$ では、 $V_{CL}=0V$ にて I_{ds_2} が大きいため、データ 1 となる。このようにして、データを記憶することができる。

【0294】

ここで、トランジスタ Tr_1 として、チャネル領域を形成する半導体膜に酸化物半導体膜を用いたトランジスタを適用すると、該トランジスタはオフ電流を極めて小さくすることができるため、フローティングゲート FG に蓄積された電荷がトランジスタ Tr_1 を通して意図せずにリークすることを抑制できる。そのため、長期間に渡ってデータを保持することができる。

【0295】

なお、トランジスタ Tr_2 として、チャネル領域を形成する半導体膜に酸化物半導体膜を用いたトランジスタを適用してもよい。

【0296】

次に、図 20 に示した半導体記憶装置において、キャパシタを含まない構成について図 21 を用いて説明する。

【0297】

図 21 は、メモリセルの回路図である。メモリセルは、トランジスタ Tr_1 と、トランジスタ Tr_1 のゲートと接続するゲート配線 GL_1 と、トランジスタ Tr_1 のソースと接続するソース配線 SL_1 と、トランジスタ Tr_2 と、トランジスタ Tr_2 のソースと接続するソース配線 SL_2 と、トランジスタ Tr_2 のドレインと接続するドレイン配線 DL_2 と、を有し、トランジスタ Tr_1 のドレインはトランジスタ Tr_2 のゲートと接続している。

【0298】

なお、トランジスタ Tr_1 のチャネル領域を形成する半導体膜に酸化物半導体膜を用いると、キャパシタを設けなくても Tr_1 のドレインと Tr_2 のゲートの間に電荷を保持できる。キャパシタを設けない構成であるため、小面積化が可能となり、キャパシタを設けた場合と比べ集積度を高めることができる。

【0299】

集積度を高めていくと、トランジスタ Tr_1 およびトランジスタ Tr_2 もそれに伴いサイズを縮小していく必要が生じる。キャパシタを設けない構成とすることで、トランジスタのサイズを縮小することがさらに重要となる。

【0300】

本発明の一形態をトランジスタ Tr_1 およびトランジスタ Tr_2 の少なくともいずれかに適用することで、トランジスタの占有面積は小さくした際も、実効上のチャネル長を長くすることができる。そのため、より集積度を高めることが可能となる。

【0301】

また、本実施の形態では、配線を 4 本または 5 本用いる半導体記憶装置を示したが、これに限定されるものではない。例えば、ソース配線 SL_1 とドレイン配線 DL_2 を共通にする構成としても構わない。

【0302】

以上のように、本発明の一態様によって、集積度を高めても短チャネル効果が低減され、長期間の信頼性が高く、かつ消費電力の小さい半導体装置を得ることができる。

【0303】

本実施の形態は、他の実施の形態と適宜組み合わせ用いることができる。

【0304】

10

20

30

40

50

(実施の形態 7)

実施の形態 1 乃至実施の形態 6 のいずれかを一部に適用して、CPU (Central Processing Unit) を構成することができる。

【0305】

図 22 (A) は、CPU の具体的な構成を示すブロック図である。図 22 (A) に示す CPU は、基板 1190 上に、演算回路 (ALU: Arithmetic logic unit) 1191、ALU コントローラ 1192、インストラクションデコーダ 1193、インタラプトコントローラ 1194、タイミングコントローラ 1195、レジスタ 1196、レジスタコントローラ 1197、バスインターフェース (Bus I/F) 1198、書き換え可能な ROM 1199、および ROM インターフェース (ROM I/F) 1189 を有している。基板 1190 は、半導体基板、SOI 基板、ガラス基板などを用いる。ROM 1199 および ROM インターフェース 1189 は、別チップに設けてもよい。もちろん、図 22 (A) に示す CPU は、その構成を簡略化して示した一例にすぎず、実際の CPU はその用途によって多種多様な構成を有している。

10

【0306】

バスインターフェース 1198 を介して CPU に入力された命令は、インストラクションデコーダ 1193 に入力され、デコードされた後、ALU コントローラ 1192、インタラプトコントローラ 1194、レジスタコントローラ 1197、タイミングコントローラ 1195 に入力される。

【0307】

ALU コントローラ 1192、インタラプトコントローラ 1194、レジスタコントローラ 1197、タイミングコントローラ 1195 は、デコードされた命令に基づき、各種制御を行なう。具体的に ALU コントローラ 1192 は、ALU 1191 の動作を制御するための信号を生成する。また、インタラプトコントローラ 1194 は、CPU のプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ 1197 は、レジスタ 1196 のアドレスを生成し、CPU の状態に応じてレジスタ 1196 の読み出しや書き込みを行なう。

20

【0308】

また、タイミングコントローラ 1195 は、ALU 1191、ALU コントローラ 1192、インストラクションデコーダ 1193、インタラプトコントローラ 1194、およびレジスタコントローラ 1197 の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ 1195 は、基準クロック信号 CLK1 を元に、内部クロック信号 CLK2 を生成する内部クロック生成部を備えており、クロック信号 CLK2 を上記各種回路に供給する。

30

【0309】

図 22 (A) に示す CPU では、レジスタ 1196 に、記憶素子が設けられている。レジスタ 1196 の記憶素子には、実施の形態 6 に記載されているいずれかの記憶素子を用いることができる。

【0310】

図 22 (A) に示す CPU において、レジスタコントローラ 1197 は、ALU 1191 からの指示に従い、レジスタ 1196 における保持動作の選択を行う。すなわち、レジスタ 1196 が有する記憶素子において、位相反転素子によるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。位相反転素子によるデータの保持が選択されている場合、レジスタ 1196 内の記憶素子への、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ 1196 内の記憶素子への電源電圧の供給を停止することができる。

40

【0311】

電源停止に関しては、図 22 (B) または図 22 (C) に示すように、記憶素子群と、電源電位 VDD または電源電位 VSS の与えられているノード間に、スイッチング素子を

50

設けることにより行うことができる。以下に図 2 2 (B) および図 2 2 (C) の回路の説明を行う。

【0 3 1 2】

図 2 2 (B) および図 2 2 (C) では、記憶素子への電源電位の供給を制御するスイッチング素子に、酸化物半導体を活性層に用いたトランジスタを含む記憶回路の構成の一例を示す。

【0 3 1 3】

図 2 2 (B) に示す記憶装置は、スイッチング素子 1 1 4 1 と、記憶素子 1 1 4 2 を複数有する記憶素子群 1 1 4 3 とを有している。具体的に、各記憶素子 1 1 4 2 には、実施の形態 4 に記載されている記憶素子を用いることができる。記憶素子群 1 1 4 3 が有する各記憶素子 1 1 4 2 には、スイッチング素子 1 1 4 1 を介して、ハイレベルの電源電位 V D D が供給されている。さらに、記憶素子群 1 1 4 3 が有する各記憶素子 1 1 4 2 には、信号 I N の電位と、ローレベルの電源電位 V S S の電位が与えられている。

10

【0 3 1 4】

図 2 2 (B) では、スイッチング素子 1 1 4 1 として、酸化物半導体を活性層に有するトランジスタを用いており、該トランジスタは、そのゲート電極に与えられる信号 S i g A によりスイッチングが制御される。

【0 3 1 5】

なお、図 2 2 (B) では、スイッチング素子 1 1 4 1 がトランジスタを一つだけ有する構成を示しているが、特に限定されず、トランジスタを複数有していてもよい。スイッチング素子 1 1 4 1 が、スイッチング素子として機能するトランジスタを複数有している場合、上記複数のトランジスタは並列に接続されていてもよいし、直列に接続されていてもよいし、直列と並列が組み合わされて接続されていてもよい。

20

【0 3 1 6】

また、図 2 2 (B) では、スイッチング素子 1 1 4 1 により、記憶素子群 1 1 4 3 が有する各記憶素子 1 1 4 2 への、ハイレベルの電源電位 V D D の供給が制御されているが、スイッチング素子 1 1 4 1 により、ローレベルの電源電位 V S S の供給が制御されていてもよい。

【0 3 1 7】

また、図 2 2 (C) には、記憶素子群 1 1 4 3 が有する各記憶素子 1 1 4 2 に、スイッチング素子 1 1 4 1 を介して、ローレベルの電源電位 V S S が供給されている、記憶装置の一例を示す。スイッチング素子 1 1 4 1 により、記憶素子群 1 1 4 3 が有する各記憶素子 1 1 4 2 への、ローレベルの電源電位 V S S の供給を制御することができる。

30

【0 3 1 8】

記憶素子群と、電源電位 V D D または電源電位 V S S の与えられているノード間に、スイッチング素子を設け、一時的に C P U の動作を停止し、電源電圧の供給を停止した場合においてもデータを保持することが可能であり、消費電力の低減を行うことができる。例えば、パーソナルコンピュータのユーザーが、キーボードなどの入力装置への情報の入力を停止している間でも、C P U の動作を停止することができ、それにより消費電力を低減することができる。

40

【0 3 1 9】

ここでは、C P U を例に挙げて説明したが、D S P (D i g i t a l S i g n a l P r o c e s s o r)、カスタム L S I、F P G A (F i e l d P r o g r a m m a b l e G a t e A r r a y) 等の L S I にも応用可能である。

【0 3 2 0】

実施の形態 1 乃至実施の形態 6 のいずれかを C P U の一部に適用することにより、C P U の集積度を高めることが可能となる。また、C P U の消費電力を低減することが可能となる。

【0 3 2 1】

本実施の形態は、上記実施の形態と適宜組み合わせて実施することが可能である。

50

【0322】

(実施の形態8)

本実施の形態では、実施の形態1乃至実施の形態5のいずれかに示したトランジスタを用いて作製した液晶表示装置について説明する。なお、本実施の形態では液晶表示装置に本発明の一形態を適用した例について説明するが、これに限定されるものではない。例えば、EL (Electro Luminescence) 表示装置に本発明の一形態を適用することも、当業者であれば容易に想到しうるものである。

【0323】

図23にアクティブマトリクス駆動方式の液晶表示装置の回路図を示す。液晶表示装置は、ソース線SL__1乃至SL__a、ゲート線GL__1乃至GL__bおよび複数の画素2000を有する。画素2000は、トランジスタ2030と、キャパシタ2020と、液晶素子2010と、を含む。こうした画素2000が複数集まって液晶表示装置の画素部を構成する。なお、単にソース線またはゲート線を指す場合には、ソース線SLまたはゲート線GLと記載する。

10

【0324】

トランジスタ2030は、実施の形態1乃至実施の形態5のいずれかで示したトランジスタを用いる。本発明の一態様であるトランジスタを用いることで、トランジスタの占有面積が低減するため、開口率の高い表示装置を得ることができる。

【0325】

ゲート線GLはトランジスタ2030のゲートと接続し、ソース線SLはトランジスタ2030のソースと接続し、トランジスタ2030のドレインは、キャパシタ2020の一方の容量電極および液晶素子2010の一方の画素電極と接続する。キャパシタ2020の他方の容量電極および液晶素子2010の他方の画素電極は、共通電極と接続する。なお、共通電極はゲート線GLと同一の層かつ同一の導電材料で設けることができる。

20

【0326】

また、ゲート線GLは、ゲート駆動回路と接続される。ゲート駆動回路は、実施の形態1乃至実施の形態5のいずれかに示したトランジスタを含んでもよい。該トランジスタを適用することで、トランジスタが縮小できるため、表示装置の額縁面積を低減することが可能となる。また、消費電力を低減することができる。

【0327】

また、ソース線SLは、ソース駆動回路と接続される。ソース駆動回路は、実施の形態1乃至実施の形態5のいずれかに示したトランジスタを含んでもよい。該トランジスタを適用することで、トランジスタが縮小できるため、表示装置の額縁面積を縮小することが可能となる。また、消費電力を低減することができる。

30

【0328】

なお、ゲート駆動回路およびソース駆動回路のいずれかまたは両方を、別途用意された基板上に形成し、COG (Chip On Glass)、ワイヤボンディング、またはTAB (Tape Automated Bonding) などの方法を用いて接続してもよい。

【0329】

また、トランジスタは静電気などにより破壊されやすいため、保護回路を設けることが好ましい。保護回路は、非線形素子を用いて構成することが好ましい。

40

【0330】

ゲート線GLにトランジスタ2030のしきい値電圧以上になるように電位を印加すると、ソース線SLから供給された電荷がトランジスタ2030のドレイン電流となってキャパシタ2020に電荷が蓄積される。一行分の充電後、該行にあるトランジスタ2030はオフ状態となり、ソース線SLから電圧が掛からなくなるが、キャパシタ2020に蓄積された電荷によって必要な電圧を維持することができる。その後、次の行のキャパシタ2020の充電を行う。このようにして、1行～b行の充電を行う。

【0331】

50

なお、トランジスタ 2030 のチャネル領域を形成する半導体膜に酸化物半導体膜を用いる場合、電圧を維持する期間を長くすることができる。この効果によって、動きの少ない画像（静止画を含む。）では、表示の書き換え周波数を低減でき、消費電力の低減が可能となる。また、キャパシタ 2020 の容量をさらに小さくすることが可能となるため、充電に必要な消費電力を低減することができる。

【0332】

以上のように、本発明の一態様によって、開口率が高く、信頼性が高く、かつ消費電力の小さい表示装置を得ることができる。

【0333】

本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

10

【0334】

（実施の形態 9）

本実施の形態では、実施の形態 1 乃至実施の形態 8 のいずれかを適用した電子機器の例について説明する。

【0335】

図 24（A）は携帯型情報端末である。筐体 9300 と、ボタン 9301 と、マイクロフォン 9302 と、表示部 9303 と、スピーカ 9304 と、カメラ 9305 と、を具備し、携帯型電話機としての機能を有する。本発明の一態様は、表示部 9303 およびカメラ 9305 に適用することができる。また、図示しないが、本体内部にある演算装置、無線回路または記憶回路に本発明の一態様を適用することもできる。

20

【0336】

図 24（B）は、ディスプレイである。筐体 9310 と、表示部 9311 と、を具備する。本発明の一態様は、表示部 9311 に適用することができる。本発明の一態様を用いることで、表示部 9311 のサイズを大きくしたときにも消費電力の低いディスプレイとすることができる。

【0337】

図 24（C）は、デジタルスチルカメラである。筐体 9320 と、ボタン 9321 と、マイクロフォン 9322 と、表示部 9323 と、を具備する。本発明の一態様は、表示部 9323 に適用することができる。また、図示しないが、記憶回路またはイメージセンサに本発明の一態様を適用することもできる。

30

【0338】

本発明の一態様を用いることで、電子機器のコストを下げることができ、消費電力を低減することができる。

【0339】

本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

【符号の説明】

【0340】

100 トランジスタ
101 基板
102 導電膜
102 a 導電膜
102 b 導電膜
103 導電膜
103 a 導電膜
103 b 導電膜
104 ゲート電極
104 a 領域
104 b 領域
105 ゲート絶縁膜
106 酸化物半導体膜

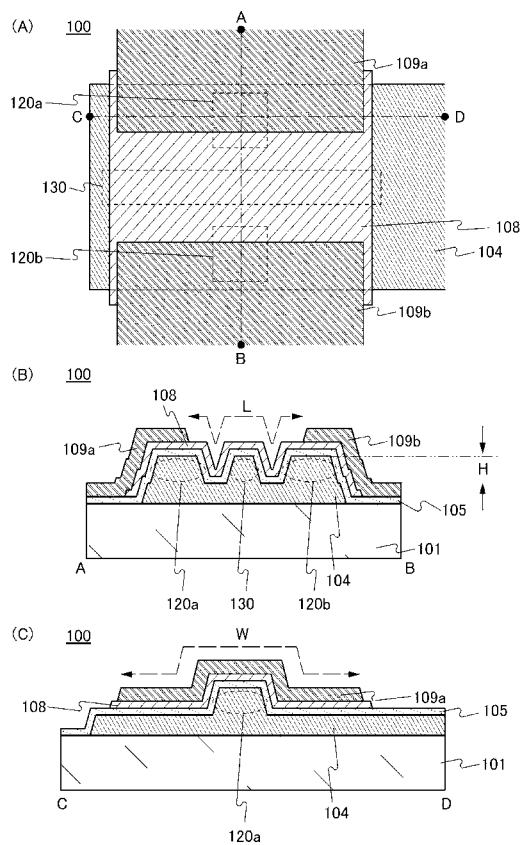
40

50

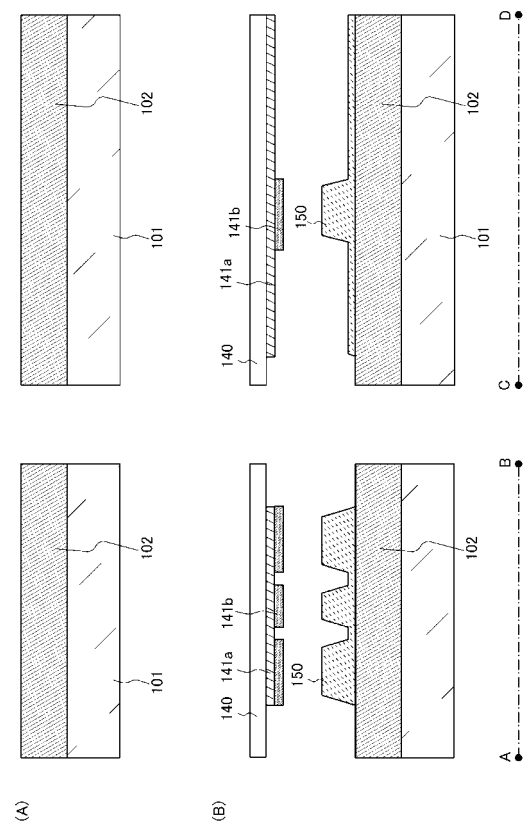
1 0 7	酸化物半導体膜	
1 0 8	半導体膜	
1 0 9 a	電極	
1 0 9 b	電極	
1 1 0	保護絶縁膜	
1 1 1	酸化物半導体膜	
1 2 0 a	突起	
1 2 0 b	突起	
1 3 0	突起	
1 4 0	基板	10
1 4 1 a	半透過層	
1 4 1 b	遮光層	
1 5 0	レジストマスク	
1 5 1	レジストマスク	
1 9 0	キャパシタ	
1 9 1	キャパシタ	
2 0 0	トランジスタ	
3 0 0	トランジスタ	
3 0 1	基板	
3 0 2	遮光部	20
3 0 3	回折格子部	
3 0 4	グレートーンマスク	
3 1 1	基板	
3 1 2	半透光部	
3 1 3	遮光部	
3 1 4	ハーフトーンマスク	
4 0 0	トランジスタ	
5 0 0	トランジスタ	
5 0 2	絶縁膜	
5 0 3	絶縁膜	30
5 0 4	構造物	
5 1 0	ゲート電極	
1 1 4 1	スイッチング素子	
1 1 4 2	記憶素子	
1 1 4 3	記憶素子群	
1 1 8 9	R O M インターフェース	
1 1 9 0	基板	
1 1 9 1	A L U	
1 1 9 2	A L U コントローラ	
1 1 9 3	インストラクションデコーダ	40
1 1 9 4	インタラプトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	
1 1 9 9	R O M	
2 0 0 0	画素	
2 0 1 0	液晶素子	
2 0 2 0	キャパシタ	
2 0 3 0	トランジスタ	50

9 3 0 0	筐体
9 3 0 1	ボタン
9 3 0 2	マイクロフォン
9 3 0 3	表示部
9 3 0 4	スピーカ
9 3 0 5	カメラ
9 3 1 0	筐体
9 3 1 1	表示部
9 3 2 0	筐体
9 3 2 1	ボタン
9 3 2 2	マイクロフォン
9 3 2 3	表示部

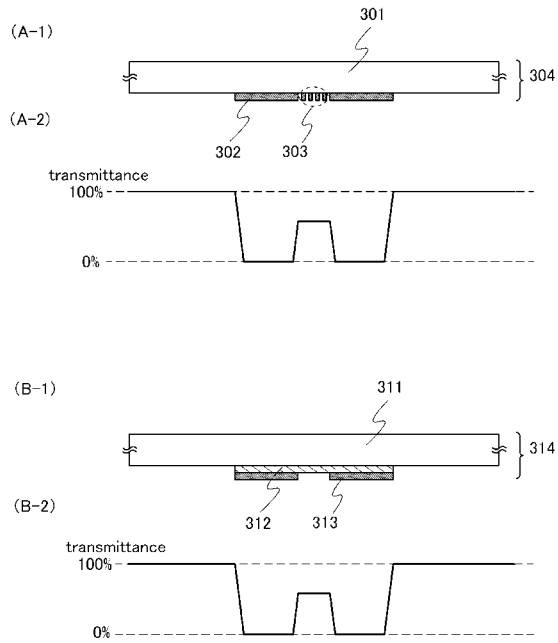
【図 1】



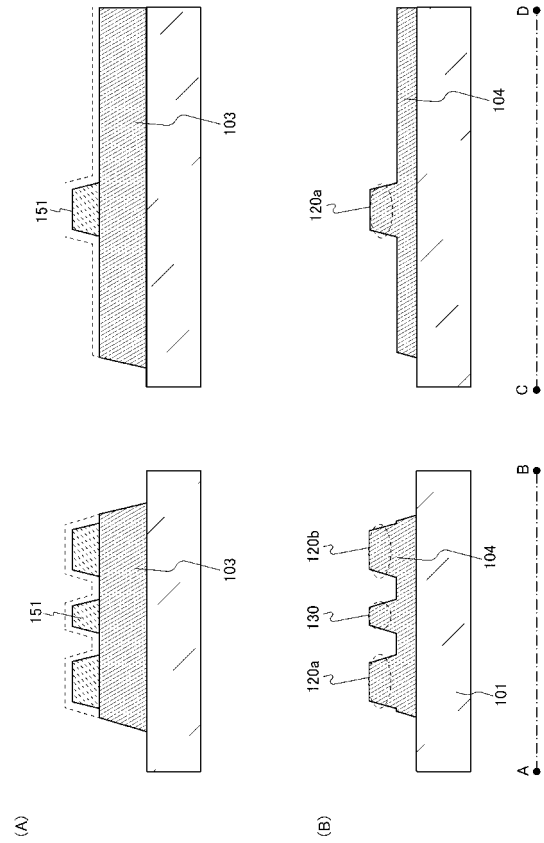
【図 2】



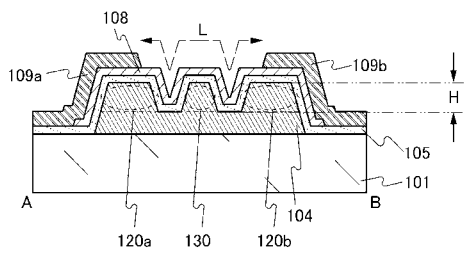
【図 3】



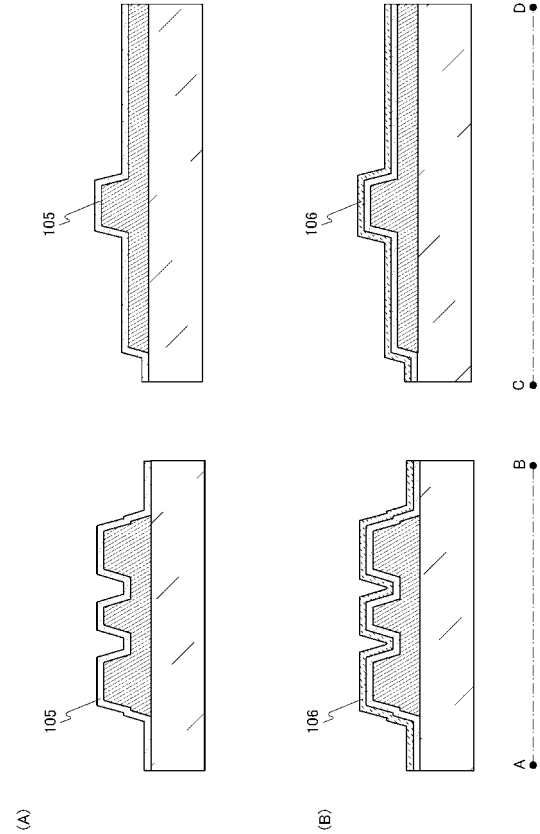
【図 4】



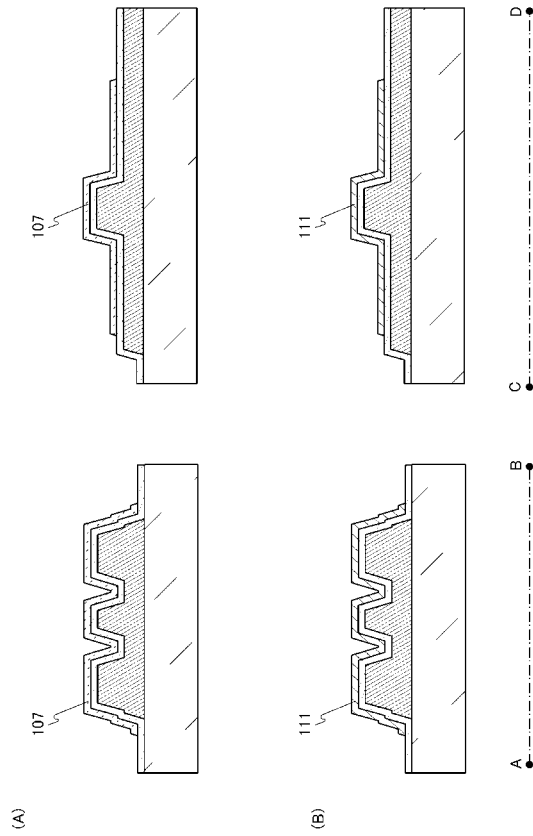
【図 5】



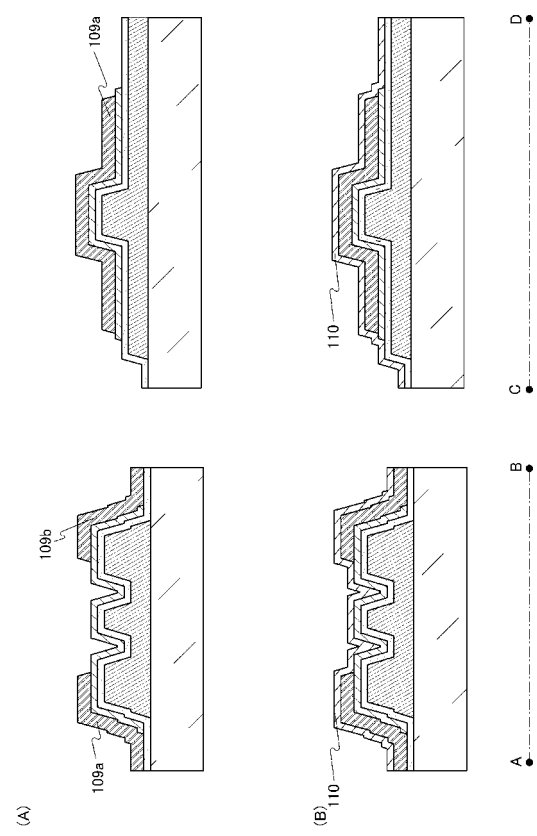
【図 6】



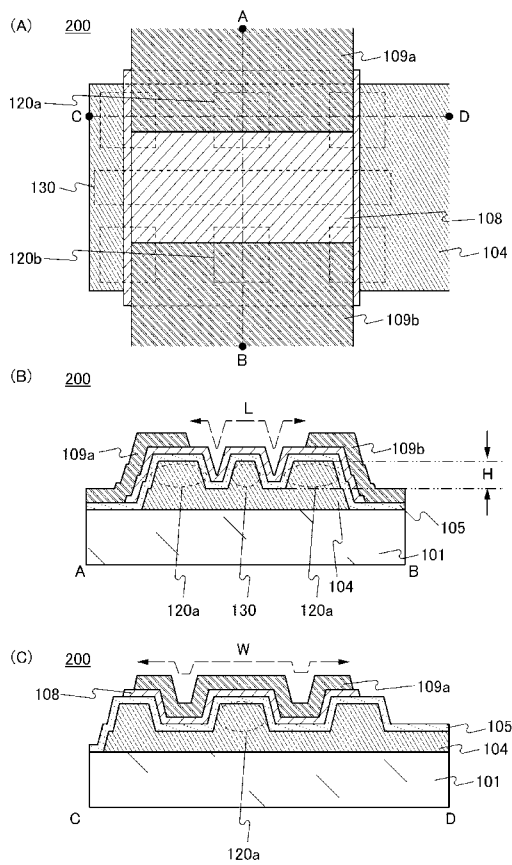
【図 7】



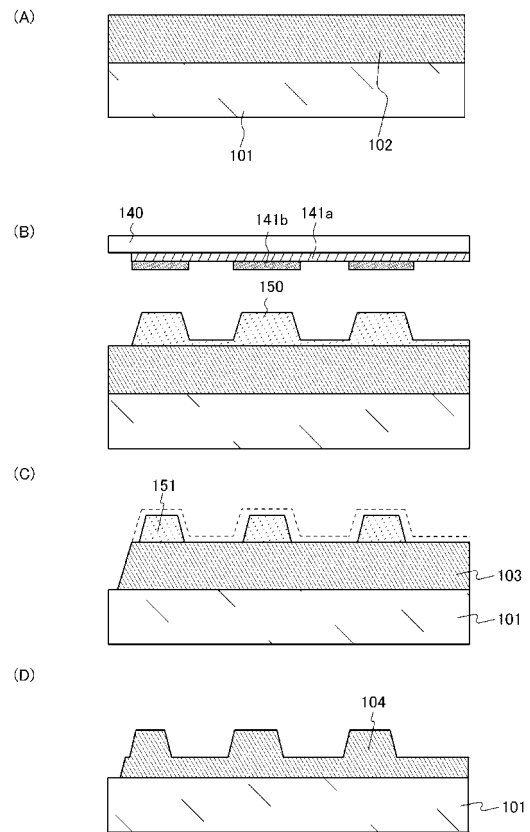
【図 8】



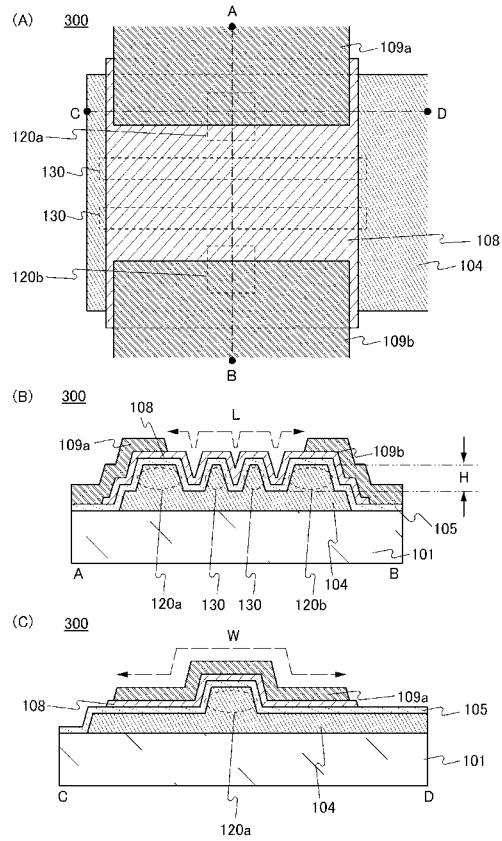
【図 9】



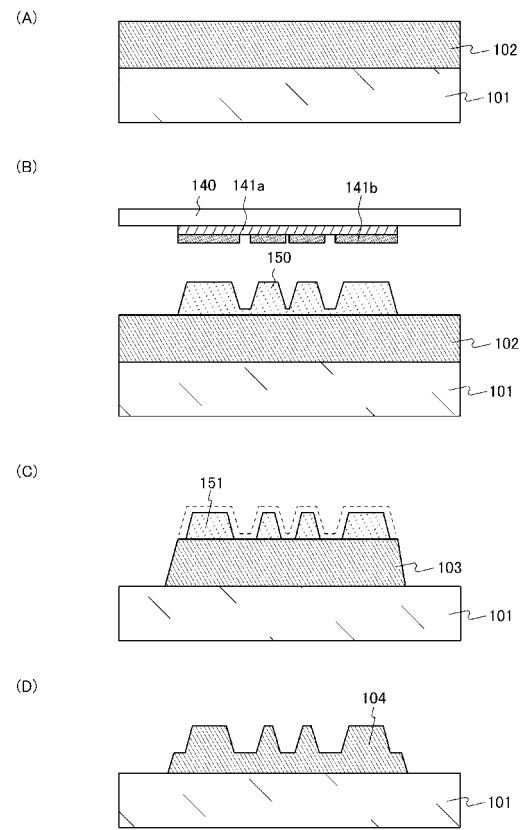
【図 10】



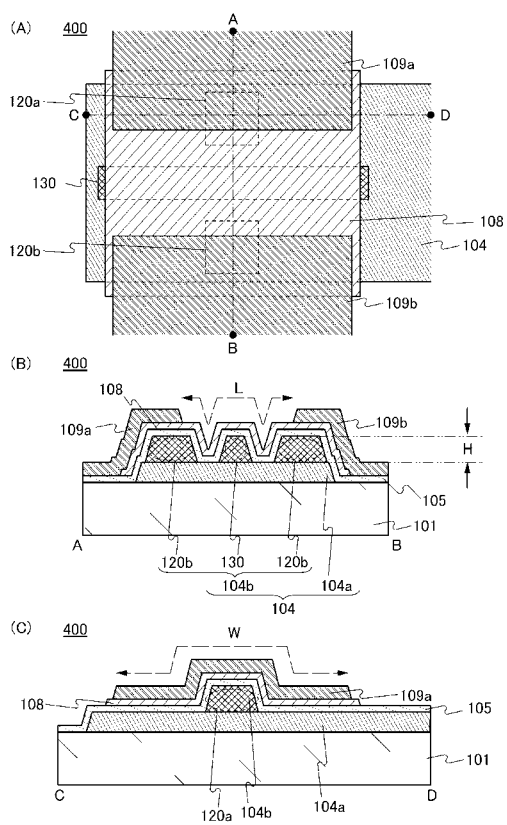
【図 1 1】



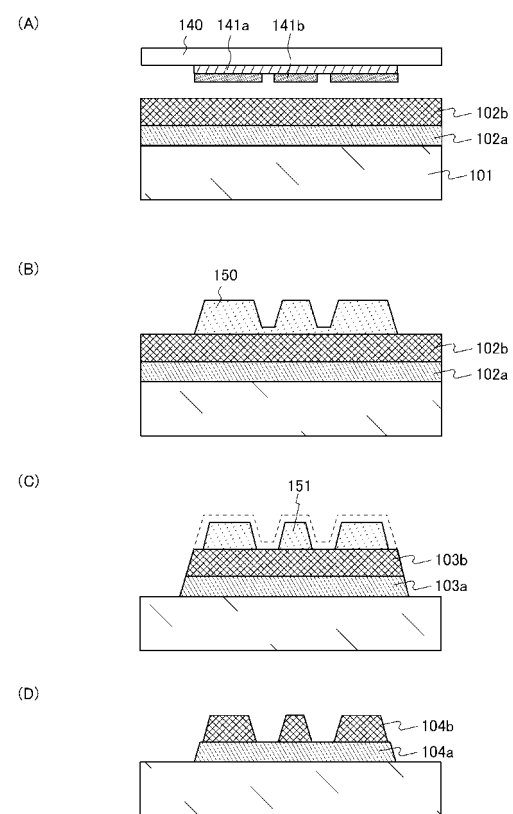
【図 1 2】



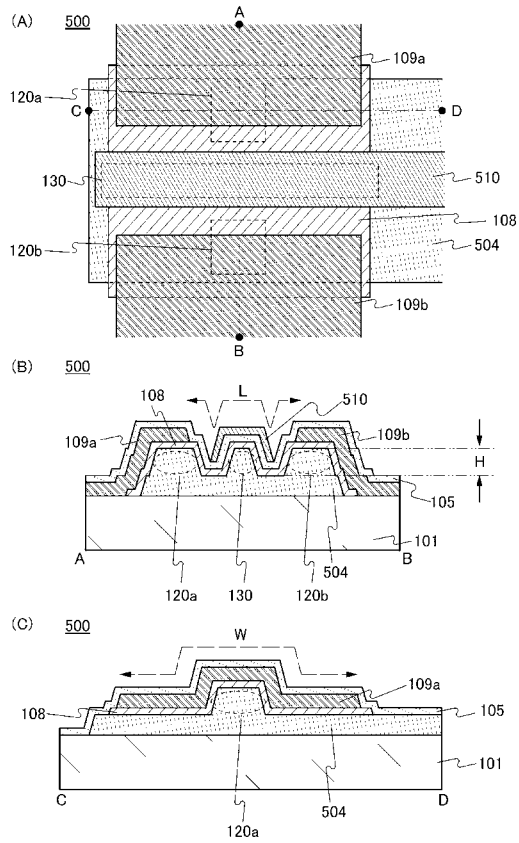
【図 1 3】



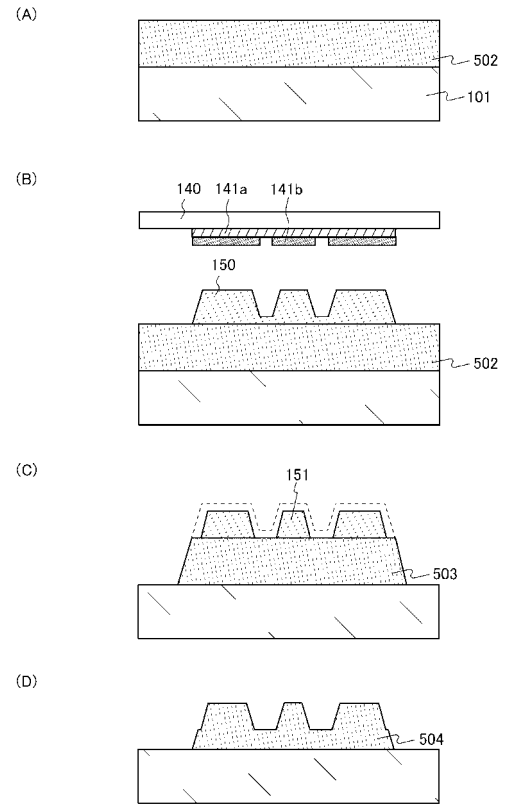
【図 1 4】



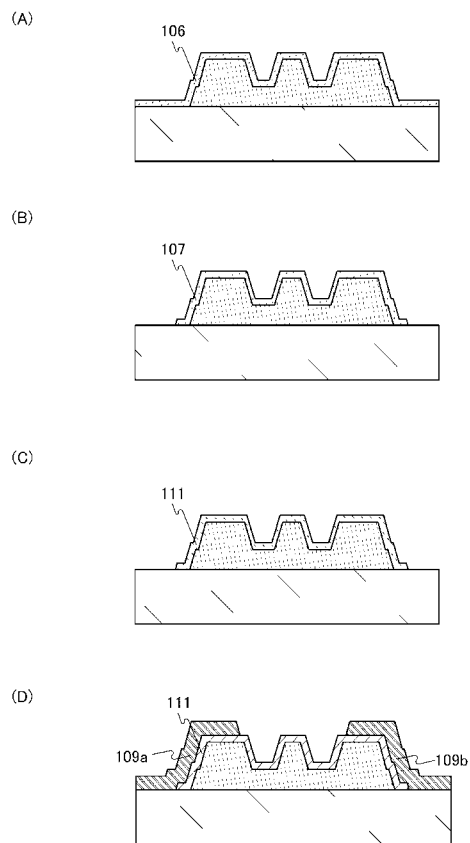
【図 15】



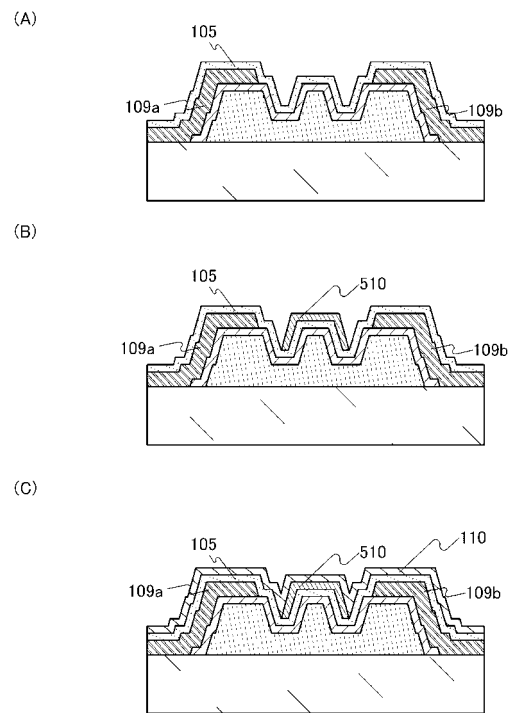
【図 16】



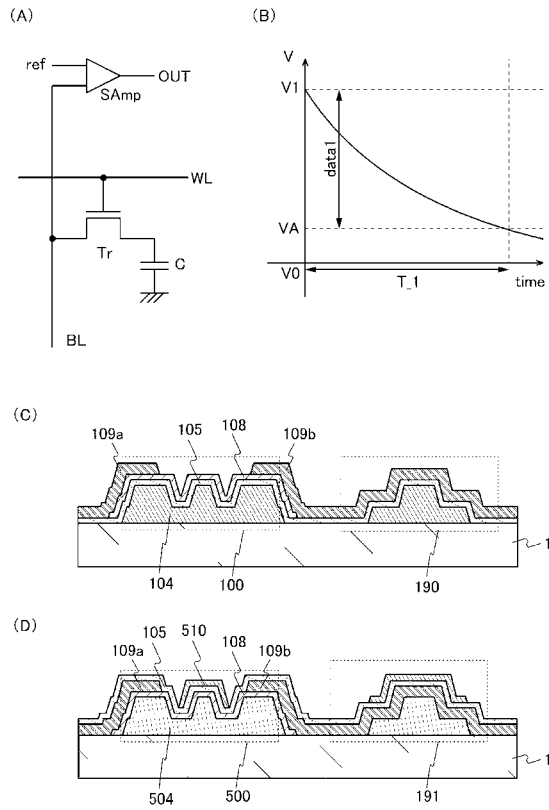
【図 17】



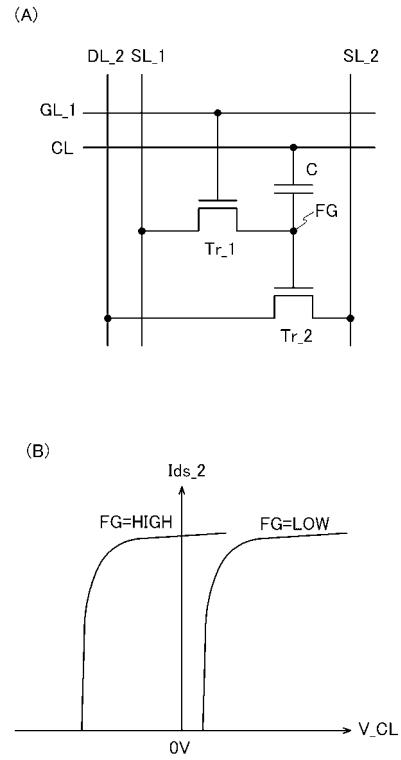
【図 18】



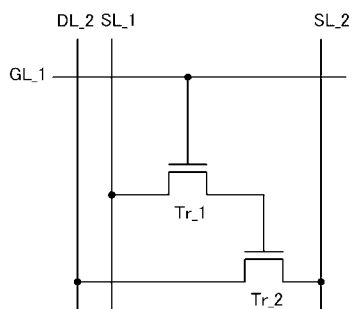
【図 19】



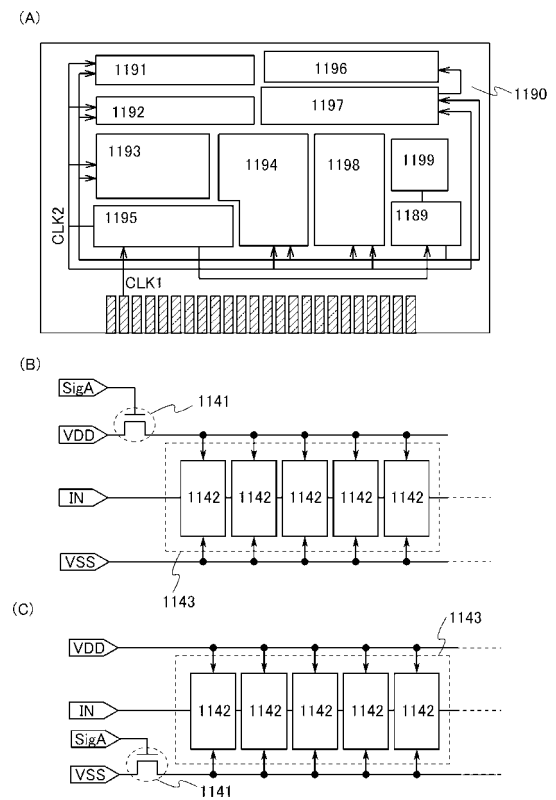
【図 20】



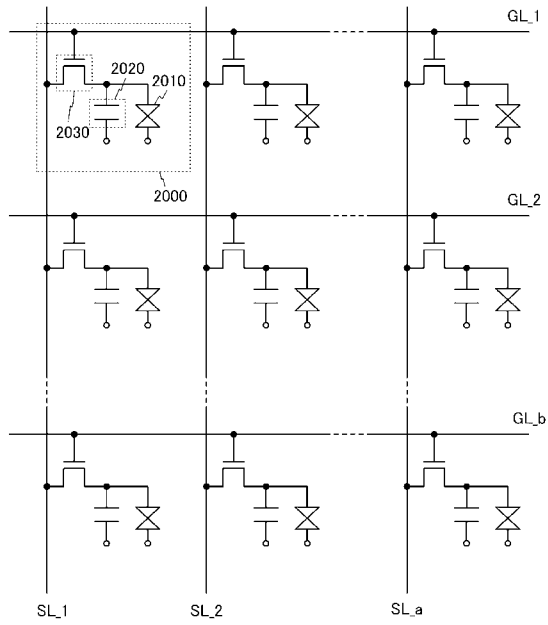
【図 21】



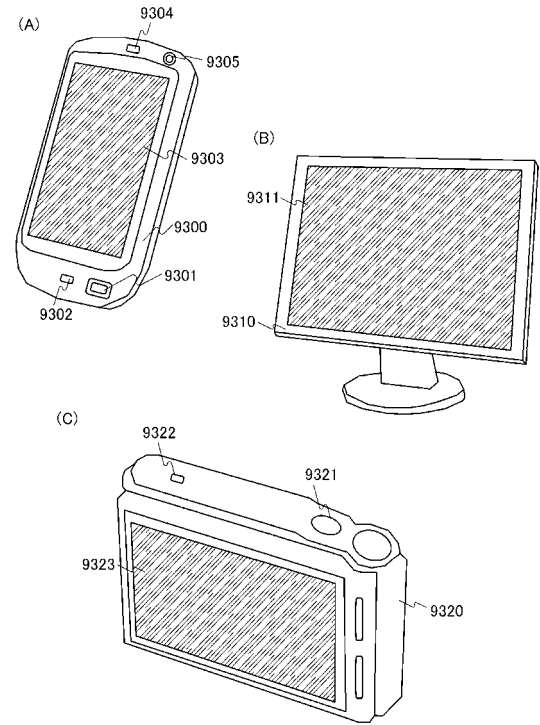
【図 22】



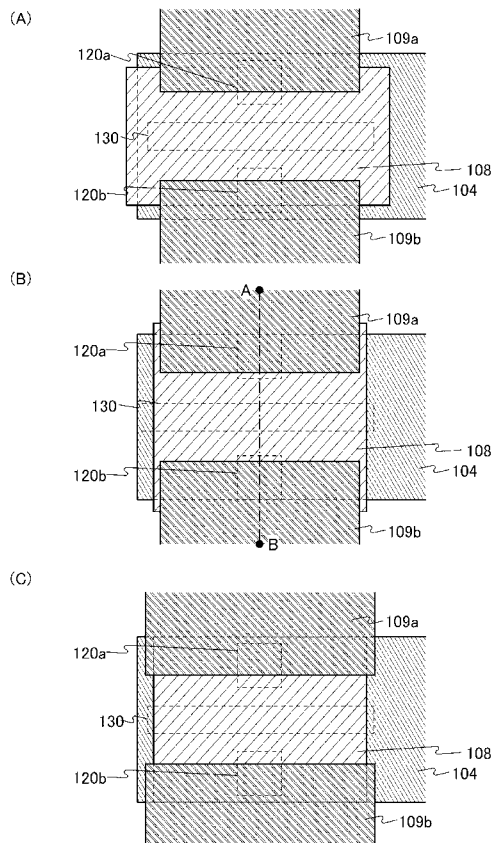
【図 2 3】



【図 2 4】



【図 2 5】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

H 0 1 L 29/78 6 2 7 C