

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-21908

(P2020-21908A)

(43) 公開日 令和2年2月6日(2020.2.6)

(51) Int.Cl.

H01L 25/04 (2014.01)
H01L 25/18 (2006.01)
H01L 21/52 (2006.01)

F 1

H01L 25/04
H01L 21/52

Z
C

テーマコード(参考)

5 F O 4 7

審査請求 未請求 請求項の数 8 O L (全 16 頁)

(21) 出願番号
(22) 出願日

特願2018-146821 (P2018-146821)
平成30年8月3日(2018.8.3)

(71) 出願人 318010018

キオクシア株式会社

東京都港区芝浦三丁目1番21号

(74) 代理人 100091982

弁理士 永井 浩之

(74) 代理人 100091487

弁理士 中村 行孝

(74) 代理人 100082991

弁理士 佐藤 泰和

(74) 代理人 100105153

弁理士 朝倉 悟

(74) 代理人 100107582

弁理士 関根 翔

(74) 代理人 100118843

弁理士 赤岡 明

最終頁に続く

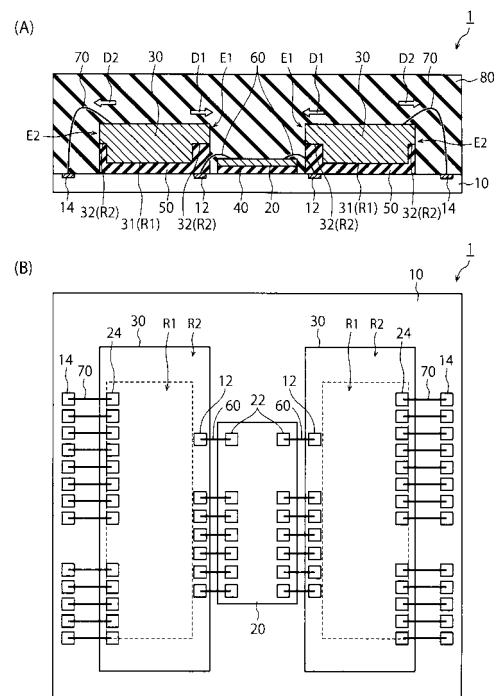
(54) 【発明の名称】半導体装置およびその製造方法

(57) 【要約】

【課題】スペーサチップを用いること無く、一方の半導体チップを他方の半導体チップ上方に配置してパッケージサイズを小さくすることができる半導体装置およびその製造方法を提供する。

【解決手段】本実施形態による半導体装置は、基板と、第1半導体チップと、第2半導体チップと、接着層と、樹脂層とを備えている。第1半導体チップは、基板の表面上に設けられている。第2半導体チップは、裏面の第1領域において突出している突出部を有する。突出部を基板の表面に接着させたときに、第1領域以外の裏面の第2領域が第1半導体チップまたは該第1半導体チップと基板との間を接続するワイヤの少なくとも一部分の上方に第1半導体チップに接することなく配置される。接着層は、第1領域と基板との間および第2領域と基板との間に設けられている。樹脂層は、基板上に設けられ、第1および第2半導体チップを被覆する。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

基板と、

前記基板の表面上に設けられた第1半導体チップと、

裏面の第1領域において突出している突出部を有する第2半導体チップであって、前記突出部を前記基板の表面に接着させたときに、前記第1領域以外の前記裏面の第2領域が前記第1半導体チップまたは該第1半導体チップと前記基板との間を接続するワイヤの少なくとも一部分の上方に該第1半導体チップに接することなく配置される第2半導体チップと、

前記第1領域と前記基板との間および前記第2領域と前記基板との間に設けられた接着層と、

前記基板上に設けられ、前記第1および第2半導体チップを被覆する樹脂層とを備えた半導体装置。

【請求項 2】

前記接着層は、前記第1半導体チップまたは前記ワイヤの少なくとも一部に接触している、請求項1に記載の半導体装置。

【請求項 3】

前記第1および第2半導体チップの配列方向に切断した断面において、前記第2領域は、前記第2半導体チップから前記第1半導体チップへ向かう第1方向と該第1方向に対し逆側の第2方向との両方へ延伸しており、

前記接着層は、前記第2半導体チップから前記第1方向へ延伸する前記第2領域と前記基板との間、並びに、前記第2半導体チップから前記第2方向へ延伸する前記第2領域と前記基板との間に設けられている、請求項1または請求項2に記載の半導体装置。

【請求項 4】

前記第2領域は、前記第2半導体チップの前記第1領域の外周全体に設けられている、請求項1から請求項3のいずれか一項に記載の半導体装置。

【請求項 5】

前記第2領域と前記第1領域との厚みの差は、前記第1半導体チップの厚みよりも大きい、請求項1から請求項4のいずれか一項に記載の半導体装置。

【請求項 6】

複数の前記第2半導体チップが前記第1半導体チップの両側に分離して設けられており、

複数の前記第2半導体チップ間には、前記樹脂層が設けられている、請求項1から請求項5のいずれか一項に記載の半導体装置。

【請求項 7】

前記第2半導体チップは、複数の前記第1領域を有し、前記第1半導体チップの上方に亘って設けられており、

前記第1半導体チップは、前記複数の第1領域間に配置されている、請求項1から請求項5のいずれか一項に記載の半導体装置。

【請求項 8】

半導体ウェハの裏面の一部を切削して、該裏面の第1領域において突出している突出部と、前記第1領域以外の前記裏面の第2領域において窪んでいる凹部とを形成し、

前記半導体ウェハの凹部を埋め込むように該裏面に接着層を設け、

前記半導体ウェハから個片化された第2半導体チップの前記突出部を基板の表面に前記接着層で接着するとともに、前記第2半導体チップの前記凹部を、該第2半導体チップの下に設けられた第1半導体チップまたは該第1半導体チップと前記基板との間を接続するワイヤの上方に配置し、

前記基板上の前記第1および第2半導体チップを樹脂層で被覆すること、を具備した半導体装置の製造方法。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】**【0001】**

本実施形態は、半導体装置およびその製造方法に関する。

【背景技術】**【0002】**

メモリチップおよびそのコントローラチップのように、複数の半導体チップを1つのパッケージ内に封止する場合がある。この場合、例えば、メモリチップをスペーサチップで嵩上げして、コントローラチップ上方に重複させて配置するパッケージ構造がある。このようなパッケージ構造は、複数の半導体チップを単純に横並びに配置した構造よりもパッケージ全体のサイズを小さくすることができる。

10

【0003】

しかし、メモリチップを嵩上げするために、スペーサチップが必要となるので、コスト高となる。

【0004】

また、スペーサチップの代わりに厚いD A F (Die Attachment Film) を用いた場合、メモリチップは傾斜し易くなる。あるいは、メモリチップ自体の形状が歪んでしまうおそれもある。メモリチップが傾斜しあるいは歪むと、メモリチップ上にさらに他のメモリチップを積層する場合に、積層したメモリチップが剥がれやすくなり、ボンディングワイヤを接続し難くなる。また、D A F がつぶれると、メモリチップがその下のコントローラチップと接触するおそれがある。さらに、D A F がつぶれると、D A F がメモリチップの下からボンディングパッドへとはみ出し、その後、金属ワイヤをボンディングパッドへボンディングすることが困難になることもある。

20

【先行技術文献】**【特許文献】****【0005】****【特許文献1】**特開2009-026843号公報**【特許文献2】**米国特許公開第2003/111720号公報**【特許文献3】**特開2004-031754号公報(米国特許第7179685号)**【特許文献4】**特開2006-222470号公報(米国特許第7148081号)

30

【発明の概要】**【発明が解決しようとする課題】****【0006】**

スペーサチップを用いること無く、一方の半導体チップを他方の半導体チップ上方に配置してパッケージサイズを小さくすることができる半導体装置およびその製造方法を提供する。

【課題を解決するための手段】**【0007】**

本実施形態による半導体装置は、基板と、第1半導体チップと、第2半導体チップと、接着層と、樹脂層とを備えている。第1半導体チップは、基板の表面上に設けられている。第2半導体チップは、裏面の第1領域において突出している突出部を有する。突出部を基板の表面に接着させたときに、第1領域以外の裏面の第2領域が第1半導体チップまたは該第1半導体チップと基板との間を接続するワイヤの少なくとも一部分の上方に第1半導体チップに接することなく配置される。接着層は、第1領域と基板との間および第2領域と基板との間に設けられている。樹脂層は、基板上に設けられ、第1および第2半導体チップを被覆する。

40

【図面の簡単な説明】**【0008】****【図1】**第1実施形態による半導体装置の構成例を示す断面図および平面図。**【図2】**第1実施形態による半導体装置の製造方法の一例を示す図。**【図3】**図2に続く、半導体装置の製造方法を示す図。

50

- 【図4】図3に続く、半導体装置の製造方法を示す図。
- 【図5】図4に続く、半導体装置の製造方法を示す図。
- 【図6】図5に続く、半導体装置の製造方法を示す図。
- 【図7】第1実施形態の変形例1による半導体装置の製造方法を示す図。
- 【図8】第1実施形態の変形例2に従った半導体装置の製造方法を示す断面図。
- 【図9】図8に続く、半導体装置の製造方法を示す図。
- 【図10】第2実施形態による半導体装置の構成例を示す断面図。
- 【図11】第3実施形態による半導体装置の構成例を示す断面図。
- 【図12】第4実施形態による半導体装置の構成例を示す断面図。
- 【図13】第5実施形態による半導体装置の構成例を示す断面図および平面図。
- 【図14】第5実施形態による半導体装置の製造方法を示す断面図。
- 【図15】第6実施形態による半導体装置の構成例を示す断面図。
- 【図16】第7実施形態による半導体装置の構成例を示す断面図。
- 【発明を実施するための形態】
- 【0009】

10

20

30

以下、図面を参照して本発明に係る実施形態を説明する。本実施形態は、本発明を限定するものではない。以下の実施形態において、上下方向は、半導体チップを基板に実装する面を上とした場合の相対方向を示し、重力加速度に従った上下方向と異なる場合がある。図面は模式的または概念的なものであり、各部分の比率などは、必ずしも現実のものと同一とは限らない。明細書と図面において、既出の図面に関して前述したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。

【0010】

(第1実施形態)

図1(A)および図1(B)は、第1実施形態による半導体装置1の構成例を示す断面図および平面図である。半導体装置1は、樹脂基板10と、コントローラチップ20と、メモリチップ30と、接着層40、50と、金属ワイヤ60、70と、モールド樹脂80とを備えている。本実施形態の半導体装置1は、面実装型の半導体パッケージであり、例えば、BGA (Ball Grid Array package)、LGA (Land Grid Array Package) 等でよい。半導体装置1は、例えば、NAND型フラッシュメモリ等の半導体記憶装置でもよい。

30

【0011】

基板としての樹脂基板10は、例えば、複数の絶縁層と複数の配線層(いずれも図示せず)とを積層して一体化した多層配線基板でよい。絶縁層には、例えば、ガラスエポキシ樹脂、有機高分子材料またはセラミックス材料(例えば、酸化アルミニウム(A₂O₃))等の樹脂材料を用いる。配線層は、樹脂基板10内に設けられ、ボンディングパッドに電気的に接続されている。配線層には、例えば、銅などの低抵抗の導電性材料を用いている。樹脂基板10の平面形状は、特に限定しないが、図1(B)に示すように、略長方形あるいは略正方形でよい。

【0012】

樹脂基板10の表面上には、ボンディングパッド12、14が設けられている。ボンディングパッド12、14には、金属ワイヤ60、70がボンディングされている。金属ワイヤ60、70には、例えば、金が用いられている。

40

【0013】

第1半導体チップとしてのコントローラチップ20は、樹脂基板10の表面上に接着層(DAF (Die Attachment Film))40で接着され固定されている。コントローラチップ20は、メモリチップ30を制御する半導体チップであり、半導体基板の表面に制御回路を構成する半導体素子(例えば、トランジスタ等)が設けられている。また、コントローラチップ20は、内部の制御回路に接続されたボンディングパッド22を有し、ボンディングパッド22は、金属ワイヤ60によって樹脂基板10のボンディングパッド12と電気的に接続されている。

50

【0014】

第2半導体チップとしてのメモリチップ30は、樹脂基板10の表面上に接着層(DA F)50で接着され固定されている。メモリチップ30は、例えば、NAND型フラッシュメモリを有する半導体チップであり、半導体基板の表面上に平面型または立体型のメモリセルアレイが設けられている。また、メモリチップ30は、内部回路に接続されたボンディングパッド24を有し、ボンディングパッド24は、金属ワイヤ70によって樹脂基板10のボンディングパッド14と電気的に接続されている。これにより、メモリチップ30は、金属ワイヤ60、70および樹脂基板10の内部配線を介してコントローラチップ20と電気的に接続され、コントローラチップ20の制御を受けて動作することができる。

10

【0015】

図1(A)に示すように、メモリチップ30の裏面は、第1領域R1において突出している突出部31を有する。また、メモリチップ30の裏面は、第1領域R1以外の裏面の第2領域R2において窪んでいる凹部を有する。突出部31を樹脂基板10の表面に接着させたときに、第2領域R2の凹部32は、コントローラチップ20と樹脂基板10との間を接続する金属ワイヤ60の少なくとも一部分の上方に重複するように位置する。このとき、凹部32は、コントローラチップ20および金属ワイヤ60には接触していない。

【0016】

接着層50は、第1領域R1と樹脂基板10との間に設けられており、突出部31を樹脂基板10上に接着する。それとともに、接着層50は、第2領域R2と樹脂基板10との間にも設けられており、凹部32を樹脂基板10に接着している。また、第2領域R2と樹脂基板10との間にある接着層50は、金属ワイヤ60の一部およびボンディングパッド12に接触しており、これらを被覆している。即ち、樹脂基板10の表面上方から見たときに、メモリチップ30の第2領域R2は、金属ワイヤ60の少なくとも一部と重複している。

20

【0017】

このように、メモリチップ30の裏面に突出部31および凹部32を設けることによって、メモリチップ30をコントローラチップ20および金属ワイヤ60に接触させることなく、メモリチップ30の第2領域R2をコントローラチップ20側へせり出すことができる。これにより、メモリチップ30をコントローラチップ20または金属ワイヤ60の上方に重複させることができ、半導体装置1の全体のサイズを小さくすることができる。

30

【0018】

第2領域R2をコントローラチップ20側へせり出しても、メモリチップ30がコントローラチップ20に接触しないように、第2領域R2と第1領域R1とにおけるメモリチップ30の厚みの差は、コントローラチップ20の厚みよりも大きいことが好ましい。また、第2領域R2をコントローラチップ20側へせり出しても、金属ワイヤ60がコントローラチップ20に接触しないように、第2領域R2と第1領域R1とにおけるメモリチップ30の厚みの差は、金属ワイヤ60の高さよりも大きいことが好ましい。

【0019】

モールド樹脂80は、樹脂基板10上に設けられ、コントローラチップ20、メモリチップ30、金属ワイヤ60、70を被覆する。モールド樹脂80は、コントローラチップ20、メモリチップ30、金属ワイヤ60、70を半導体装置1の外部から保護している。

40

【0020】

図1(B)に示すように、第1領域R1は、第2領域R2の内側にあり第2領域R2の外側にははみ出していない。また、図1(A)に示すようにコントローラチップ20およびメモリチップ30の配列方向に切断した断面において、第2領域R2は、メモリチップ30からコントローラチップ20へ向かう第1方向D1と第1方向D1とは逆の第2方向D2との両方へ延伸している。この場合、接着層50が第1領域R1からはみ出したときに、第2領域R2は、はみ出した接着層50を受容して、接着層50が横方向へ広がるこ

50

とを抑制することができる。即ち、第2領域R2がメモリチップ30の両側からD1およびD2方向へ延伸している場合、接着層50は、端部E1における第2領域R2と樹脂基板10との間、並びに、端部E2における第2領域R2と樹脂基板10との間に受容される。

【0021】

コントローラチップ20に近い端部E1において第2領域R2が設けられていれば必要はあるが、コントローラチップ20から離れた端部E2において第2領域R2は必ずしも設けられていなくてもよい。即ち、第2領域R2は、第2方向D2へ延伸している必要は必ずしも無い。この場合でも、メモリチップ30を金属ワイヤ60の上方に重複させることができる。また、第1領域R1の端部E1からD1方向へはみ出した接着層50は、第2領域R2に受容され、金属ワイヤ60の一部を被覆することができる。10

【0022】

尚、金属ワイヤ60はメモリチップ30の接着前に接合されているので、接着層50はボンディングパッド12および金属ワイヤ60に接觸しても構わない。寧ろ、接着層50がボンディングパッド12および金属ワイヤ60を被覆することによって、接着層50は、ボンディングパッド12および金属ワイヤ60を保護することができる。

【0023】

一方、端部E2に第2領域R2が設けられていない場合、第1領域R1の端部E2からD2方向へはみ出した接着層50は、受容されずに、横方向へ広がる場合がある。金属ワイヤ70はメモリチップ30の接着後に接合されるので、メモリチップ30の搭載時に接着層50がボンディングパッド14まではみ出すると、金属ワイヤ70をボンディングパッド14に接合させることができないおそれがある。従って、第2領域R2は、端部E2にも設けられていることが好ましい。しかし、接着層50が横方向へ広がったとしても、ボンディングパッド14や金属ワイヤ70に影響を与えなければ、第2領域R2は、端部E2に設けられていなくてもよい。20

【0024】

また、図1(B)に示すように、樹脂基板10の上方から見た平面視において、第2領域R2は、第1領域R1を取り囲むように、第1領域R1の外周全体に設けられていてもよい。この場合、D1、D2方向へはみ出した接着層50だけでなく、裏面F2面内においてD1、D2方向に対して略直行方向へはみ出した接着層50も第2領域R2と樹脂基板10との間で受容することができる。その結果、接着層50が過剰に広がることを抑制することができる。30

【0025】

本実施形態では、複数のメモリチップ30がコントローラチップ20の両側に分離して設けられている。この場合、コントローラチップ20の直上には、メモリチップ30は設けられていないので、複数のメモリチップ30間には、モールド樹脂80が設けられている。これにより、メモリチップ30、コントローラチップ20および金属ワイヤ60、70は、モールド樹脂80で保護される。金属ワイヤ60の一部とボンディングパッド12は、接着層50で保護される。

【0026】

本実施形態によれば、メモリチップ30の裏面の第1領域R1には突出部31を有する。突出部31を樹脂基板10の表面に接着させたとき、メモリチップ30の第2領域R2が金属ワイヤ60の少なくとも一部分の上方に、コントローラチップ20に接觸することなく配置される。樹脂基板10の表面上方から見た平面視では、第2領域R2は、金属ワイヤ60の少なくとも一部と重複している。これにより、コントローラチップ20およびメモリチップ30を単に横並びに並列させたパッケージ構造よりも、本実施形態に従ったパッケージ構造のサイズは小さくなる。40

【0027】

さらに、メモリチップ30の端部E1側の第2領域R2の下には、接着層50が設けられている。これにより、接着層50が金属ワイヤ60の一部およびボンディングパッド1

10

20

30

40

50

2を被覆してこれらを保護することができる。

【0028】

また、端部E2側の第2領域R2の下には、接着層50が受容され得る。これにより、メモリチップ30の搭載時に、接着層50がメモリチップ30からボンディングパッド14まではみ出さず、ボンディングパッド14の汚染等を抑制することができる。

【0029】

さらに、第2領域R2が第1領域R1の外周全体に設けられていることによって、接着層50がメモリチップ30からはみ出すことをさらに効果的に抑制することができる。

【0030】

次に、本実施形態による半導体装置1の製造方法について説明する。

10

【0031】

図2(A)～図6(B)は、第1実施形態による半導体装置1の製造方法の一例を示す図である。尚、以下の半導体チップの製造方法は、コントローラチップ20およびメモリチップ30のいずれにも適用可能である。

【0032】

まず、図2(A)および図2(B)に示すように、半導体ウェハ100の表面F1上に、半導体素子15を形成する。各半導体チップ間には、ダイシングラインDLが設けられている。尚、図2(B)は、図2(A)の一部の断面図である。

次に、図3(A)に示すように、半導体ウェハ100の表面F1に保護テープ110が貼付され、図3(B)に示すように、半導体ウェハ100の裏面F2をCMP(Chemical Mechanical Polishing)法により研磨する。

20

【0033】

次に、図4(A)に示すように、半導体ウェハ100の裏面F2の第2領域R2をトリムブレードTBで切削する。これにより、裏面F2の第1領域R1において突出している突出部31と、それ以外の裏面F2の第2領域R2において窪んでいる凹部32とを形成する。

【0034】

次に、図4(B)に示すように、接着層50を有するダイシングテープ120上に、裏面F2を接着層50へ向けて半導体ウェハ100を搭載する。さらに、図5(A)に示すように、半導体ウェハ100をダイシングテープ120へ加圧することによって、半導体ウェハ100の凹部32内に接着層50を埋め込む。

30

【0035】

次に、図5(B)に示すように、レーザ発振器130を用いて、半導体ウェハ100の裏面F2のダイシングラインDLに対応する部分にレーザ光を照射する。これにより、半導体ウェハ100の内部に改質層LMを形成する。

【0036】

次に、図6(A)に示すように、ダイシングテープ120を下方から押上部材140で押し上げることによって、ダイシングテープ120を引っ張る(エキスピンドさせる)。これにより、ダイシングテープ120とともに半導体ウェハ100が外方向へ引っ張られる。このとき、図6(B)に示すように、半導体ウェハ100および接着層50が改質層LMに沿って(即ち、ダイシングラインに沿って)劈開され、複数の半導体チップに個片化される。

40

【0037】

その後、半導体チップ(コントローラチップ20および/またはメモリチップ30)は、それぞれピックアップされて樹脂基板10上に実装される。

【0038】

例えば、コントローラチップ20を樹脂基板10上に実装する。このとき、図1に示すように、接着層40がコントローラチップ20を樹脂基板10上に接着する。このとき、接着層40を加熱して、コントローラチップ20を樹脂基板10上に接着してもよい。

【0039】

50

次に、金属ワイヤ 6 0 でコントローラチップ 2 0 と樹脂基板 1 0 のボンディングパッド 1 2 とを接合する。

【0040】

次に、メモリチップ 3 0 を樹脂基板 1 0 上に実装する。このとき、図 1 に示すように、接着層 5 0 がメモリチップ 3 0 を樹脂基板 1 0 上に接着する。接着層 5 0 を加熱して、メモリチップ 3 0 を樹脂基板 1 0 上に接着してもよい。このとき、メモリチップ 3 0 の突出部 3 1 を樹脂基板 1 0 の表面に接着層 5 0 で接着するとともに、凹部 3 2 を金属ワイヤ 6 0 の上方に配置する。

【0041】

メモリチップ 3 0 は、その端部 E 1 が金属ワイヤ 6 0 の上方にせり出すように配置され、金属ワイヤ 6 0 の一部と重複している。これにより、半導体装置 1 のサイズを小さくすることができる。それとともに、メモリチップ 3 0 の端部 E 1 側の接着層 5 0 は、金属ワイヤ 6 0 の一部やボンディングパッド 1 2 を埋め込み、これらを保護することができる。

【0042】

本実施形態では、2つのメモリチップ 3 0 がコントローラチップ 2 0 の両側に配置され、コントローラチップ 2 0 の両側で接着層 5 0 が金属ワイヤ 6 0 やボンディングパッド 1 2 を保護している。

【0043】

次に、コントローラチップ 2 0 およびメモリチップ 3 0 がモールド樹脂 8 0 によって封止される。これにより、図 1 に示す半導体装置 1 のパッケージが完成する。

【0044】

本実施形態によれば、メモリチップ 3 0 の突出部 3 1 を樹脂基板 1 0 の表面に接着させたとき、メモリチップ 3 0 の凹部 3 2 を金属ワイヤ 6 0 に接触させることなくその上方に配置することができる。これにより、スペーサチップ等を用いること無く、メモリチップ 3 0 の一部をコントローラチップ 2 0 の上方に重複させ、パッケージ構造のサイズを小さくすることができる。

【0045】

さらに、メモリチップ 3 0 の端部 E 1 側の第 2 領域 R 2 の下には、接着層 5 0 が設けられている。これにより、接着層 5 0 が金属ワイヤ 6 0 の一部およびボンディングパッド 1 2 を被覆してこれらを保護することができる。

【0046】

また、端部 E 2 側の第 2 領域 R 2 の下には、接着層 5 0 が受容され得る。これにより、メモリチップ 3 0 の搭載時に、接着層 5 0 がボンディングパッド 1 4 まではみ出さず、ボンディングパッド 1 4 の汚染等を抑制することができる。

【0047】

(変形例 1)

図 7 は、第 1 実施形態の変形例 1 による半導体装置 1 の製造方法を示す図である。第 1 実施形態による製造方法では、図 5 (A) に示すように、接着層 5 0 で凹部 3 2 を充填した後、レーザダイシングおよびエキスパンドによって半導体チップを個片化している。

【0048】

しかし、変形例 1 では、レーザダイシングおよびエキスパンドに代えて、ブレードダイシングを行う。ブレードダイシングでは、図 7 のダイシングブレード D B を用いて、ダイシングライン D L をカットする。

【0049】

トリムブレードの幅（回転面に対して垂直方向の幅）は、ダイシングブレードのそれよりも広い。従って、凹部 3 2 の幅は、ダイシングライン D L よりも広く、ダイシングブレードでカットされた領域の幅よりも広い。これにより、個片化後においても、メモリチップ 3 0 の裏面 F 2 には、突出部 3 1 および凹部 3 2 が残る。

【0050】

(変形例 2)

10

20

30

40

50

図8(A)～図9(B)は、第1実施形態の変形例2に従った半導体装置1の製造方法を示す断面図である。

【0051】

第1実施形態では、トリム処理を行った後に、半導体チップの個片化を行っている。これに対し、変形例2では、半導体チップの個片化を行った後に、トリム処理を行っている。

【0052】

まず、図2(A)および図2(B)を参照して説明した工程を経て、図8(A)に示すように、ダイシングブレードDBでダイシングラインDLに沿って半導体ウェハ100の途中までカットする(ハーフカット)。

10

【0053】

次に、図8(B)に示すように、半導体ウェハ100の表面F1に保護テープ110が貼付され、図9(A)に示すように、半導体ウェハ100の裏面F2をCMP法により研磨する。この裏面F2の研磨によって、半導体ウェハ100は、半導体チップに個片化される。

【0054】

その後、図9(B)に示すように、半導体ウェハ100の裏面F2の第2領域R2をトリムブレードTBで切削する。これにより、裏面F2の第1領域R1において突出している突出部31と、それ以外の裏面F2の第2領域R2において窪んでいる凹部32とを形成する。さらに、図4(B)～図5(A)を参照して説明した工程を経て、半導体チップが形成される。変形例2では、図5(B)および図6(A)に示すレーザダイシングおよびエキスパンドの工程は不要である。

20

【0055】

その後、第1実施形態と同様の工程を経て、第1実施形態と同様の半導体装置1が完成する。このように、半導体チップの個片化を行った後に、トリム処理を行っても、第1実施形態と同様の半導体装置1を形成することができる。

【0056】

(第2実施形態)

図10は、第2実施形態による半導体装置2の構成例を示す断面図である。第2実施形態では、コントローラチップ20がワイヤボンディングを必要としないフリップチップである。コントローラチップ20がフリップチップの場合、半導体素子を有する表面を樹脂基板10に向けて接合される。一方、メモリチップ30の凹部32には、コントローラチップ20の裏面が対向している。従って、接着層50がコントローラチップ20を被覆しても、接着層50の応力は、コントローラチップ20の半導体素子には印加されにくい。

30

【0057】

よって、第2実施形態では、メモリチップ30の端部E1側において、D1方向へせり出している第2領域R2が第1実施形態のそれよりも大きい。メモリチップ30の凹部32は、コントローラチップ20の上方に配置されている。それに伴い、接着層50は、コントローラチップ20上に設けられている。これにより、接着層50は、コントローラチップ20の一部を保護することができる。

40

【0058】

第2実施形態のその他の構成は、第1実施形態の構成と同様でよい。また、第2実施形態の製造方法も第1実施形態のそれと同様でよい。従って、第2実施形態は、第1実施形態と同様の効果を得ることができる。

【0059】

(第3実施形態)

図11は、第3実施形態による半導体装置3の構成例を示す断面図である。第3実施形態では、メモリチップ30の端部E1、E2において、突出部31と凹部32との間に段差部33が第3領域R3に設けられている。即ち、第3実施形態のメモリチップ30の裏面F2は、突出部31、段差部33、および、凹部32の3つの段を有する。段差部33

50

および凹部 32 は、金属ワイヤ 60 および / またはコントローラチップ 20 の上方に配置されている。

【0060】

また、図 11 では、接着層 50 は、段差部 33 まで設けられているが、凹部 32 まで設けられていてもよい。接着層 50 が段差部 33 まで設けられている場合、接着層 50 は金属ワイヤ 60 を被覆する。図示しないが、接着層 50 が凹部 32 まで設けられている場合、接着層 50 は金属ワイヤ 60 およびコントローラチップ 20 の一部を被覆する。この場合、接着層 50 は、金属ワイヤ 60 の全体、金属ワイヤ 60 とボンディングパッド 12 との接合部、および、金属ワイヤ 60 とコントローラチップ 20 との接合部を保護することができる。

10

【0061】

第 3 実施形態のように、段差部 33 を設けても、本実施形態の効果は失われない。また、段差部 33 を設けることによって、凹部 32 を D1 方向へ長くしても、メモリチップ 30 の機械的強度を維持することができる。尚、突出部 31 と凹部 32 との間に設ける段差部 33 の数は特に限定しない。従って、複数の段差部 33 を突出部 31 と凹部 32 との間に設けて、階段状にしてもよい。

【0062】

(第 4 実施形態)

図 12 は、第 4 実施形態による半導体装置 4 の構成例を示す断面図である。第 4 実施形態では、メモリチップ 30 上にさらに他のメモリチップ（第 3 半導体チップ）35 が積層されている。第 4 実施形態のその他の構成は、第 1 実施形態と同様でよい。

20

【0063】

このように、メモリチップ 30 上にメモリチップ 35 を積層しても構わない。ただし、メモリチップ 35 の裏面は、突出部 31 および凹部 32 を有さず、平坦である。また、メモリチップ 30 上に積層するメモリチップ 35 の数は、特に限定しない。第 4 実施形態のように、メモリチップ 30 上に他のメモリチップ 35 を積層しても、本実施形態の効果は失われない。

【0064】

(第 5 実施形態)

図 13 (A) および図 13 (B) は、第 5 実施形態による半導体装置 5 の構成例を示す断面図および平面図である。尚、図 13 (B) の平面図において、コントローラチップ 20 はその概略的な位置のみ示しており、金属ワイヤ 60 等についての図示は省略している。

30

【0065】

第 5 実施形態では、メモリチップ 30 は、その裏面 F2 に複数の第 1 領域 R1 を有し、第 1 領域 R1 のそれぞれに突出部 31 が設けられている。これにより、図 1 (A) に示すように、メモリチップ 30 の裏面 F2 は、樹脂基板 10 の表面に対する垂直断面において、略 U 形状に成形されている。メモリチップ 30 は、コントローラチップ 20 の上方を亘って跨ぐように設けられており、コントローラチップ 20 の両側において突出部 31 が樹脂基板 10 に接着層 50 で接着される。コントローラチップ 20 は、2 つの突出部 31 間に配置され、その上方には、凹部 32 が配置される。凹部 32 は、コントローラチップ 20 の表面上方を被覆している。このように、メモリチップ 30 は、左右に分離されておらず、一体型のチップであってもよい。メモリチップ 30 が一体型の場合、メモリチップ 30 の機械的強度および安定性が向上する。よって、メモリチップ 30 の湾曲が抑制され、メモリチップ 35 の積層数を増大させることができる。

40

【0066】

半導体装置 5 は、半導体ウェハ 100 のトリム処理の位置を変更すれば、第 1 実施形態の半導体装置 1 と同様に形成することができる。例えば、第 1 実施形態の図 4 (A) において、第 2 領域 R2 の凹部 32 は、隣接するダイシングライン DL 間に形成すればよい。尚、トリムブレード TB の幅は、各メモリチップ 30 の幅よりも小さいものとする。これ

50

により、半導体チップの中心部に凹部32が形成され、凹部32の両側に2つの突出部31が形成される。ダイシングラインDLは、突出部31の中間位置に対応する。従って、ダイシング後、各半導体チップは、その中心部に凹部32を有し、凹部32の両側に2つの突出部31を有する略U形状に形成される。上記変形例1についても、同様に、半導体ウェハ100のトリム処理の位置を変更すれば、半導体装置5を製造することができる。

【0067】

半導体装置5の製造方法として、以下のような製造方法もある。

【0068】

図14(A)および図14(B)は、第5実施形態による半導体装置5の製造方法を示す断面図である。例えば、図2(A)～図3(A)を参照して説明した工程を経た後、トリムブレードを用いて、図14(A)に示すように、ダイシングラインDL間の半導体チップの中心部に凹部32を形成する。

10

【0069】

次に、CMP法を用いて、半導体ウェハ100の裏面F2を研磨する。このとき、半導体ウェハ100の裏面F2の突出部31が所望の高さになるまで裏面F2を研磨する。これにより、図14(B)に示すように、凹部32の両側に2つの突出部31が形成される。

20

【0070】

その後、図4(B)～図7を参照して説明した工程を経て、半導体ウェハ100をダイシングする。これにより、図13(A)に示すようなメモリチップ30が形成される。このように、凹部32を形成してから裏面F2を研磨してもよい。

20

【0071】

(第6実施形態)

図15は、第6実施形態による半導体装置6の構成例を示す断面図である。第6実施形態では、メモリチップ30上にさらに他のメモリチップ(第3半導体チップ)35が積層されている。第6実施形態のその他の構成は、第5実施形態と同様でよい。

30

【0072】

このように、メモリチップ30上に他のメモリチップ35を積層しても構わない。ただし、メモリチップ35の裏面は、突出部31および凹部32を有さず、平坦である。また、メモリチップ30上に積層するメモリチップ35の数は、特に限定しない。第6実施形態のように、メモリチップ30上に他のメモリチップ35を積層しても、本実施形態の効果は失われない。

【0073】

(第7実施形態)

図16は、第7実施形態による半導体装置7の構成例を示す断面図である。第7実施形態では、メモリチップ30の裏面F2と樹脂基板10との間の全体に接着層50が設けられている。即ち、接着層50は、突出部31と樹脂基板10との間だけでなく、凹部32とコントローラチップ20または樹脂基板10との間にも設けられている。第7実施形態のその他の構成は、第5実施形態と同様でよい。

40

【0074】

このように、接着層50がメモリチップ30の下に満たされていれば、接着層50がコントローラチップ20の全体を被覆するので、コントローラチップ20には、略均一な応力が印加される。従って、第7実施形態は、コントローラチップ20がフリップチップ型ではない場合であっても適用することができる。

【0075】

第7実施形態は、第6実施形態と組み合わせてもよい。

【0076】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、

50

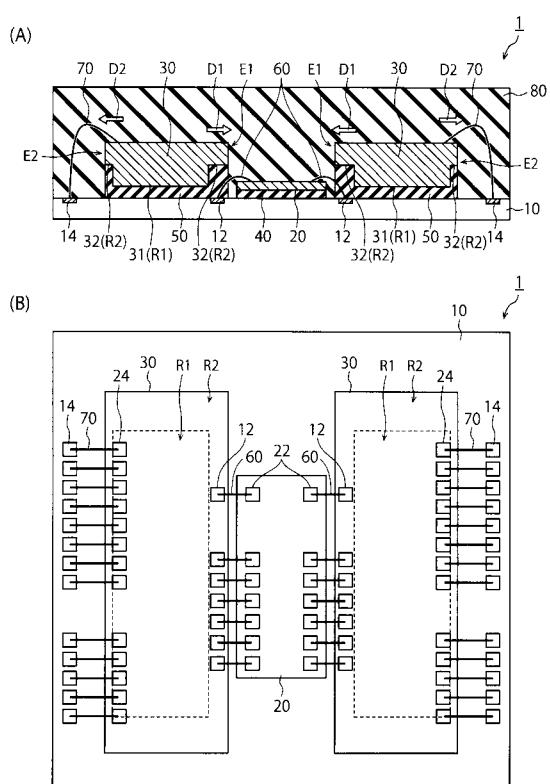
置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

【符号の説明】

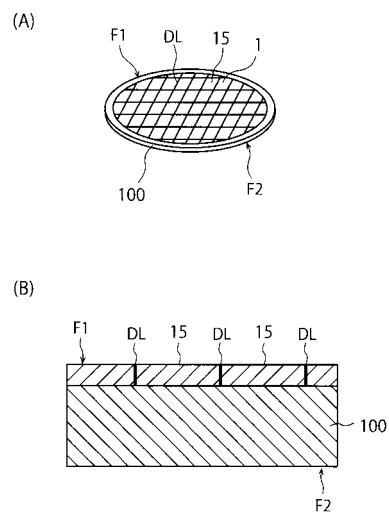
【0 0 7 7】

1 ~ 7 半導体装置、10 樹脂基板、20 コントローラチップ、30 メモリチップ
、31 突出部、32 凹部、40、50 接着層、60、70 金属ワイヤ、80 モールド樹脂

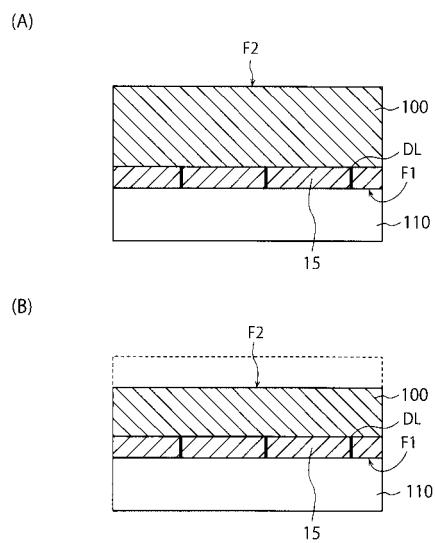
【図 1】



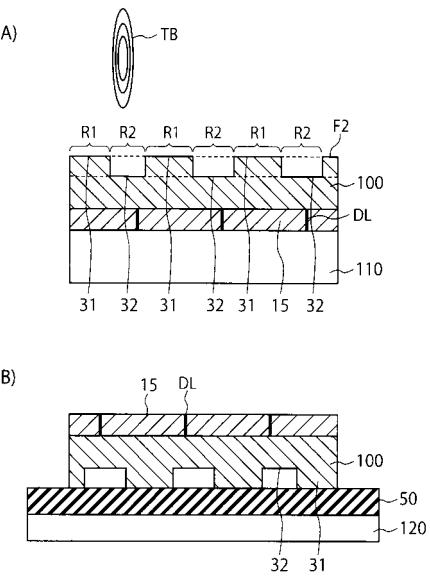
【図 2】



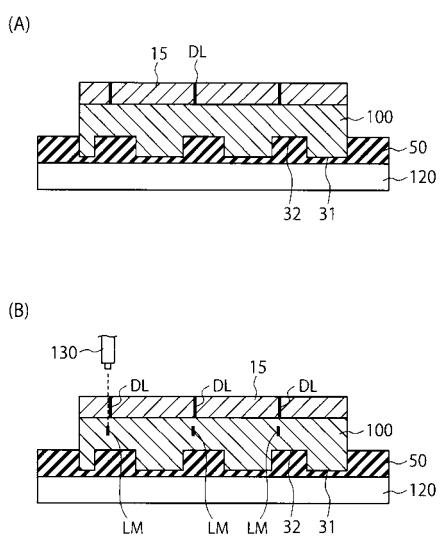
【図3】



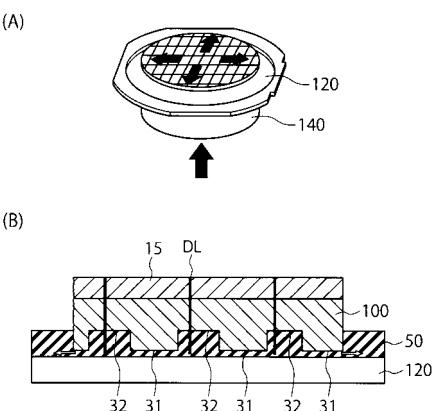
【図4】



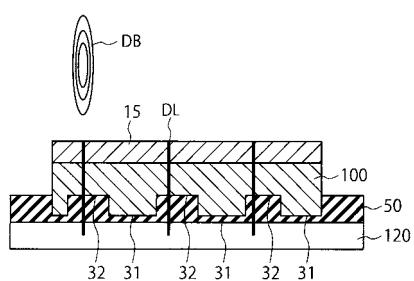
【図5】



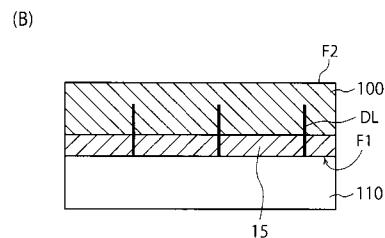
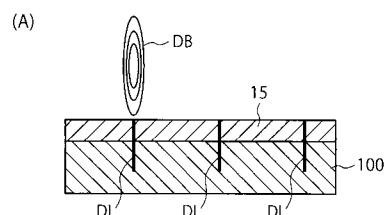
【図6】



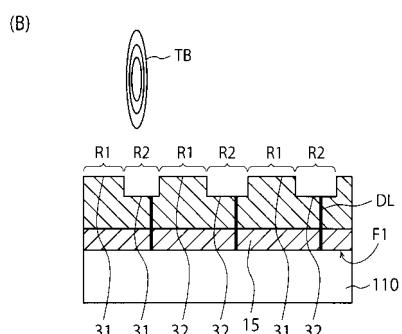
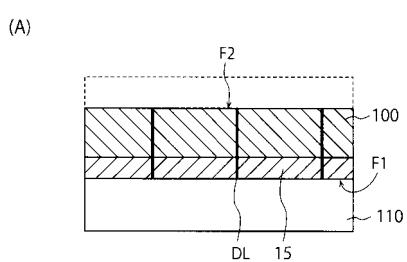
【図7】



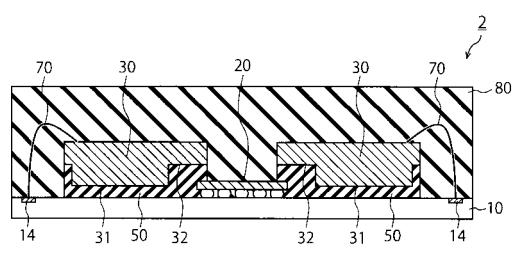
【図8】



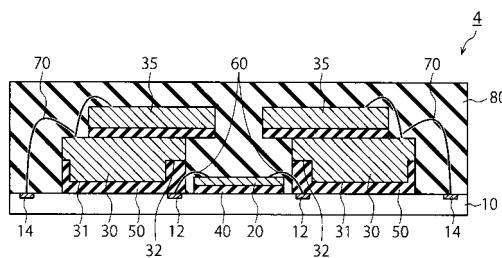
【図9】



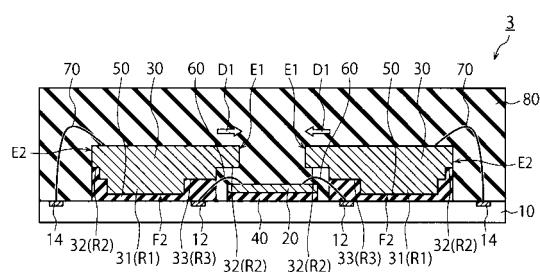
【図10】



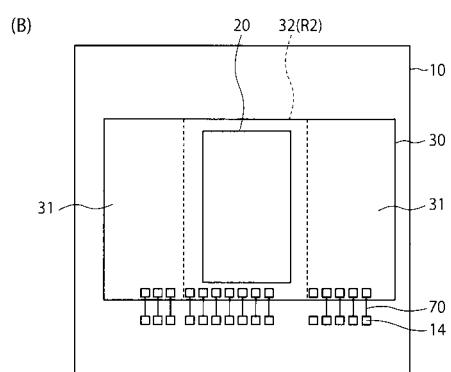
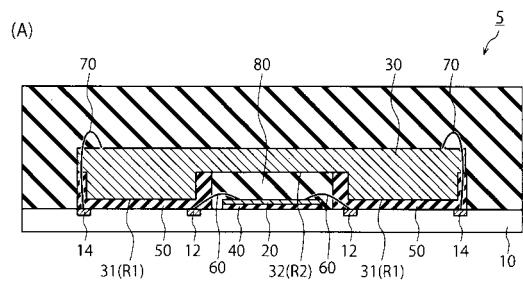
【図12】



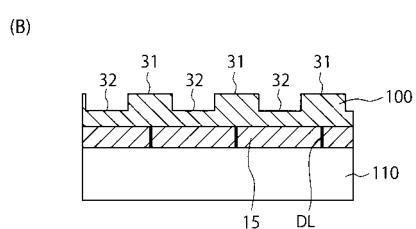
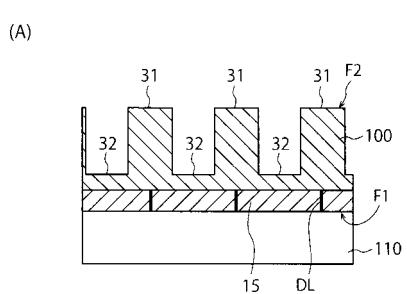
【図11】



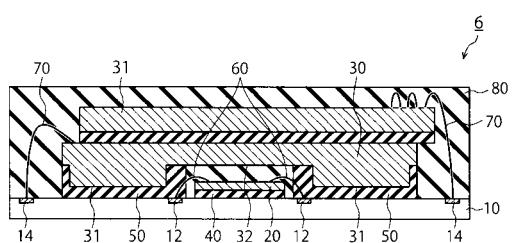
【図13】



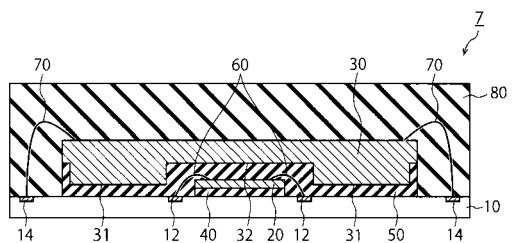
【図14】



【図15】



【図16】



フロントページの続き

(72)発明者 松浦 永悟

東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内

F ターム(参考) 5F047 AA17 BA00 BB03 BB19 CB03