

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号  
特開2020-21908  
(P2020-21908A)

(43) 公開日 令和2年2月6日(2020.2.6)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 25/04 (2014.01)	H O 1 L 25/04 Z	5 F O 4 7
H O 1 L 25/18 (2006.01)	H O 1 L 21/52 C	
H O 1 L 21/52 (2006.01)		

審査請求 未請求 請求項の数 8 O L (全 16 頁)

(21) 出願番号 (22) 出願日	特願2018-146821 (P2018-146821) 平成30年8月3日 (2018.8.3)	(71) 出願人 318010018 キオクシア株式会社 東京都港区芝浦三丁目1番21号 (74) 代理人 100091982 弁理士 永井 浩之 (74) 代理人 100091487 弁理士 中村 行孝 (74) 代理人 100082991 弁理士 佐藤 泰和 (74) 代理人 100105153 弁理士 朝倉 悟 (74) 代理人 100107582 弁理士 関根 毅 (74) 代理人 100118843 弁理士 赤岡 明
-----------------------	--	---

最終頁に続く

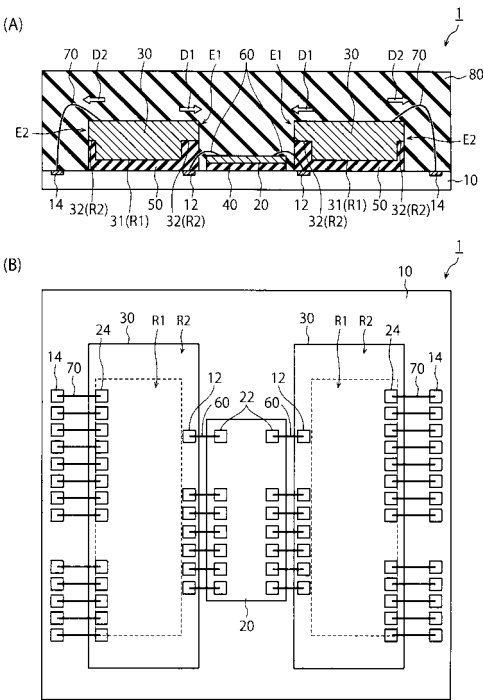
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】スパーサチップを用いることなく、一方の半導体チップを他方の半導体チップ上方に配置してパッケージサイズを小さくすることができる半導体装置およびその製造方法を提供する。

【解決手段】本実施形態による半導体装置は、基板と、第1半導体チップと、第2半導体チップと、接着層と、樹脂層とを備えている。第1半導体チップは、基板の表面上に設けられている。第2半導体チップは、裏面の第1領域において突出している突出部を有する。突出部を基板の表面に接着させたときに、第1領域以外の裏面の第2領域が第1半導体チップまたは該第1半導体チップと基板との間を接続するワイヤの少なくとも一部分の上方に第1半導体チップに接することなく配置される。接着層は、第1領域と基板との間および第2領域と基板との間に設けられている。樹脂層は、基板上に設けられ、第1および第2半導体チップを被覆する。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

基板と、

前記基板の表面上に設けられた第 1 半導体チップと、

裏面の第 1 領域において突出している突出部を有する第 2 半導体チップであって、前記突出部を前記基板の表面に接着させたときに、前記第 1 領域以外の前記裏面の第 2 領域が前記第 1 半導体チップまたは該第 1 半導体チップと前記基板との間を接続するワイヤの少なくとも一部分の上方に該第 1 半導体チップに接することなく配置される第 2 半導体チップと、

前記第 1 領域と前記基板との間および前記第 2 領域と前記基板との間に設けられた接着層と、

前記基板上に設けられ、前記第 1 および第 2 半導体チップを被覆する樹脂層とを備えた半導体装置。

**【請求項 2】**

前記接着層は、前記第 1 半導体チップまたは前記ワイヤの少なくとも一部に接触している、請求項 1 に記載の半導体装置。

**【請求項 3】**

前記第 1 および第 2 半導体チップの配列方向に切断した断面において、前記第 2 領域は、前記第 2 半導体チップから前記第 1 半導体チップへ向かう第 1 方向と該第 1 方向に対して逆側の第 2 方向との両方へ延伸しており、

前記接着層は、前記第 2 半導体チップから前記第 1 方向へ延伸する前記第 2 領域と前記基板との間、並びに、前記第 2 半導体チップから前記第 2 方向へ延伸する前記第 2 領域と前記基板との間に設けられている、請求項 1 または請求項 2 に記載の半導体装置。

**【請求項 4】**

前記第 2 領域は、前記第 2 半導体チップの前記第 1 領域の外周全体に設けられている、請求項 1 から請求項 3 のいずれか一項に記載の半導体装置。

**【請求項 5】**

前記第 2 領域と前記第 1 領域との厚みの差は、前記第 1 半導体チップの厚みよりも大きい、請求項 1 から請求項 4 のいずれか一項に記載の半導体装置。

**【請求項 6】**

複数の前記第 2 半導体チップが前記第 1 半導体チップの両側に分離して設けられており、

複数の前記第 2 半導体チップ間には、前記樹脂層が設けられている、請求項 1 から請求項 5 のいずれか一項に記載の半導体装置。

**【請求項 7】**

前記第 2 半導体チップは、複数の前記第 1 領域を有し、前記第 1 半導体チップの上方に亘って設けられており、

前記第 1 半導体チップは、前記複数の第 1 領域間に配置されている、請求項 1 から請求項 5 のいずれか一項に記載の半導体装置。

**【請求項 8】**

半導体ウェハの裏面の一部を切削して、該裏面の第 1 領域において突出している突出部と、前記第 1 領域以外の前記裏面の第 2 領域において窪んでいる凹部とを形成し、

前記半導体ウェハの凹部を埋め込むように該裏面に接着層を設け、

前記半導体ウェハから個片化された第 2 半導体チップの前記突出部を基板の表面に前記接着層で接着するとともに、前記第 2 半導体チップの前記凹部を、該第 2 半導体チップの下に設けられた第 1 半導体チップまたは該第 1 半導体チップと前記基板との間を接続するワイヤの上方に配置し、

前記基板上の前記第 1 および第 2 半導体チップを樹脂層で被覆すること、を具備した半導体装置の製造方法。

**【発明の詳細な説明】**

## 【技術分野】

## 【0001】

本実施形態は、半導体装置およびその製造方法に関する。

## 【背景技術】

## 【0002】

メモリチップおよびそのコントローラチップのように、複数の半導体チップを1つのパッケージ内に封止する場合がある。この場合、例えば、メモリチップをスペーサチップで嵩上げて、コントローラチップ上方に重複させて配置するパッケージ構造がある。このようなパッケージ構造は、複数の半導体チップを単純に横並びに配置した構造よりもパッケージ全体のサイズを小さくすることができる。

10

## 【0003】

しかし、メモリチップを嵩上げるために、スペーサチップが必要となるので、コスト高となる。

## 【0004】

また、スペーサチップの代わりに厚いDAF (Die Attachment Film) を用いた場合、メモリチップは傾斜し易くなる。あるいは、メモリチップ自体の形状が歪んでしまうおそれもある。メモリチップが傾斜しあるいは歪むと、メモリチップ上にさらに他のメモリチップを積層する場合に、積層したメモリチップが剥がれやすくなり、ボンディングワイヤを接続し難くなる。また、DAFがつぶれると、メモリチップがその下のコントローラチップと接触するおそれがある。さらに、DAFがつぶれると、DAFがメモリチップの下からボンディングパッドへとはみ出し、その後、金属ワイヤをボンディングパッドへボンディングすることが困難になることもある。

20

## 【先行技術文献】

## 【特許文献】

## 【0005】

【特許文献1】特開2009-026843号公報

【特許文献2】米国特許公開第2003/111720号公報

【特許文献3】特開2004-031754号公報 (米国特許第7179685号)

【特許文献4】特開2006-222470号公報 (米国特許第7148081号)

## 【発明の概要】

30

## 【発明が解決しようとする課題】

## 【0006】

スペーサチップを用いることなく、一方の半導体チップを他方の半導体チップ上方に配置してパッケージサイズを小さくすることができる半導体装置およびその製造方法を提供する。

## 【課題を解決するための手段】

## 【0007】

本実施形態による半導体装置は、基板と、第1半導体チップと、第2半導体チップと、接着層と、樹脂層とを備えている。第1半導体チップは、基板の表面上に設けられている。第2半導体チップは、裏面の第1領域において突出している突出部を有する。突出部を基板の表面に接着させたときに、第1領域以外の裏面の第2領域が第1半導体チップまたは該第1半導体チップと基板との間を接続するワイヤの少なくとも一部分の上方に第1半導体チップに接することなく配置される。接着層は、第1領域と基板との間および第2領域と基板との間に設けられている。樹脂層は、基板上に設けられ、第1および第2半導体チップを被覆する。

40

## 【図面の簡単な説明】

## 【0008】

【図1】第1実施形態による半導体装置の構成例を示す断面図および平面図。

【図2】第1実施形態による半導体装置の製造方法の一例を示す図。

【図3】図2に続く、半導体装置の製造方法を示す図。

50

- 【図４】図３に続く、半導体装置の製造方法を示す図。  
【図５】図４に続く、半導体装置の製造方法を示す図。  
【図６】図５に続く、半導体装置の製造方法を示す図。  
【図７】第１実施形態の変形例１による半導体装置の製造方法を示す図。  
【図８】第１実施形態の変形例２に従った半導体装置の製造方法を示す断面図。  
【図９】図８に続く、半導体装置の製造方法を示す図。  
【図１０】第２実施形態による半導体装置の構成例を示す断面図。  
【図１１】第３実施形態による半導体装置の構成例を示す断面図。  
【図１２】第４実施形態による半導体装置の構成例を示す断面図。  
【図１３】第５実施形態による半導体装置の構成例を示す断面図および平面図。  
【図１４】第５実施形態による半導体装置の製造方法を示す断面図。  
【図１５】第６実施形態による半導体装置の構成例を示す断面図。  
【図１６】第７実施形態による半導体装置の構成例を示す断面図。  
【発明を実施するための形態】  
【０００９】

10

20

30

40

50

以下、図面を参照して本発明に係る実施形態を説明する。本実施形態は、本発明を限定するものではない。以下の実施形態において、上下方向は、半導体チップを基板に実装する面を上とした場合の相対方向を示し、重力加速度に従った上下方向と異なる場合がある。図面は模式的または概念的なものであり、各部分の比率などは、必ずしも現実のものと同じとは限らない。明細書と図面において、既出の図面に関して前述したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。

【００１０】

（第１実施形態）

図１（Ａ）および図１（Ｂ）は、第１実施形態による半導体装置１の構成例を示す断面図および平面図である。半導体装置１は、樹脂基板１０と、コントローラチップ２０と、メモリチップ３０と、接着層４０、５０と、金属ワイヤ６０、７０と、モールド樹脂８０とを備えている。本実施形態の半導体装置１は、面実装型の半導体パッケージであり、例えば、ＢＧＡ（Ball Grid Array package）、ＬＧＡ（Land Grid Array Package）等であり、半導体装置１は、例えば、ＮＡＮＤ型フラッシュメモリ等の半導体記憶装置でもよい。

【００１１】

基板としての樹脂基板１０は、例えば、複数の絶縁層と複数の配線層（いずれも図示せず）とを積層して一体化した多層配線基板でよい。絶縁層には、例えば、ガラスエポキシ樹脂、有機高分子材料またはセラミックス材料（例えば、酸化アルミニウム（ $Al_2O_3$ ））等の樹脂材料を用いる。配線層は、樹脂基板１０内に設けられ、ボンディングパッドに電氣的に接続されている。配線層には、例えば、銅などの低抵抗の導電性材料を用いている。樹脂基板１０の平面形状は、特に限定しないが、図１（Ｂ）に示すように、略長方形あるいは略正方形でよい。

【００１２】

樹脂基板１０の表面上には、ボンディングパッド１２、１４が設けられている。ボンディングパッド１２、１４には、金属ワイヤ６０、７０がボンディングされている。金属ワイヤ６０、７０には、例えば、金が用いられている。

【００１３】

第１半導体チップとしてのコントローラチップ２０は、樹脂基板１０の表面上に接着層（ＤＡＦ（Die Attachment Film））４０で接着され固定されている。コントローラチップ２０は、メモリチップ３０を制御する半導体チップであり、半導体基板の表面に制御回路を構成する半導体素子（例えば、トランジスタ等）が設けられている。また、コントローラチップ２０は、内部の制御回路に接続されたボンディングパッド２２を有し、ボンディングパッド２２は、金属ワイヤ６０によって樹脂基板１０のボンディングパッド１２と電氣的に接続されている。

## 【 0 0 1 4 】

第 2 半導体チップとしてのメモリチップ 3 0 は、樹脂基板 1 0 の表面上に接着層 ( D A F ) 5 0 で接着され固定されている。メモリチップ 3 0 は、例えば、N A N D 型フラッシュメモリを有する半導体チップであり、半導体基板の表面上に平面型または立体型のメモリセルアレイが設けられている。また、メモリチップ 3 0 は、内部回路に接続されたボンディングパッド 2 4 を有し、ボンディングパッド 2 4 は、金属ワイヤ 7 0 によって樹脂基板 1 0 のボンディングパッド 1 4 と電氣的に接続されている。これにより、メモリチップ 3 0 は、金属ワイヤ 6 0、7 0 および樹脂基板 1 0 の内部配線を介してコントローラチップ 2 0 と電氣的に接続され、コントローラチップ 2 0 の制御を受けて動作することができる。

10

## 【 0 0 1 5 】

図 1 ( A ) に示すように、メモリチップ 3 0 の裏面は、第 1 領域 R 1 において突出している突出部 3 1 を有する。また、メモリチップ 3 0 の裏面は、第 1 領域 R 1 以外の裏面の第 2 領域 R 2 において窪んでいる凹部を有する。突出部 3 1 を樹脂基板 1 0 の表面に接着させたときに、第 2 領域 R 2 の凹部 3 2 は、コントローラチップ 2 0 と樹脂基板 1 0 との間を接続する金属ワイヤ 6 0 の少なくとも一部分の上方に重複するように位置する。このとき、凹部 3 2 は、コントローラチップ 2 0 および金属ワイヤ 6 0 には接触していない。

## 【 0 0 1 6 】

接着層 5 0 は、第 1 領域 R 1 と樹脂基板 1 0 との間に設けられており、突出部 3 1 を樹脂基板 1 0 上に接着する。それとともに、接着層 5 0 は、第 2 領域 R 2 と樹脂基板 1 0 との間にも設けられており、凹部 3 2 を樹脂基板 1 0 に接着している。また、第 2 領域 R 2 と樹脂基板 1 0 との間にある接着層 5 0 は、金属ワイヤ 6 0 の一部およびボンディングパッド 1 2 に接触しており、これらを被覆している。即ち、樹脂基板 1 0 の表面上方から見たときに、メモリチップ 3 0 の第 2 領域 R 2 は、金属ワイヤ 6 0 の少なくとも一部と重複している。

20

## 【 0 0 1 7 】

このように、メモリチップ 3 0 の裏面に突出部 3 1 および凹部 3 2 を設けることによって、メモリチップ 3 0 をコントローラチップ 2 0 および金属ワイヤ 6 0 に接触させることなく、メモリチップ 3 0 の第 2 領域 R 2 をコントローラチップ 2 0 側へせり出すことができる。これにより、メモリチップ 3 0 をコントローラチップ 2 0 または金属ワイヤ 6 0 の上方に重複させることができ、半導体装置 1 の全体のサイズを小さくすることができる。

30

## 【 0 0 1 8 】

第 2 領域 R 2 をコントローラチップ 2 0 側へせり出しても、メモリチップ 3 0 がコントローラチップ 2 0 に接触しないように、第 2 領域 R 2 と第 1 領域 R 1 とにおけるメモリチップ 3 0 の厚みの差は、コントローラチップ 2 0 の厚みよりも大きいことが好ましい。また、第 2 領域 R 2 をコントローラチップ 2 0 側へせり出しても、金属ワイヤ 6 0 がコントローラチップ 2 0 に接触しないように、第 2 領域 R 2 と第 1 領域 R 1 とにおけるメモリチップ 3 0 の厚みの差は、金属ワイヤ 6 0 の高さよりも大きいことが好ましい。

## 【 0 0 1 9 】

モールド樹脂 8 0 は、樹脂基板 1 0 上に設けられ、コントローラチップ 2 0、メモリチップ 3 0、金属ワイヤ 6 0、7 0 を被覆する。モールド樹脂 8 0 は、コントローラチップ 2 0、メモリチップ 3 0、金属ワイヤ 6 0、7 0 を半導体装置 1 の外部から保護している。

40

## 【 0 0 2 0 】

図 1 ( B ) に示すように、第 1 領域 R 1 は、第 2 領域 R 2 の内側にあり第 2 領域 R 2 の外側にははみ出していない。また、図 1 ( A ) に示すようにコントローラチップ 2 0 およびメモリチップ 3 0 の配列方向に切断した断面において、第 2 領域 R 2 は、メモリチップ 3 0 からコントローラチップ 2 0 へ向かう第 1 方向 D 1 と第 1 方向 D 1 とは逆の第 2 方向 D 2 との両方へ延伸している。この場合、接着層 5 0 が第 1 領域 R 1 からのはみ出したときに、第 2 領域 R 2 は、はみ出した接着層 5 0 を受容して、接着層 5 0 が横方向へ広がるこ

50

とを抑制することができる。即ち、第2領域R2がメモリチップ30の両側からD1およびD2方向へ延伸している場合、接着層50は、端部E1における第2領域R2と樹脂基板10との間、並びに、端部E2における第2領域R2と樹脂基板10との間に受容される。

#### 【0021】

コントローラチップ20に近い端部E1において第2領域R2が設けられていれている必要はあるが、コントローラチップ20から離れた端部E2において第2領域R2は必ずしも設けられていなくてもよい。即ち、第2領域R2は、第2方向D2へ延伸している必要は必ずしも無い。この場合でも、メモリチップ30を金属ワイヤ60の上方に重複させることができる。また、第1領域R1の端部E1からD1方向へはみ出した接着層50は、第2領域R2に受容され、金属ワイヤ60の一部を被覆することができる。

10

#### 【0022】

尚、金属ワイヤ60はメモリチップ30の接着前に接合されているので、接着層50はボンディングパッド12および金属ワイヤ60に接触しても構わない。寧ろ、接着層50がボンディングパッド12および金属ワイヤ60を被覆することによって、接着層50は、ボンディングパッド12および金属ワイヤ60を保護することができる。

#### 【0023】

一方、端部E2に第2領域R2が設けられていない場合、第1領域R1の端部E2からD2方向へはみ出した接着層50は、受容されずに、横方向へ広がる場合がある。金属ワイヤ70はメモリチップ30の接着後に接合されるので、メモリチップ30の搭載時に接着層50がボンディングパッド14まではみ出すと、金属ワイヤ70をボンディングパッド14に接合させることができないおそれがある。従って、第2領域R2は、端部E2にも設けられていることが好ましい。しかし、接着層50が横方向へ広がったとしても、ボンディングパッド14や金属ワイヤ70に影響を与えなければ、第2領域R2は、端部E2に設けられていなくてもよい。

20

#### 【0024】

また、図1(B)に示すように、樹脂基板10の上方から見た平面視において、第2領域R2は、第1領域R1を取り囲むように、第1領域R1の外周全体に設けられていてもよい。この場合、D1、D2方向へはみ出した接着層50だけでなく、裏面F2面内においてD1、D2方向に対して略直行方向へはみ出した接着層50も第2領域R2と樹脂基板10との間で受容することができる。その結果、接着層50が過剰に広がることを抑制することができる。

30

#### 【0025】

本実施形態では、複数のメモリチップ30がコントローラチップ20の両側に分離して設けられている。この場合、コントローラチップ20の直上には、メモリチップ30は設けられていないので、複数のメモリチップ30間には、モールド樹脂80が設けられている。これにより、メモリチップ30、コントローラチップ20および金属ワイヤ60、70は、モールド樹脂80で保護される。金属ワイヤ60の一部とボンディングパッド12は、接着層50で保護される。

#### 【0026】

本実施形態によれば、メモリチップ30の裏面の第1領域R1には突出部31を有する。突出部31を樹脂基板10の表面に接着させたとき、メモリチップ30の第2領域R2が金属ワイヤ60の少なくとも一部分の上方に、コントローラチップ20に接触することなく配置される。樹脂基板10の表面上方から見た平面視では、第2領域R2は、金属ワイヤ60の少なくとも一部と重複している。これにより、コントローラチップ20およびメモリチップ30を単に横並びに並列させたパッケージ構造よりも、本実施形態に従ったパッケージ構造のサイズは小さくなる。

40

#### 【0027】

さらに、メモリチップ30の端部E1側の第2領域R2の下には、接着層50が設けられている。これにより、接着層50が金属ワイヤ60の一部およびボンディングパッド1

50

2を被覆してこれらを保護することができる。

【0028】

また、端部E2側の第2領域R2の下には、接着層50が受容され得る。これにより、メモリチップ30の搭載時に、接着層50がメモリチップ30からボンディングパッド14まではみ出さず、ボンディングパッド14の汚染等を抑制することができる。

【0029】

さらに、第2領域R2が第1領域R1の外周全体に設けられていることによって、接着層50がメモリチップ30からはみ出すことをさらに効果的に抑制することができる。

【0030】

次に、本実施形態による半導体装置1の製造方法について説明する。

10

【0031】

図2(A)~図6(B)は、第1実施形態による半導体装置1の製造方法の一例を示す図である。尚、以下の半導体チップの製造方法は、コントローラチップ20およびメモリチップ30のいずれにも適用可能である。

【0032】

まず、図2(A)および図2(B)に示すように、半導体ウェハ100の表面F1上に、半導体素子15を形成する。各半導体チップ間には、ダイシングラインDLが設けられている。尚、図2(B)は、図2(A)の一部の断面図である。

次に、図3(A)に示すように、半導体ウェハ100の表面F1に保護テープ110が貼付され、図3(B)に示すように、半導体ウェハ100の裏面F2をCMP(Chemical Mechanical Polishing)法により研磨する。

20

【0033】

次に、図4(A)に示すように、半導体ウェハ100の裏面F2の第2領域R2をトリムブレードTBで切削する。これにより、裏面F2の第1領域R1において突出している突出部31と、それ以外の裏面F2の第2領域R2において窪んでいる凹部32とを形成する。

【0034】

次に、図4(B)に示すように、接着層50を有するダイシングテープ120上に、裏面F2を接着層50へ向けて半導体ウェハ100を搭載する。さらに、図5(A)に示すように、半導体ウェハ100をダイシングテープ120へ加圧することによって、半導体ウェハ100の凹部32内に接着層50を埋め込む。

30

【0035】

次に、図5(B)に示すように、レーザ発振器130を用いて、半導体ウェハ100の裏面F2のダイシングラインDLに対応する部分にレーザ光を照射する。これにより、半導体ウェハ100の内部に改質層LMを形成する。

【0036】

次に、図6(A)に示すように、ダイシングテープ120を下方から押上部材140で押し上げることによって、ダイシングテープ120を引っ張る(エキスパンドさせる)。これにより、ダイシングテープ120とともに半導体ウェハ100が外方向へ引っ張られる。このとき、図6(B)に示すように、半導体ウェハ100および接着層50が改質層LMに沿って(即ち、ダイシングラインに沿って)劈開され、複数の半導体チップに個片化される。

40

【0037】

その後、半導体チップ(コントローラチップ20および/またはメモリチップ30)は、それぞれピックアップされて樹脂基板10上に実装される。

【0038】

例えば、コントローラチップ20を樹脂基板10上に実装する。このとき、図1に示すように、接着層40がコントローラチップ20を樹脂基板10上に接着する。このとき、接着層40を加熱して、コントローラチップ20を樹脂基板10上に接着してもよい。

【0039】

50

次に、金属ワイヤ 60 でコントローラチップ 20 と樹脂基板 10 のボンディングパッド 12 とを接合する。

【0040】

次に、メモリチップ 30 を樹脂基板 10 上に実装する。このとき、図 1 に示すように、接着層 50 がメモリチップ 30 を樹脂基板 10 上に接着する。接着層 50 を加熱して、メモリチップ 30 を樹脂基板 10 上に接着してもよい。このとき、メモリチップ 30 の突出部 31 を樹脂基板 10 の表面に接着層 50 で接着するとともに、凹部 32 を金属ワイヤ 60 の上方に配置する。

【0041】

メモリチップ 30 は、その端部 E1 が金属ワイヤ 60 の上方にせり出すように配置され、金属ワイヤ 60 の一部と重複している。これにより、半導体装置 1 のサイズを小さくすることができる。それとともに、メモリチップ 30 の端部 E1 側の接着層 50 は、金属ワイヤ 60 の一部やボンディングパッド 12 を埋め込み、これらを保護することができる。

【0042】

本実施形態では、2つのメモリチップ 30 がコントローラチップ 20 の両側に配置され、コントローラチップ 20 の両側で接着層 50 が金属ワイヤ 60 やボンディングパッド 12 を保護している。

【0043】

次に、コントローラチップ 20 およびメモリチップ 30 がモールド樹脂 80 によって封止される。これにより、図 1 に示す半導体装置 1 のパッケージが完成する。

【0044】

本実施形態によれば、メモリチップ 30 の突出部 31 を樹脂基板 10 の表面に接着させたとき、メモリチップ 30 の凹部 32 を金属ワイヤ 60 に接触させることなくその上方に配置することができる。これにより、スペーサチップ等を用いることなく、メモリチップ 30 の一部をコントローラチップ 20 の上方に重複させ、パッケージ構造のサイズを小さくすることができる。

【0045】

さらに、メモリチップ 30 の端部 E1 側の第 2 領域 R2 の下には、接着層 50 が設けられている。これにより、接着層 50 が金属ワイヤ 60 の一部およびボンディングパッド 12 を被覆してこれらを保護することができる。

【0046】

また、端部 E2 側の第 2 領域 R2 の下には、接着層 50 が受容され得る。これにより、メモリチップ 30 の搭載時に、接着層 50 がボンディングパッド 14 までみ出さず、ボンディングパッド 14 の汚染等を抑制することができる。

【0047】

(変形例 1)

図 7 は、第 1 実施形態の変形例 1 による半導体装置 1 の製造方法を示す図である。第 1 実施形態による製造方法では、図 5 (A) に示すように、接着層 50 で凹部 32 を充填した後、レーザダイシングおよびエキスパンドによって半導体チップを個片化している。

【0048】

しかし、変形例 1 では、レーザダイシングおよびエキスパンドに代えて、ブレードダイシングを行う。ブレードダイシングでは、図 7 のダイシングブレード DB を用いて、ダイシングライン DL をカットする。

【0049】

トリムブレードの幅 (回転面に対して垂直方向の幅) は、ダイシングブレードのそれよりも広い。従って、凹部 32 の幅は、ダイシングライン DL よりも広く、ダイシングブレードでカットされた領域の幅よりも広い。これにより、個片化後においても、メモリチップ 30 の裏面 F2 には、突出部 31 および凹部 32 が残る。

【0050】

(変形例 2)

10

20

30

40

50



図 8 ( A ) ~ 図 9 ( B ) は、第 1 実施形態の変形例 2 に従った半導体装置 1 の製造方法を示す断面図である。

【 0 0 5 1 】

第 1 実施形態では、トリム処理を行った後に、半導体チップの個片化を行っている。これに対し、変形例 2 では、半導体チップの個片化を行った後に、トリム処理を行っている。

【 0 0 5 2 】

まず、図 2 ( A ) および図 2 ( B ) を参照して説明した工程を経て、図 8 ( A ) に示すように、ダイシングブレード D B でダイシングライン D L に沿って半導体ウェハ 1 0 0 の途中までカットする ( ハーフカット ) 。

【 0 0 5 3 】

次に、図 8 ( B ) に示すように、半導体ウェハ 1 0 0 の表面 F 1 に保護テープ 1 1 0 が貼付され、図 9 ( A ) に示すように、半導体ウェハ 1 0 0 の裏面 F 2 を C M P 法により研磨する。この裏面 F 2 の研磨によって、半導体ウェハ 1 0 0 は、半導体チップに個片化される。

【 0 0 5 4 】

その後、図 9 ( B ) に示すように、半導体ウェハ 1 0 0 の裏面 F 2 の第 2 領域 R 2 をトリムブレード T B で切削する。これにより、裏面 F 2 の第 1 領域 R 1 において突出している突出部 3 1 と、それ以外の裏面 F 2 の第 2 領域 R 2 において窪んでいる凹部 3 2 とを形成する。さらに、図 4 ( B ) ~ 図 5 ( A ) を参照して説明した工程を経て、半導体チップが形成される。変形例 2 では、図 5 ( B ) および図 6 ( A ) に示すレーザダイシングおよびエキスパンドの工程は不要である。

【 0 0 5 5 】

その後、第 1 実施形態と同様の工程を経て、第 1 実施形態と同様の半導体装置 1 が完成する。このように、半導体チップの個片化を行った後に、トリム処理を行っても、第 1 実施形態と同様の半導体装置 1 を形成することができる。

【 0 0 5 6 】

( 第 2 実施形態 )

図 1 0 は、第 2 実施形態による半導体装置 2 の構成例を示す断面図である。第 2 実施形態では、コントローラチップ 2 0 がワイヤボンディングを必要としないフリップチップである。コントローラチップ 2 0 がフリップチップの場合、半導体素子を有する表面を樹脂基板 1 0 に向けて接合される。一方、メモリチップ 3 0 の凹部 3 2 には、コントローラチップ 2 0 の裏面が対向している。従って、接着層 5 0 がコントローラチップ 2 0 を被覆しても、接着層 5 0 の応力は、コントローラチップ 2 0 の半導体素子には印加されにくい。

【 0 0 5 7 】

よって、第 2 実施形態では、メモリチップ 3 0 の端部 E 1 側において、D 1 方向へせり出している第 2 領域 R 2 が第 1 実施形態のそれよりも大きい。メモリチップ 3 0 の凹部 3 2 は、コントローラチップ 2 0 の上方に配置されている。それに伴い、接着層 5 0 は、コントローラチップ 2 0 上に設けられている。これにより、接着層 5 0 は、コントローラチップ 2 0 の一部を保護することができる。

【 0 0 5 8 】

第 2 実施形態のその他の構成は、第 1 実施形態の構成と同様でよい。また、第 2 実施形態の製造方法も第 1 実施形態のそれと同様でよい。従って、第 2 実施形態は、第 1 実施形態と同様の効果を得ることができる。

【 0 0 5 9 】

( 第 3 実施形態 )

図 1 1 は、第 3 実施形態による半導体装置 3 の構成例を示す断面図である。第 3 実施形態では、メモリチップ 3 0 の端部 E 1、E 2 において、突出部 3 1 と凹部 3 2 との間に段差部 3 3 が第 3 領域 R 3 に設けられている。即ち、第 3 実施形態のメモリチップ 3 0 の裏面 F 2 は、突出部 3 1、段差部 3 3、および、凹部 3 2 の 3 つの段を有する。段差部 3 3

10

20

30

40

50

および凹部 32 は、金属ワイヤ 60 および / またはコントローラチップ 20 の上方に配置されている。

【0060】

また、図 11 では、接着層 50 は、段差部 33 まで設けられているが、凹部 32 まで設けられていてもよい。接着層 50 が段差部 33 まで設けられている場合、接着層 50 は金属ワイヤ 60 を被覆する。図示しないが、接着層 50 が凹部 32 まで設けられている場合、接着層 50 は金属ワイヤ 60 およびコントローラチップ 20 の一部を被覆する。この場合、接着層 50 は、金属ワイヤ 60 の全体、金属ワイヤ 60 とボンディングパッド 12 との接合部、および、金属ワイヤ 60 とコントローラチップ 20 との接合部を保護することができる。

10

【0061】

第 3 実施形態のように、段差部 33 を設けても、本実施形態の効果は失われない。また、段差部 33 を設けることによって、凹部 32 を D1 方向へ長くしても、メモリチップ 30 の機械的強度を維持することができる。尚、突出部 31 と凹部 32 との間に設ける段差部 33 の数は特に限定しない。従って、複数の段差部 33 を突出部 31 と凹部 32 との間に設けて、階段状にしてもよい。

【0062】

(第 4 実施形態)

図 12 は、第 4 実施形態による半導体装置 4 の構成例を示す断面図である。第 4 実施形態では、メモリチップ 30 上にさらに他のメモリチップ (第 3 半導体チップ) 35 が積層されている。第 4 実施形態のその他の構成は、第 1 実施形態と同様でよい。

20

【0063】

このように、メモリチップ 30 上にメモリチップ 35 を積層しても構わない。ただし、メモリチップ 35 の裏面は、突出部 31 および凹部 32 を有さず、平坦である。また、メモリチップ 30 上に積層するメモリチップ 35 の数は、特に限定しない。第 4 実施形態のように、メモリチップ 30 上に他のメモリチップ 35 を積層しても、本実施形態の効果は失われない。

【0064】

(第 5 実施形態)

図 13 (A) および図 13 (B) は、第 5 実施形態による半導体装置 5 の構成例を示す断面図および平面図である。尚、図 13 (B) の平面図において、コントローラチップ 20 はその概略的な位置のみ示しており、金属ワイヤ 60 等についての図示は省略している。

30

【0065】

第 5 実施形態では、メモリチップ 30 は、その裏面 F2 に複数の第 1 領域 R1 を有し、第 1 領域 R1 のそれぞれに突出部 31 が設けられている。これにより、図 1 (A) に示すように、メモリチップ 30 の裏面 F2 は、樹脂基板 10 の表面に対する垂直断面において、略 U 形状に成形されている。メモリチップ 30 は、コントローラチップ 20 の上方を亘って跨ぐように設けられており、コントローラチップ 20 の両側において突出部 31 が樹脂基板 10 に接着層 50 で接着される。コントローラチップ 20 は、2 つの突出部 31 間に配置され、その上方には、凹部 32 が配置される。凹部 32 は、コントローラチップ 20 の表面上方を被覆している。このように、メモリチップ 30 は、左右に分離されておらず、一体型のチップであってもよい。メモリチップ 30 が一体型の場合、メモリチップ 30 の機械的強度および安定性が向上する。よって、メモリチップ 30 の湾曲が抑制され、メモリチップ 35 の積層数を増大させることができる。

40

【0066】

半導体装置 5 は、半導体ウェハ 100 のトリム処理の位置を変更すれば、第 1 実施形態の半導体装置 1 と同様に形成することができる。例えば、第 1 実施形態の図 4 (A) において、第 2 領域 R2 の凹部 32 は、隣接するダイシングライン DL 間に形成すればよい。尚、トリムブレード TB の幅は、各メモリチップ 30 の幅よりも小さいものとする。これ

50

により、半導体チップの中心部に凹部 3 2 が形成され、凹部 3 2 の両側に 2 つの突出部 3 1 が形成される。ダイシングライン D L は、突出部 3 1 の中間位置に対応する。従って、ダイシング後、各半導体チップは、その中心部に凹部 3 2 を有し、凹部 3 2 の両側に 2 つの突出部 3 1 を有する略 U 形状に形成される。上記変形例 1 についても、同様に、半導体ウェハ 1 0 0 のトリム処理の位置を変更すれば、半導体装置 5 を製造することができる。

【 0 0 6 7 】

半導体装置 5 の製造方法として、以下のような製造方法もある。

【 0 0 6 8 】

図 1 4 ( A ) および図 1 4 ( B ) は、第 5 実施形態による半導体装置 5 の製造方法を示す断面図である。例えば、図 2 ( A ) ~ 図 3 ( A ) を参照して説明した工程を経た後、トリムブレードを用いて、図 1 4 ( A ) に示すように、ダイシングライン D L 間の半導体チップの中心部に凹部 3 2 を形成する。

10

【 0 0 6 9 】

次に、CMP 法を用いて、半導体ウェハ 1 0 0 の裏面 F 2 を研磨する。このとき、半導体ウェハ 1 0 0 の裏面 F 2 の突出部 3 1 が所望の高さになるまで裏面 F 2 を研磨する。これにより、図 1 4 ( B ) に示すように、凹部 3 2 の両側に 2 つの突出部 3 1 が形成される。

【 0 0 7 0 】

その後、図 4 ( B ) ~ 図 7 を参照して説明した工程を経て、半導体ウェハ 1 0 0 をダイシングする。これにより、図 1 3 ( A ) に示すようなメモリチップ 3 0 が形成される。このように、凹部 3 2 を形成してから裏面 F 2 を研磨してもよい。

20

【 0 0 7 1 】

( 第 6 実施形態 )

図 1 5 は、第 6 実施形態による半導体装置 6 の構成例を示す断面図である。第 6 実施形態では、メモリチップ 3 0 上にさらに他のメモリチップ ( 第 3 半導体チップ ) 3 5 が積層されている。第 6 実施形態のその他の構成は、第 5 実施形態と同様でよい。

【 0 0 7 2 】

このように、メモリチップ 3 0 上に他のメモリチップ 3 5 を積層しても構わない。ただし、メモリチップ 3 5 の裏面は、突出部 3 1 および凹部 3 2 を有さず、平坦である。また、メモリチップ 3 0 上に積層するメモリチップ 3 5 の数は、特に限定しない。第 6 実施形態のように、メモリチップ 3 0 上に他のメモリチップ 3 5 を積層しても、本実施形態の効果は失われない。

30

【 0 0 7 3 】

( 第 7 実施形態 )

図 1 6 は、第 7 実施形態による半導体装置 7 の構成例を示す断面図である。第 7 実施形態では、メモリチップ 3 0 の裏面 F 2 と樹脂基板 1 0 との間の全体に接着層 5 0 が設けられている。即ち、接着層 5 0 は、突出部 3 1 と樹脂基板 1 0 との間だけでなく、凹部 3 2 とコントローラチップ 2 0 または樹脂基板 1 0 との間にも設けられている。第 7 実施形態のその他の構成は、第 5 実施形態と同様でよい。

【 0 0 7 4 】

このように、接着層 5 0 がメモリチップ 3 0 の下に満たされていれば、接着層 5 0 がコントローラチップ 2 0 の全体を被覆するので、コントローラチップ 2 0 には、略均一な応力が印加される。従って、第 7 実施形態は、コントローラチップ 2 0 がフリップチップ型ではない場合であっても適用することができる。

40

【 0 0 7 5 】

第 7 実施形態は、第 6 実施形態と組み合わせてもよい。

【 0 0 7 6 】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、

50

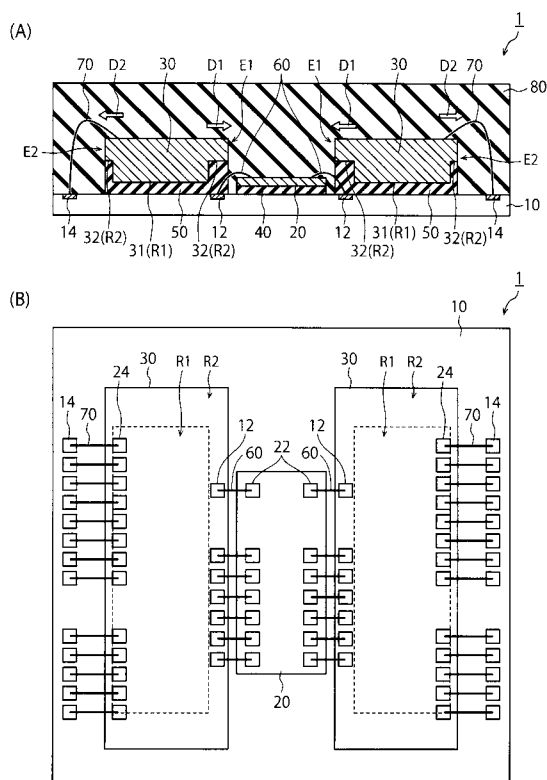
置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

【符号の説明】

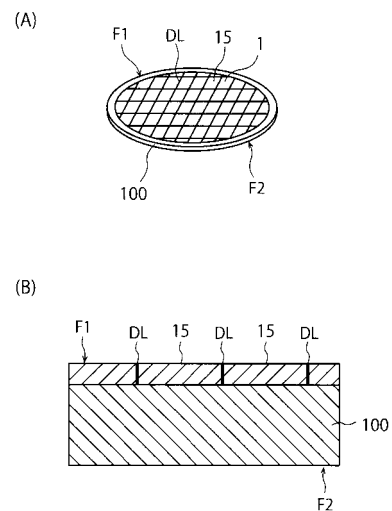
【 0 0 7 7 】

1 ～ 7 半導体装置、10 樹脂基板、20 コントローラチップ、30 メモリチップ、31 突出部、32 凹部、40、50 接着層、60、70 金属ワイヤ、80 モールド樹脂

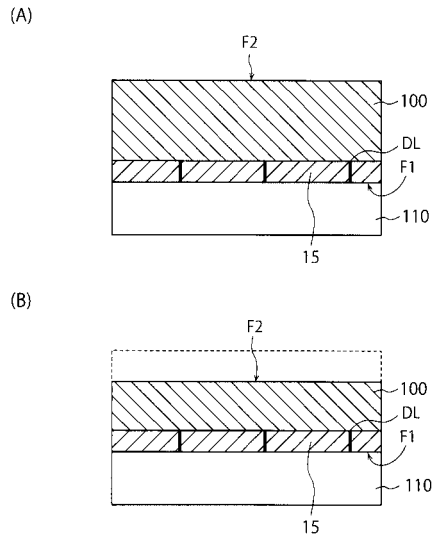
【 図 1 】



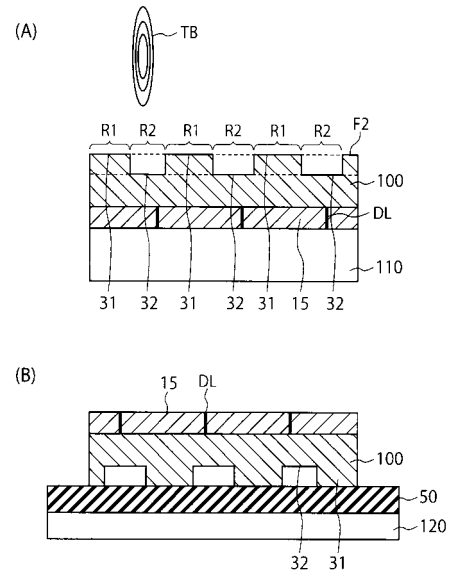
【 図 2 】



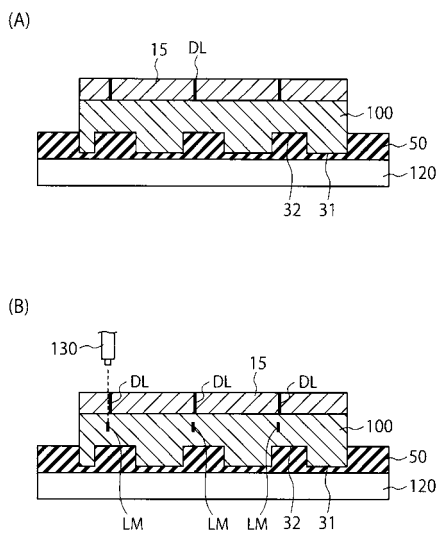
【図 3】



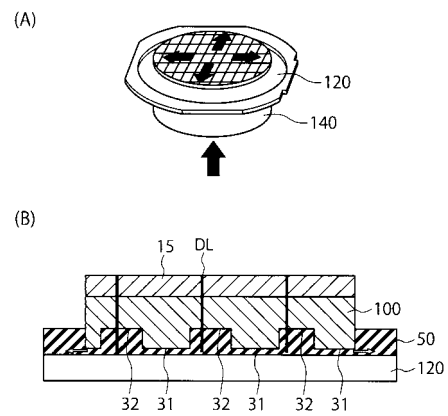
【図 4】



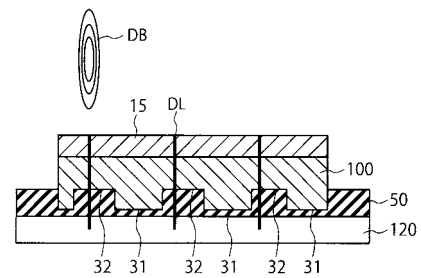
【図 5】



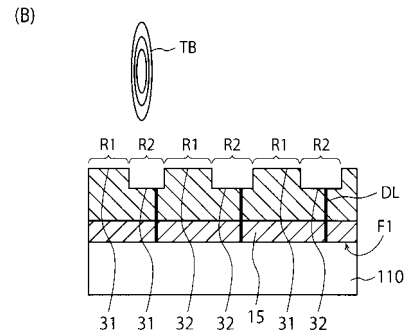
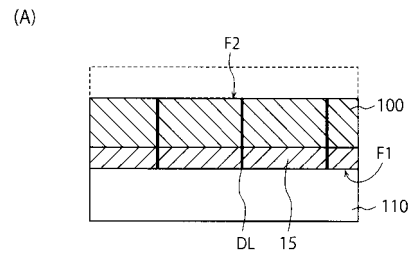
【図 6】



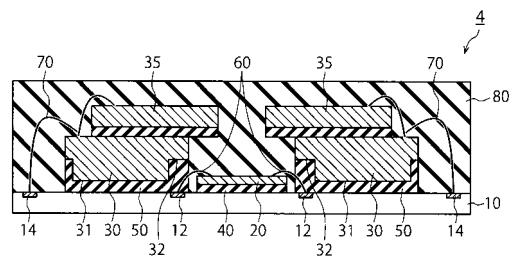
【図 7】



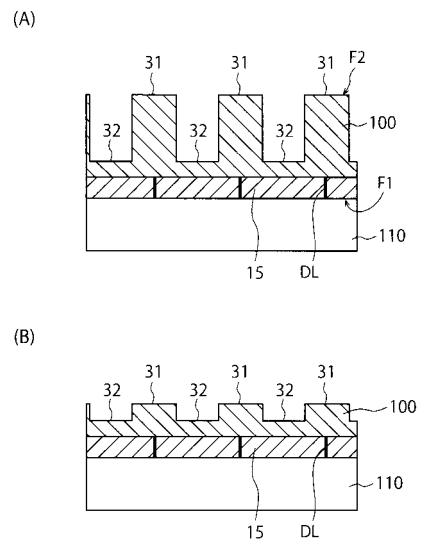
【 図 9 】



【 図 1 2 】



【 図 1 4 】

[illegible]

---

フロントページの続き

(72)発明者 松浦 永悟

東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内

Fターム(参考) 5F047 AA17 BA00 BB03 BB19 CB03