

19) RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

11) N° de publication : **2 879 321**
(à n'utiliser que pour les
commandes de reproduction)

21) N° d'enregistrement national : **04 13139**

51) Int Cl⁸ : G 06 F 13/40 (2006.01), H 03 K 19/0185

12)

DEMANDE DE BREVET D'INVENTION

A1

22) Date de dépôt : 09.12.04.

30) Priorité :

43) Date de mise à la disposition du public de la demande : 16.06.06 Bulletin 06/24.

56) Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule*

60) Références à d'autres documents nationaux apparentés :

71) Demandeur(s) : *STMICROELECTRONICS SA*
Société anonyme — FR.

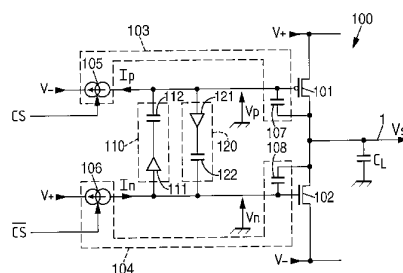
72) Inventeur(s) : LENZ KUNO.

73) Titulaire(s) :

74) Mandataire(s) : CABINET PLASSERAUD.

54) CIRCUIT DE PILOTAGE DE BUS.

57) L'invention apporte une solution pour permettre d'accroître la vitesse de commutation d'un circuit de pilotage de bus 100 comportant une paire de transistors 101 et 102 commandé par une paire de circuits de commande 103 et 104. Des circuits de pompage 110 et 120 sont placés entre les électrodes de commande des transistors 101 et 102 pour accélérer la conduction de l'un des transistors 101 ou 102 dès que l'autre est dans un état bloqué. Une interface de sortie pour un bus différentiel est réalisée à l'aide de deux circuits de pilotage de bus, les signaux de commande de l'un desdits circuits étant inversés par rapport à l'autre desdits circuits.



FR 2 879 321 - A1



CIRCUIT DE PILOTAGE DE BUS

L'invention concerne les interfaces de sortie de circuits intégrés destinées à piloter des bus de données. Plus particulièrement l'invention se rapporte, de manière non limitative, à un circuit de pilotage de bus série universel (USB).

5 Le développement des bus de communication tend à augmenter sans cesse les vitesses de transmission de données dans les systèmes électroniques. Par ailleurs l'intégration des circuits électroniques nécessite une miniaturisation et une réalisation en circuit intégré des circuits pilotant directement les bus de communication. Un exemple typique de bus de
10 communication fonctionnant à grande vitesse est connu sous le nom de Bus Série Universel (défini par la norme USB : Universal Serial Bus). Les bus USB sont communément utilisés pour faire communiquer un ordinateur personnel par exemple de type PC avec des périphériques externes. Les périphériques externes sont par exemple des lecteurs de musique portable, des unités de
15 stockage amovibles, des appareils photo numériques, des modems, ou encore des périphériques intégrant plusieurs fonction tel que par exemple un téléphone portable. Dans la version actuelle de la norme dite USB 2.0, le débit de données nominal est égal à 12 Mégabits par seconde mais il est prévu un débit maximal de transmission pouvant atteindre 480 Mégabits par seconde.
20 Pour atteindre de tels débits, les contraintes sur les circuits sont relativement nombreuses.

Un exemple d'interface de sortie, destinée à piloter un bus USB, est représenté sur la figure 1. Le bus USB comporte une bus différentiel de données constitué de deux fils conducteurs 1 et 2 pilotés chacun par un circuit
25 de pilotage 100 et 200. Le bus est un bus différentiel, ce qui permet d'améliorer le rapport signal sur bruit. Les signaux d'entrées des deux circuits de pilotage 100 et 200 sont inversés entre eux afin que les sorties desdits circuits 100 et 200 soient complémentaires. Les circuits de pilotage 100 et 200 sont souvent réalisés en technologie CMOS actuellement, mais peuvent aussi utiliser des
30 transistors bipolaires.

- 2 -

Chaque circuit de pilotage 100 comporte une paire de transistors 101 et 102 de types opposés, c'est-à-dire un PMOS et un NMOS, dont les canaux de conduction sont reliés en série entre deux conducteurs d'alimentation supportant respectivement une tension d'alimentation haute V_+ et une tension d'alimentation basse V_- . Afin de limiter la consommation de cette paire de transistors 101 et 102 lors d'une commutation de ceux-ci, ces transistors sont pilotés séparément afin que l'un commence à conduire uniquement lorsque l'autre a cessé d'être conducteur. Pour assurer la commutation décalée dans le temps des deux transistors, deux circuits de commande 103 et 104 reliés respectivement aux grilles des transistors 101 et 102 fournissent audites grilles des tensions dont la croissance ou la décroissance est contrôlée afin d'avoir des pentes différentes lors d'une transition d'un signal de commande CS destiné à être envoyé sur le bus différentiel constitué des fils 1 et 2.

Chaque circuit de commande 103, respectivement 104, comporte une source commandée de courant 105, respectivement 106, et un condensateur 107, respectivement 108, pour fournir une rampe de tension en réponse à une transition du signal CS. Ainsi, lors d'une transition du signal CS, chaque source de courant 105, respectivement 106, est commutée afin de fournir un courant constant destiné à charger ou décharger le condensateur 107, respectivement 108, ainsi que la capacité équivalente de grille du transistor 101, respectivement 102, commandé par ladite source 105, respectivement 106. Le contrôle de la pente est assuré en attribuant une valeur de courant plus importante en valeur absolue pour décharger la grille du transistor dont on désire stopper la conduction. Les condensateurs 107 et 108 sont en outre reliés à la sortie du circuit de pilotage 100 afin d'assurer également le contrôle de la pente de transition de la sortie du circuit de pilotage 100. La tension grille-source du transistor 101 ou 102 est maintenue constante lorsque celle-ci atteint une tension d'équilibre pendant la charge ou la décharge du fil conducteur 1. Cet équilibre se crée automatiquement lorsque la tension grille-source du transistor 101 ou 102, commuté pour devenir conducteur, permet audit transistor 101 ou 102 de fournir un courant égal à $I_C + I_S$ tel que $|I_C / C_1| = |I_S / C_L|$, avec I_C le courant fournit par la source 105 ou 106, pour rendre le transistor 101 ou 102 passant, C_1 la capacité du condensateur 107 ou 108, I_S

- 3 -

le courant de sortie fourni par le circuit de pilotage, et C_L la capacité du fil conducteur 1. Le condensateur 107 ou 108 et le courant I_C sont dimensionnés en fonction de la pente de commutation désirée sur le bus, en prenant en compte les spécifications du standard USB.

5 Un inconvénient de cette interface connue est de présenter, à cause de la dispersion de caractéristiques des composants, des défauts de synchronisation de commutation entre les circuits de pilotage 100 et 200. Ces défauts de synchronisation sont d'autant plus gênants que la fréquence est élevée. Une solution pour uniformiser le fonctionnement des deux circuits est dévoilée dans EP-A-1 291 780. Les sorties de chaque circuit de pilotage sont
10 reliées aux grilles de l'autre circuit de pilotage par couplage capacitif. La solution développée dans cette demande de brevet donne de bons résultats mais a pour effet de retarder le circuit le plus rapide au détriment de la vitesse globale de l'interface constituée des deux circuits.

15 L'invention apporte une solution pour permettre d'accroître la vitesse de commutation du circuit de la figure 1. Des circuits de pompage accélèrent la conduction de l'un des transistors dès que l'autre est dans un état bloqué.

Un premier aspect de l'invention est un circuit de pilotage de bus, fournissant un signal de sortie en réponse à au moins un signal de commande.
20 Ledit circuit de pilotage comporte une borne de sortie ; une paire de transistors de types de conductivité opposés, ayant chacun un canal de conduction et une électrode de commande, les canaux de conduction des deux transistors étant reliés en série entre un premier et un deuxième conducteurs supportant des tensions d'alimentation, la borne de sortie étant reliée au nœud de connexion
25 entre les canaux de conduction respectifs des transistors ; une paire de circuits de commande respectivement reliés aux électrodes de commande des transistors pour fournir, en réponse à une transition du signal de commande, une tension croissante ou décroissante dont la pente diffère en fonction du circuit de commande et du signal de commande. Le circuit de pilotage
30 comporte en outre au moins un circuit de pompage de tension ayant une entrée reliée à l'électrode de commande de l'un des transistors et une sortie reliée à l'électrode de commande de l'autre des transistors, ledit circuit de

- 4 -

pompage étant apte à produire un échelon de tension sur sa sortie lorsque la tension sur son entrée franchit une tension de seuil déterminée.

Le circuit de pilotage étant plus rapide que celui de l'état de la technique, le retard produit par le montage de synchronisation enseigné par
5 EP-A-1 291 780 devient moindre en couplant deux circuits de pilotage conforme au premier aspect de l'invention.

Ainsi, un deuxième aspect de l'invention est une interface de sortie pour un bus différentiel. L'interface comporte deux circuits de pilotage de bus selon le premier aspect de l'invention. Le signal de commande de l'un desdits
10 circuits est inversé par rapport au signal de commande de l'autre desdits circuits.

Selon un troisième aspect, l'invention est un circuit intégré comportant une interface de pilotage d'un bus série universel, correspondant au standard USB. Ladite interface est conforme au deuxième aspect de l'invention.

L'invention sera mieux comprise et d'autres particularités et avantages
15 apparaîtront à la lecture de la description qui va suivre, la description faisant référence aux figures annexées parmi lesquelles :

la figure 1 représente une interface de pilotage de bus selon l'état de la technique,

20 la figure 2 représente un circuit de pilotage selon l'invention,

les figures 3a et 3b représentent des chronogrammes de fonctionnement du circuit de la figure 2,

la figure 4 représente une interface de sortie incluant deux circuits de pilotage selon l'invention.

25 Le schéma de la figure 2 représente un circuit de pilotage 100 selon l'invention. Ce circuit de pilotage 100 est une amélioration du circuit de l'art antérieur décrit en introduction en référence à la figure 1, et il permet de piloter le fil conducteur 1 d'un bus USB ayant une capacité équivalente C_L .

Le circuit de pilotage 100 comporte une paire de transistors 101 et 102
30 de types opposés, par exemple une paire de transistors MOS

complémentaires, dont les canaux de conduction sont reliés en série entre deux conducteurs d'alimentation supportant respectivement une tension d'alimentation haute V_+ et une tension d'alimentation basse V_- . Ces transistors 101 et 102 sont pilotés séparément afin que l'un conduise uniquement lorsque l'autre est bloqué. Deux circuits de commande 103 et 104 reliés respectivement aux grilles des transistors 101 et 102 fournissent aux grilles des tensions de commande dont la croissance ou la décroissance est contrôlée selon des pentes différentes lors d'une transition d'un signal de commande CS destiné à être envoyé sur le fil conducteur 1.

10 Un signal \overline{CS} , complémentaire du signal CS, est également fourni. Le signal \overline{CS} est considéré synchrone avec le signal CS et transporte la même information.

Chaque circuit de commande 103 ou 104, comporte une source commandée de courant 105 ou 106 et un condensateur 107 ou 108 pour fournir une rampe de tension en réponse à une transition du signal CS ou du signal \overline{CS} , respectivement. Pour des raisons de simplification, les sources de courant 105 et 106 sont représentées comme étant des sources de courant identiques ayant des signaux de commande respectifs complémentaires et une connexion respective permettant d'obtenir des courants inversés au niveau des aux grilles des transistors 101 et 102, respectivement. Ces sources de courant 105 et 106 pourraient très bien être commandées par un unique signal CS et/ou être connectées dans le même sens, à condition d'avoir une constitution différente pour assurer la même fonction. Ainsi, lors d'une transition du signal CS, chaque source de courant 105 ou 106 est commutée afin de fournir un courant constant destiné à charger ou décharger le condensateur 107 ou 108 ainsi que la capacité équivalente de grille du transistor 101 ou 102 commandé.

Le contrôle de pente des tensions de grille est assuré en attribuant une valeur de courant plus importante, en valeur absolue, pour stopper la conduction du transistor commandé que pour le rendre conducteur. Les condensateurs 107 et 108 sont en outre reliés à la sortie du circuit de pilotage 100 afin d'assurer également le contrôle de la pente de la tension de sortie du circuit de pilotage. Le contrôle de la pente de commutation de la tension de

sortie V_{SO} est assuré lorsque la tension grille-source du transistor 101 ou 102 atteint une tension d'équilibre. La tension grille-source est ensuite maintenue à la tension d'équilibre pendant la charge ou la décharge le fil conducteur 1. Cet équilibre se crée automatiquement lorsque le courant fourni par le canal de conduction du transistor conducteur atteint une valeur $I_S + I_C$ telle que $|I_S / C_L| = |I_C / C_1|$, où I_C est le courant fourni par une source 105 ou 106 pour rendre le transistor 101 ou 102 fil conducteur, où C_1 est la capacité du condensateur 107 ou 108, où I_S est le courant de sortie du circuit de pilotage 100, et où C_L est la capacité équivalente du fil conducteur 1. Les condensateurs 107 et 108 et le courant I_C sont dimensionnés en fonction de la pente de commutation désirée sur le fil conducteur 1. La pente de commutation désirée en sortie dépend, entre autre, des spécifications de la norme USB pour les valeurs minimales et maximales de la capacité C_L du bus, du courant de sortie et de la pente du signal sur les fils conducteurs du bus de données.

Ce circuit de pilotage 100 comporte en outre deux circuits de pompage 110 et 120 montés tête-bêche entre les grilles des transistors 101 et 102. Chaque circuit de pompage 110 ou 120 comporte une porte à seuil de déclenchement 111 ou 121 et un condensateur de pompage 112 ou 122 monté en série entre l'entrée et la sortie dudit circuit de pompage 110 ou 120. Les portes à seuil de déclenchement 111 et 121 peuvent être réalisées à l'aide de différents circuits, par exemple une bascule de Schmitt ou encore un comparateur à seuil ou plus simplement encore deux inverseurs montés en série. Pour la description du fonctionnement qui va suivre, on considère que l'on utilise des bascules de Schmitt ayant chacune une tension de seuil bas V_{tb} et une tension de seuil haut V_{th} .

Les circuits de pompage 110 et 120 ont pour effet de produire un échelon de tension au niveau de leur sortie lorsque la tension d'entrée a franchi la tension de seuil de la porte à seuil 111 ou 121. Les tensions de seuil V_{tb} et V_{th} des circuits à seuil 111 et 121 sont telles que lors d'une croissance ou d'une décroissance de la tension d'entrée, la commutation desdites portes ne s'effectue qu'après la commutation du transistor dont la grille est reliée à l'entrée de ladite porte. Ainsi, après que la tension de grille de l'un des transistors 101, respectivement 102, bloque ledit transistor, le circuit de

pompage 120, respectivement 110, produit un échelon de tension sur la grille de l'autre des transistors 102, respectivement 101, afin de le rendre passant rapidement après le blocage du transistor 101, respectivement 102.

Le fonctionnement du circuit de pilotage 100 selon l'invention va à présent être décrit à l'aide des figures 3a et 3b.

La figure 3a illustre le cas d'une commutation d'un niveau haut à un niveau bas du signal de commande CS qui entraîne une commutation de la tension de sortie V_{SO} et de la tension d'alimentation haute V_+ vers la tension d'alimentation basse V_- .

Lorsque le signal CS décroît, le signal \overline{CS} croît symétriquement. On suppose que la transition du signal CS commence à un instant t_0 . Le signal \overline{CS} est considéré comme étant parfaitement synchronisé avec le signal CS et commence donc sa transition inverse au même instant t_0 .

Avant l'instant t_0 , les signaux CS et \overline{CS} sont établis respectivement dans un état haut et dans un état bas. Les courants I_P et I_N respectivement fournis par les sources de courant 105 et 106 sont des courants établis respectivement à une valeur I_C et à une valeur I_D . La valeur I_C du courant correspond à un courant destiné à entraîner la conduction du transistor auquel ladite source est reliée. Le courant I_D est un courant destiné à entraîner le blocage du transistor auquel ladite source est reliée. En valeur absolue, le courant I_D est supérieur au courant I_C . Le signe du courant est ici positif pour I_C et négatif pour I_D mais il dépend des conventions adoptées pour indiquer le sens des courants sur la figure 2. L'important est d'avoir un courant plus important pour bloquer le transistor que pour le rendre passant afin d'éviter une conduction simultanée des deux transistors 101 et 102.

Les courants I_N et I_P étant préalablement établis, la grille du transistor 102 est à une tension V_n sensiblement égale à la tension d'alimentation basse V_- , et la grille du transistor 101 est à une tension V_p également sensiblement égale à la tension d'alimentation basse V_- . Le transistor 101 ayant une tension grille-source égale à une tension $V_- - V_+$ négative et supérieure en valeur absolue à sa tension de seuil, celui-ci est passant. Le transistor 102 ayant une tension grille-source égale à une tension $V_- - V_-$ nulle, celui-ci est bloqué. La tension de sortie V_{SO} est donc égale à la tension d'alimentation haute V_+ .

A partir de l'instant t_0 , le signal CS présente un front descendant et le signal \overline{CS} présente un front montant. Lorsque ces deux signaux franchissent un seuil de commutation des sources de courant 105 et 106, celles-ci basculent rapidement pour fournir un courant I_D pour la source de courant 105 et un courant I_C pour la source de courant 106. Pour simplifier les explications, on néglige les phénomènes de charges et de décharge se déroulant durant le temps de commutation des sources de courant 105 et 106. Les sources de courant 105 et 106 sont considérées comme étant commutées à partir de l'instant t_1 qui correspond au début des charges et décharges des condensateurs 107 et 108.

A partir de l'instant t_1 , les tensions V_p et V_n , correspondant aux tensions de grille respectives des transistors 101 et 102, évoluent avec une pente égale aux courants I_p et I_n respectivement divisés par les capacités de charge vues par les sources 105 et 106. Les capacités de charge C_e vues par les deux sources 105 et 106 sont sensiblement les mêmes et correspondent à $C_e = C_1 + C_2 + C_3$, avec C_1 la capacité du condensateur 107 ou 108, C_2 la capacité du condensateur de pompage 112 ou 122, et C_3 la capacité équivalente de grille du transistor 101 ou 102. Ainsi les pentes de croissance des tensions V_p et V_n sont proportionnelles aux courants I_D et I_C respectivement en valeur absolue. La tension V_p évolue jusqu'à une tension $V_T - V_+$ qui correspond au seuil de transition du transistor 101 atteint par sa tension grille-source, égale à $V_p - V_+$. Ce seuil de transition étant franchi, le transistor 101 devient bloqué.

Peu après le blocage du transistor 101, à l'instant t_2 , la tension V_p atteint la tension de seuil V_{th} de la porte 121. La porte 121 bascule alors, et fournit sur sa sortie un niveau haut qui provoque un échelon de tension 303 sur la tension V_n . Pour simplifier, ce pompage de tension est représenté de manière instantanée alors que, dans la réalité, celui-ci s'étale sur la durée nécessaire à la commutation de la porte 121.

L'échelon de tension 303 correspond à un phénomène de pompage lié à l'effet « mémoire de tension » des condensateurs. Lorsqu'on applique brusquement une tension à une borne d'un condensateur, celle-ci se répercute de manière quasi-instantanée à l'autre de ses bornes. L'amplitude de l'échelon

de tension 303 est cependant atténuée par un effet de pont diviseur de tension constitué par le condensateur 122 et par le condensateur 108. Il convient de dimensionner le condensateur 122 pour que l'échelon de tension de la sortie de la porte 121 qui est sensiblement égal à la différence de potentiel $V_+ - V_-$ devienne, au niveau de la grille du transistor 102, inférieur à la tension de seuil du transistor 102. De préférence, la tension V_p atteinte par effet de pompage est légèrement inférieure à la tension de seuil V_T du transistor 102 afin d'éviter une éventuelle oscillation de la tension grille-source pour arriver à l'équilibre correspondant au courant de sortie I_S . A partir de cet instant t_2 , ou très légèrement après, le transistor 102 devient passant déchargeant alors le fil conducteur 1 pour le ramener à la tension d'alimentation basse.

Pour un bus USB, les pentes de commutation du bus sont définies comme des pentes régulières et contrôlées. Ce contrôle de la pente de décharge 304 est assuré par le condensateur 108. Comme précédemment expliqué, un équilibre se crée lorsque les pentes I_S/C_L et I_C/C_1 sont égales en valeur absolue, la tension de grille du transistor 102 est alors maintenue à une tension constante. La décharge du fil conducteur 1 s'effectue jusqu'à un instant t_3 où la tension de sortie V_{so} devient sensiblement égale à la tension d'alimentation basse V_- .

A partir de l'instant t_3 , la charge du condensateur 108 fait évoluer la tension V_n de grille du transistor 102 jusqu'à atteindre sensiblement la tension d'alimentation haute V_+ . A un instant donné, l'évolution de la tension V_n franchit le seuil haut V_{th} de la porte 111 provoquant un échelon de tension 305 sur la tension V_p . Cet échelon de tension 305 dépasse la tension d'alimentation haute V_+ et est ensuite atténué. Des moyens de protection contre les surtensions, placés sur les conducteurs d'alimentation, peuvent fortement atténuer, voire supprimer l'échelon 305.

Sur cette figure 3a, l'évolution des tensions V_n et V_{so} pour le circuit de l'état de la technique est également représentée en pointillés. En l'absence des circuits de pompage 110 et 120, la tension V_n croît selon une pente différente car il n'y a pas de condensateur de pompage 122. Cependant cette pente reste dépendante du condensateur 108 et du courant I_C . En outre il n'y a pas d'échelon de tension 303 à l'instant t_2 mais une évolution continue de la tension

V_n jusqu'à un instant t_4 de commutation du transistor 102. Ce n'est qu'à partir de cet instant t_4 que la tension de sortie V_{so} décroît selon la même pente qu'avec l'invention. Cette décroissance se fait jusqu'à un instant t_5 .

La durée totale de la commutation de la tension de sortie V_{so} se compte à partir de l'instant t_0 . Ainsi grâce à l'invention, la commutation se fait pendant une durée T_1 égale à $t_3 - t_0$ alors que, selon l'état de la technique, cette commutation se fait pendant une durée T_2 égale à $t_5 - t_0$. Cette durée étant égale à $T_1 + \Delta T$, avec ΔT le gain en temps apporté par l'ajout du circuit de pompage 121.

Comme on l'a vu, le courant I_C est défini afin de définir une pente contrôlée 304 sur la tension de sortie V_{so} . Agir sur la pente 304 permet de réduire la durée totale de la commutation. Cependant, l'action sur la pente reste limitée car elle dépend de paramètres définis dans la norme USB. Par contre la pente 301 correspondant à la croissance de la tension V_p n'est limitée que par la consommation du circuit nécessaire pour décharger la capacité C_e . Ainsi il est possible d'avoir une pente 301 pendant une durée très inférieure à la durée correspondant à la pente 302. Le gain possible ΔT entre l'état de la technique et l'invention est de l'ordre de 20% du temps de commutation du circuit de l'état de la technique.

La figure 3b représente le cas d'une transition inverse d'un niveau bas à un niveau haut du signal CS qui entraîne une commutation de la tension de sortie V_{SO} et de la tension d'alimentation basse V_- vers la tension d'alimentation haute V_+ .

Comme déjà indiqué, le signal \overline{CS} est le signal complémentaire du signal CS. Lorsque le signal CS croît, le signal \overline{CS} décroît symétriquement. La transition du signal CS, commence à un instant t_0 . Le signal \overline{CS} est considéré comme étant parfaitement synchronisé avec le signal CS et commence donc sa transition inverse au même instant t_0 .

Avant l'instant t_0 , les signaux CS et \overline{CS} sont établis respectivement dans un état bas et dans un état haut. Les courants I_P et I_N respectivement fournis par les sources de courant 105 et 106 sont des courants établis respectivement à la valeur I_D et à la valeur I_C .

- 11 -

Les courants I_N et I_P étant préalablement établis, la grille du transistor 102 est à une tension V_n sensiblement égale à la tension d'alimentation haute V_+ , et la grille du transistor 101 est à une tension V_p également sensiblement égale à la tension d'alimentation haute V_+ . Le transistor 101 ayant une tension grille-source égale à une tension $V_+ - V_+$ nulle, celui-ci est bloqué. Le transistor 102 ayant une tension grille-source égale à une tension $V_+ - V_-$ positive et supérieure à sa tension de seuil, celui-ci est passant. La tension de sortie V_{SO} est donc égale à la tension d'alimentation basse V_- .

A partir de l'instant t_0 , le signal CS présente un front montant et le signal \overline{CS} présente un front descendant. Lorsque ces deux signaux franchissent un seuil de commutation des sources de courant 105 et 106, celles-ci basculent rapidement pour fournir le courant I_C pour la source de courant 105 et un courant I_D pour la source de courant 106. Les sources de courant 105 et 106 sont considérées comme étant commutées à partir de l'instant t_1 qui correspond au début des charges et décharges respectives des condensateurs 107 et 108.

A partir de l'instant t_1 , les tensions V_p et V_n , correspondant aux tensions de grille respectives des transistors 101 et 102, évoluent avec une pente égale aux courants I_P et I_N respectivement divisés par les capacités de charge C_e vues par les sources 105 et 106. Ainsi les pentes de croissance 401 et 402 des tensions V_p et V_n sont respectivement proportionnelles aux courants I_C et I_D en valeur absolue. La tension V_n évolue jusqu'à une tension $V_T - V_-$ qui correspond au seuil de transition du transistor 102 atteint par sa tension grille-source, égale à $V_n - V_-$. Ce seuil de transition étant franchi, le transistor 102 devient bloqué.

Peu après le blocage du transistor 102, à l'instant t_2 , la tension V_n atteint la tension de seuil V_{tb} de la porte 111. La porte 111 bascule alors, et fournit sur sa sortie un niveau bas qui provoque un échelon de tension 403 sur la tension V_p . Pour simplifier, ce pompage de tension est représenté de manière instantanée alors que, dans la réalité, celui-ci s'étale sur la durée nécessaire à la commutation de la porte 111.

L'amplitude de l'échelon de tension 403 est atténuée par un effet de pont diviseur de tension constitué par le condensateur 112 et par le condensateur 107. Il convient de dimensionner le condensateur 112 pour que

l'échelon de tension de la sortie de la porte 111 qui est sensiblement égal à un échelon de tension correspondant à la tension $V_- - V_+$ devienne, au niveau de la grille du transistor 101, suffisamment petit pour ne pas franchir la tension de seuil du transistor 101. De préférence, la tension atteinte par effet de pompage
5 ne permet pas de franchir la tension de seuil du transistor 101 afin d'éviter une éventuelle oscillation de la tension grille-source pour arriver à l'équilibre correspondant au courant de sortie I_S . A partir de cet instant t_2 , ou très légèrement après, le transistor 101 devient passant chargeant alors le fil conducteur 1 pour le ramener à la tension d'alimentation haute.

10 Le contrôle de la pente 404 de charge du fil conducteur 1 est assuré par le condensateur 107. Comme précédemment expliqué, un équilibre se crée lorsque les pentes I_S/C_L et I_C/C_e sont égale en valeur absolue, la tension de grille du transistor 101 est alors maintenue à une tension constante. La charge du fil conducteur 1 s'effectue jusqu'à un instant t_3 où la tension de sortie V_{so}
15 devient sensiblement égale à la tension d'alimentation haute V_+ .

A partir de l'instant t_3 , la charge du condensateur 107 fait évoluer la tension V_p de grille du transistor 101 jusqu'à atteindre sensiblement la tension d'alimentation basse V_- . A un instant donné, l'évolution de la tension V_p franchit le seuil bas V_{tb} de la porte 121 provoquant un échelon de tension 405 sur la
20 tension V_n . Cet échelon de tension 405 dépasse la tension d'alimentation basse V_- et est ensuite atténué. Des moyens de protection contre les surtensions, placés sur les conducteurs d'alimentation, peuvent fortement atténuer, voire supprimer, l'échelon 405.

Sur cette figure 3b, il est également représenté en pointillés l'évolution
25 des tensions V_p et V_{so} pour le circuit de l'état de la technique. En l'absence des circuits de pompage 110 et 120, la tension V_p décroît selon une pente différente car il n'y a pas de condensateur de pompage 112. Cependant, cette pente reste dépendante du condensateur 107 et du courant I_C . De plus, il n'y a pas d'échelon de tension 403 à l'instant t_2 mais une évolution continue de la
30 tension V_n jusqu'à un instant t_4 de commutation du transistor 101. Ce n'est qu'à partir de cet instant t_4 que la tension de sortie V_{so} croît selon la même pente qu'avec l'invention. Cette croissance se fait jusqu'à un instant t_5 .

La durée totale de la commutation de la tension de sortie V_{so} se compte à partir de l'instant t_0 . Ainsi grâce à l'invention, la commutation se fait pendant une durée T_1 égale à t_3-t_0 alors que, selon l'état de la technique, cette commutation se fait pendant une durée T_2 égale à t_5-t_0 . Cette durée T_2 étant
5 égale à $T_1 + \Delta T$.

Pour cette transition, le gain en durée de commutation est également de l'ordre de 20 % de la durée de commutation du circuit de l'état de la technique.

Comme peut le comprendre l'Homme du métier, l'invention représente
10 un intérêt non négligeable. L'invention ne se limite pas à l'exemple de réalisation décrit à l'aide de la figure 2. De nombreuses variantes sont possibles, certaines ayant déjà été suggérées au cours de la description qui précède. Dans le cas où l'on utilise deux inverseurs en série comme porte à seuil de basculement, chaque porte dispose d'un unique seuil de commutation.
15 Il convient que la porte 121 ait un seuil de basculement correspondant au seuil V_{th} et que la porte 111 ait un seuil de basculement correspondant à la tension de seuil V_{tb} . Egalement dans le cas où la porte à seuil est constituée simplement de deux inverseurs, le franchissement du seuil correspondant aux échelons 305 et 405 est effectué de manière bien plus précoce à l'instant t_2 .
20 L'échelon a alors pour effet de ramener plus rapidement la tension V_p ou V_n au niveau de la tension respectivement V_+ ou V_- .

Comme autre variante possible, il est tout à fait envisageable d'utiliser des transistors bipolaires à la place des transistors MOS. Les bases des transistors bipolaires remplacent alors les grilles des transistors MOS Il
25 convient, d'une manière plus générale, de considérer bases et grilles de transistors comme une simple électrode de commande d'un transistor, indépendamment de la technologie utilisée.

Comme le sait l'Homme du métier, les bus USB sont des bus différentiels et il convient de coupler deux circuits de pilotage identiques et
30 d'inverser les signaux d'entrées des deux circuits de pilotage pour réaliser une interface de bus USB.

La figure 4 représente un exemple de réalisation d'une interface de sortie incluant deux circuits de pilotage selon l'invention. L'interface de sortie

comporte un premier circuit de pilotage 100 et un deuxième circuit de pilotage 200 pour piloter respectivement un premier fil conducteur 1 et un deuxième fil conducteur 2. Les premier et deuxième fils conducteurs 1 et 2 sont les fils conducteurs supportant les données d'un bus USB, dont la capacité équivalente est égale à C_L . Les circuits de pilotage 100 et 200 sont des circuits identiques qui reçoivent en entrée les signaux CS et \overline{CS} pour contrôler les sources de courant 105, 106, 205 et 206.

Les signaux de commande CS et \overline{CS} sont fournis par un circuit de validation de sortie 300 qui reçoit d'une part le signal S_O correspondant à l'état de la sortie que l'on désire envoyer sur les fils conducteurs 1 et 2 du bus USB, et un signal de validation de sortie \overline{OE} actif à l'état bas. Lorsque le signal \overline{OE} est actif, les signaux CS et \overline{CS} sont complémentaires, le signal CS correspondant au signal S_O que l'on désire envoyer. Lorsque le signal de validation de sortie \overline{OE} est inactif, c'est-à-dire à l'état 1, les deux signaux CS et \overline{CS} fournis aux circuits 100 et 200 sont alors tous deux égaux à 0. Lorsque ces signaux CS et \overline{CS} sont égaux à 0, alors les transistors de sortie 101, 102, 201 et 202 des circuits de pilotage 100 et 200 sont tous positionnés dans un état bloqué. Les tensions des fils conducteurs 1 et 2 peuvent alors être imposées par une autre interface connectée au bus.

L'interface de sortie représentée comporte en outre des moyens de couplage capacitifs pour relier la sortie de chacun des circuits de pilotage 100 et 200 aux grilles des transistors de sortie de l'autre circuit de pilotage. Ainsi la sortie du circuit de pilotage 100 est reliée aux grilles des transistors 201 et 202 par l'intermédiaire de deux condensateurs de couplage 230 et 231. De même la sortie du circuit de pilotage 200 est reliée aux grilles des transistors 101 et 102 par l'intermédiaire de deux condensateurs de couplage 130 et 131. Ce couplage capacitif correspond au couplage capacitif enseigné dans la demande EP-A-1 291 780. L'avantage de l'utilisation de ce couplage capacitif conjointement à l'invention permet de s'assurer d'une bonne synchronisation entre les fronts des circuits 100 et 200. De plus, le retard introduit par le couplage capacitif entre les deux circuits de pilotage est inférieur au gain de

- 15 -

temps procuré par les circuits de pompage 110, 120, 210 et 220 ajouté dans l'invention.

L'invention a été décrite pour une application à un bus USB. L'invention peut toutefois s'appliquer à d'autres bus de communication dont les contraintes de vitesse sont relativement importantes. A cet effet, selon l'exemple décrit, 5 deux circuits de pompage sont utilisés dans chaque circuit de pilotage mais on pourrait très bien imaginer qu'un seul circuit de pompage soit nécessaire si les caractéristiques requises sur la sortie ne sont pas symétriques.

REVENDEICATIONS

1. Circuit de pilotage de bus (100), fournissant un signal de sortie (V_{so}) en réponse à au moins un signal de commande (CS), ledit circuit comportant :
- une borne de sortie,
 - 5 - une paire de transistors (101, 102) de types de conductivité opposés, ayant chacun un canal de conduction et une électrode de commande, les canaux de conduction des deux transistors étant reliés en série entre un premier et un deuxième conducteurs supportant des tensions d'alimentation (V_+ , V_-), la borne de sortie étant reliée au nœud de connexion entre les canaux de conduction respectifs des transistors,
 - 10 - une paire de circuits de commande (103, 104) respectivement reliés aux électrodes de commande des transistors (101, 102) pour fournir, en réponse à une transition du signal de commande, une tension (V_p , V_n) croissante ou décroissante dont la pente diffère en fonction du circuit de commande et du signal de commande,
 - 15 caractérisé en ce qu'il comporte au moins un circuit de pompage (110, 120) de tension ayant une entrée reliée à l'électrode de commande de l'un des transistors et une sortie reliée à l'électrode de commande de l'autre des transistors, ledit circuit de pompage étant apte à produire un échelon de tension sur sa sortie lorsque la tension sur son entrée franchit une tension de seuil déterminée (V_{th} , V_{tb}).
 - 20
2. Circuit selon la revendication 1, dans lequel la tension de seuil du circuit de pompage (110, 120) est fixée pour être atteinte lors d'une transition du signal de commande après le blocage du transistor (102, 101) dont
- 25 l'électrode de commande est reliée à l'entrée dudit circuit de pompage.
3. Circuit selon l'une des revendications 1 ou 2, comportant une paire de circuits de pompage (110, 120) montés tête-bêche entre les deux électrodes de commande.
4. Circuit selon l'une des revendications 1 à 3, dans lequel le circuit de
- 30 pompage (110, 120) comporte une porte à seuil de déclenchement (111, 121)

dont une entrée correspond à l'entrée du circuit de pompage et dont une sortie est reliée à la sortie du circuit de pompage par l'intermédiaire d'un condensateur de pompage (112, 122).

5. Circuit selon l'une des revendications 1 à 4, dans lequel chaque
5 circuit de commande (103, 104) comporte une source de courant (105, 106) continu reliée en série à un condensateur (107, 108), le nœud entre la source de courant (105, 106) et le condensateur (107, 108) étant relié à l'électrode de commande d'un des transistors (101, 102), la source de courant (105, 106) étant une source de courant commandée par le signal de commande (CS).
- 10 6. Circuit selon les revendications 4 et 5, dans lequel la condensateur de pompage (112, 122) et le condensateur (107, 108) du circuit de commande sont dimensionnées afin de former un pont capacitif diviseur de tension réduisant l'amplitude d'un échelon de tension fourni par le circuit à seuil (111, 121) en un échelon de tension fourni par le circuit de pompage (110, 120)
15 inférieur en valeur absolu à la tension de seuil du transistor (101,102) dont l'électrode de commande est reliée à la sortie dudit circuit de pompage.
7. Circuit selon l'une des revendications 1 à 6, dans lequel les transistors sont des transistors MOS complémentaires.
8. Interface de sortie pour un bus différentiel, caractérisé en ce qu'elle
20 comporte deux circuits de pilotage (100, 200) de bus selon l'une des revendications 1 à 7, et dans laquelle le signal de commande de l'un desdits circuits est inversé par rapport au signal de commande de l'autre desdits circuits.
9. Interface selon la revendication 8, comportant en outre des moyens
25 de couplage capacitif pour relier la sortie de chacun des deux circuits de pilotage de bus aux électrodes de commande de l'autre desdits circuits.
10. Circuit intégré comportant une interface de pilotage d'un bus série universel, correspondant au standard USB, caractérisé en ce que ladite interface est conforme à l'une des revendications 8 ou 9.

1/4

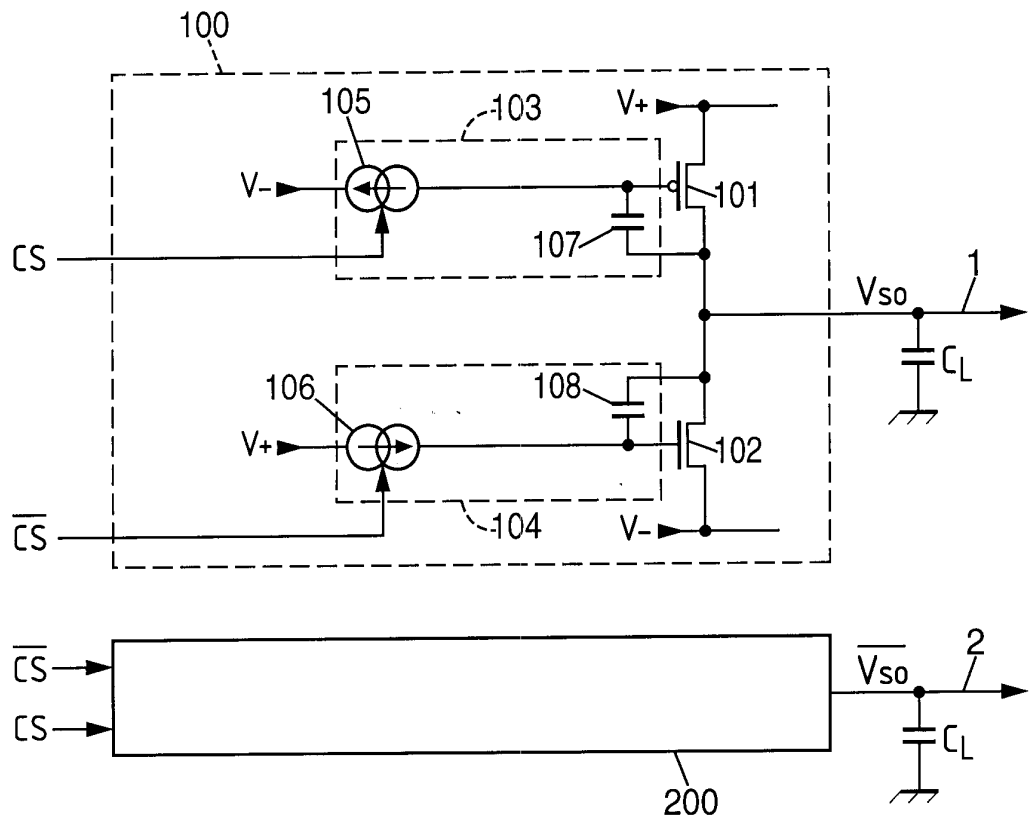


FIG. 1

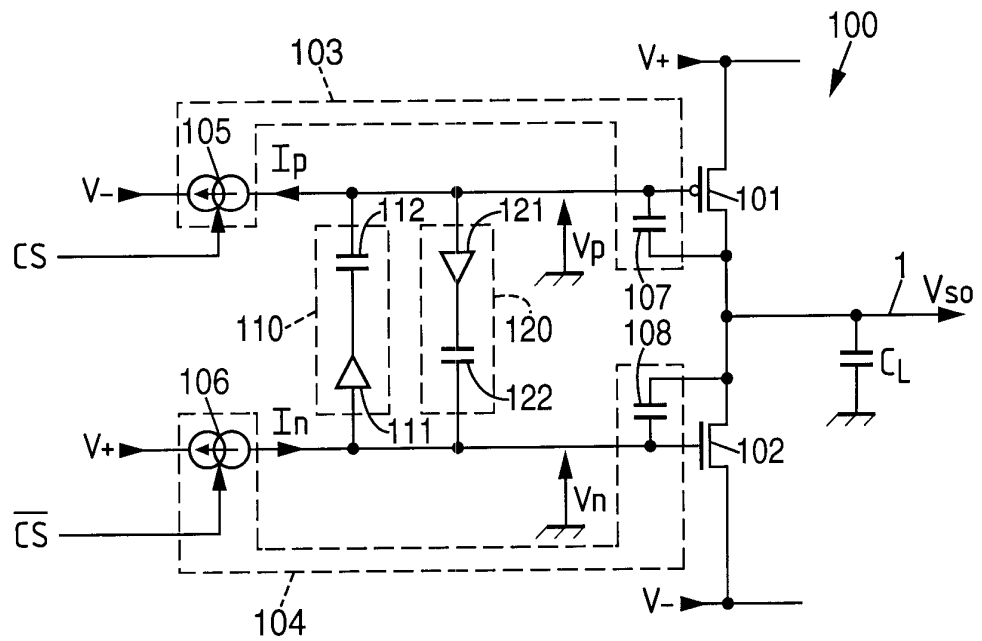


FIG. 2

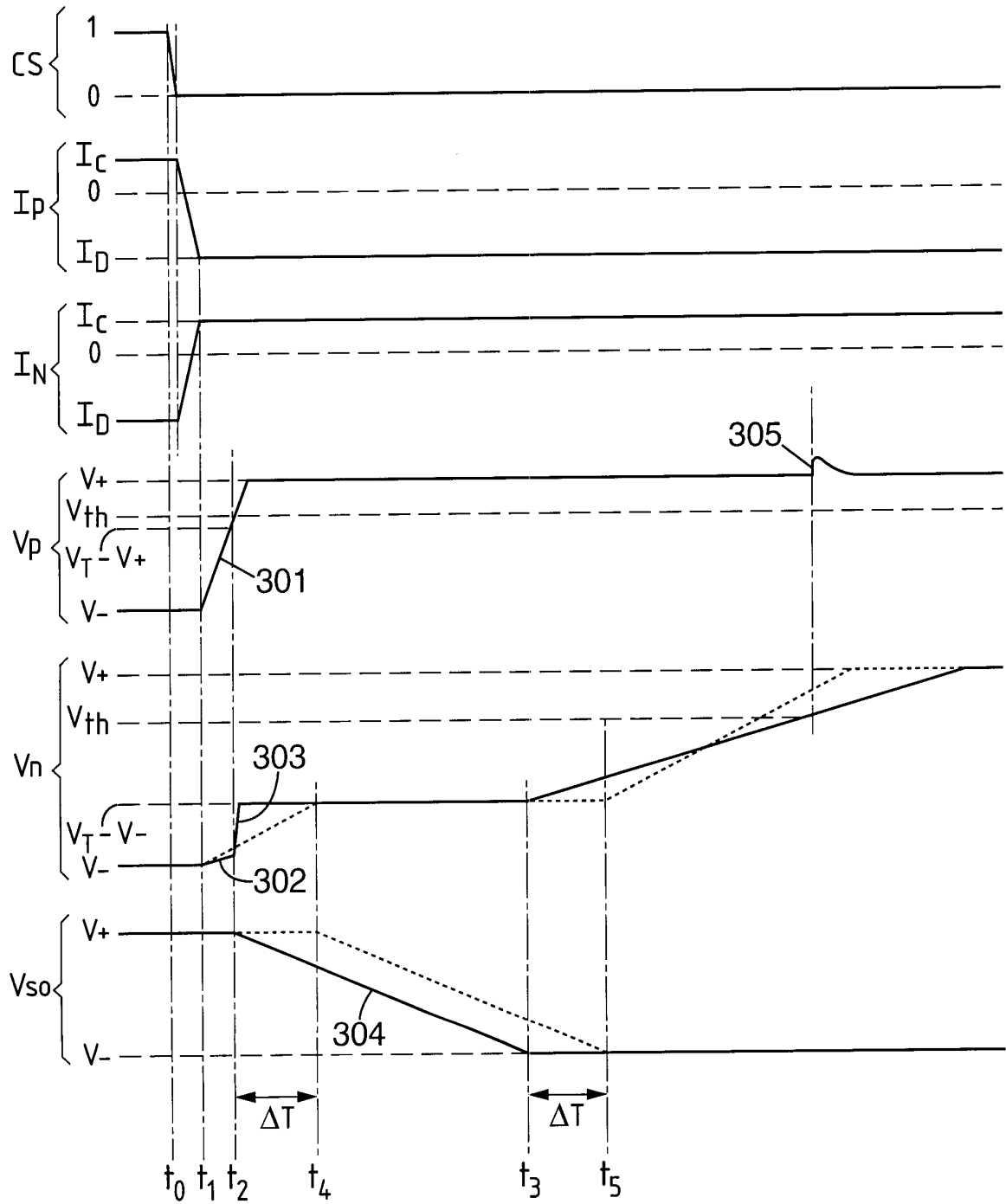


FIG. 3a

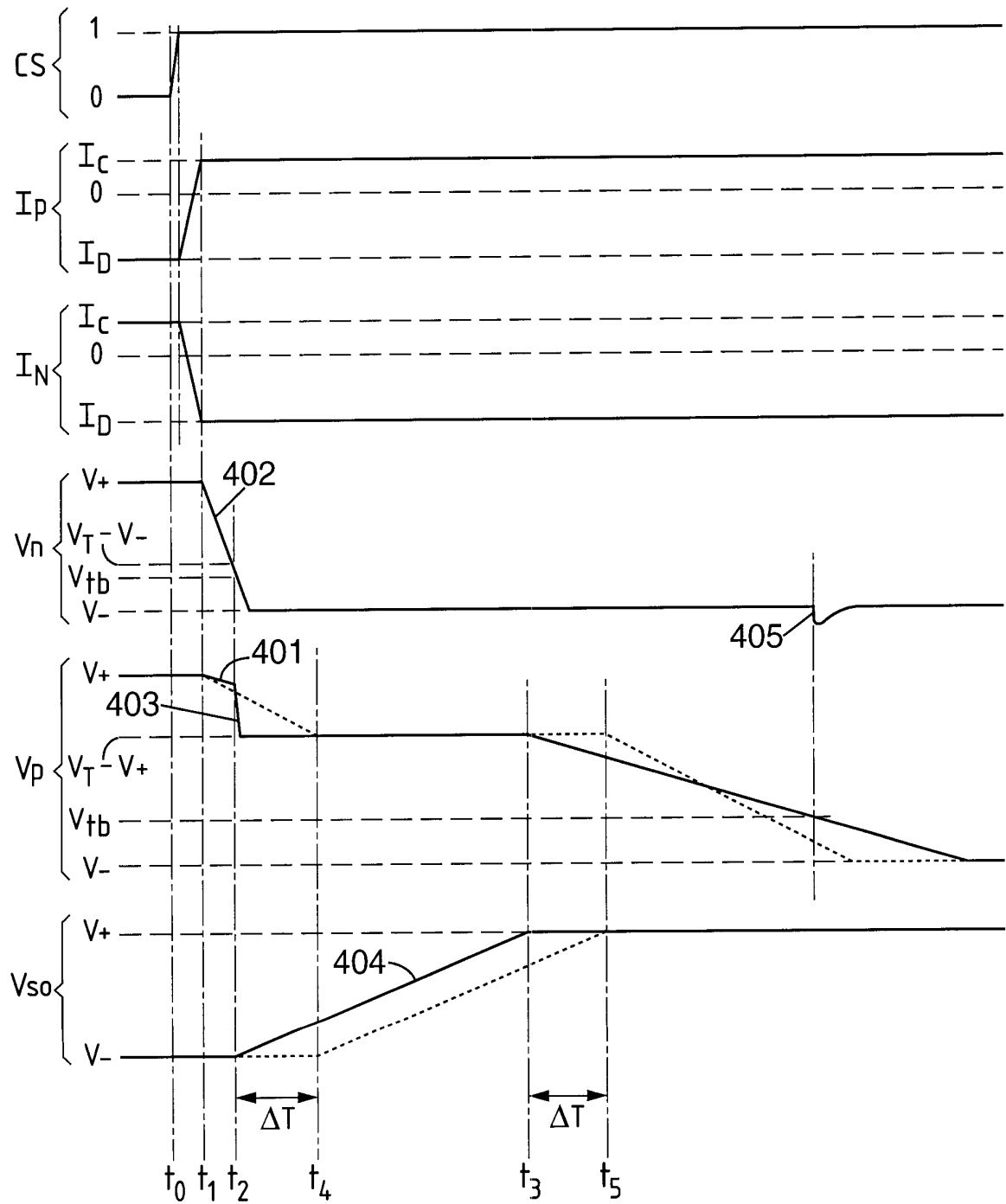
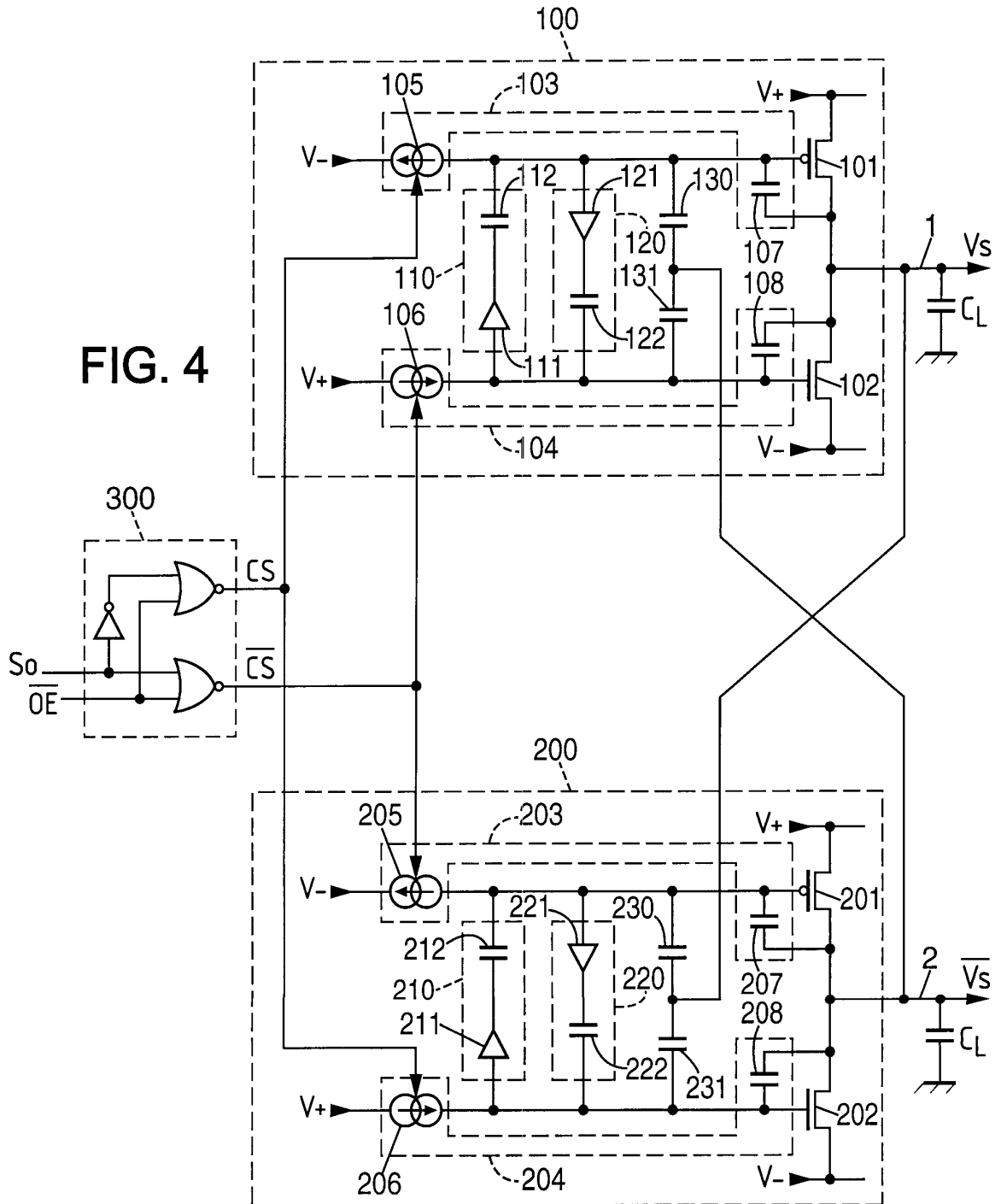


FIG. 3b





**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 659248
FR 0413139

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
A	US 5 883 531 A (KUO ET AL) 16 mars 1999 (1999-03-16) * abrégé; figures 2-4,7 * * colonne 1, ligne 6 - ligne 10 * * colonne 1, ligne 17 - ligne 19 * * colonne 3, ligne 47 - ligne 50 * * colonne 4, ligne 11 - ligne 16 * * colonne 4, ligne 19 - ligne 21 * * colonne 4, ligne 39 - ligne 46 * * colonne 4, ligne 49 - ligne 67 * * colonne 5, ligne 27 - ligne 34 * -----	1,2,4,5, 7,8,10	H03K19/018 G06F13/40
A	US 2003/132788 A1 (TAKESHITA KOJI) 17 juillet 2003 (2003-07-17) * abrégé; figures 1,8a,8b,8c,8d,13,14a,14b,14c,14d * * page 2, alinéa 26-28 * * page 5, alinéa 53 * * page 8 * * page 9, alinéa 85 * -----	1,2,4,5, 7,8,10	
A	US 5 973 512 A (BAKER ET AL) 26 octobre 1999 (1999-10-26) * abrégé; figures 1-3 * -----	1,5,7	DOMAINES TECHNIQUES RECHERCHÉS (Int.CL.7) H03K
A	EP 0 535 873 A (NATIONAL SEMICONDUCTOR CORPORATION) 7 avril 1993 (1993-04-07) * abrégé; figure 3 * -----	1,5,7	
A	EP 0 678 983 A (STMICROELECTRONICS S.R.L) 25 octobre 1995 (1995-10-25) * abrégé; figures 1,4 * -----	1,5,7	
A	US 6 313 672 B1 (AJIT JANARDHANAN S ET AL) 6 novembre 2001 (2001-11-06) * colonne 2, ligne 24 - ligne 35; figures 2,3 * -----	1,7	
Date d'achèvement de la recherche		Examineur	
29 juin 2005		Mesic, M	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire			

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 0413139 FA 659248**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du 29-06-2005

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 5883531 A	16-03-1999	AUCUN	
US 2003132788 A1	17-07-2003	JP 3464471 B2 JP 2003218685 A	10-11-2003 31-07-2003
US 5973512 A	26-10-1999	AUCUN	
EP 0535873 A	07-04-1993	US 5218239 A DE 69218537 D1 DE 69218537 T2 EP 0535873 A1 JP 6296129 A	08-06-1993 30-04-1997 02-10-1997 07-04-1993 21-10-1994
EP 0678983 A	25-10-1995	EP 0678983 A1 DE 69412788 D1 DE 69412788 T2 JP 2907752 B2 JP 8056147 A US 5623216 A	25-10-1995 01-10-1998 29-04-1999 21-06-1999 27-02-1996 22-04-1997
US 6313672 B1	06-11-2001	AUCUN	