



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I765874 B

(45)公告日：中華民國 111 (2022) 年 06 月 01 日

(21)申請案號：105141940

(22)申請日：中華民國 105 (2016) 年 12 月 16 日

(51)Int. Cl. : H01L21/02 (2006.01)

H01L21/66 (2006.01)

H01L23/31 (2006.01)

H01L29/20 (2006.01)

H01L29/30 (2006.01)

(30)優先權：2015/12/16 美國

62/268,262

2016/12/15 美國

15/379,759

(71)申請人：美商傲思丹度科技公司 (美國) OSTENDO TECHNOLOGIES, INC. (US)

美國

(72)發明人：巴提尼卡 葛雷高里 BATINICA, GREGORY (US)；耶達維利 凱密希瓦
YADAVALLI, KAMESHWAR (IN)；范謙 FAN, QIAN (CN)；哈斯寇 班傑明
A HASKELL, BENJAMIN A. (US)；艾爾 葛洛力 哈森 S EL-GHOROURY,
HUSSEIN S. (US)

(74)代理人：陳長文

(56)參考文獻：

US 2010/0314725A1

US 2014/0374879A1

審查人員：廖崑男

申請專利範圍項數：18 項 圖式數：3 共 22 頁

(54)名稱

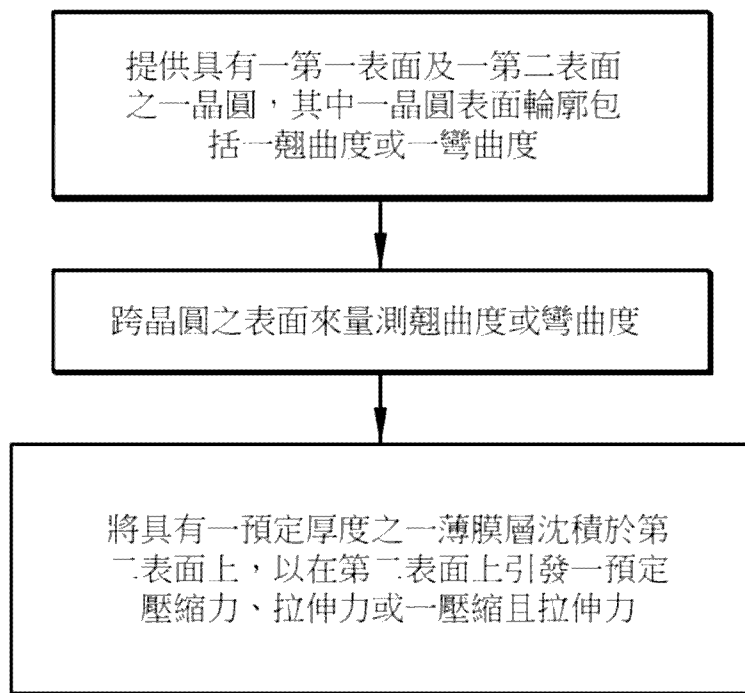
用以改善晶圓平面性之方法及由其所製造之接合晶圓總成

(57)摘要

一種用以改善一半導體晶圓之平面性之方法及由該方法所製造之一總成。在該方法之一較佳實施例中，具有一預定厚度或圖案之一壓縮 PECVD 氧化物層(諸如，SiO₂)經沈積於具有一非所要翹曲度或彎曲度之一半導體晶圓的第二表面上。藉由該半導體晶圓之該經量測翹曲度或彎曲度來判定該經沈積氧化物層之該厚度或該圖案。該壓縮氧化物層在該半導體晶圓之該第二表面上引發一偏移壓縮力，以減小跨該半導體晶圓之主表面之該翹曲度及該彎曲度。

A method to improve the planarity of a semiconductor wafer and an assembly made from the method. In a preferred embodiment of the method, a compressive PECVD oxide layer such as SiO₂ having a predetermined thickness or pattern is deposited on the second surface of a semiconductor wafer having an undesirable warp or bow. The thickness or pattern of the deposited oxide layer is determined by the measured warp or bow of the semiconductor wafer. The compressive oxide layer induces an offsetting compressive force on the second surface of the semiconductor wafer to reduce the warp and bow across the major surface of the semiconductor wafer.

指定代表圖：



【圖1A】



I765874

【發明摘要】

申請日:

IPC分類:

【中文發明名稱】

用以改善晶圓平面性之方法及由其所製造之接合晶圓總成

【英文發明名稱】

METHODS FOR IMPROVING WAFER PLANARITY AND
BONDED WAFER ASSEMBLIES MADE FROM THE METHODS

【中文】

一種用以改善一半導體晶圓之平面性之方法及由該方法所製造之一總成。在該方法之一較佳實施例中，具有一預定厚度或圖案之一壓縮PECVD氧化物層(諸如， SiO_2)經沈積於具有一非所要翹曲度或彎曲度之一半導體晶圓的第二表面上。藉由該半導體晶圓之該經量測翹曲度或彎曲度來判定該經沈積氧化物層之該厚度或該圖案。該壓縮氧化物層在該半導體晶圓之該第二表面上引發一偏移壓縮力，以減小跨該半導體晶圓之主表面之該翹曲度及該彎曲度。

【英文】

A method to improve the planarity of a semiconductor wafer and an assembly made from the method. In a preferred embodiment of the method, a compressive PECVD oxide layer such as SiO_2 having a predetermined thickness or pattern is deposited on the second surface of a semiconductor wafer having an undesirable warp or bow. The thickness or pattern of the deposited oxide layer is determined by the measured warp or bow of the semiconductor wafer. The compressive oxide layer induces an offsetting compressive force on the second

surface of the semiconductor wafer to reduce the warp and bow across the major surface of the semiconductor wafer.

【指定代表圖】

圖1A

【代表圖之符號簡單說明】

無

【發明說明書】

【中文發明名稱】

用以改善晶圓平面性之方法及由其所製造之接合晶圓總成

【英文發明名稱】

METHODS FOR IMPROVING WAFER PLANARITY AND
BONDED WAFER ASSEMBLIES MADE FROM THE METHODS

【技術領域】

本發明通常係關於半導體製造方法。更特定言之，本發明係關於：

1)一種用以使用氧化物沈積技術增強一經扭曲或經彎曲半導體晶圓之平坦度(即，平面性)以增加半導體晶圓及晶粒良率之方法；及2)由該方法所製造之一接合半導體晶圓總成。

【先前技術】

產業標準半導體晶圓且尤其藍寶石上GaN半導體晶圓、基板或模板在光子應用中係常見的但通常具有表面非平面性。一半導體晶圓之非所要非平面性之特徵可為翹曲及/或彎曲。對半導體晶圓之典型翹曲度及/或彎曲度量測受量測方法及邊緣排除區定義影響。邊緣排除區愈小，經量測翹曲度及/或彎曲度愈高。半導體晶圓翹曲度及/或彎曲度亦受半導體晶圓之直徑且受底層基板之厚度及生長於標準半導體晶圓上之磊晶層影響。半導體晶圓翹曲度係可跨一4吋基板之約100 μm 或更大，且此非平面性在許多半導體程序中係一障礙。

非所要非平面半導體晶圓輪廓通常為凸的，且最小化或消除此非平面性以改善在隨後製造步驟中之處理良率係重要的。在標準應用中，期望將跨一4吋半導體晶圓的一基板中之翹曲度減小至小於80 μm 且在後續處

理步驟中對翹曲度/彎曲度之更大減小進一步改善半導體晶圓接合性質。

在機械處理方面(例如，真空臂及卡盤)，一4吋光子半導體晶圓之翹曲度應小於由諸如(舉例而言)一Canon步進器之一典型光微影步進器接受之80 μm ，其繼而改善局部平面焦點。通常，半導體晶圓翹曲度負面影響真空臂拾起半導體晶圓(例如，自一晶匣)且過度地，半導體晶圓扭曲負面影響將該半導體晶圓吸至卡盤上。期望任何殘留彎曲在第一半導體晶圓表面上保持凸的而非凹的以供改善半導體晶圓之後續處理。

需要用於減小前述半導體晶圓之非平面性且改善半導體晶圓形狀輪廓的一廉價程序，以改善在後續半導體晶圓處理步驟中之良率。

【發明內容】

【圖式簡單說明】

圖1A係本發明之方法之一組較佳步驟的一程序流程圖。

圖1B係具有一凸翹曲度或彎曲度之一半導體晶圓之一橫截面。

圖1C係在將一薄膜層沈積於其之第二表面上之後的半導體晶圓之一橫截面。

圖1D繪示根據本發明之方法之已處理且經熔合接合以形成一半導體晶圓總成的一對半導體晶圓。

圖2A係根據本發明之方法之尚未處理之具有一翹曲度或彎曲度之一半導體晶圓之一晶圓平面性圖。

圖2B係根據本發明之方法之在經處理之後的圖2A之半導體晶圓之一晶圓平面性圖。

圖3A係根據本發明之方法之已使用一薄膜層圖案化的一半導體晶圓之一第二表面。

圖3B係根據本發明之另一方法之已使用兩個薄膜層圖案化的一半導體晶圓之一第二表面。

【實施方式】

相關申請案的交叉參考

本申請案主張2015年12月16日申請之美國臨時專利申請案第62/268,262號之權利。

在現有半導體製造步驟中，一般期望在藉由一半導體光微影步進器及半導體晶圓接合設備處理之前，一未經處理半導體晶圓之翹曲度及/或彎曲度盡可能低。

本發明之一較佳方法包括以下步驟：設計圖案化且沈積具有一預定厚度、圖案及組合物之一壓縮介電材料薄膜層(諸如，但不限於，一PECVD氧化物(諸如，二氧化矽SiO₂))或具有此材料之一拉伸層，以跨一半導體晶圓之表面提供一偏移壓縮或拉伸力來減小該半導體晶圓中之非所要翹曲度及彎曲度。上述偏移介電層之平面化效應已由本文中之申請者量測，且已經展示以實質上改善一非平面光子半導體晶圓之翹曲度及/或彎曲度性質，從而導致在後續光微影及半導體晶圓接合步驟期間改善良率。

在如圖1A至圖1D中所繪示之本發明之一第一態樣中，揭示一種用於減小在一半導體晶圓中之翹曲度及/或彎曲度之方法，該方法包括以下步驟：提供具有一第一表面及一第二表面10之一半導體晶圓1，其中半導體晶圓1之表面輪廓包括如圖1B中所繪示之一翹曲度及/或彎曲度。通常，半導體晶圓之第一表面將係在其上或其中形成電路或其他電子或電裝置之半導體晶圓的表面，但其並非係對本發明之一限制，且在一些情況中，電子或電裝置可經形成於該半導體晶圓之第二表面或兩個表面上。跨半導體晶

圓1之一表面(通常(但非必然)跨該半導體晶圓之凸面)來量測翹曲度及/或彎曲度。具有一預定厚度、圖案或熱膨脹係數(「CTE」)之一薄膜層15經沈積於第二表面10上，以在半導體晶圓1之第二表面10上且跨半導體晶圓1之第二表面10引發一預定應變改質壓縮或拉伸力或一壓縮且拉伸力。在圖1B及圖1C中繪示之特定實施例中，薄膜層15經沈積於第二表面10上，以在半導體晶圓1之第二表面10上且跨半導體晶圓1之第二表面10引發一預定應變改質拉伸力，從而導致該半導體晶圓實質上被平坦化，但宜相對於在一些位置中稍微高且在其他位置中略微低之一半導體晶圓輪廓，留下一稍微凸的半導體晶圓輪廓。薄膜層15可包括一氧化物層、金屬層、金屬氧化物層或陶瓷材料層，或等效材料層。可基於經量測翹曲度及/或彎曲度來計算及判定薄膜層15之厚度、圖案或CTE。作為一實例，薄膜層15可包括一SiO₂層。可使用PECVD程序來沈積薄膜層15。按每約5 μm至約8 μm翹曲度及/或彎曲度，薄膜層15可具有約1 μm厚度。半導體晶圓1可包括在一藍寶石上一GaN層半導體晶圓、基板或模板。

在圖1D中繪示之本發明之一進一步態樣中，藉由(諸如)為熟習半導體晶圓接合技術者所知之熔合接合或等效接合方法，將一對半導體晶圓1(其中已根據本發明之方法處理一個或兩個半導體晶圓1)接合在一起，以提供一高品質接合半導體晶圓總成。儘管展示該等半導體晶圓經接合具有一特定堆疊關係，然在一些應用中，可表面對表面地反轉一個半導體晶圓，此係因為自本發明之應用所得之各半導體晶圓的更大平面性再次改善兩個半導體晶圓之相對位置的接合品質及準確度，從而產生最終產品的更大良率及更佳性能。

舉實例且非限制，期望一4吋半導體晶圓具有小於80 μm之一翹曲度

以供在產業標準步進器設備中處理。例如，當藉由一Canon步進器接受一半導體晶圓時，通常期望跨該半導體晶圓之表面的可接受翹曲或彎曲小於約40 μm 至50 μm 。進一步期望低於40 μm 至50 μm 半導體晶圓翹曲度/彎曲度的翹曲或彎曲，尤其針對後續半導體晶圓熔合接合應用。期望跨半導體晶圓之第一表面之任何剩餘翹曲/彎曲係凸的。類似地，包含與其他半導體晶圓接合之此等半導體晶圓的後續處理需要一高位準的晶圓平面化。例如，使用直接熔合接合或共晶接合來接合4吋半導體晶圓通常將需要跨該等半導體晶圓之表面之小於40 μm 至50 μm 的翹曲度或彎曲度，其中較平坦半導體晶圓通常在接合程序中產生減小的邊緣排除。

不幸地，具有至少一定程度之翹曲及/或彎曲之一半導體晶圓表面頻繁地供應給諸如藍寶石上Ⅲ族氮化物半導體晶圓或矽基板之習知光子半導體晶圓。

本文中之申請者揭示用於最小化半導體晶圓翹曲度及彎曲度之方法。在本發明之一組較佳程序步驟中，使用具有一電漿增強化學氣相沈積(PECVD)工具之一沈積程序來執行該等步驟，以將具有一預定厚度及組合物之二氧化矽或「 SiO_2 」(本文中「氧化物」)薄膜層15沈積於半導體晶圓1之第二(非電路支撐)表面10上。明確注意，本發明不限於使用 SiO_2 作為一平面化薄膜層15，且諸如彼等下文提及之不同材料及其等之等效物可在本發明中用作為平面化薄膜層15。

在本發明之一較佳實施例中，經沈積於半導體晶圓1之第二表面10上之氧化物薄膜層15的原子間距大於在其上沈積光子材料(諸如，Ⅲ族氮化物材料)的基板或模板(諸如，藍寶石)的原子間距。不同原子間距在兩種材料之間建立一晶格失配，從而導致在半導體晶圓1之第二表面上之一經

引發拉伸。因此，經沈積氧化物薄膜層15企求大於由藍寶石基板或模板所提供之一表面面積，從而建立趨於放大半導體晶圓之第二表面之一應變，其繼而趨於平坦化藍寶石基板，此係因為該氧化物薄膜層15企求擴張該第二表面10面積。當然，前述假定半導體晶圓之第一表面係凸的。因此，在此及其他實施例中，層15充當與在沈積該層15之前跨半導體晶圓之表面之翹曲度或彎曲度相比減小跨該半導體晶圓之第一表面及第二表面之翹曲度或彎曲度之一應變改質層。

除晶格失配相關之應變外，熱膨脹失配相關之應變在改變一半導體晶圓1形狀(在本發明之一替代實施例中利用該現象)中起重要作用。如先前所指示，在一經引發膜應力中涉及兩個主要機制：原子間距(即，晶格失配)及熱膨脹係數(「CTE」)差異。CTE可被視為體積及線性尺寸相對於溫度改變之量。CTE在數學上定義為： $\alpha = (1/D) (\Delta D / \Delta T)$ ，其中 α 係CTE；D係體積、面積或一線性尺寸；及T係溫度。通常，材料在加熱時膨脹，儘管此等尺寸改變在不同材料之間變化。

CTE本身係一物理現象且其在一較佳實施例中被利用作為一半導體晶圓平面化方法，尤其在除室溫外之一溫度下將特定薄膜層15材料沈積於一半導體晶圓1表面上時。歸因於隨溫度升高，在一材料中之更高位準量子態在不對稱電位井中變得更填充的事實而發生CTE。此等更高位準量子態具有以大於平衡半徑之值增加的概率密度。換言之，按一時間平均值，原子隨溫度升高在遠離彼此之一更遠距離處度過更多時間。若在兩種材料之間存在一CTE失配，則隨溫度改變之平均原子間距的量對各材料係不同的。CTE膜應力(忽略晶格失配)之一基本實例係其中在一高溫下沈積具有大於主基板(host substrate)之一CTE之一薄膜。在沈積溫度下，結構處於

中性應力，但一旦該結構冷卻，薄膜層15將比基板更收縮，從而導致薄膜層15跨第二表面10呈拉伸或壓縮應力(取決於薄膜材料CTE)。

針對本發明之一氧化物沈積之一組較佳程序步驟，可包括下列如在表1中闡釋之參數：

溫度=約100°C至400°C
沈積壓力=約100 mTorr至2000 mTorr
N ₂ 流=約10至2000 sccm
95% N ₂ /5% SiH ₄ 流=約10至2000 sccm 或 100% SiH ₄ 流=約0.5至50 sccm
N ₂ O流=約100至3000 sccm
RF功率=在約13.56 MHz下約100至1000W
沈積速率=約500至5000 Å/min
所得氧化物之BOE (6:1緩衝氧化物蝕刻劑)速率=約500至5000 Å/min
氧化膜應力=在Si(100)上壓縮100至1000 MPa

表1 例示程序參數

經沈積氧化物薄膜層15宜具有小於約10%之非均勻性。在氧化物薄膜層15沈積期間之處理溫度不一實質處理約束，此係因為已觀察到在約300°C至400°C之範圍內沈積之一氧化物薄膜層15展現一可接受壓縮效應。

使用上文例示程序參數，本發明之較佳實施例導致大致上沈積每1 μm氧化物薄膜層15，緩解約5 μm至8 μm翹曲度或彎曲度。

參考圖2A及圖2B，提出來自使用Sigmatech背壓半導體晶圓形狀量測設備進行之半導體晶圓計量學量測之翹曲度及彎曲度調整資料之一圖解法，其展示自一未經處理半導體晶圓(圖2A)至已根據本發明之方法處理之同一半導體晶圓(圖2B) 的平面性改善。在此等圖式之圖例中，此平面性改善表明其本身在該等量測的更窄範圍中。

本發明之一較佳實施例之實驗實踐導致沈積於根據本發明之方法處理之4吋半導體晶圓1上之1 μm 氧化物薄膜層15減小約6.3 μm 平均翹曲度，而沈積1 μm 氧化物減小約3.4 μm 平均彎曲度。

可藉由經沈積氧化物薄膜層15之非均勻性大致增加或減小總厚度變動或「TTV」，且此半導體晶圓1厚度依約80%至90%目標經沈積氧化物厚度而按比例繪製。

在使用本發明步驟運行的一樣本半導體晶圓處理中，在一目標2 μm 氧化物薄膜層15沈積之後，半導體晶圓翹曲度經展示自56.5 μm 減小至43.3 μm ；彎曲度經展示自29.2 μm 減小至22.7 μm ；TTV經展示自6.8 μm 減小至7.4 μm ；及半導體晶圓厚度經展示自662.9 μm 減小至664.7 μm 。進一步例示性翹曲度減小資料展示於下列表2中。

晶圓384G		晶圓385G	
經沈積氧化物(μm)	翹曲度(μm)	經沈積氧化物(μm)	翹曲度(μm)
0	88.3	0	86.4
2	75.1	2	74.2
4	64.4	4	63.7
6	52.7	6	52.1
8	39.3	7	43.8

表2具有第二表面氧化物沈積厚度之晶圓翹曲度之改變

注意，一旦沈積一第二表面翹曲度及彎曲度調整氧化物薄膜層15，

半導體晶圓1不暴露於緩衝氧化物蝕刻劑或「BOE」及HF係較佳的，除非重複一翹曲度及彎曲度調整氧化物薄膜層15沈積步驟。

另外，經沈積薄膜層15氧化物厚度均勻性會對諸如(舉例而言)雷射剝離(LLO)均勻性之後續處理步驟具有一些影響。LLO均勻性會受由氧化物薄膜層15均勻性引起的UV雷射光之四分之一波長干涉條件影響且不會受層15之UV吸收影響。

明確注意，出於圖解及論述目的且非限制而言，無需僅使用沈積於用作實例之c-平面藍寶石上之例示性較佳壓縮PECVD氧化物薄膜層15來實踐本發明之方法。本發明之方法及申請專利範圍明確涵蓋使用沈積於任何半導體晶圓1之任何表面上之任何高應力薄膜層15，以操縱半導體晶圓1之形狀、翹曲度及彎曲度。因此，歸因於可使用第二表面10上之晶格失配或不同CTE，故經沈積薄膜層15不限於二氧化矽材料，可以一預定厚度沈積於一半導體晶圓1表面上的任何適合薄膜層15足以引發一預定壓縮力、拉伸力或一壓縮且拉伸力。

圖3A及圖3B中繪示替代方法。在圖3A中，薄膜層15經圖案化以形成該薄膜層之長條帶，其為應變改質效應提供一主導軸(dominant axis)，無論選擇該薄膜層15以在半導體晶圓1之相鄰表面10上施加壓縮力或拉伸力。此可實用於彎曲度或翹曲度係圍繞一單個軸或主要圍繞一單個軸時。然而，若彎曲度或翹曲度係圍繞兩個軸(但不相等)，則可如圖3B中所展示圍繞一第二軸沈積且定向一第二圖案化薄膜層15。亦應注意，亦可藉由簡單選擇圖3A中之層15之條帶寬度而獲得不相等應變。亦在圖3B中，垂直及水平條帶可為相同或不同薄膜層材料。就彼而言，在一些情況中，彎曲度或翹曲度可在相反方向上圍繞兩個軸，在此情況中將使用不同薄膜層材

料，一薄膜層材料用以在相鄰半導體基板上引發壓縮力，且一薄膜層材料用以在相鄰基板上引發拉伸力。

可沈積於一半導體晶圓1表面上之許多適合薄膜層15材料係市售材料，其等材料為異種組合物且因而賦予足夠半導體晶圓表面應變，因此改變半導體晶圓1表面輪廓。氧化矽非常適合於此等應用，因為氧化矽易於沈積於一半導體晶圓1表面上且可在重新塑形半導體晶圓1之彎曲度及翹曲度的一應力狀態下生長，但在替代實施例中，可使用諸如氮化矽、陶瓷、金屬或金屬氧化物薄膜層15之材料且其視為屬於本發明之方法之範疇內。另外，上文參考之半導體晶圓1可被視為具有一通用形狀，且本發明之方法功能在於藉由沈積一應變改質或壓縮改質薄膜層15或薄膜於半導體晶圓1之第二表面10上而平面化任何一般基板形狀。因此，針對薄膜層之主要變數係材料、厚度及薄膜層圖案以及係材料之一特性之熱膨脹係數，其在一些情況中針對相同材料之所關注不同膜厚度係不同的。

在c平面藍寶石上Ga_N之上述較佳實施例中，如經觀察到磊晶表面上之半導體晶圓1通常趨於相當均勻凸的，即，最高點朝向Ga_N表面之中心。在此等例項中，先前描述之將一毯覆壓縮氧化物薄膜層15沈積於半導體晶圓1之第二表面上尤其有效。然而，明確注意，經沈積薄膜層15無需受限於一SiO₂材料，且該經沈積薄膜層材料可係相較於Ga_N或半導體晶圓材料賦予半導體晶圓1一相對曲率之任何材料。

在其中半導體晶圓1係凹的之一例項中，如在前述提及向下凸非平面性中，而非將一壓縮薄膜層15施加至半導體晶圓之第二表面，可施加賦予藍寶石拉伸力的一經沈積薄膜層15。Ga_N自身係本發明之此實施例之一適合候選者。

在具有在不同晶向(諸如m-平面藍寶石上生長之半極性Ga₂N)上之不同曲率的半導體晶圓1之通用情況中，本發明實現沿一個軸減小彎曲度但可在垂直方向上增加該彎曲度。

為解決此等擔憂，揭示一替代實施例，其中如在半導體技術中熟知之一「陰影遮罩」可用來將具有預定應變改質或拉伸特性之一應變改質薄膜層15選擇性地沈積於半導體晶圓1之第二表面10之不同部分或區域上。

藉由將一毯覆平面化薄膜層15沈積於半導體晶圓1之第二表面10上，使用具有一預定薄膜層15圖案(諸如圖4中繪示之例示圖案)之光微影來圖案化半導體晶圓1，且接著選擇性地移動該平面化薄膜層15之預定區域或部分以引發呈晶圓平面性之一所要改變，亦可實現一等效效應。

舉實例而非限制性，藉由使用具有在其上之一預定應變改質圖案之一陰影遮罩，一使用者可沈積作為由(例如)半導體晶圓區域之三分之二及(例如)在半導體晶圓1之中心三分之一上的一拉伸氮化物組成之條帶的一壓縮薄膜層15氧化物以沿不同軸不同地改質形狀(圖3A及圖3B)。

可基於一給定半導體晶圓形狀使用(例如)應變模型軟體判定不同或變化壓縮/拉伸層圖案以針對一特定半導體晶圓彎曲度而模型化一最佳改質薄膜層或層15組合圖案。

熟習此項技術者可進行替代方案或修改而未脫離本文中本發明之方法之精神及範疇。因此，須理解已僅出於實例之目的闡釋所繪示之實施例，且其在主張本申請案之優先權之任何後續申請案中不應被視為限制如由任何請求項定義之本發明。

舉例而言，儘管事實上可在一特定組合中闡釋此一請求項之元件，但須明確理解本發明包含更少、更多或不同元件之其他組合，其在上文經

揭示甚至並未在此等組合中初始主張。

在本說明書中用以描述本發明及其之各種實施例之字詞不僅在其等之通常定義之含義的意義上被理解，而且包含藉由在超出通常定義之含義之範疇的本說明書結構、材料或動作中之特定定義來理解。因此，若一元件在本說明書之背景內容中被理解為包含一種以上含義，則其在一隨後申請專利範圍中使用該元件一定被理解為對由說明書及由字詞自身所支持之所有可能含義係通用的。

因此，在主張本說明之優先權的任何後續申請案中之任何請求項的字詞或元件之定義應被定義為不僅包含經字面闡釋之元件的組合，而且包含用於以實質上相同方式執行後續實質上相同功能的所有有效結構、材料或動作以獲得實質上相同結果。因此，在此意義上，可預期可針對在下文請求項中之該等元件之任一者做出兩個或兩個以上元件之一等效替代或可針對在此一請求項中之兩個或兩個以上元件替代一單個元件。

儘管在上文可將元件描述為作用於特定組合中且甚至隨後如此要求，然應明確地理解來自一經要求之組合之一或多個元件可在一些情況中自該組合刪去且彼經要求之組合可指向一子組合或一子組合之變動。

現在已知或隨後可經設計的如一般技術者觀看之來自任何後續經要求之標的之非實質改變明確地被視為在此請求項之範疇內係等效的。因此，一般技術者現在已知或隨後將知之明顯替代被定義為在該等經定義元件之範疇內。

因此，在主張本申請案之優先權之任何後續申請案中的任何請求項被理解為包含上文經明確繪示及描述、概念上等效、可明顯經替代及亦實質上併入本發明之基本理念。

【符號說明】

- 1 半導體晶圓
- 10 第二表面/相鄰表面
- 15 薄膜層/平面化薄膜層/氧化物薄膜層/層/壓縮薄膜層/第二圖案化薄膜層/應變改質薄膜層/改質薄膜層

【發明申請專利範圍】

【第1項】

一種用於減小在一半導體晶圓中之翹曲度(warp)或彎曲度(bow)之方法，其包括：

提供具有一第一表面及一第二表面之一半導體晶圓，其中一半導體晶圓表面輪廓(profile)包括一翹曲度或彎曲度；

跨該半導體晶圓之一表面來量測該翹曲度或彎曲度；及

將具有一預定厚度之一第一應變改質層(strain-modifying layer)沈積於該第二表面上以在該第二表面上引發一預定壓縮力(compressive force)，並將具有一預定厚度之一第二應變改質層沈積於該第二表面上以在該第二表面上引發一預定拉伸力(tensile force)，從而與在沈積該第一及第二應變改質層之前之在該半導體晶圓表面輪廓中之該翹曲度或彎曲度相比，該預定壓縮力及該預定拉伸力減小在該半導體晶圓表面輪廓中之該翹曲度或彎曲度。

【第2項】

如請求項1之方法，其中該第一或第二應變改質層預定厚度係基於在該半導體晶圓表面輪廓中之該經量測翹曲度或彎曲度。

【第3項】

如請求項1之方法，其中該第一或第二應變改質層係一氧化物層。

【第4項】

如請求項3之方法，其中在一PECVD程序中沈積該氧化物層。

【第5項】

如請求項3之方法，其中按每5 μm 至8 μm 翹曲度或彎曲度，該氧化

物層具有一1 μm 厚度。

【第6項】

如請求項1之方法，其中該半導體晶圓係藍寶石上GaN晶圓、基板或模板。

【第7項】

如請求項1之方法，其中該第一或第二應變改質層係一氮化矽層。

【第8項】

如請求項1之方法，其中該第一或第二應變改質層係一金屬氧化物材料。

【第9項】

如請求項1之方法，其中該第一或第二應變改質層係一III族氮化物。

【第10項】

如請求項7之方法，其中於一PECVD程序中沈積該第一或第二應變改質層。

【第11項】

如請求項1之方法，其中於一物理氣相沈積程序中沈積該第一或第二應變改質層。

【第12項】

如請求項1之方法，其中按每約5 μm 至8 μm 翹曲度或彎曲度，該第一或第二應變改質層具有一1 μm 厚度。

【第13項】

如請求項1之方法，其中該第一或第二應變改質層經圖案化。

【第14項】

如請求項1之方法，進一步包括將該半導體晶圓熔合接合至亦已經受請求項1之方法之一或多個其他半導體晶圓。

【第15項】

一種半導體晶圓，其包括：

一半導體晶圓，其具有一第一表面及一第二表面，及

在該第二表面上之一第一應變改質層，其在該第二表面上引發一壓縮力，及在該第二表面上之一第二應變改質層，其在該第二表面上引發一拉伸力，該壓縮力及該拉伸力將該半導體晶圓的一翹曲度或彎曲度減小至低於在施加該第一及第二應變改質層之前之該半導體晶圓的該翹曲度或彎曲度。

【第16項】

如請求項15之半導體晶圓，其中該第一應變改質層經圖案化以形成在該半導體晶圓上之一第一方向上延伸之複數個長形層片段(elongated layer segments)，且該第二應變改質層經圖案化以形成在該半導體晶圓上之一第二方向上延伸之複數個長形層片段。

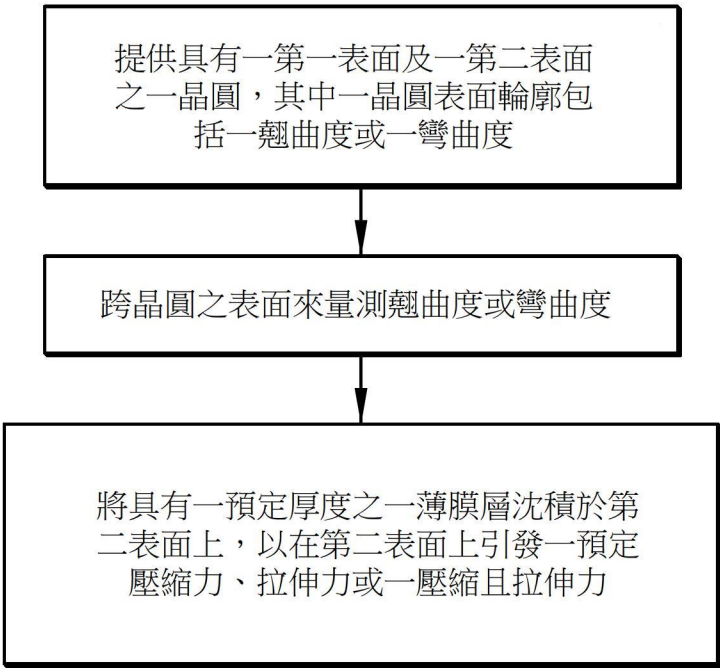
【第17項】

如請求項15之半導體晶圓，其中該第一或第二應變改質層係選自由SiO₂、氮化矽、一金屬氧化物材料或一Ⅲ族氮化物組成之群組。

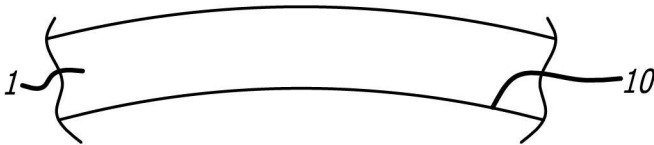
【第18項】

如請求項15之半導體晶圓，其中該半導體晶圓係一藍寶石上GaN晶圓、基板或模板，且該第一或第二應變改質層係一SiO₂層。

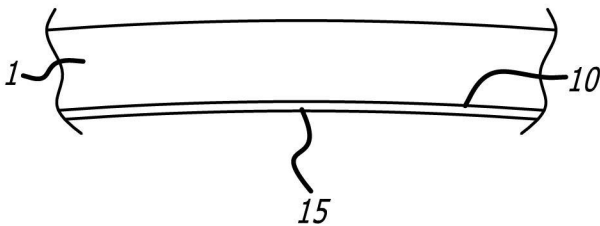
【發明圖式】



【圖1A】



【圖1B】



【圖1C】



【圖1D】

[illegible]

【圖2A】

晶圓圖

圖例

圖表選項

檔案編輯分析

智慧型螢幕控制

視窗選項?

晶圓統計

平均値: 0.00001
最大値: 21.46
最小値: -18.27
標準差: 11.89
範圍: 102896064.1
高/低變數: 39.73
單位: 1245.95% mm

晶圓尺寸

晶圓直徑: 100.00 mm
測試直徑: 100.00 mm
位點號碼: 49
類型: 凹口

晶圓附註

操作者ID:
製備名稱:
設備資訊:
晶圓ID:
批:
量測設備: ST9600-A2
專用:

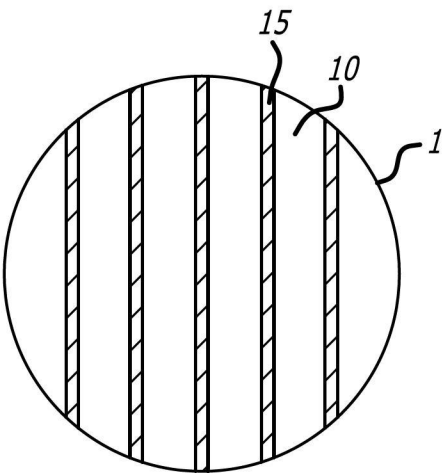
圖例

17.5 - 21.5
13.5 - 17.5
9.5 - 13.5
5.6 - 9.5
1.6 - 5.6
-2.4 - 1.6
-6.4 - -2.4
-10.3 - -6.4
-14.3 - -10.3
-18.3 - -14.3

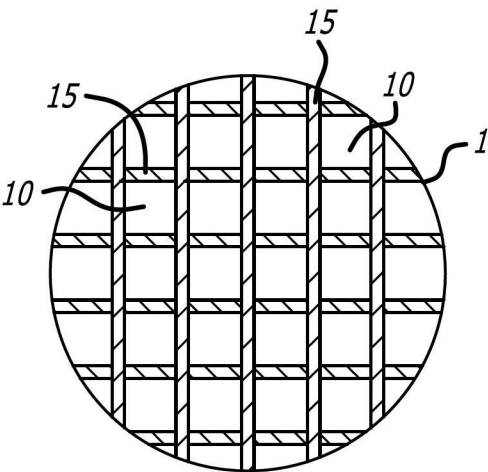
凹口

檔案: 384G 082715(1FLYFEF

【圖2B】



【圖3A】



【圖3B】