



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 101 52 027 B4** 2008.12.11

(12)

Patentschrift

(21) Aktenzeichen: **101 52 027.1**
(22) Anmeldetag: **23.10.2001**
(43) Offenlegungstag: **25.07.2002**
(45) Veröffentlichungstag
der Patenterteilung: **11.12.2008**

(51) Int Cl.⁸: **G11C 7/00** (2006.01)
G11C 11/417 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
2000-62502 24.10.2000 KR

(73) Patentinhaber:
Samsung Electronics Co., Ltd., Suwon, Kyonggi, KR

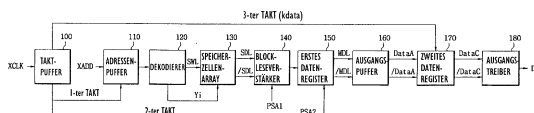
(74) Vertreter:
**Kuhnen & Wacker Patent- und
Rechtsanwaltsbüro, 85354 Freising**

(72) Erfinder:
**Kwon, Kook-Hwan, Suwon, Kyonggi, KR; Suh,
Young-Ho, Suwon, Kyonggi, KR**

(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:
US 59 63 483 A
US 53 84 737 A

(54) Bezeichnung: **Synchroner Hochgeschwindigkeits-Halbleiterspeicher mit einer Vielstufen-Pipeline-Struktur**

(57) Hauptanspruch: Synchroner Halbleiterspeicher mit einer Vielstufen-Pipelinekonfiguration, mit:
einer Zweistufen-Pipelinekonfiguration, die ein Speicherzellenarray (130), einen Leseverstärker (140) und ein zweites Datenregister (170) umfaßt, und
einem ersten Datenregister (150), welches zwischen dem Leseverstärker (140) und einer Hauptdatenleitung (MDL./MDL) angeordnet ist, wobei das erste Datenregister (150) eine Eigenverriegelungs-Treiberschaltung aufweist.



Beschreibung

[0001] Die vorliegende Anmeldung beansprucht die Priorität aus der Koreanischen Patentanmeldung Nr. 2000-62502, eingereicht am 24. Oktober 2000, deren Inhalte hier unter Bezugnahme voll inhaltlich mit einbezogen werden.

HINTERGRUND DER ERFINDUNG

Gebiet der Erfindung

[0002] Die vorliegende Erfindung betrifft eine integrierte Schaltung eines Halbleiterspeichers und betrifft speziell einen synchronen Pipeline-Halbleiterspeicher für Hochgeschwindigkeitsoperationen.

Beschreibung des Standes der Technik

[0003] In Hinblick darauf, daß elektronisches Systeme in Computer, Kommunikation und anderen Anwendungen in ihrer Kapazität und ihrer Betriebsgeschwindigkeit zunehmen, muß auch die Kapazität und die Geschwindigkeit der Halbleiterspeicher ebenso zunehmen, die darin verwendet werden, um den Bedürfnissen des Systems gerecht zu werden. Statische Speicher (SRAMs) mit wahlfreiem Hochgeschwindigkeits-Zugriff bilden beispielsweise einen wichtigen Cache-Speicher für Computer und für Kommunikationsanwendungen. Da Datenprozessoren mit extrem hohen Geschwindigkeiten arbeiten, sind schneller arbeitende Cache-Speicher wünschenswert, um die System-Performance zu verbessern. Eine Doppel-Datenrate und Pipeline-Datenblockverfahren (pipelined burst methods) wurden als Wege zur Erhöhung der Betriebsgeschwindigkeiten offenbart, um den Anforderungen der Systeme gerecht zu werden.

[0004] Die [Fig. 1](#) und [Fig. 2](#) zeigen ein Blockschaltbild bzw. ein damit in Beziehung stehendes Zeitsteuer-Flußdiagramm eines herkömmlichen Synchron-Halbleiterspeichers. Das herkömmliche System, welches in den [Fig. 1](#) und [Fig. 2](#) gezeigt ist, ist von Leach, et al. in dem US Patent Nr. 5 923 615 (Leach), ausgegeben am 13. Juli 1999, offenbart. Gemäß Leach arbeitet ein Synchron-Pipeline-Datenblockspeicher bzw. Burst-Speicher mit einer schnellen Taktgeschwindigkeit und zwar ohne zusätzliche Pipeline-Stufen. Der Speicher ist so konstruiert, daß er einen Adressen-Eingangspuffer **22**, ein Adressenregister **24**, eine Synchron-Steuerschaltung **26**, ein Datenregister **28**, einen Datenausgangspuffer **30** und einen asynchronen Speicherkern **40** besitzt. Das Adressenregister **24** verriegelt Burst(Datenblock)-Adressen während des ersten Zyklusses und die verriegelte oder gespeicherte Datenblockadresse wird zu einem Eingang des asynchronen Speicherkerns **40** gesendet, der eine Vielzahl an Speicherzellen enthält.

[0005] Die von dem asynchronen Speicherkern **40** ausgesendeten Ausgangsdaten werden bis hin zum dritten Zyklus nicht verriegelt. Der dritte Zyklus wird nach dem zweiten Zyklus eines periodischen Taktsignals erzeugt, welches seinerseits auf den ersten Zyklus folgt. Als ein Ergebnis garantieren die Burst-Betriebszyklen von Leach bessere Erfassungsoperationen gemäß einer typischen Pipelineregeln, indem eine lange Zeitdauer zwischen der Aktivierung von Wortleitungen und der Löschung von Bit-Leitungen sichergestellt wird. Unglücklicherweise kann jedoch Leach nicht die Zykluszeit des Speichers reduzieren, da nämlich die Daten, die aus einer Speicherzelle zu dem Aktivierungszeitpunkt oder der Aktivierungszeit eines Verriegelungssignals von der synchronen Steuerschaltung **26** ausgegeben werden, so lange nicht verriegelt werden, bis der dritte Zyklus des periodischen Taktsignals erreicht ist. Die Zykluszeit des Leach-Speichers wird daher durch die Zeit bestimmt, die von der Initialisierung eines externen Taktsignals bis zum Verriegeln bzw. Halten oder Zwischenspeichern (latching) der Daten an dem Datenregister benötigt wird. Fehler bei der Datenverriegelung und instabile Erfassungsoperationen können auftreten, wenn die Operationszykluszeit kürzer ist als eine vor-eingestellte Zeit.

[0006] Auf dem Gebiet eines synchronen Pipeline-Speichers wird ein Suchvorgang fortlaufend auf Wegen durchgeführt, um eine kürzere Zykluszeit zu erhalten. Obwohl die herkömmlichen Pipelineoperationen wie diejenigen, die in [Fig. 3](#) veranschaulicht sind, auf diesem Gebiet gut bekannt sind, sollen diese allgemein bei der vorliegenden Anmeldung beschrieben werden, um ein gründlicheres Verständnis der verschiedenen Aspekte der Ausführungsformen der vorliegenden Erfindung zu ermöglichen.

[0007] [Fig. 3](#) veranschaulicht allgemein die Leseoperations-Zeitsteuerung eines Zweistufen-Synchron-Pipelinespeichers. Wenn gemäß [Fig. 3](#) eine externe Adresse XADD während des ersten Zyklus-T1 eines externen Taktsignals XCLK eingespeist wird, wird die Adresse während des ersten Zyklusses in Reihen- und Spalten-Wählsignale SWL, Yi jeweils dekodiert. Die Reihen- und Spalten-Wählsignale SWL, Yi werden dann zu dem Speicherzellen-Array gesendet. Die Reihen- und Spalten-Wählsignale SWL, Yi arbeiten derart, um eine entsprechende Speicherzelle auszuwählen, so daß die Ladung der ausgewählten Speicherzelle von den entsprechenden beteiligten Datenleitungen SDL, /SDL mit verwendet wird.

[0008] Nachdem die Ladung von den Datenleitungen SDL, /SDL mit verwendet wurde bzw. von diesen geteilt wurde, beginnt ein Block-Leseverstärker BSA (oder der erste Leseverstärker) seinen Betrieb im Ansprechen auf die Eingabe eines Leseverstärker-Freigabesignals PSA1. Der Block-Leseverstärker liest

und verstärkt einen Unterschied in den Pegeln einer Spannung, die unter den Datenleitungen SDL/SDL entwickelt wird und liefert dieses verstärkte Signal als Zellendaten (oder Speicherinformation) der ausgewählten Speicherzelle zu den Hauptdatenleitungen MDL/MDL. Spezifischer ausgedrückt werden die Zellendaten durch einen Ausgangspuffer verriegelt, der allgemein mit den Hauptdatenleitungen MDL/MDL verbunden ist und zwar zu einem Datenregister hin, welches an das rückwärtige Ende eines Ausgangspuffers angeschlossen ist. Das Datenregister schiebt die verriegelten Zellendaten zu einem Ausgangstreiber im Ansprechen auf ein zweites Taktsignal, welches während des zweiten Zyklus des externen Taktsignals XCLK gesendet wird. Die Zellendaten werden durch den Ausgangstreiber getrieben, und werden dann zu einem externen Dateneingang/Ausgang-Anschluß I/O ausgegeben. In dieser Schaltung wird die Zykluszeit als Zeit von der Verschiebung eines externen Taktsignals zur Verriegelung der Daten zu dem Datenregister festgelegt. Der Takt zu der Datengeschwindigkeit wird als Zeitdauer von der Aktivierung der zweiten Taktsignals KData zu dem externen Ausgang der Zellendaten, die an dem Datenregister verriegelt sind, über einen Ausgangstreiber bestimmt.

[0009] Daher ist dieser Zweistufen-Synchron-Pipelinespeicher hinsichtlich seiner Fähigkeit die Zykluszeit zu reduzieren eingeschränkt, da es eine lange Zeitdauer für die Zellendaten benötigt, am Datenregister verriegelt zu werden. Es verbleibt demzufolge ein Bedarf nach einer alternativen Speicherstruktur und nach einem Verfahren, welche bzw. welches die Fähigkeit hat, die Zykluszeit zu reduzieren und zwar durch Verkürzen der Zeit zwischen dem Verschiebevorgang eines externen Taktsignals und der Verriegelung der Daten zum Datenregister.

[0010] Weiteren relevanten Stand der Technik offenbart die US 5 963 483 A, die eine synchrone Speichereinheit mit Pipeline-Konfiguration und einem zusätzlichen Datenregister (Latch 37) betrifft, sowie die US 5 384 737 A, die einen Pipelinespeicher mit zwei Betriebsarten, nämlich einem Synchronbetrieb und einem Asynchronbetrieb, betrifft, wobei ein Ausgaberegister **34** zur Anwendung welches über mehrere Schaltungsabschnitte angesteuert werden kann.

ZUSAMMENFASSUNG DER ERFINDUNG

[0011] Die Aufgabe der vorliegenden Erfindung besteht darin, einen Halbleiterspeicher zu schaffen, der eine reduzierte Zykluszeit und einen schnelleren Betriebszyklus besitzt.

[0012] Diese Aufgabe wird durch die Merkmalskombination des Patentanspruchs 1 gelöst. Vorteilhafte Weiterbildungen und Ausaltungen sind Gegenstand der sich daran anschliessenden Patentansprüche,

deren Inhalt hierdurch ausdrücklich zum Gegenstand der Beschreibung gemacht werden, ohne ihren Wortlaut zu wiederholen.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0013] Ein vollständigeres Verständnis der Natur und der Ziele der Erfindung kann anhand der folgenden detaillierten Beschreibung von bevorzugten Ausführungsformen mit Hinweis auf die beigefügten Zeichnungen gewonnen werden, in denen zeigen:

[0014] [Fig. 1](#) ein Blockschaltbild eines synchronen Halbleiterspeichers gemäß dem Stand der Technik;

[0015] [Fig. 2](#) ein Zeitsteuerdiagramm, welches den Betriebszyklus des synchronen Halbleiterspeichers von [Fig. 1](#) veranschaulicht;

[0016] [Fig. 3](#) ein Zeitsteuerdiagramm, welches eine Leseoperation eines herkömmlichen zweistufigen synchronen Halbleiterspeichers veranschaulicht;

[0017] [Fig. 4](#) ein Blockschaltbild, welches einen synchronen Halbleiterspeicher veranschaulicht, der gemäß einer Ausführungsform der vorliegenden Erfindung konstruiert ist;

[0018] [Fig. 5](#) ein Zeitsteuerdiagramm eines Lesebetriebs der Halbleitervorrichtung von [Fig. 4](#);

[0019] [Fig. 6](#) ein Blockschaltbild, welches noch weiter die Konstruktion des Halbleiterspeichers von [Fig. 4](#) veranschaulicht;

[0020] [Fig. 7](#) ein schematisches Schaltungsdiagramm, welches die Konstruktion eines Block-Leseverstärkers und eines ersten Datenregisters veranschaulicht, die in Blockform in [Fig. 6](#) gezeigt sind; und

[0021] [Fig. 8](#) ein schematisches Schaltungsdiagramm, welches einen Datenausgangspuffer, ein zweites Datenregister und einen Ausgangstreiber des Halbleiterspeichers veranschaulicht, die in Blockform in den [Fig. 4](#) und [Fig. 6](#) gezeigt sind.

DETAILLIERTE BESCHREIBUNG DER BEVORZUGTEN AUSFÜHRUNGSFORMEN

[0022] Gemäß [Fig. 4](#) enthält ein synchroner Halbleiterspeicher, der entsprechend einer bevorzugten Ausführungsform der vorliegenden Erfindung konstruiert ist, einen Taktpuffer **100**, einen Adressenpuffer **110**, einen Dekodierer **120**, ein Speicherzellen-Array **130**, einen Block-Leseverstärker **140**, ein erstes Datenregister **150**, einen Ausgangspuffer **160**, ein zweites Datenregister **170**, und einen Ausgangstreiber **180**.

[0023] Der Taktpuffer **100** empfängt ein externes Taktsignal XCLK und erzeugt den ersten, den zweiten und den dritten Takt. Der Adressenpuffer **110** empfängt und puffert und gibt eine externe Adresse XADD im Ansprechen auf das erste Taktsignal aus. Der Dekodierer **120** dekodiert die Reihen- und die Spalten-Adressen, die von dem Adressenpuffer **110** ausgegeben werden, und erzeugt ein Reihenwählsignal SWL und ein Spaltenwählsignal Yi. Das Speicherzellen-Array **130** enthält eine Vielzahl an Speicherzellen, die an Schnittstellen zwischen Paaren von Wortleitungen und Bit-Leitungen positioniert sind. Die in einer Speicherzelle gespeicherte Ladung, welche Speicherzelle durch in Bereitschaftsetzen des Reihenwählsignals SWL und des Spaltenwählsignals Xi ausgewählt wurde, wird von den mitverwendeten (oder gemeinsamen) Datenleitungen SDL_i/SDL mit verwendet.

[0024] Der Block-Leseverstärker **140** liest und verstärkt den Unterschied in den Pegeln der Spannung, die an den gemeinsam verwendeten Datenleitungen SDL_i/SDL entwickelt wird und zwar im Ansprechen auf ein Leseverstärker-Freigabesignal PSA1, welches während des ersten Taktzyklusses des externen Taktsignals XCLK verschoben wird. Der Block-Leseverstärker **140** gibt dann eine verstärkte Differenzgröße in Form von Zellendaten aus, welche die Informationen anzeigen, die in der ausgewählten Speicherzelle gespeichert sind. Das erste Datenregister **150** verriegelt die von dem Block-Leseverstärker **140** ausgegebenen Zellendaten und gibt die verriegelten Zellendaten an die Hauptdatenleitungen MDL_i/MDL im Ansprechen auf das zweite Taktsignal PSA2 aus, welches während des zweiten Taktzyklusses verschoben wird.

[0025] Der Ausgangspuffer **160** ist mit den Hauptdatenleitungen MDL_i/MDL verbunden, um einen Ausgabepegel der Zellendaten zu den Anschlüssen DataA_i/DataA hin zu Puffern und auszugeben. Das zweite Datenregister **170** verriegelt die Daten an den Ausgangsanschlüssen DataA_i/DataA und gibt die verriegelten Daten an die Ausgangsanschlüsse DataC_i/DataC im Ansprechen auf das dritte Taktsignal Kdata aus, welches während des dritten Taktzyklusses gesendet oder übertragen wird. Der Ausgangstreiber **180** ist mit den Anschlüssen DataC_i/DataC des zweiten Datenregisters **170** verbunden und gibt Daten aus dem zweiten Datenregister **170** als Lese-Ausgangsdaten DQ aus. Das Speicherzellen-Array **130** ist in bevorzugter Weise als ein Satz von Arrays konstruiert, die in eine Vielzahl von Dienst-Blöcke (serve blocks) aufgeteilt sind. Die spezielle Anordnung und Konstruktion der Speicherzellen-Arrays ist jedoch bei der vorliegenden Erfindung nicht von Bedeutung.

[0026] Wie in [Fig. 4](#) gezeigt ist, ist das erste Datenregister **150** zwischen dem rückwärtigen Ende des

Block-Leseverstärkers **140** und den Hauptdatenleitungen MDL_i/MDL installiert. Gemäß einer bevorzugten Ausführungsform der Erfindung ist daher ein zusätzliches Datenregister zwischen dem Block-Leseverstärker **140** (und den gemeinsamen Datenleitungen SDL_i/SDL) und den Hauptdatenleitungen MDL_i/MDL der herkömmlichen Zweistufen-Pipelinestruktur installiert. Mit anderen Worten ist eine zusätzliche Pipelinestufe zu der herkömmlichen Zweistufen-Pipelinestruktur hinzugefügt. Somit werden während des ersten Taktzyklusses eines externen Taktsignals die Ausgangsdaten des Block-Leseverstärkers zu dem ersten Datenregister **150** hin verriegelt, welches mit dem Frontende des Ausgangspuffers **160** verbunden ist. Während des zweiten Taktzyklusses werden die verriegelten Daten zu dem zweiten Datenregister **170** hin verriegelt, welches mit dem Ausgangsende des Ausgangspuffers **160** verbunden ist. Während des dritten Taktzyklusses werden die Daten, die am zweiten Datenregister **170** verriegelt sind, nach außen über den Ausgabetreiber **180** ausgegeben.

[0027] [Fig. 5](#) zeigt ein Zeitsteuer-Flußdiagramm der Daten-Leseoperationen in einem Halbleiterspeicher, der in Einklang mit [Fig. 4](#) konstruiert ist. In [Fig. 5](#) zeigt eine horizontale Achse die Zeit an, und eine vertikale Achse zeigt die Spannungspegel der verschiedenen Signale an. Gemäß [Fig. 5](#) wird eine externe Adresse XADD an den Halbleiterspeicher angelegt. Wenn eine erste externe Adresse A1 während des ersten Taktzyklusses T1 eines externen Taktsignals XCLK verschoben wird, werden das Reihenwählsignal SWL und das Spaltenwählsignal Yi von den Reihen- und Spalten-Dekodierern während des ersten Taktzyklusses T1 ausgegeben. Es werden Speicherzellen ausgewählt, indem das Reihenwählsignal SWL und das Spaltenwählsignal Yi in Bereitschaft gesetzt werden, (enabling) und es entwickelt sich die Ladung, die an den ausgewählten Speicherzellen gespeichert ist, an den entsprechenden Datenleitungen SDL_i/SDL. Wenn das Leseverstärker-Freigabesignal PSA1 auch zu dem Block-Leseverstärker **140** während des ersten Taktzyklusses T1 gesendet wird, werden die Zellendaten, die zwischen den Datenleitungen SDL_i/SDL erscheinen, zu dem ersten Datenregister **150** verriegelt. Wenn das zweite Taktsignal PSA2 während des zweiten Taktzyklusses T2 verschoben wird, werden die verriegelten Zellendaten zu den Hauptdatenleitungen MDL_i/MDL ausgegeben.

[0028] Wie in [Fig. 5](#) gezeigt ist, werden die Daten, die auf den Hauptdatenleitungen MDL_i/MDL gezeigt sind, geringfügig an den Ausgangsanschlüssen DataA_i/DataA des Ausgangspuffers **160** verzögert. Die Daten der Ausgangsanschlüsse DataA_i/DataA werden zu dem zweiten Datenregister **170** hin verriegelt. Die Daten, die durch das dritte Taktsignal Kdata zu verriegeln sind, werden während des dritten Takt-

zyklusses T3 verschoben und erscheinen an den Ausgangsanschlüssen DataC./DataC des zweiten Datenregisters **170**. Die Lese-Ausgangsdaten DQ werden pipelinemäßig durch den Ausgabetreiber **180** ausgegeben, der an die Ausgangsanschlüsse DataC./DataC über den Eingangs/Ausgangs-Anschluß I/O zu Beginn des dritten Taktzyklusses T3 angeschlossen ist.

[0029] Wie aus dem Leseoperationen-Zeitsteuerplan von [Fig. 5](#) ersehen werden kann, ist die Zykluszeit gemäß einer Ausführungsform der vorliegenden Erfindung gegenüber derjenigen der herkömmlichen Zykluszeit, die in [Fig. 3](#) veranschaulicht ist, verschieden. In [Fig. 3](#) wird die Zykluszeit als die Zeit definiert oder festgelegt und zwar vom Moment des Sendens eines externen Taktsignals XCLK an bis zum Verriegeln der Ausgangsdaten des Block-Leseverstärkers zu dem Datenregister **170** hin (vergleichbar dem zweiten Datenregister in [Fig. 4](#)), welches an dem rückwärtigen Ende des Ausgangspuffers installiert ist. Bei der Ausführungsform der vorliegenden Erfindung, deren Zeitsteueroperationen in [Fig. 5](#) gezeigt sind, wird jedoch die Zykluszeit als die Zeit bestimmt, die benötigt wird, damit die Daten zu dem ersten Datenregister **150** hin verriegelt werden und zwar nach der Sendung oder Übertragung des externen Taktsignals XCLK. Indem man daher diese Zeitsteuerpläne vergleicht, wird es offensichtlich, daß die Zykluszeit bei der vorliegenden Erfindung kürzer ist als beim Stand der Technik. Spezieller gesagt ergibt sich aus dem Vergleich mit dem Stand der Technik, daß das Hinzufügen von einer Einstufen-Pipeline zu der herkömmlichen Zweistufen-Pipelinestruktur die Möglichkeit schafft, die Zeit zu verkürzen, die benötigt wird, damit die von dem Leseverstärker ausgegebenen Daten die Hauptdatenleitungen MDL./MDL erreichen können. Es ist auch möglich, die Zeitdauer zum Erreichen des zweiten Datenregisters **170** über den Ausgangspuffer **160** von den Hauptdatenleitungen MDL./MDL her zu erreichen.

[0030] [Fig. 6](#) ist ein Blockschaltbild, welches einen Teil des Halbleiterspeichers von [Fig. 4](#) zeigt. Gemäß [Fig. 6](#) enthält ein Halbleiterspeicher gemäß eine Ausführungsform der Erfindung einen Speicherzellen-Arrayblock **130**, der an einen Ausgabestreiber **180** über ein Block-Leseverstärker-Array **140** angeschlossen ist. Ein erstes Datenregister-Array **150** ist an dem Ausgang des Block-Leseverstärkers angeordnet und gibt Daten zu einem Ausgangspuffer **160** aus. Das zweite Datenregister-Array **170** empfängt Daten von dem Ausgangspuffer **160**.

[0031] Wenn, wie gezeigt ist, das Speicherzellen-Array **130** so konstruiert ist, daß es eine Vielzahl an Zellenarray-Blöcken **130-1**, ... **130-n** aufweist, dann ist auch der Block-Leseverstärker **140** mit einer Vielzahl von entsprechenden Block-Leseverstärker-Arrays **140-1** ..., **140-n** ausgelegt bzw. konstruiert.

In ähnlicher Weise umfaßt das erste Datenregister **150** eine Vielzahl an ersten Datenregister-Arrays **150-1**, ..., **150-n**. Die ersten Datenregister-Arrays **150-1**, ..., **150-n** sind an dem Frontende einer Vielzahl von Hauptdatenleitungen MDL1&/MDL1, MDL2&/MDL2, ..., MDLn&/MDLn plaziert. Jeder einer Vielzahl von Ausgangspuffern **160-1** **160-2**, ..., **160-n** des Ausgangspuffers **160** ist mit einem entsprechenden Paar der Hauptdatenleitungen MDL1&/MDL1, MDL2&/MDL2, ..., oder MDLn&/MDLn verbunden. Das zweite Datenregister **170** ist so konstruiert, daß es eine Vielzahl an zweiten Datenregister-Arrays **170-1**, **170-2**, ..., **170-n** besitzt, die je an das Frontende eines entsprechenden einen einer Vielzahl von Ausgangstreiberstufen **180-1**, **180-2**, ..., **180-n** des Ausgangstreibers **180** angeschlossen sind.

[0032] Gemäß den [Fig. 5](#) und [Fig. 6](#) wird entsprechend dieser Ausführungsform der Erfindung eine Einstufen-Pipelinestruktur zu der herkömmlichen Zweistufen-Pipelinestruktur hinzugefügt. In dieser Weise konstruiert, sprechen die ersten Datenregister-Arrays **150-1**, ..., **150-n** auf die zweiten Taktsignale PSA2 an, die während des zweiten Taktzyklusses T2 eingegeben werden. Die zweiten Datenregister-Arrays **170-1**, ..., **170-n** sprechen auf die dritten Taktsignale Kdata an, die während des dritten Taktzyklusses T3 eingegeben werden.

[0033] [Fig. 7](#) zeigt ein schematisches Schaltungsdiagramm, welches die interne Struktur des Block-Leseverstärkers **140-i** und des ersten Datenregisters **150-i** des Halbleiterspeichers von [Fig. 6](#) veranschaulicht. [Fig. 8](#) ist ein schematisches Schaltungsdiagramm, welches die interne Struktur des Datenausgangspuffers **160-i**, des zweiten Datenregisters **170-i** und des Ausgabestreibers **180-i** des Halbleiterspeichers von [Fig. 6](#) veranschaulicht. Gemäß [Fig. 7](#) ist der Block-Leseverstärker **140-i** mit einer Vielzahl an p-Kanal-MOS (PMOS) Transistoren P1-P11, einer Vielzahl an n-Kanal-MOS (NMOS) Transistoren N1-N7, und einem CMOS Inverter **1** konstruiert.

[0034] Der erste, der zweite und der dritte PMOS Transistor P1, P2, P3 besitzt Gate-Anschlüsse, die so angeordnet sind, daß sie ein Vorladesignal PREC_SDL empfangen, um die Datenleitungen SDL./SDL vorzuladen. Der erste und der zweite NMOS Transistor N1, N2 besitzen Gate-Anschlüsse, die jeweils mit einem vierten und einem fünften PMOS Transistor P4, P5 und den Datenleitungen SDL./SDL verbunden sind. Ein dritter NMOS Transistor N3, der auf ein Leseverstärker-Freigabesignal bzw. in Bereitschaft setzendes Signal PSA1 anspricht, wirkt als ein erster Leseverstärker, um die Differenzgröße der Spannung zu verstärken, die sich zwischen den vorgeladenen Datenleitungen SDL./SDL während der Datenleseoperationen entwickelt. Der sechste, siebte und achte PMOS Transistor P6, P7, P8 besitzt jeweils Gate-Anschlüsse, die so

angeordnet sind, um das Leseverstärker-Freigabesignal PSA1 zu empfangen und um so zu arbeiten, um den Ausgangsanschluß des ersten Leseverstärkers vorzuladen, wenn der erste Leseverstärker in Betrieb ist.

[0035] Der neunte PMOS Transistor P9 bildet einen Teil des zweiten Leseverstärkers und besitzt einen Gate-Anschluß, der so angeordnet ist, um das Leseverstärker-Freigabesignal PSA1 über den Inverter |1 zu empfangen. Der sechste und der siebte NMOS Transistor N6, N7 enthalten Drain-Anschlüsse, die jeweils mit Ausgangsanschlüssen SAO,/SAO des zweiten Leseverstärkers verbunden sind. Diese Transistoren N6, N7 arbeiten derart, um die Ausgangsanschlüsse SAO,/SAO des zweiten Leseverstärkers auf einen Erdungsspannungspegel (0V) zu fixieren, wenn der zweite Leseverstärker in Betrieb ist.

[0036] Das erste Datenregister **150-i** ist mit sechs zusätzlichen Invertern **12–17**, zwei zusätzlichen PMOS Transistoren P12, P13 und acht zusätzlichen NMOS Transistoren N8–N15 ausgestattet. Die Eingänge und die Ausgänge der vierten und fünften Inverterstufen **14, 15** sind miteinander verbunden, wodurch eine Inverter-Verriegelungsstufe L1 gebildet wird. Der zweite Inverter **12**, der zwölfte PMOS Transistor P12 und der achte und der neunte NMOS Transistor N8, N9 sind miteinander verbunden, um eine Eigenverriegelungs-Treiberschaltung zu bilden. Die Eigenverriegelungs-Treiberschaltung wirkt als eine Eigenverriegelung für die Daten, die an dem ersten Ausgangsanschluß SAO des zweiten Leseverstärkers erscheinen und zwar als Verriegelung zu einem Verriegelungsanschluß LAT1, ohne daß dabei ein externes Steuersignal erforderlich ist. Ein dritter Inverter **13**, ein dreizehnter PMOS Transistor und der zehnte und der elfte NMOS Transistor N10, N11 arbeiten in ähnlicher Weise als eine selbst verriegelnde Treiberschaltung, um die an dem zweiten Ausgangsanschluß/SAO erscheinenden Daten des zweiten Leseverstärkers zu einem komplementären Verriegelungsanschluß/LAT1 zu verriegeln.

[0037] Ein zwölfter NMOS Transistor N12 besitzt einen Gate-Anschluß, der so geschaltet ist, daß er das zweite Taktsignal PSA2 empfängt, und besitzt einen Drain-Anschluß der mit der Hauptdatenleitung MDL verbunden ist. Ein dreizehnter NMOS Transistor N13 besitzt einen Drain-Anschluß, der mit einem Source-Anschluß des zwölften NMOS Transistors N12 verbunden ist, und besitzt einen Gate-Anschluß, der mit einem Ausgangsanschluß des sechsten Inverters **16** verbunden ist. Der Eingangsanschluß des sechsten Inverters **16** ist mit dem Verriegelungsanschluß LAT1 verbunden. Diese Schaltung wirkt als eine Zwischen-Treiberschaltung, um die verriegelten Daten zu dem hinteren Teil des ersten Datenregisters zu senden oder zu übertragen und zwar im Ansprechen

auf das zweite Taktsignal PSA2. In ähnlicher Weise arbeiten der vierzehnte und der fünfzehnte NMOS Transistor N14, N15 ebenfalls als eine Zwischen-Treiberschaltung. Unter Verwendung dieser zwei Schaltungen werden die Hauptdatenleitungen MDL,/MDL auf einen hohen Spannungspegel vorge-laden (d. h. einen Versorgungsspannungspegel) bevor das zweite Taktsignal PSA2 auf einen hohen Pegel in Bereitschaft gesetzt wird.

[0038] Um nun auf [Fig. 8](#) einzugehen, so puffert der Ausgangspuffer **160-i** die Eingangsdaten von den Hauptdatenleitungen MDL,/MDL und gibt diese aus. Der Ausgangspuffer **160-i** besitzt vier zusätzliche Inverter **18, 19, 110, 111**, zwei zusätzliche PMOS Transistoren P14, P15, zwei zusätzliche NMOS Transistoren N16, N17, eine Verzögerungseinheit D1 und ein NOR Gatter NOR1. Der achte Inverter **18**, der sechzehnte NMOS Transistor N16 und der vierzehnte PMOS Transistor P14 sind so geschaltet, um die Hauptdatenleitung MDL auf einen hohen Pegel vorzuladen und zwar im Ansprechen auf eine Ausgangsgröße des NOR Gatters NOR1, die über die Verzögerungseinheit D1 übertragen wird. In ähnlicher Weise sind der neunte Inverter **19**, der siebzehnte NMOS Transistor N17 und der fünfzehnte PMOS Transistor P15 so geschaltet, um die Hauptdatenleitung/MDL auf einen hohen Pegel vorzuladen und zwar im Ansprechen auf eine Ausgangsgröße des NOR Gatters NOR1, die über die Verzögerungseinheit D1 übertragen wird.

[0039] Das zweite Datenregister **170-i** ist mit den Ausgangsanschlüssen DataA,/DataA des Ausgangspuffers **160** verbunden. Das zweite Datenregister **170-i** besitzt drei zusätzliche Inverter-Verriegelungsstufen L2, L3, L4 als auch Inverterstufen, die als eine selbstverriegelnde bzw. selbthaltende (self-latch) Treiberschaltung wirken, zwei weitere PMOS Transistoren P16, P17, vier zusätzliche NMOS Transistoren N18–N21, erste Gatter G1, G2 und zweite Gatter G3, G4. Der dritte Takt Kdata und der komplementäre dritte Takt/Kdata werden während des dritten Taktzyklusses T3 übertragen und zwar als Pfadsignale von jeweils dem ersten und dem zweiten Übertragungsgatter G1, G2 und G3, G4.

[0040] Der Ausgangstreiber **180-i** ist mit den Ausgangsanschlüssen DataC,/DataC des zweiten Datenregisters **170-i** verbunden und umfaßt zwei NAND Gatter NAN1, NAN2. Jedes der NAND Gatter NAN1, NAN2 besitzt zwei Eingangsanschlüsse. ein Eingangsanschluß von jedem NAND Gatter NAN1, NAN2 ist mit einem entsprechenden einen der Ausgangsanschlüsse DataC,/DataC jeweils verbundene. Der andere Anschluß von jedem der NAND Gatter NAN1, NAN2 empfängt ein Ausgangs-Freigabesignal OE.

[0041] Ein Inverter **125** ist mit dem Ausgangsan-

schluß des zweiten NAND Gatter NAN2 verbunden. Ein Treiber-PMOS Transistor P20 besitzt einen Gate-Anschluß, der mit einem Ausgang des ersten NAND Gatters NAN1 verbunden ist, und besitzt einen Source-Anschluß, der so geschaltet ist, um eine Versorgungsspannung zu empfangen. Ein Treiber-NMOS Transistor N22 besitzt einen Gate-Anschluß, der mit einem Ausgangsanschluß des Inverters **125** verbunden ist, und besitzt einen Drain-Source-Kanal, der zwischen einem Drain-Anschluß des Treiber-PMOS Transistors P20 und Erde oder Masse geschaltet ist. Ein Verbindungspunkt, der die Drain-Anschlüsse der Treiber-PMOS- und NMOS Transistoren P20, N22 verbindet, bildet einen Eingangs/Ausgangs-Anschluß (I/O).

[0042] Es folgt nun eine allgemeine Beschreibung der Betriebsweise einer Ausführungsform der vorliegenden Erfindung unter Hinweis auf [Fig. 5](#). Der Fluß der Datenbahnen durch die bevorzugte Ausführungsform während einer Leseoperation wird nunmehr in Einzelheiten unter Hinweis auf die [Fig. 7](#) und [Fig. 8](#) beschrieben. Wenn, wie in [Fig. 7](#) gezeigt ist, ein Leseverstärker-Freigabesignal PSA1 zur Realisierung der Leseoperationen auf einen „hohen“ Pegel verschoben wird, wird der dritte NMOS Transistor N3 eingeschaltet, so daß der erste Leseverstärker (der aus dem vierten und dem fünften PMOS Transistor P4, P5 und dem ersten und dem zweiten NMOS Transistor N1, N2 besteht) Lesevorgang und Verstärkungsoperation beginnt. Demzufolge wird eine Differenz im Pegel der Spannung, die sich zwischen den Datenleitungen SDL,/SDL entwickelt, verstärkt.

[0043] Während das Leseverstärker-Freigabesignal PSA1 auf einen hohen Pegel verschoben ist, gibt die erste Inverterstufe **11** einen „niedrigen“ Pegel aus. Dies bewirkt, daß der sechste und der siebte NMOS Transistor N6, N7 ausgeschaltet werden, so daß die Vorladung der Ausgangsanschlüsse SAO/SAO beendet wird. Zur gleichen Zeit wird der neunte PMOS Transistor P9 eingeschaltet. Als ein Ergebnis beginnt der zweite Leseverstärker (der aus dem neunten, dem zehnten und dem elften PMOS Transistor P9, P10, P11 und aus dem vierten und dem fünften NMOS Transistor N4, N5 besteht) zu arbeiten.

[0044] Nachdem die in den ausgewählten Speicherzellen gespeicherte Ladung durch die entsprechenden Datenleitungen mit verwendet wird oder zwischen diesen aufgeteilt wird und unter der Voraussetzung, daß der Spannungspegel höher liegt als oder zumindest gleich ist dem Vorlade-Spannungspegel an den Datenleitungen SDL,/SDL, wird der erste NMOS Transistor N1 des ersten Leseverstärkers eingeschaltet und zwar stärker als der zweite NMOS Transistor N2. Dies bewirkt, daß der fünfte PMOS Transistor P5, der in einem Strompfad mit dem zweiten NMOS Transistor N2 angeordnet ist, stärker eingeschaltet wird als der vierte PMOS Transistor P4.

Wenn dann die Zeit weiter verstreicht, wird der vierte PMOS Transistor P4, dessen Gate-Anschluß mit dem Drain-Anschluß des fünften PMOS Transistors P5 verbunden ist, ausgeschaltet. Als ein Ergebnis wird der zehnte PMOS Transistor P10 des zweiten Leseverstärkers stärker eingeschaltet als der elfte PMOS Transistor P11. Die Ausgangsanschlüsse SAO,/SAO des zweiten Leseverstärkers gehen jeweils in deren hohe und niedrige Spannungspegel über und zwar durch die Vorgänge des Lesens und des Verstärkens der Spannungspegel.

[0045] Die Speicherzellendaten, die in Form von hohen und niedrigen Spannungspegel an den Ausgangsanschlüssen SAO,/SAO erscheinen, sind in Bezug auf eine Inverterverriegelungsstufe L1 des ersten Datenregisters **150-i** selbst verriegelnd. Die Selbstverriegelungsoperationen sollen nun in Einzelheiten beschrieben werden. Der hohe Spannungspegel, der an dem Ausgangsanschluß SAO erscheint, wird auf einen niedrigen Pegel invertiert, um den zwölften PMOS Transistor P12 einzuschalten und um den achten NMOS Transistor N8 auszuschalten. Zu diesem Zeitpunkt wird der neunte NMOS Transistor N9 dadurch ausgeschaltet, indem er einen niedrigen Spannungspegel von dem Ausgangsanschluß/SAO empfangt. Als ein Ergebnis erscheint ein hoher Spannungspegel an dem Verriegelungsanschluß LAT1. Der zehnte NMOS Transistor N10 wird andererseits durch einen hohen Spannungspegel eingeschaltet, der über den dritten Inverter **13** empfangen wird, und es wird der elfte NMOS Transistor N11 durch den hohen Spannungspegel eingeschaltet, der an dem Ausgangsanschluß SAO erscheint. Es wird der dreizehnte PMOS Transistor P13 durch den niedrigen Spannungspegel ausgeschaltet, der an dem komplementären Verriegelungsanschluß/LAT1 erscheint.

[0046] Die erste selbstverriegelnde Treiberschaltung (die den zweiten Inverter **12**, den zwölften PMOS Transistor P12, den achten und den neunten NMOS Transistor N8, N9 enthält) und die zweite Selbstverriegelungs-Treiberschaltung (die den dritten Inverter **13**, den dreizehnten PMOS Transistor P13 und den zehnten und elften NMOS Transistor N10, N11 enthält) bewirken, daß der Verriegelungsanschluß LAT1 und der komplementäre Anschluß/LAT1 jeweils auf einen hohen und niedrigen Pegel überwechseln. Der hohe Pegel an dem Verriegelungsanschluß LAT1 und der niedrige Pegel an dem komplementären Verriegelungsanschluß/LAT1 werden durch eine Inverter-Verriegelungsstufe verriegelt, welche den vierten und fünften Inverter **14** und **15** enthält, um jeweils durch die sechste und die siebte Inverterstufe **16**, **17** auf niedrige und hohe Pegel invertiert zu werden.

[0047] Während die Hauptdatenleitungen MDL,/MDL vorgeladen sind, sind der zwölfte und der vierzehnte NMOS Transistor N12, 14 der Zwischen-

treiberschaltung durch einen hohen Pegel des zweiten Taktsignals PSA2 eingeschaltet. Der dreizehnte NMOS Transistor N13 empfängt jedoch einen niedrigen Spannungspegel von dem sechsten Inverter **16** an seinem Gate-Anschluß und befindet sich daher in dem Ausschaltzustand. Der fünfzehnte NMOS Transistor N15 empfängt andererseits ein hochpegeliges Signal von dem siebten Inverter **17** an seinem Gate-Anschluß und wird daher eingeschaltet. Daher bildet die Hauptdatenleitung MDL keinen Strompfad nach Masse oder Erde, sondern hält vielmehr ihren hohen Pegel aufrecht. Der Strom in der komplementären Hauptdatenleitung/MDL fließt jedoch nach Erde oder Masse, wodurch dieser auf einem niedrigen Pegel gehalten wird. Ferner werden die hohen und die niedrigen Pegel, die durch die Zwischen-Treiberstufe an dem Verriegelungsanschluß LAT1 verriegelt sind, und auch an dem komplementären Verriegelungsanschluß/LAT1 verriegelt sind, zu dem Ausgangspuffer **160-i** an dem rückwärtigen Ende synchron mit dem zweiten Taktsignal PSA2 übertragen, welches während des zweiten Zyklusses des externen Taktsignals XCLK verschoben oder weitergeschoben wurde.

[0048] Es werden dann die hohen und die niedrigen Pegel auf den Hauptdatenleitungen MDL, /MDL in dem Ausgangspuffer **160-i** gepuffert, der in [Fig. 8](#) gezeigt ist, um niedrige und hohe Ausgangsdaten von dessen Ausgangsanschlüssen DataA, /DataA zu erhalten. Die niedrigen und hohen Pegel der Ausgangsdaten werden dann selbstverriegelt und zwar an dem Verriegelungsanschluß DataB und dem komplementären Verriegelungsanschluß/DataB und zwar von der ersten Inverterverriegelungsstufe L2 des zweiten Datenregisters **170-i**. Die niedrigen und die hohen Pegel werden durch den sechzehnten und den siebzehnten Inverter **116**, **117** invertiert und werden dann zu dem Eingangsanschluß des entsprechenden ersten Übertragungsgatters G1 oder G2 verschoben. Die hohen und die niedrigen Pegel, die jeweils durch das erste Übertragungsgatter G1, G2 hindurchlaufen, werden zu der zweiten Inverterverriegelungsstufe L3 des zweiten Datenregisters **170-i** hin verriegelt, so daß sie jeweils aus niedrigen und hohen Pegeln bestehen und zwar an den Ausgangsanschlüssen des zwanzigsten und des einundzwanzigsten Inverters **120**, **121**. Die zweiten Übertragungsgatter G3, G4 übertragen jeweils die niedrigen und die hohen Pegel gemäß einem dritten Taktsignal Kdata und dem dritten komplementären Taktsignal /Kdata, die während des dritten Taktzyklusses T3 des externen Taktsignals XCLK verschoben wurden. Die niedrigen und die hohen Pegel werden zur dritten Inverterverriegelungsstufe L4 des zweiten Datenregisters **170-i** hin verriegelt, so daß sie an den Ausgangsanschlüssen DataC, /DataC desselben erscheinen.

[0049] Der Ausgangstreiber **180-i** ist mit den Ausgangsanschlüssen DataC, /DataC des zweiten Da-

tenregisters **170-i** verbunden. Das erste NAND Gatter NAN1 des Ausgangstreibers **180-i** empfängt die Daten, die an dem Ausgangsanschluß DataC des zweiten Datenregisters **170-i** erscheinen, und ein Ausgangs-Freigabesignal OE. Das erste NAND Gatter NAN1 gibt dadurch einen hohen Pegel aus. Das zweite NAND Gatter NAN2 empfängt Daten von dem komplementären Ausgangsanschluß/DataC und empfängt das Ausgangs- oder Ausgabe-Freigabesignal OE. Das zweite NAND Gatter NAN2 gibt dadurch einen niedrigen Pegel aus. Das Ausgabe-Freigabesignal OE wird mit seinem hohen Pegel zum Zeitpunkt eines Freigabeschrittes geliefert. Als ein Ergebnis wird der Treiber-PMOS Transistor P20 ausgeschaltet, da jedoch die Ausgangsgröße des fünfundzwanzigsten Inverters **125** sich auf einem hohen Pegel befindet, wird der Treiber-NMOS Transistor N22 eingeschaltet. Demzufolge wird eine Ausgangsgröße mit niedrigem Pegel, welche die gespeicherte Information der ausgewählten Speicherzellen anzeigt, von dem letzten Eingangs/Ausgangs-Anschluß I/O ausgegeben. Auf diese Weise wird damit begonnen, die Daten fortlaufend an den Eingang/Ausgang-Anschluß I/O nach dem dritten Zyklus des externen Taktsignals auszugeben.

[0050] Bei der Konstruktion einer Vielstufen-Pipeline gemäß den Prinzipien der Erfindung, sollte eine Bestimmung vorgenommen werden, wo die zusätzliche Pipelinestufe oder – Stufen (z. B. wo das erste Datenregister hinzugefügt wird) zu plazieren ist bzw. sind. Wenn beispielsweise das erste Datenregister dem Dekodierer-Anschluß hinzugefügt wird, kann es schwierig werden die Zykluszeit zu reduzieren, und zwar aufgrund der Verzögerung hinsichtlich der zu verriegelnden Daten von dem Dekodierer-Anschluß zu dem Datenregister bei einem nachfolgenden Zyklus des externen Taktsignals. Wenn das erste Datenregister an dem Ausgangspuffer-Ausgangsanschluß positioniert wird, wie dies bei dem Datenregister nach dem Stand der Technik der Fall ist, wird es ebenfalls schwierig die Zykluszeit zu reduzieren, da die Zykluszeit dann so bestimmt wird, wie dies beim Stand der Technik der Fall war.

[0051] Somit wird bei der bevorzugten Ausführungsform der vorliegenden Erfindung, wie sie oben beschrieben ist, das erste Datenregister an den Ausgang des ersten Leseverstärkers angeschlossen, der dicht bei den Speicherzellen positioniert ist. Wenn das herkömmliche Zweistufen-Pipelineverfahren bei einem 4 Megabit Synchron-Pipeline-SRAM angewendet wird, ergibt sich eine Ausgabegeschwindigkeit von 275 MHz (tCYC = 3,7 ns). Indem man als Vergleich die bevorzugte Ausführungsform der vorliegenden Erfindung verwendet, wird eine Ausgabegeschwindigkeit von 400 MHz (tCYC = 2,5 ns) erhalten, was eine signifikante Reduzierung in der Zykluszeit bedeutet.

[0052] Um zusammenzufassen, so wird bei der bevorzugten Ausführungsform der Erfindung ein zusätzliches Datenregister zwischen den Block-Lese-Zellendatenverstärker und den Hauptdatenleitungen MDL,MDL bei einem allgemein synchronen Halbleiterspeicher installiert. Mit anderen Worten wird eine zusätzliche Einstufen-Pipeline zu der herkömmlichen zweiten Stufen-Pipelinestruktur hinzu addiert, um die Zykluszeit des Speichers zu reduzieren. Die Zykluszeit tCYC gemäß dieser Ausführungsform wird nicht nur durch die Zeitdauer bestimmt, die benötigt wird, damit die Daten zu dem Datenregister hin verriegelt werden, welches an das rückwärtige Ende des Ausgangspuffers angeschlossen ist, sondern wird vielmehr durch die Zeitdauer bestimmt, die die Daten benötigen, um zum ersten Datenregister verriegelt zu werden, und zwar nachfolgend einem externen Takt, wobei das erste Datenregister unmittelbar dem Leseverstärker folgt. Gemäß dieser Konfiguration und Verfahren wird es möglich in signifikanter Weise die Zykluszeit des Speichers zu reduzieren.

[0053] Wie oben beschrieben ist, ist ein synchroner Pipeline-Halbleiterspeicher mit einer geeignet angeordneten Pipelinestruktur mit mehr als zwei Stufen dazu befähigt, eine Zykluszeit des Speichers zu reduzieren. Spezifischer ausgedrückt ist eine dreistufige oder mehrstufige Pipeline dazu befähigt, in signifikanter Weise die Zeitdauer zu reduzieren, die zum Verriegeln der Daten erforderlich ist und sie ist daher für einen Hochgeschwindigkeits-Synchron-Halbleiterspeicher vorteilhaft.

[0054] Während die oben beschriebenen und dargestellten Schaltungen eine bevorzugte Ausführungsform der vorliegenden Erfindung wiedergeben, sind eine Vielfalt an Modifikationen bei dieser Ausführungsform möglich. Obwohl demzufolge die Erfindung anhand einer bevorzugten Ausführungsform beschrieben wurde, erkennt der Fachmann, daß die Merkmale der bevorzugten Ausführungsform in der Anordnung und im Detail modifiziert werden können, ohne dadurch die Lehre der vorliegenden Erfindung zu verlassen. Unter anderem können Schaltungskomponenten der Datenregister durch andere Schaltungskomponenten ersetzt werden. Die Erfindung ist daher so zu interpretieren, daß sie alle Aspekte und Ausführungsformen mit umfaßt, die in den Rahmen der anhängenden Ansprüche fallen.

Patentansprüche

1. Synchroner Halbleiterspeicher mit einer Vieltufen-Pipelinekonfiguration, mit:
einer Zweistufen-Pipelinekonfiguration, die ein Speicherzellenarray (130), einen Leseverstärker (140) und ein zweites Datenregister (170) umfaßt, und einem ersten Datenregister (150), welches zwischen dem Leseverstärker (140) und einer Hauptdatenlei-

tung (MDL,/MDL) angeordnet ist, wobei das erste Datenregister (150) eine Eigenverriegelungs-Treiberschaltung aufweist.

2. Speicher nach Anspruch 1, bei dem der Leseverstärker (140) so konfiguriert ist, um Daten zu lesen und zu verstärken, die von einer ausgewählten Speicherzelle stammen, und zwar nachfolgend einem ersten Taktsignal.

3. Speicher nach Anspruch 1, bei dem das erste Datenregister folgendes aufweist:
eine Inverter-Verriegelungsstufe (L1), die an einen Ausgang der Eigenverriegelungs-Treiberschaltung angeschlossen ist; und
eine Zwischentreiberschaltung (N14, N15), die an einen Ausgang der Inverter-Verriegelungsstufe angeschlossen ist.

4. Speicher nach Anspruch 1, bei dem ein Ausgangsanschluß des ersten Datenregisters (150) mit der Hauptdatenleitung (MDL,/MDL) verbunden ist, und bei dem die Hauptdatenleitung so konfiguriert ist, daß sie auf einen hohen Pegel vorgeladen wird.

5. Speicher nach Anspruch 1, bei dem das erste Datenregister (150) derart konfiguriert ist, um Daten, die von dem Leseverstärker (140) ausgegeben werden, zu verriegeln und um die verriegelten Daten im Ansprechen auf ein zweites Taktsignal auszugeben.

6. Speicher nach Anspruch 1, ferner mit:
dem zweiten Datenregister (170), welches so konfiguriert ist, um die von dem ersten Datenregister (150) ausgegebenen Daten zu verriegeln und um die verriegelten Daten im Ansprechen auf ein drittes Taktsignal auszugeben; und
einem Ausgangstreiber (180) zum Empfangen der verriegelten Daten, die von dem zweiten Datenregister (170) ausgegeben werden, um die verriegelten Daten nach außen hin auszugeben.

7. Speicher nach Anspruch 5, bei dem das zweite Datenregister (170) einen internen Dreistufen-Verriegelungsabschnitt und ein Zweistufen-Übertragungsgatter aufweist.

8. Speicher nach Anspruch 1, mit:
einem Taktsignalpuffer (100), der so konfiguriert ist, um ein externes Taktsignal zu empfangen und um ein erstes Taktsignal, ein zweites Taktsignal und ein drittes Taktsignal zu erzeugen;
einem Eingangspuffer (110), der so konfiguriert ist, um eine externe Adresse im Ansprechen auf das erste Taktsignal zu empfangen und um diese Adresse auszugeben;
einem Dekodierer (120), der so konfiguriert ist, um die von dem Eingangspuffer (100) ausgegebene Adresse in entsprechende Reihen- und Spaltenwahlsignale zu dekodieren und um die Reihen- und Spal-

tenwählsignale an das Speicherzellenarray (**130**) zur Auswahl einer Speicherzelle auszugeben; dem Leseverstärker (**140**), der so konfiguriert ist, um Daten aus der ausgewählten Speicherzelle zu lesen und zu verstärken, und zwar im Ansprechen auf ein Leseverstärker-Freigabesignal (PSA1), und um die verstärkten Daten auszugeben; dem ersten Datenregister (**150**), das so konfiguriert ist, um die verstärkten Daten, die von dem Leseverstärker (**140**) ausgegeben werden, zu speichern; einer Zwischen-Treiberschaltung (L1), die dafür konfiguriert ist, um die in dem ersten Datenregister (**150**) gespeicherten Daten zu der Hauptdatenleitung im Ansprechen auf das zweite Taktsignal zu liefern; einem Ausgangspuffer (**160**), der dafür konfiguriert ist, um die Daten auf der Hauptdatenleitung zu puffern und auszugeben; und dem zweiten Datenregister (**170**), das dafür konfiguriert ist, um die von dem Ausgangspuffer (**160**) ausgegebenen Daten zu speichern und um die gespeicherten Daten an einen Ausgangstreiber (**180**) im Ansprechen auf das dritte Taktsignal zu liefern.

9. Speicher nach Anspruch 8, bei dem das erste Datenregister (**150**) folgendes aufweist: die Eigenverriegelungs-Treiberschaltung (N8, N9); und eine Inverter-Verriegelungsstufe (L1), die mit einem Ausgang der Eigenverriegelungs-Treiberschaltung verbunden ist.

10. Speicher nach Anspruch 8, bei dem die Hauptdatenleitung an einen Ausgangsanschluß der Zwischentreiberschaltung (N14, N15) angeschlossen ist und derart konfiguriert ist, um auf einen hohen Pegel vorgeladen zu werden.

11. Speicher nach Anspruch 8, bei dem das zweite Datenregister (**170**) einen internen Dreistufen-Verriegelungsabschnitt und ein Zweistufen-Übertragungs-gatter aufweist.

12. Speicher nach Anspruch 1 oder 8, mit: einem Block-Leseverstärker (**140**) zum Lesen und zum Verstärken der Daten einer Speicherzelle, die im Ansprechen auf ein Leseverstärker-Freigabesignal (PSA1) ausgewählt wurde, wobei das Leseverstärker-Freigabesignal während eines ersten Taktzyklus eines externen Taktes verschoben wird; dem ersten Datenregister (**150**) zum Verriegeln der Daten, die von dem Block-Leseverstärker (**140**) ausgegeben werden, und zum Ausgeben der verriegelten Daten im Ansprechen auf ein zweites Taktsignal, wobei das zweite Taktsignal während eines zweiten Taktzyklus des externen Taktes verschoben wird; dem zweiten Datenregister (**170**), das dafür konfiguriert ist, um die von dem ersten Datenregister (**150**) ausgegebenen Daten zu verriegeln, und um die verriegelten Daten im Ansprechen auf das dritte Taktsignal auszugeben, wobei das dritte Taktsignal während

eines dritten Taktzyklus des externen Taktes verschoben wird; und einem Ausgangstreiber (**180**), der dafür konfiguriert ist, um die verriegelten Daten zu empfangen, die von dem zweiten Datenregister (**170**) ausgegeben werden, und um die verriegelten Daten nach außen hin auszugeben.

13. Speicher nach Anspruch 12, bei dem die verriegelten Daten des ersten Datenregisters (**150**) auf die Hauptdatenleitung (MDL./MDL) ausgegeben werden und bei dem der Speicher ferner einen Ausgangspuffer (**160**) enthält, der dafür ausgebildet ist, um die verriegelten Daten auf der Hauptdatenleitung zu empfangen, und dafür konfiguriert ist, um die verriegelten Daten zu dem zweiten Datenregister (**170**) hin zu puffern und zu diesem zu übertragen.

14. Speicher nach Anspruch 12, mit: dem ersten Datenregister (**150**), welches an einen Ausgang des Block-Leseverstärkers (**140**) angeschaltet ist, wobei das erste Datenregister (**150**) dafür konfiguriert ist, um die von dem Block-Leseverstärker (**140**) ausgegebenen Daten zu verriegeln und um die verriegelten Daten auf die Hauptdatenleitung im Ansprechen auf ein zweites Taktsignal auszugeben, wobei das zweite Taktsignal während des zweiten Taktzyklus verschoben wird; einem Ausgangspuffer (**160**), der dafür ausgebildet ist, die von der Hauptdatenleitung ausgegebenen verriegelten Daten zu empfangen und zu übertragen; und dem zweiten Datenregister (**170**), welches zwischen dem Ausgangspuffer (**160**) und dem Ausgangstreiber (**180**) geschaltet ist, derart konfiguriert ist, um die verriegelten Daten von dem Ausgangspuffer (**160**) zu empfangen und um die verriegelten Daten zu dem Ausgangspuffer hin zu verriegeln und auszugeben, und zwar im Ansprechen auf das dritte Taktsignal, wobei das dritte Taktsignal während eines dritten Taktzyklus verschoben wird.

15. Speicher nach Anspruch 13, bei dem eine Zykluszeit durch eine Zeitdauer bestimmt ist, die dafür benötigt wird, damit die ausgegebenen verriegelten Daten auf der Hauptdatenleitung von der Eingabe des externen Taktsignals an erscheinen.

Es folgen 8 Blatt Zeichnungen

Fig. 1 (STAND DER TECHNIK)

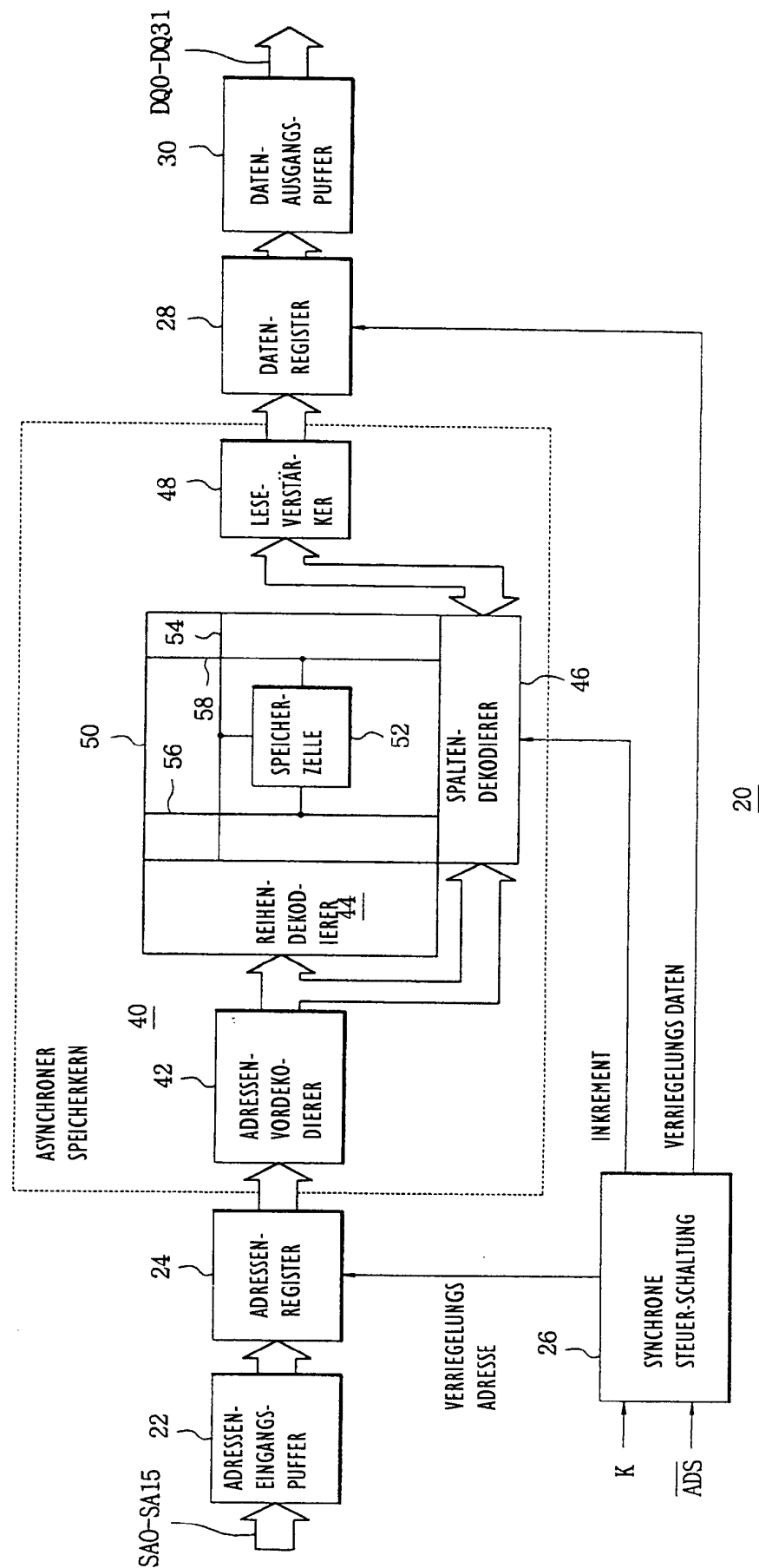


Fig. 2 (STAND DER TECHNIK)

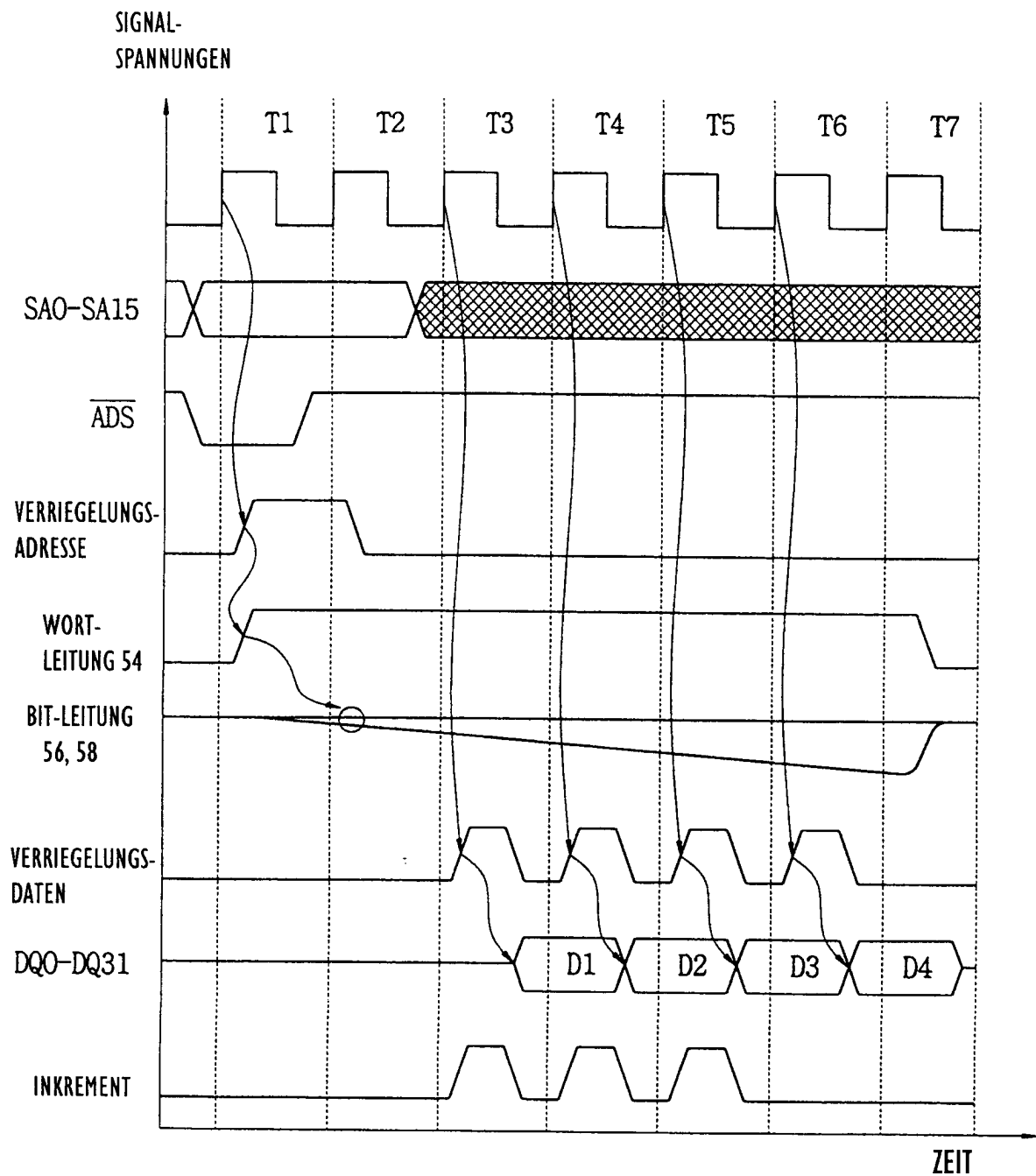


Fig. 3 (STAND DER TECHNIK)

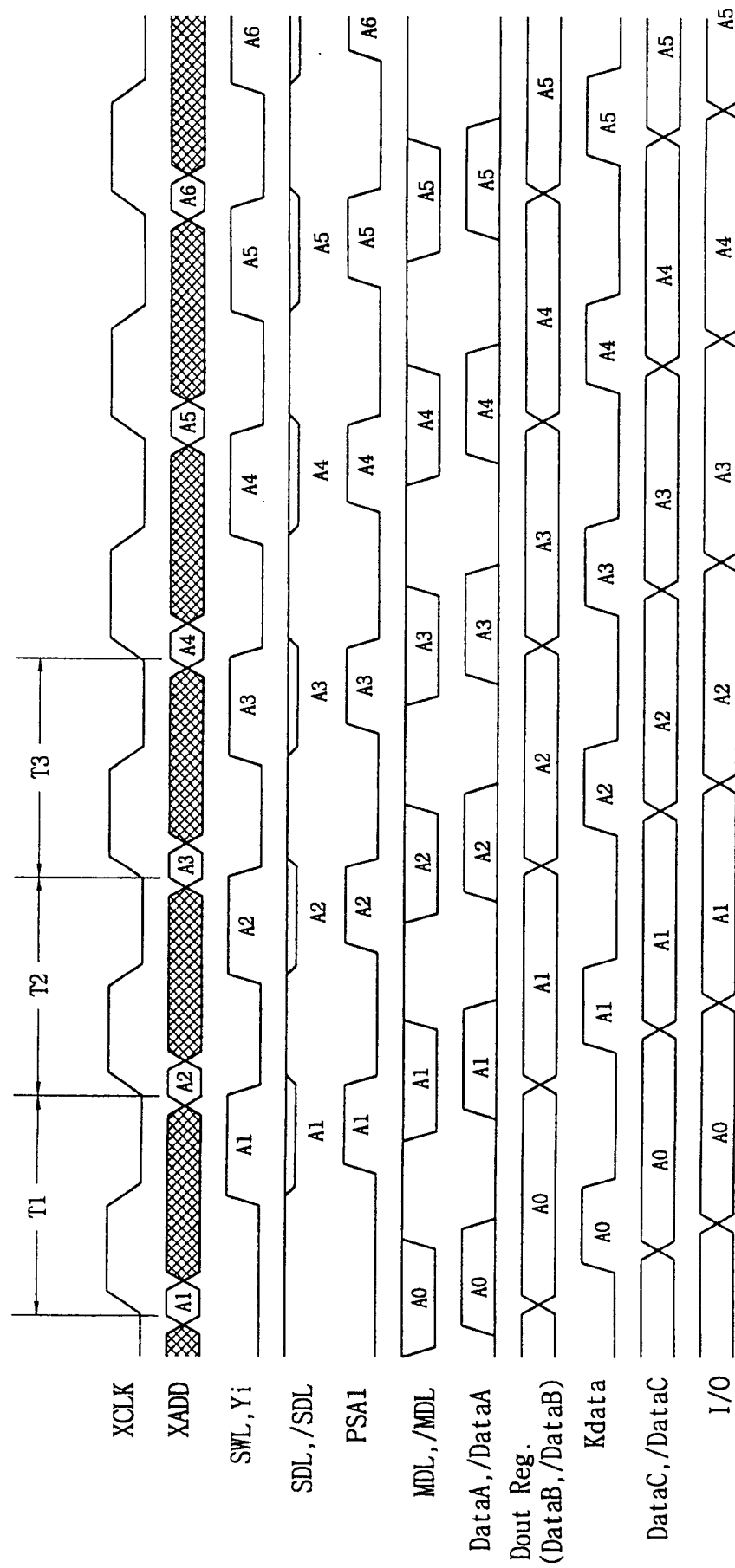


Fig. 4

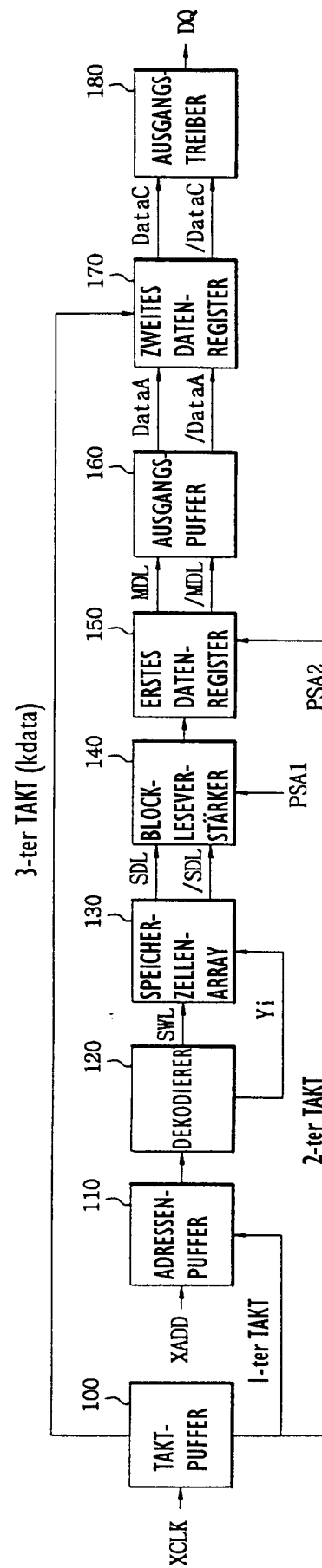


Fig. 5

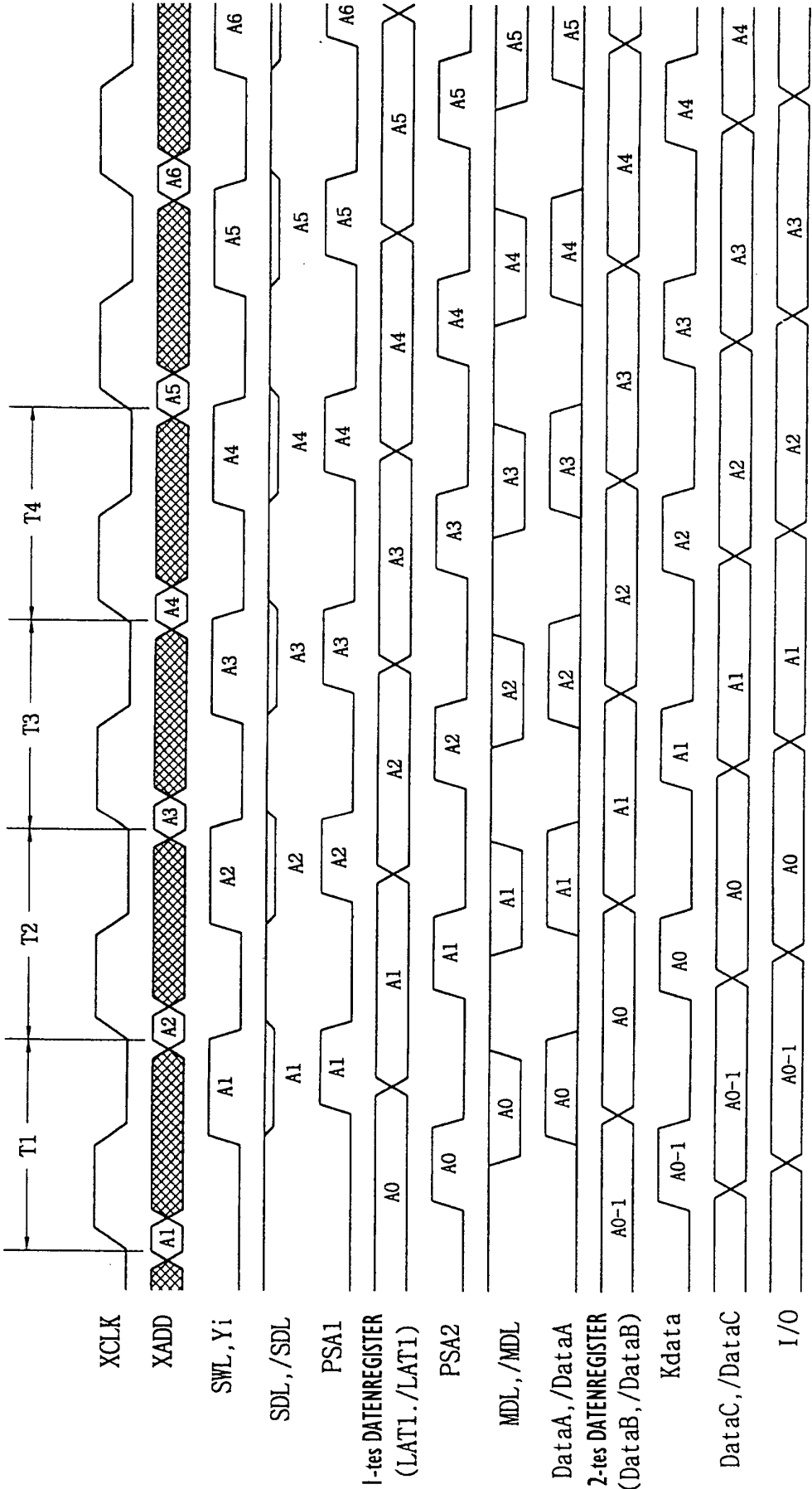


Fig. 6

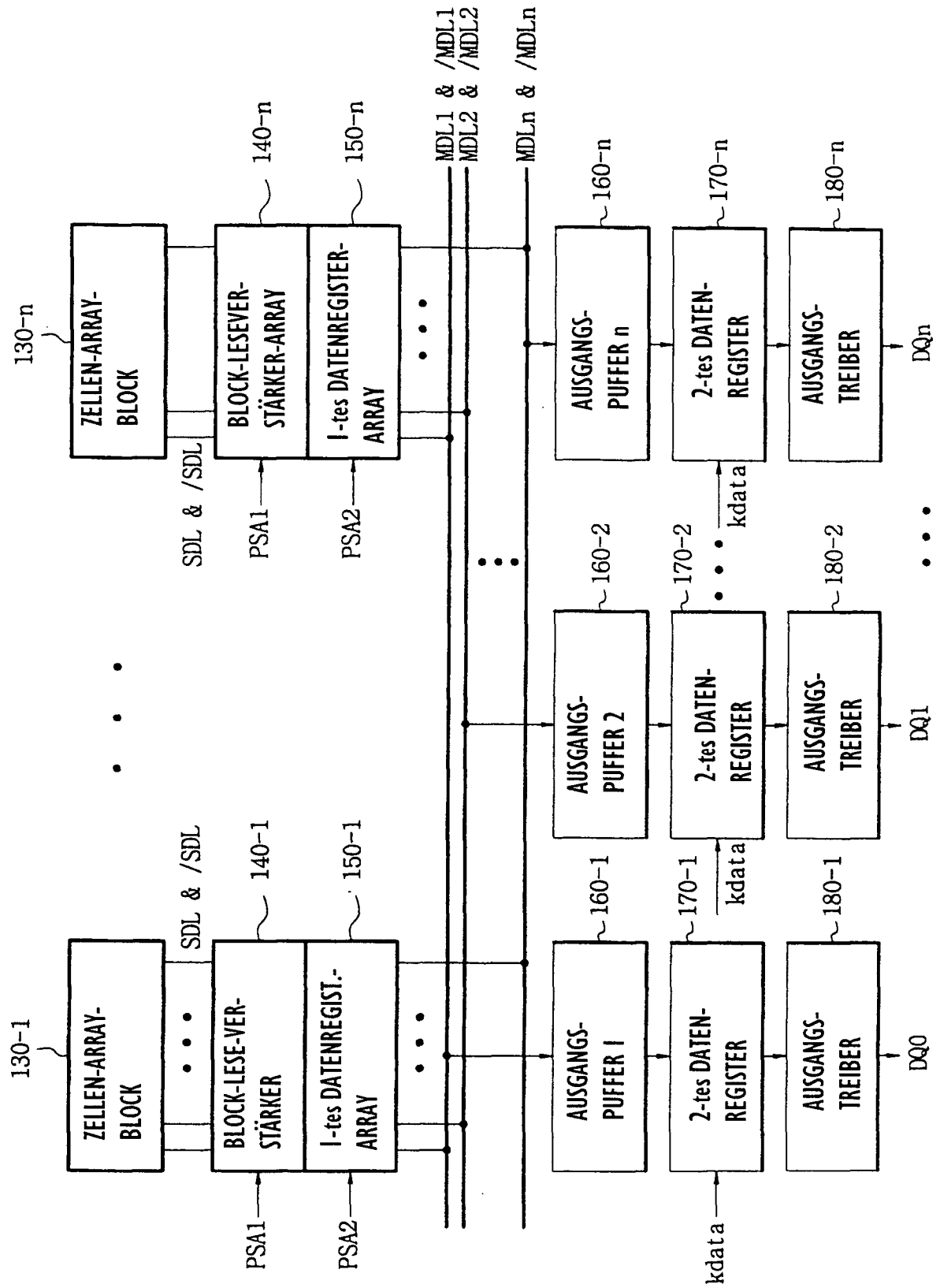
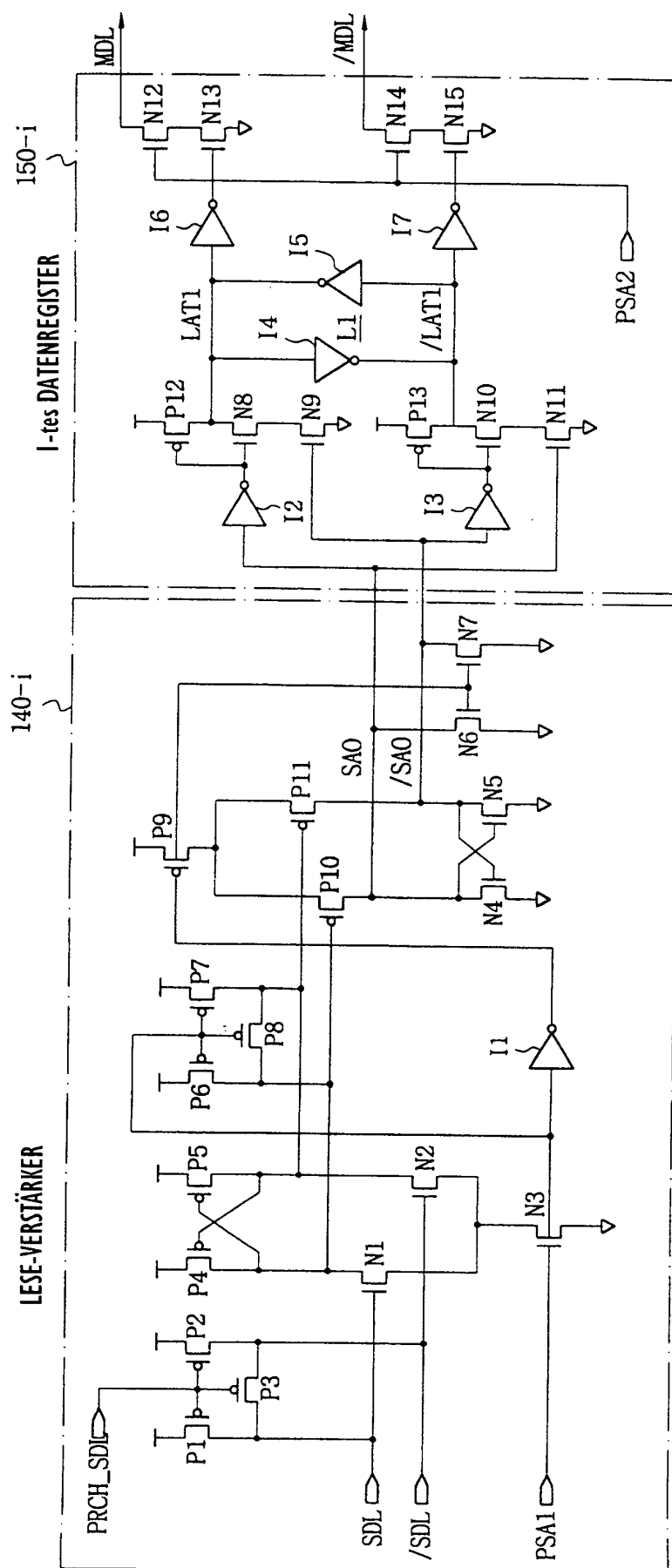


Fig. 7



80

