(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年2月11日(11.02.2021)

WIPO | PCT

(10) 国際公開番号
WO 2021/024502 A1

(51) 国際特許分類:
H01L 21/338 (2006.01) *H01L 29/812* (2006.01)
H01L 29/778 (2006.01)

(21) 国際出願番号： PCT/JP2019/044099

(22) 国際出願日： 2019年11月11日(11.11.2019)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2019-144225 2019年8月6日(06.08.2019) JP

(71) 出願人:三菱電機株式会社(**MITSUBISHI ELECTRIC CORPORATION**) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).

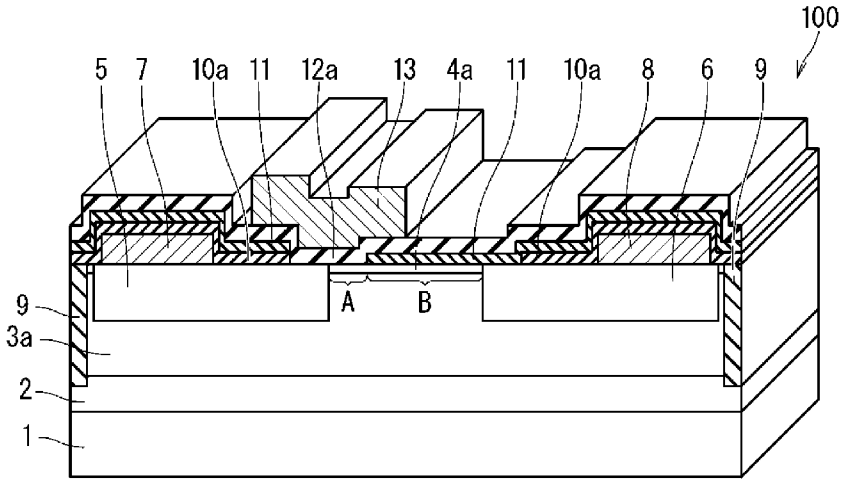
(72) 発明者:南條 拓真(**NANJO Takuma**); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 今井 章文(**IMAI Akifumi**); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 綿引 達郎(**WATAHIKI Tatsuro**); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

(74) 代理人:吉竹 英俊, 外(**YOSHITAKE Hidetoshi** et al.); 〒5400001 大阪府大阪市中央区城見1丁目4番70号住友生命OBPプラザビル10階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) **Title:** SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(54) 発明の名称： 半導体装置およびその製造方法



(57) **Abstract:** The present invention relates to a heterojunction field effect transistor which comprises, in an upper layer portion of a channel layer of a first nitride semiconductor, a barrier layer of a second nitride semiconductor forming a heterojunction with the first nitride semiconductor, first and second n-type dopant regions provided spaced apart from each other with the barrier layer interposed therebetween, a source electrode and a drain electrode respectively provided on the first and second dopant regions, an insulating film provided so as to contact at least a region of the barrier layer excluding an end edge portion thereof on the source electrode side, a gate insulating film which is in contact with the end edge portion of the barrier layer and which covers at least the insulating film provided in contact with the region of the barrier layer excluding the end edge portion thereof, and a gate electrode which is provided on the gate insulating film so as to cover a region which is part of the insulating film and the region of the end edge portion of the barrier layer, wherein

WO 2021/024502 A1

[続葉有]

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

— 国際調査報告（条約第21条(3)）

the sheet resistance of the 2DEG generated at the interface between the channel layer and the barrier layer in the end edge portion of the barrier layer is 10 kΩ/sq or more.

(57) 要約：本発明は、ヘテロ接合電界効果型トランジスタに関し、第１の窒化物半導体のチャネル層の上層部に、第１の窒化物半導体とヘテロ接合する第２の窒化物半導体のバリア層と、バリア層を間に挟んで互いに間隔を開けて設けられたｎ型の第１および第２の不純物領域と、第１および第２の不純物領域の上に設けられたソース電極およびドレイン電極と、少なくともバリア層のソース電極側の端縁部を除く領域と接するように設けられた絶縁膜と、バリア層の端縁部に接し、バリア層の端縁部を除く領域に接して設けられた絶縁膜を少なくとも覆うゲート絶縁膜と、縁膜上の一部の領域上と、バリア層の端縁部の領域上を覆うようにゲート絶縁膜上に設けられたゲート電極と、を備え、バリア層における端縁部のチャネル層とバリア層の界面に発生する２ＤＥＧによるシート抵抗が１０ｋΩ／ｓｑ以上となっている。

明　細　書

発明の名称 ： 半導体装置およびその製造方法

技術分野

[0001] 本発明は半導体装置に関し、特に、窒化物を含む半導体で構成されるヘテロ接合電界効果型トランジスタに関する。

背景技術

[0002] 従来の窒化物を含む半導体（窒化物半導体）で構成される電界効果型トランジスタとしては、例えば特許文献１に開示される窒化物半導体で構成されるヘテロ接合電界効果型トランジスタが挙げられる。当該ヘテロ接合電界効果型トランジスタは、基板上にＧａＮ（窒化ガリウム）のチャネル層、ＡｌＧａＮ（窒化アルミニウムガリウム）のバリア層が順に形成され、その上にソース電極、ドレイン電極、およびゲート電極が形成される。ソース電極およびドレイン電極の下側のチャネル層およびバリア層には高濃度ｎ型不純物領域が形成され、高濃度ｎ型不純物領域に挟まれたＡｌＮのバリア層上には、その領域を覆うようにＡｌＧａ$_x$Ｏ$_y$（酸化アルミニウムガリウム）で構成されるゲート絶縁膜が形成され、その上にはゲート電極が形成されている。

先行技術文献

特許文献

[0003] 特許文献1：特開２００８－３０５８１６号公報

発明の概要

発明が解決しようとする課題

[0004] 窒化物半導体で構成されるヘテロ接合電界効果型トランジスタをスイッチング素子に用いる場合に要求されるノーマリオフ動作は、特許文献１に記載の構造で実現できる。しかしながら、ゲート電極の下部からドレイン電極の下部までの半導体層に高濃度ｎ型不純物領域が形成された上記の構造の場合、ゲート電極とドレイン電極の間に印加された電圧のほぼすべてが、ゲート電極とゲート絶縁膜にかかる。従って、ゲート電極とドレイン電極の間に印

加できる電圧の上限（耐圧）は、ゲート絶縁膜の耐圧のみで決まり、十分に高くすることができない。

[0005] 本発明は上記のような問題を解決するためになされたものであり、ゲート電極とドレイン電極の間により高い電圧を印加可能なヘテロ接合電界効果型トランジスタを提供することを目的とする。

課題を解決するための手段

[0006] 本発明に係る半導体装置は、基板と、前記基板上に設けられた第１の窒化物半導体で構成されるチャネル層と、前記チャネル層の上層部に設けられ、前記第１の窒化物半導体のバンドギャップよりも大きなバンドギャップを有する第２の窒化物半導体で構成されるバリア層と、前記チャネル層の前記上層部に、前記バリア層を間に挟んで互いに間隔を開けて設けられたｎ型の第１の不純物領域およびｎ型の第２の不純物領域と、前記第１の不純物領域および前記第２の不純物領域の上にそれぞれ設けられたソース電極およびドレイン電極と、少なくとも前記バリア層の前記ソース電極側の端縁部を除く領域と接するように設けられた絶縁膜と、前記バリア層の前記端縁部に接すると共に、前記バリア層の前記端縁部を除く前記領域に接して設けられた前記絶縁膜を少なくとも覆うように設けられたゲート絶縁膜と、前記絶縁膜上の一部の領域上と、前記バリア層の前記端縁部の領域上を覆うように、前記ゲート絶縁膜上に設けられたゲート電極と、を備え、前記バリア層の前記端縁部は、前記第２の不純物領域とは離間した位置に設けられ、前記バリア層における前記端縁部の前記チャネル層と前記バリア層の界面に発生する２次元電子ガスによるシート抵抗は１０ｋΩ／ｓｑ以上である。

発明の効果

[0007] 本発明に係る半導体装置によれば、少なくともバリア層の前記ソース電極側の端縁部を除く領域と接するように設けられた絶縁膜が形成された領域では、バリア層とチャネル層との間のヘテロ界面の２次元電子ガス（２ＤＥＧ）が増加する。この２次元電子ガスは、ドレイン電極に高電圧が印加された際に空乏化されるため、印加した電圧はゲート絶縁膜だけではなく、この領

域にもかかることになり、ゲート電極とドレイン電極の間により高い電圧を印加できるようになる。

図面の簡単な説明

[0008] [図1]本発明に係る実施の形態１の半導体装置の断面構成を示す斜視図である。

[図2]検証に用いたサンプルの断面構成を示す斜視図である。

[図3]検証に用いたサンプルにおいて、ソース電極とドレイン電極の間で測定した電流－電圧（Ｉ－Ｖ）特性を示す図である。

[図4]検証に用いたサンプルにおいて、ソース電極とドレイン電極の間で測定した電流－電圧（Ｉ－Ｖ）特性を示す図である。

[図5]検証に用いたサンプルにおけるシート抵抗の熱処理温度依存性を示す図である。

[図6]本発明に係る実施の形態１の半導体装置の製造方法を示す図である。

[図7]本発明に係る実施の形態１の半導体装置の製造方法を示す図である。

[図8]本発明に係る実施の形態１の半導体装置の製造方法を示す図である。

[図9]本発明に係る実施の形態１の半導体装置の製造方法を示す図である。

[図10]本発明に係る実施の形態１の半導体装置の製造方法を示す図である。

[図11]本発明に係る実施の形態１の半導体装置の製造方法を示す図である。

[図12]本発明に係る実施の形態１の半導体装置の製造方法を示す図である。

[図13]本発明に係る実施の形態１の半導体装置の製造方法を示す図である。

[図14]本発明に係る実施の形態１の半導体装置の製造方法を示す図である。

[図15]本発明に係る実施の形態１の半導体装置の製造方法を示す図である。

[図16]本発明に係る実施の形態２の半導体装置の断面構成を示す斜視図である。

[図17]本発明に係る実施の形態３の半導体装置の断面構成を示す斜視図である。

[図18]本発明に係る実施の形態４の半導体装置の断面構成を示す斜視図である。

[図19]本発明に係る実施の形態４の半導体装置の変形例１の断面構成を示す斜視図である。

[図20]本発明に係る実施の形態４の半導体装置の変形例２の断面構成を示す斜視図である。

[図21]本発明に係る実施の形態５の半導体装置の断面構成を示す斜視図である。

[図22]本発明に係る実施の形態５の半導体装置の製造方法を示す図である。

[図23]本発明に係る実施の形態５の半導体装置の製造方法を示す図である。

[図24]本発明に係る実施の形態５の半導体装置の製造方法を示す図である。

[図25]本発明に係る実施の形態５の半導体装置の製造方法を示す図である。

[図26]本発明に係る実施の形態５の半導体装置の製造方法を示す図である。

[図27]本発明に係る実施の形態５の半導体装置の製造方法を示す図である。

[図28]本発明に係る実施の形態５の半導体装置の製造方法を示す図である。

[図29]本発明に係る実施の形態５の半導体装置の製造方法を示す図である。

[図30]本発明に係る実施の形態６の半導体装置の断面構成を示す斜視図である。

[図31]本発明に係る実施の形態６の半導体装置の変形例の断面構成を示す斜視図である。

[図32]本発明に係る実施の形態７の半導体装置の断面構成を示す斜視図である。

[図33]本発明に係る実施の形態７の半導体装置の断面構成を示す斜視図である。

[図34]本発明に係る実施の形態７の半導体装置の断面構成を示す斜視図である。

[図35]検証に用いたサンプルにおいて、ソース電極とドレイン電極の間で測定した電流－電圧（Ｉ－Ｖ）特性を示す図である。

[図36]検証に用いたサンプルにおいて、ソース電極とドレイン電極の間で測定した電流－電圧（Ｉ－Ｖ）特性を示す図である。

[図37]本発明に係る実施の形態７の半導体装置の熱処理前後のシート抵抗図である。

[図38]本発明に係る実施の形態７の半導体装置の熱処理前後のシート抵抗図である。

[図39]本発明に係る実施の形態７の半導体装置の変形例１の断面構成を示す斜視図である。

[図40]本発明に係る実施の形態７の半導体装置の変形例２の断面構成を示す斜視図である。

[図41]本発明に係る実施の形態８の半導体装置の断面構成を示す斜視図である。

[図42]本発明に係る実施の形態９の半導体装置の断面構成を示す斜視図である。

[図43]本発明に係る実施の形態１０の半導体装置の断面構成を示す斜視図である。

[図44]本発明に係る実施の形態１１の半導体装置の断面構成を示す斜視図である。

[図45]本発明に係る実施の形態１２の半導体装置の断面構成を示す斜視図である。

[図46]本発明に係る実施の形態１３の半導体装置の断面構成を示す斜視図である。

[図47]本発明に係る実施の形態１３の半導体装置の変形例１の断面構成を示す斜視図である。

[図48]本発明に係る実施の形態１３の半導体装置の変形例２の断面構成を示す斜視図である。

発明を実施するための形態

[0009] ＜実施の形態１＞

＜装置構成＞

図１は、本発明に係る実施の形態１の窒化物半導体で構成されるヘテロ接

合電界効果型トランジスタ１００の断面構成を示す斜視図である。

[0010] 図１に示すようにヘテロ接合電界効果型トランジスタ１００は、例えば炭化珪素（ＳｉＣ）で構成される基板１上に、ＡｌＮ（窒化アルミ）で構成されるバッファ層２を介して、ノンドープのＧａＮ（第１の窒化物半導体）で構成されるチャネル層３ａが積層され、チャネル層３ａの上層部には、ｎ型不純物を高濃度に有する高濃度ｎ型不純物領域５（第１の不純物領域）および高濃度ｎ型不純物領域６（第２の不純物領域）が、互いに離間して選択的に形成されている。高濃度ｎ型不純物領域５および６の間のチャネル層３ａの上層部には、チャネル層３ａとヘテロ接合を形成するノンドープのＡｌＧａＮ（第２の窒化物半導体）で構成されるバリア層４ａが形成されている。

[0011] 高濃度ｎ型不純物領域５および６の一部の領域上には、それぞれソース電極７およびドレイン電極８が互いに離間して形成されている。

[0012] 高濃度ｎ型不純物領域５および６のバリア層４ａ側とは反対側のそれぞれの端縁部の外方には、バリア層４ａの最表面からバッファ層２内に達する素子分離領域９が設けられている。素子分離領域９は、亜鉛（Ｚｎ）のイオン注入によって形成されている。

[0013] ソース電極７と高濃度ｎ型不純物領域５のソース電極７と隣接する一部の領域を覆うように、SiN_a（窒化シリコン）で構成されるキャップ絶縁膜１０ａが形成されている。また、キャップ絶縁膜１０ａは、ドレイン電極８と高濃度ｎ型不純物領域６のドレイン電極８と隣接する一部の領域を覆うように形成されている。

[0014] 高濃度ｎ型不純物領域６側では、キャップ絶縁膜１０ａ上からキャップ絶縁膜１０ａで覆われていない高濃度ｎ型不純物領域６上およびバリア層４ａの一部上部にかけて覆うように、SiO_b（酸化シリコン）で構成される電子供給絶縁膜１１（シリコン酸化膜）が形成されている。また、電子供給絶縁膜１１は、高濃度ｎ型不純物領域５側では、キャップ絶縁膜１０ａ上を覆うように形成されている。換言すれば、高濃度ｎ型不純物領域５側のバリア層４ａの一部の領域とそれに隣接する高濃度ｎ型不純物領域５の一部の領域が

開口部となるように電子供給絶縁膜１１が設けられている。

[0015] さらに、ソース電極７およびドレイン電極８の上方を含めて、すべての領域を覆うようにＡｌO_c（酸化アルミニウム）で構成されるゲート絶縁膜１２ａが形成されている。

[0016] ソース電極７側の電子供給絶縁膜１１の一部の上方からドレイン電極側の電子供給絶縁膜１１が形成された一部の上方にかけてのゲート絶縁膜１２ａ上を覆うようにゲート電極１３が形成されている。

[0017] 図１に示すヘテロ接合電界効果型トランジスタ１００においては、チャネル層３ａおよびバリア層４ａは、高濃度ｎ型不純物領域５、高濃度ｎ型不純物領域６および素子分離領域９が形成された領域を除き、それぞれノンドープのＧａＮおよびノンドープのＡｌＧａＮで構成されている。すなわち、これらを構成する主要元素（ＡｌとＧａとＮ）以外の元素のドーピング量は少なくとも$1\times10^{17}cm^{-3}$以下となるように設計されている。

[0018] また、バリア層４ａは、チャネル層３ａ上にバリア層４ａが形成されただけの状態、すなわち高濃度ｎ型不純物領域５、高濃度ｎ型不純物領域６、素子分離領域９、ソース電極７、ドレイン電極８、キャップ絶縁膜１０ａ、電子供給絶縁膜１１、ゲート絶縁膜１２ａおよびゲート電極１３が形成されていない状態において、チャネル層３ａとバリア層４ａの界面に発生する２ＤＥＧ（２次元電子ガス）によるシート抵抗Rs_{ch}が十分に高い値、すなわち少なくとも１ｋΩ／ｓｑ以上となるように、Ａｌ組成と厚さが設計されている。例えば、ＡｌＧａＮのバリア層４ａのＡｌ組成と厚さをそれぞれ１５％と７ｎｍとした場合、または、２０％と５ｎｍとした場合、１００％と１ｎｍとした場合に、シート抵抗Rs_{ch}は１０ｋΩ／ｓｑ以上となる。シート抵抗Rs_{ch}をこのような値にすることで、トランジスタのオフ状態におけるドレイン電流値が動作上支障のない程度に十分に低い値、例えば１マイクロアンペア以下となる。なお、上述したチャネル層３ａ上にバリア層４ａが形成されただけの状態のシート抵抗Rs_{ch}をバリア層４ａの固有のシート抵抗と定義する。

[0019] また、高濃度ｎ型不純物領域５と高濃度ｎ型不純物領域６では、これらの領域のシート抵抗$Ｒｓ_{ｎｄ}$が、トランジスタのオン状態におけるドレイン電流値が動作上支障のない程度に十分に低い値となるように、すなわち少なくとも１ｋΩ／ｓｑ以下になるようにドーピング濃度と厚さが設計されている。例えば、ＡｌＧａＮおよびＧａＮに対してドナーとなるＳｉおよびＧｅのドーパントを注入ドーズ量$１×１０^{１５}ｃｍ^{-２}$でドーピングすると、$Ｒｓ_{ｎｄ}$は１ｋΩ／ｓｑ以下となる。

[0020] このような構成とすることによって、以下に示す効果が得られる。すなわち、高濃度ｎ型不純物領域５と高濃度ｎ型不純物領域６に挟まれるバリア層４ａは、その上面において、ソース電極７側ではゲート絶縁膜１２ａと接し、ドレイン電極８側では電子供給絶縁膜１１と接する構成となっている。つまり、バリア層４ａがゲート絶縁膜１２ａと接するチャネル領域Ａと、バリア層４ａが電子供給絶縁膜１１と接するドリフト領域Ｂとで、バリア層４ａが接する絶縁膜の種類が異なる。$ＳｉＯ_{ｂ}$（電子供給絶縁膜１１）とＡｌＧａＮとの界面には正の電荷が多く誘起されるため、ドリフト領域Ｂではバリア層４ａとチャネル層３ａとの間の界面の２ＤＥＧが増加し、ドリフト領域Ｂにおけるチャネル層３ａとバリア層４ａの界面に発生する２ＤＥＧによるシート抵抗$Ｒｓ_{ｄｒ}$を１０ｋΩ／ｓｑ以下に低減することが可能となる。これについては後に詳述する。

[0021] 一方で、$ＡｌＯ_{ｃ}$（ゲート絶縁膜１２ａ）とＡｌＧａＮとの界面には$ＳｉＯ_{ｂ}$（電子供給絶縁膜１１）との界面と比較して正の電荷は誘起されにくいため、チャネル領域Ａでは、チャネル層３ａとバリア層４ａの界面に発生する２ＤＥＧが増加せずシート抵抗$Ｒｓ_{ｃｈ}$を十分に高い値、すなわち、少なくとも１０ｋΩ／ｓｑ以上の値を維持することが可能となる。これについては後に詳述する。

[0022] このような構成においては、ソース電極７を基準電位と（接地）して、ゲート電極１３に印加する電圧（ゲート電圧）を変化させることで、チャネル領域Ａのバリア層４ａとチャネル層３ａとの界面に発生する２ＤＥＧの濃度

を制御できる。すなわち、ゲート電圧を印加しない場合または負の電圧とした場合には、２ＤＥＧの濃度が十分に低い状態に維持され、ドレイン電極８に正の電圧（ドレイン電圧）を印加してもドレイン電極８に電流（ドレイン電流）は流れない。一方で、ゲート電圧を正の電圧とした場合には、２ＤＥＧの濃度が高くなり、ソース電極７からドレイン電極８に至るすべての領域が十分に低い抵抗となるため、ドレイン電極８に正の電圧を印加した際に大きなドレイン電流が得られる。つまりは、トランジスタとしてノーマリオフ動作が実現される。さらに、ゲート電圧を印加していない状態または負の電圧を印加した状態（オフ状態）において、ドレイン電圧を大きくした場合には、ドリフト領域Ｂのバリア層４ａとチャネル層３ａとの間に発生している２ＤＥＧが空乏化されることで、ドリフト領域Ｂにも空乏層が延びることになる。このため、ゲート電極１３とドレイン電極８との間にかかる電圧は、ゲート絶縁膜１２ａだけではなく、ドリフト領域Ｂにも分散されるため、結果として大きなドレイン電圧を印加することが可能となり、オフ時の耐圧が高くなってトランジスタの高電圧動作が可能となる。

[0023] また、ヘテロ接合電界効果型トランジスタ１００においては、ゲート電極１３の下側のチャネル領域Ａよりもドレイン電極８側のドリフト領域Ｂでは、バリア層４ａ上に電子供給絶縁膜１１およびゲート絶縁膜１２ａをこの順に介してゲート電極１３が形成された構成となっている。

[0024] このような構成を採ることによって、ドレイン電極８に高電圧を印加した際にゲート電極１３のドレイン電極８側の端部に集中する電界を緩和することが可能となり、より高い電圧を印加できるようになる。また、電界集中により過渡的にオン抵抗が増加する電流コラプスの発生を抑制することが可能となる。

[0025] また、ヘテロ接合電界効果型トランジスタ１００においては、ゲート電極１３の下側のチャネル領域Ａよりもソース電極７側の領域では、高濃度ｎ型不純物領域５上にSiN_aのキャップ絶縁膜１０ａ、SiO_bの電子供給絶縁膜１１とAlO_cのゲート絶縁膜１２ａをこの順に介してゲート電極１３が形

成された構成となっている。

[0026] このような構成とすることによって、ドレイン電極８に電圧を印加した際にゲート電極１３のソース電極７側の端部に集中する電界を緩和することが可能となり、この電界集中により発生する電流コラプスを抑制することが可能となる。

[0027] また、ヘテロ接合電界効果型トランジスタ１００においては、ソース電極７およびドレイン電極８がキャップ絶縁膜１０ａで覆われるので、ソース電極７およびドレイン電極８の酸化による劣化を防いで、オン抵抗の増加を抑制できる。

[0028] また、ヘテロ接合電界効果型トランジスタ１００においては、上述したように、ドリフト領域Ｂのバリア層４ａ上に電子供給絶縁膜１１を形成し、その界面に発生する正の電荷により、この領域のバリア層４ａとチャネル層３ａの界面の２ＤＥＧを増加することで、ノーマリオフ動作と高耐圧化の両立を実現している。従って、チャネル領域Ａとドリフト領域Ｂにおけるバリア層４ａとチャネル層３ａに何らかの不純物をドーピングすることなく、ノーマリオフ動作と高耐圧化を実現できる。

[0029] バリア層４ａとチャネル層３ａにドーピングされた不純物は窒化物半導体中のバンドギャップ内に深いエネルギー準位を形成し、電流コラプスを誘発するトラップ準位となるため、バリア層４ａとチャネル層３ａへの不純物のドーピング濃度を十分に低く抑えれば、これらが形成するトラップ準位による電流コラプスの発生を抑制することが可能となる。

[0030] このようなトラップ準位は、準位密度がトランジスタ動作におけるキャリア密度に比べて十分に小さければ、電流コラプスへの影響は無視できるが、同程度の密度で形成されると無視できなくなる。窒化物半導体を用いたヘテロ接合電界効果型トランジスタでは、一般的には少なくとも$1\times10^{12}cm^{-2}$以上の２ＤＥＧをキャリアとして用いるため、電流コラプスへの影響を概ね無視できる割合を１％以下とすると、トラップ準位密度は$1\times10^{10}cm^{-2}$以下とすればよいことになる。バリア層４ａの厚さは、上述したシート抵抗

の設計値とするために、１０ｎｍ以下とする必要があるため、バリア層４ａのドーピング量は１×１０^{16}ｃｍ$^{-3}$以下とすれば、電流コラプスへの影響は無視できることになる。

[0031] 次に、上述したドリフト領域Ｂにおいて、電子供給絶縁膜１１がバリア層４ａ上に形成されることにより、チャネル層３ａとバリア層４ａの界面に発生する２ＤＥＧが増加してシート抵抗Ｒｓ$_{ch}$が低下する現象を検証した結果を以下に示す。

[0032] 図２は、検証に用いたサンプル９０の断面構成を示す斜視図である。サンプル９０においては、図１に示したヘテロ接合電界効果型トランジスタ１００と同一の構成については同一の符号を付し、重複する説明は省略する。

[0033] サンプル９０においては、基板１からソース電極７およびドレイン電極８までの構成はヘテロ接合電界効果型トランジスタ１００と同一であり、ソース電極７およびドレイン電極８と、ソース電極７およびドレイン電極８に覆われていない高濃度ｎ型不純物領域５および６とバリア層４ａの表面を覆うように電子供給絶縁膜１１が形成されている。

[0034] 以下にサンプル９０の作製方法を説明する。ＳｉＣの基板１上にＭＯＣＶＤ（metal organic chemical vapor deposition）法によりバッファ層２、チャネル層３ａ、バリア層４ａをこの順に成長させる。この検証では、バリア層４ａとして、Ａｌ組成と厚さがそれぞれ１５％と７ｎｍの場合および２０％と５ｎｍの２種類の構造を用いた。

[0035] 続いて、レジストパターンをマスクとして、イオン注入法により注入ドーズ量１×１０^{15}ｃｍ$^{-2}$、注入エネルギー５０ｋｅＶの条件で所望の領域にＳｉイオンを打ち込み、ついで、ＲＴＡ（Rapid Thermal Annealing）法により１１５０℃で５分間の熱処理を窒素雰囲気中で行い、ドーピングしたＳｉイオンを活性化させて、高濃度ｎ型不純物領域５および６を形成した。

[0036] 続いて、蒸着およびリフトオフ法を用いて金属の多層膜で構成されるソース電極７およびドレイン電極８を形成した。

[0037] 続いて、高濃度ｎ型不純物領域５および高濃度ｎ型不純物領域６の外側の

領域のチャネル層３ａおよびバリア層４ａに、イオン注入法を用いてＺｎをイオン注入し、素子分離領域９を形成した。

[0038] 続いて、高濃度ｎ型不純物領域５および６に挟まれたバリア層４ａ上を含むすべての領域を覆うようにプラズマＣＶＤ法を用いて厚さ１０ｎｍの電子供給絶縁膜１１を形成した。また、電子供給絶縁膜１１を形成した後に、窒素中で３００～９５０℃で３０秒間の熱処理を実施して、サンプル９０を形成した。

[0039] 図３および図４は、図２に示すサンプル９０において、ソース電極７とドレイン電極８の間で測定した電流－電圧（Ｉ－Ｖ）特性であり、横軸を電圧（Voltage：単位Ｖ）、縦軸を電流密度（Current density：単位Ａ／ｍｍ）としている。

[0040] 図３および図４には、電子供給絶縁膜１１を形成する前での測定結果Ｃ１（Before SiO_2 deposition）と電子供給絶縁膜１１を形成した後での測定結果Ｃ２（After SiO_2 deposition）、および８００℃の熱処理を実施した後での測定結果Ｃ３（After 800℃ Anneal）を示している。なお、同一基板上に２つのサンプルを作成して測定しているので、何れの測定結果も２つの特性が示されている。

[0041] 高濃度ｎ型不純物領域５および６の幅は１００μｍとし、高濃度ｎ型不純物領域５と６の間の距離は４μｍ（Ｌ＝４μｍ）とした。また、図３はＡｌ組成と厚さがそれぞれ２０％と５ｎｍの場合の特性であり、図４はＡｌ組成と厚さがそれぞれ１５％と７ｎｍの場合の特性である。

[0042] 図３および図４から判るようにバリア層４ａのＡｌ組成を２０％とした場合および１５％とした場合の両方において、電子供給絶縁膜１１を形成する前では1×10^{-8}Ａ／ｍｍとなった。測定に用いた測定器の測定限界値が1×10^{-8}Ａ／ｍｍであるため、電子供給絶縁膜１１を形成する前の状態の電流値は、少なくとも1×10^{-8}Ａ／ｍｍ以下であることになる。

[0043] 電子供給絶縁膜１１を形成した後は、どちらのＡｌ組成の場合にも、電流値が大きく（４桁以上）増加した。さらに８００℃の熱処理を実施した後に

は、電流値はさらに増加し、どちらのＡｌ組成の場合にも０．１Ａ／ｍｍ程度の値が得られた。

[0044] これらの結果から、バリア層４ａ（ＡｌＧａＮ）上に電子供給絶縁膜１１（SiO_b）を形成した場合には、チャネル層３ａとバリア層４ａの界面に発生する２ＤＥＧが増加してシート抵抗が低減されることが実験的に確認された。SiO_bとＡｌＧａＮとの界面に正の電荷が多く誘起されることによって生じた結果と言える。電子供給絶縁膜１１を設けることでシート抵抗が低減され、電流値が増加するのでSiO_bで構成される絶縁膜を電子供給絶縁膜と呼称している。

[0045] なお、電子供給絶縁膜１１をSiO_bとして表しているのは、Ｓｉ（シリコン）とＯ（酸素）の化合物であるが、堆積膜であるので、組成が必ずしも一般的なSiO_2となっているとは限らないためである。これは、SiN_a、AlO_c等についても同様である。

[0046] また、図５には、高濃度ｎ型不純物領域５および６の間の距離が２～２０μｍの範囲で異なったパターンを用いて測定したＩ－Ｖ特性から求めたシート抵抗の熱処理温度依存性を示す。

[0047] 図５においては、横軸をアニール温度（Annealing temperature：単位℃）、縦軸をシート抵抗（Sheet resistance：単位Ω／ｓｑ）とし、Ａｌ組成と厚さがそれぞれ２０％と５ｎｍの場合の特性を◇で表し、Ａｌ組成と厚さがそれぞれ１５％と７ｎｍの場合の特性を●で表している。

[0048] 図５より、シート抵抗は、電子供給絶縁膜１１の形成後に熱処理することで低減され、５００～９５０℃の熱処理を実施することで、１０ｋΩ／ｓｑ以下に低減されることが確認された。SiO_bとＡｌＧａＮとの界面に誘起される正の電荷が、熱処理により増加した結果と言える。

[0049] 以上説明したように、実施の形態１のヘテロ接合電界効果型トランジスタ１００においては、ノーマリオフ動作と高耐圧動作の両立が実現される。

[0050] ＜製造方法＞

次に、ヘテロ接合電界効果型トランジスタ１００の製造方法の一例につい

て、製造工程を順に示す図６～図１５を用いて説明する。なお、図６～図１５においては、図１に示したヘテロ接合電界効果型トランジスタ１００と同一の構成については同一の符号を付し、重複する説明は省略する。

[0051] まず、図６に示す工程において、ＳｉＣの基板１上にＭＯＣＶＤ法またはＭＢＥ（Molecular Beam Epitaxy）法などのエピタキシャル成長法を用いて、ＡｌＮで構成されるバッファ層２、ＧａＮで構成されるチャネル層３ａおよびＡｌＧａＮで構成されるバリア層４ａをこの順に成長させる。

[0052] 次に、図７に示す工程において、レジストパターン等をマスクとして、イオン注入法等用いて、注入ドーズ量１×１０^{13}～１×１０^{16}ｃｍ$^{-2}$、注入エネルギー１０～１０００ｋｅＶの条件で、窒化物半導体においてｎ型不純物となるＳｉ等のイオンを所望の領域にドーピングする。その後、例えばＲＴＡ法などを用いて窒素雰囲気中で８００～１５００℃の温度で熱処理を行い、ドーピングしたイオンを活性化させて、高濃度ｎ型不純物領域５および高濃度ｎ型不純物領域６を形成する。

[0053] 次に、図８に示す工程において、蒸着およびリフトオフ法を用いて金属の多層膜を所望の領域に堆積し、その後、ＲＴＡ法などを用いて５００～９００℃の温度で熱処理を行い、堆積した多層膜を合金化させて、ソース電極７およびドレイン電極８を形成する。金属の多層膜としては、例えばＴｉ（チタン）とＡｌの多層膜が挙げられるが、高濃度ｎ型不純物領域上に形成する場合は、電極として使用される一般的な金属であれば何でもオーミックコンタクトが得られるので特に限定はない。

[0054] 次に、図９に示す工程において、トランジスタを作製する領域外にイオン注入法を用いてＺｎイオンを注入して、バリア層４ａの最表面からバッファ層２内に達する素子分離領域９を形成する。なお、Ｚｎイオンを注入してＧａＮを高抵抗化する技術は周知であり、例えば、Toshiyuki Oishi, Naruhisa Miura, Muneyoshi Suita, Takuma Nanjo, Yuji Abe,and Tatsuo Ozeki J.Appl.Phys.Vol.94,No.3 1662-1666 (2003)に開示されている。

[0055] 次に、図１０に示す工程において、ソース電極７およびドレイン電極８が

形成されたチャネル層３ａ上に、例えばプラズマＣＶＤ法を用いてSiN_aで構成されるキャップ絶縁膜１０ａを堆積する。

[0056] 次に、図１１に示す工程において、レジストパターン等をマスクとして、バッファードフッ酸等を用いたウェットエッチング法を用いて、所望の領域のキャップ絶縁膜１０ａを除去する。除去する領域としてはバリア層４ａの一部上部からバリア層４ａに隣接する高濃度ｎ型不純物領域６の端縁部上部にかけての領域である。

[0057] 次に、図１２に示す工程において、キャップ絶縁膜１０ａ上およびキャップ絶縁膜１０ａで覆われていない高濃度ｎ型不純物領域６上およびＡｌＧａＮのバリア層４ａ上に、例えばプラズマＣＶＤ法を用いてSiO_bで構成される電子供給絶縁膜１１を堆積する。その後、例えばＲＴＡ法などを用いて窒素雰囲気中で７００～９００℃の熱処理を行い、バリア層４ａと電子供給絶縁膜１１とが接する領域の界面に発生する正の電荷を増加させる。

[0058] 次に、図１３に示す工程において、レジストパターン等をマスクとして、バッファードフッ酸等を用いたウェットエッチング法を用いて、所望の領域のキャップ絶縁膜１０ａおよび電子供給絶縁膜１１を除去する。除去する領域としては高濃度ｎ型不純物領域５側のバリア層４ａの一部上部からバリア層４ａに隣接する高濃度ｎ型不純物領域５の端縁部上部にかけての領域である。

[0059] 次に、図１４に示す工程において、電子供給絶縁膜１１上および電子供給絶縁膜１１で覆われていない高濃度ｎ型不純物領域５上およびＡｌＧａＮのバリア層４ａ上に、例えば原子層堆積法を用いてAlO_cで構成されるゲート絶縁膜１２ａを堆積する。

[0060] 次に、図１５に示す工程において、ゲート絶縁膜１２ａ上にゲート電極１３を形成したい部分が開口部ＯＰとなったレジストマスクＲＭを形成する。その後、レジストマスクＲＭ上および開口部ＯＰ内に蒸着によりＮｉ（ニッケル）で構成される金属膜を形成し、レジストマスクＲＭをリフトオフ法を用いて除去することでゲート電極１３を形成して、図１に示すヘテロ接合電

界効果型トランジスタ１００を得る。

[0061] 以上説明したヘテロ接合電界効果型トランジスタ１００の製造プロセスでは、図１０および図１１にそれぞれ示したキャップ絶縁膜１０ａの堆積および除去、図１２に示した電子供給絶縁膜１１の堆積と７００～９００℃での熱処理、図１３に示したキャップ絶縁膜１０ａおよび電子供給絶縁膜１１の除去、図１４に示したゲート絶縁膜１２ａの堆積、図１４に示したゲート電極１３の形成を、この順に実施することを特徴とする。

[0062] これにより、図１に示した構成のヘテロ接合電界効果型トランジスタ１００が製造できるだけでなく、以下に示す効果も得られる。

[0063] まず、７００～９００℃の熱処理を、チャネル領域Ａのバリア層４ａがキャップ絶縁膜１０ａで覆われた状態、かつ、ドリフト領域Ｂのバリア層４ａは電子供給絶縁膜１１で覆われた状態で実施できるようになる。

[0064] ７００℃以上の高温で熱処理を実施する際に、バリア層４ａが熱処理する際の空間に曝露されていると、バリア層４ａから窒素が離脱し、電子トラップの要因となる窒素空孔がバリア層４ａ中に生じる。特に、チャネル領域Ａにこのような窒素空孔が多く存在すると、リーク電流の増加および電流コラプスといった特性劣化が懸念される。このような熱処理によるＡｌＧａＮ層からの窒素の脱離は、何らかの絶縁膜をＡｌＧａＮ層表面に堆積することにより抑制できるが、完全に抑制されるわけではなく、使用する絶縁膜材料により効果が異なる。SiN_aで構成される絶縁膜はイオン注入後の活性化熱処理時にもキャップ絶縁膜としてよく用いられる材料であり、SiO_bおよびAlO_cといった他の絶縁膜材料と比較して、ＡｌＧａＮ層からの窒素の脱離を抑制する効果が高い絶縁膜材料である。このため、本製造方法により、窒素空孔を原因とする特性劣化を抑制することが可能となる。

[0065] また、AlO_cのゲート絶縁膜１２ａは、７００～９００℃の熱処理の後に形成されるので、高温での熱処理を施されることを防ぐことができる。AlO_cで構成されるゲート絶縁膜は、７００℃以上の高温で熱処理されると、部分的に結晶化が進み、その結晶粒界が電流のリークパスとなることが知られ

ている。ヘテロ接合電界効果型トランジスタ１００でも、ゲート絶縁膜１２ａに７００℃以上の高温での熱処理を施すと、ゲートリーク電流の増加が懸念される。しかし、本製造方法により、高温での熱処理が施されることを防ぐことができるので、低リーク電流が実現される。

[0066] また、ゲート電極１３の下側のドレイン電極８側の領域では、バリア層４ａ上に電子供給絶縁膜とゲート絶縁膜１２ａをこの順に介してゲート電極１３が形成された構成を形成することができる。これにより、ドレイン電極８に高電圧を印加した際にゲート電極１３のドレイン電極８側の端部に電界が集中することを緩和でき、より高い電圧を印加できるようになる。また、電界集中による電流コラプスの発生を抑制することが可能となる。

[0067] また、ゲート電極１３の下側のソース電極７側の領域では、高濃度ｎ型不純物領域５上にキャップ絶縁膜１０ａ、電子供給絶縁膜１１およびゲート絶縁膜１２ａをこの順に介してゲート電極１３が形成された構成を形成することできる。これにより、ゲート電極１３に電圧を印加した際にゲート電極１３のソース電極７側の端部に電界が集中することを緩和でき、この電界集中による電流コラプスの発生を抑制することが可能となる。

[0068] なお、図１等では、トランジスタとして動作するための必要最小限の構成しか開示していないが、最終的には保護膜、フィールドプレート電極、配線、エアブリッジ、バイアホール等の形成を経てデバイスとして完成する。

[0069] また、図７に示した高濃度ｎ型不純物領域５および６の形成は、必ずしもイオン注入法で行う必要はなく、エッチングとＭＯＣＶＤ法またはＭＢＥ法などのエピタキシャル成長法を用いて形成しても構わない。

[0070] また、図９に示した素子分離領域９の形成は、必ずしもイオン注入法で行う必要はなく、エッチングを用いてバリア層４ａの最表面からバッファ層２に達する領域を除去して、トランジスタを作製する領域をメサ型の構造とし、除去された領域を素子分離領域９としても構わない。

[0071] また、上述した製造プロセスは必ずしも説明した順に実施する必要はなく、順番を入れ替えても構わない。例えば、図９に示した素子分離領域９の形

成を、図７に示した高濃度ｎ型不純物領域５および６の形成後に実施しても構わない。

[0072] ＜実施の形態２＞

図１６は、本発明に係る実施の形態２の窒化物半導体で構成されるヘテロ接合電界効果型トランジスタ２００の断面構成を示す斜視図である。なお、図１６においては、図１を用いて説明したヘテロ接合電界効果型トランジスタ１００と同一の構成については同一の符号を付し、重複する説明は省略する。

[0073] 図１に示したヘテロ接合電界効果型トランジスタ１００では、ゲート電極１３の下側のソース電極７側の領域で、高濃度ｎ型不純物領域５上にSiN_aのキャップ絶縁膜１０ａ、SiO_bの電子供給絶縁膜１１およびAlO_cのゲート絶縁膜１２ａをこの順に介してゲート電極１３が形成された構成となっているが、図１６に示すヘテロ接合電界効果型トランジスタ２００では、高濃度ｎ型不純物領域５上に電子供給絶縁膜およびゲート絶縁膜１２ａをこの順に介してゲート電極１３が形成された構成となっている。

[0074] このような構成においても、ドレイン電極８に電圧を印加した際にゲート電極１３のソース電極７側の端部に電界が集中することを緩和でき、電界集中による電流コラプスの発生を抑制することが可能となる。

[0075] なお、このような構成は、図１１を用いて説明したレジストパターンを用いたキャップ絶縁膜１０ａの除去時に、ソース電極７からゲート電極１３を形成する領域に至る一部の領域のキャップ絶縁膜１０ａを除去することによって作製が可能となる。

[0076] ＜実施の形態３＞

図１７は、本発明に係る実施の形態３の窒化物半導体で構成されるヘテロ接合電界効果型トランジスタ３００の断面構成を示す斜視図である。なお、図１７においては、図１を用いて説明したヘテロ接合電界効果型トランジスタ１００と同一の構成については同一の符号を付し、重複する説明は省略する。

[0077] 図１に示したヘテロ接合電界効果型トランジスタ１００では、ゲート電極１３の下側のソース電極７側の領域で、高濃度ｎ型不純物領域５上にSiN_aのキャップ絶縁膜１０ａ、SiO_bの電子供給絶縁膜１１およびAlO_cのゲート絶縁膜１２ａをこの順に介してゲート電極１３が形成された構成となっているが、図１７に示すヘテロ接合電界効果型トランジスタ３００では、ゲート電極１３は高濃度ｎ型不純物領域５のＡｌＧａＮのバリア層４ａ側の端縁部上部からバリア層４ａの中央部上部にかけて延在するように形成されており、幅が狭くなっている。このため、ゲート電極１３のソース電極７側の端縁部は、ゲート絶縁膜１２ａを介して高濃度ｎ型不純物領域５の上部に位置している。すなわち、ゲート電極１３の下側のソース電極７側の領域では、チャネル領域Ａであるバリア層４ａ上と同じく、ゲート絶縁膜１２ａ上にゲート電極１３が形成された構成であり、電界緩和構造となっていない。

[0078] 従って、図１に示したヘテロ接合電界効果型トランジスタ１００および図１６に示したヘテロ接合電界効果型トランジスタ２００と比較して、ドレイン電極８に電圧を印加した際にゲート電極１３のソース電極７側の端部に電界を集中することを緩和する効果が弱まる。このため、電界集中による電流コラプスの発生を抑制する効果も低減することになる。一方で、ゲート電極１３と高濃度ｎ型不純物領域５とが重なり合う領域を小さくすることができる。ゲート電極１３と高濃度ｎ型不純物領域５が重なり合う領域が大きい場合には、その分だけゲート容量の増加につながり、高速でのスイッチングが難しくなるが、ヘテロ接合電界効果型トランジスタ３００では、ゲート容量を減少することができる。

[0079] なお、ヘテロ接合電界効果型トランジスタ３００においても、ゲート電極１３のドレイン電極８側の端縁部は電子供給絶縁膜１１とゲート絶縁膜１２ａとの積層膜上に位置するので電界緩和構造となっている。これだけで高電圧動作および電流コラプスの発生の抑制が十分な場合には、ゲート容量を低減できる効果が得られる点でヘテロ接合電界効果型トランジスタ３００は有利である。

[0080] 所望するトランジスタの動作条件に応じて、ヘテロ接合電界効果型トランジスタ１００～３００の何れかを採用すれば良い。

[0081] なお、ヘテロ接合電界効果型トランジスタ３００を製作するには、図１５を用いて説明したゲート電極１３の形成時に、レジストマスクＲＭの開口部ＯＰの幅を狭くし、ゲート電極１３が高濃度ｎ型不純物領域５のＡｌＧａＮのバリア層４ａ側の端縁部上部からバリア層４ａの中央部上部にかけて形成されるようにすれば良い。

[0082] ＜実施の形態４＞

図１８は、本発明に係る実施の形態４の窒化物半導体で構成されるヘテロ接合電界効果型トランジスタ４００の断面構成を示す斜視図である。なお、図１８においては、図１を用いて説明したヘテロ接合電界効果型トランジスタ１００と同一の構成については同一の符号を付し、重複する説明は省略する。

[0083] 図１に示したヘテロ接合電界効果型トランジスタ１００では、ソース電極７およびドレイン電極８はSiN_aのキャップ絶縁膜１０ａ、SiO_bの電子供給絶縁膜１１およびAlO_cのゲート絶縁膜１２ａの積層膜で覆われた構成となっているが、ヘテロ接合電界効果型トランジスタ４００では、ソース電極７およびドレイン電極８はゲート絶縁膜１２ａのみで覆われている。

[0084] ただし、ゲート電極１３のソース電極７側の端縁部は、キャップ絶縁膜１０ａ、電子供給絶縁膜１１およびゲート絶縁膜１２ａを介して高濃度ｎ型不純物領域５の上部に位置している。すなわち、ゲート電極１３のソース電極７側の端縁部の下部の高濃度ｎ型不純物領域５上のみに、キャップ絶縁膜１０ａおよび電子供給絶縁膜１１がこの順に積層され、この積層膜をゲート絶縁膜１２ａが覆っている。

[0085] また、ゲート電極１３のドレイン電極８側の端縁部は、電子供給絶縁膜１１およびゲート絶縁膜１２ａを介してバリア層４ａの上部に位置している。

[0086] このような構成のヘテロ接合電界効果型トランジスタ４００においてもヘテロ接合電界効果型トランジスタ１００および２００と同様に、ノーマリオ

フ動作と高耐圧動作の両立が実現される。

[0087] ヘテロ接合電界効果型トランジスタ４００を製作するには、図１１を用いて説明したレジストパターンを用いたキャップ絶縁膜１０ａの除去時に、ゲート電極１３のソース電極７側の端縁部の下部の高濃度ｎ型不純物領域５上のみにキャップ絶縁膜１０ａが残るようにキャップ絶縁膜１０ａを除去する。そして、図１３を用いて説明したレジストパターンを用いた電子供給絶縁膜１１ａの除去時に、バリア層４ａの上部から高濃度ｎ型不純物領域６の端縁部上部にかけての領域と、高濃度ｎ型不純物領域５上のキャップ絶縁膜１０ａの上部のみに電子供給絶縁膜１１ａが残るように電子供給絶縁膜１１ａを除去するようにすれば良い。

[0088] ＜変形例１＞

図１９は、本発明に係る実施の形態４の変形例１の窒化物半導体で構成されるヘテロ接合電界効果型トランジスタ４０１の断面構成を示す斜視図である。なお、図１９においては、図１８を用いて説明したヘテロ接合電界効果型トランジスタ４００と同一の構成については同一の符号を付し、重複する説明は省略する。

[0089] 図１８に示したヘテロ接合電界効果型トランジスタ４００では、ゲート電極１３のソース電極７側の端縁部は、キャップ絶縁膜１０ａ、電子供給絶縁膜１１およびゲート絶縁膜１２ａを介して高濃度ｎ型不純物領域５の上部に位置していたが、ヘテロ接合電界効果型トランジスタ４０１では、ゲート電極１３のソース電極７側の端縁部は、電子供給絶縁膜１１およびゲート絶縁膜１２ａを介して高濃度ｎ型不純物領域５の上部に位置している。すなわち、ゲート電極１３のソース電極７側の端縁部の下部の高濃度ｎ型不純物領域５上に、電子供給絶縁膜１１が形成され、この電子供給絶縁膜１１をゲート絶縁膜１２ａが覆っている。

[0090] なお、ゲート電極１３のドレイン電極８側の端縁部は、電子供給絶縁膜１１およびゲート絶縁膜１２ａを介してバリア層４ａの上部に位置している構成は、ヘテロ接合電界効果型トランジスタ４００と同じである。

[0091] ヘテロ接合電界効果型トランジスタ４０１を製作するには、図１１を用いて説明したキャップ絶縁膜１０ａの製造工程が不要となり、図１３を用いて説明したレジストパターンを用いた電子供給絶縁膜１１ａの除去時に、バリア層４ａの上部から高濃度ｎ型不純物領域６の端縁部上部にかけての領域と、ゲート電極１３のソース電極７側の端縁部の下部の高濃度ｎ型不純物領域５上のみに電子供給絶縁膜１１が残るように電子供給絶縁膜１１を除去するようにすれば良い。

[0092] ＜変形例２＞

図２０は、本発明に係る実施の形態４の変形例２の窒化物半導体で構成されるヘテロ接合電界効果型トランジスタ４０２の断面構成を示す斜視図である。なお、図２０においては、図１８を用いて説明したヘテロ接合電界効果型トランジスタ４００と同一の構成については同一の符号を付し、重複する説明は省略する。

[0093] 図１８に示したヘテロ接合電界効果型トランジスタ４００では、ゲート電極１３のソース電極７側の端縁部は、キャップ絶縁膜１０ａ、電子供給絶縁膜１１およびゲート絶縁膜１２ａを介して高濃度ｎ型不純物領域５の上部に位置していたが、ヘテロ接合電界効果型トランジスタ４０２では、ゲート電極１３のソース電極７側の端縁部は、ゲート絶縁膜１２ａを介して高濃度ｎ型不純物領域５の上部に位置している。

[0094] なお、ゲート電極１３のドレイン電極８側の端縁部は、電子供給絶縁膜１１およびゲート絶縁膜１２ａを介してバリア層４ａの上部に位置している構成は、ヘテロ接合電界効果型トランジスタ４００と同じである。

[0095] また、ゲート電極１３は、高濃度ｎ型不純物領域５のＡｌＧａＮのバリア層４ａ側の端縁部上部からバリア層４ａの中央部上部にかけて延在するように形成されており、幅が狭くなっている。すなわち、ゲート電極１３のソース電極７側の端縁部を電界緩和構造としないので、ゲート容量を低減するためにゲート電極１３の幅を狭くしている。

[0096] ヘテロ接合電界効果型トランジスタ４０２を製作するには、図１１を用い

て説明したキャップ絶縁膜１０ａの製造工程が不要となり、図１３を用いて説明したレジストパターンを用いた電子供給絶縁膜１１ａの除去時に、バリア層４ａの上部から高濃度ｎ型不純物領域６の端縁部上部にかけての領域と、ゲート電極１３のソース電極７側の端縁部の下部の高濃度ｎ型不純物領域５上のみに電子供給絶縁膜１１が残るように電子供給絶縁膜１１を除去するようにすれば良い。

[0097] また、図１５を用いて説明したゲート電極１３の形成時に、レジストマスクＲＭの開口部ＯＰの幅を狭くし、ゲート電極１３が高濃度ｎ型不純物領域５のＡｌＧａＮのバリア層４ａ側の端縁部上部からバリア層４ａの中央部上部にかけて形成されるようにすれば良い。

[0098] なお、以上説明したヘテロ接合電界効果型トランジスタ４００、４０２および４０２の構成は、ソース電極７およびドレイン電極８を構成する材料が、キャップ絶縁膜１０ａおよび電子供給絶縁膜１１を除去する際に用いるフッ酸に対する耐性がある場合に有効な構成となる。

[0099] ソース電極７およびドレイン電極８を構成する材料が、フッ酸に対する耐性がない場合は、実施の形態１～３のヘテロ接合電界効果型トランジスタ１００～３００の構成を採れば良い。

[0100] ＜実施の形態５＞

＜装置構成＞

図２１は、本発明に係る実施の形態５の窒化物半導体で構成されるヘテロ接合電界効果型トランジスタ５００の断面構成を示す斜視図である。なお、図２１においては、図１を用いて説明したヘテロ接合電界効果型トランジスタ１００と同一の構成については同一の符号を付し、重複する説明は省略する。

[0101] 図１に示したヘテロ接合電界効果型トランジスタ１００では、ソース電極７およびドレイン電極８はSiN_aのキャップ絶縁膜１０ａ、SiO_bの電子供給絶縁膜１１およびAlO_cのゲート絶縁膜１２ａの積層膜で覆われた構成となっているが、ヘテロ接合電界効果型トランジスタ５００では、ソース電

極７およびドレイン電極８の上面はゲート絶縁膜１２ａのみで覆われており、キャップ絶縁膜１０ａ、電子供給絶縁膜１１およびゲート絶縁膜１２ａの積層膜はソース電極７およびドレイン電極８の側面に接している。この構成以外はヘテロ接合電界効果型トランジスタ１００と同じであり、ヘテロ接合電界効果型トランジスタ１００と同様に、ノーマリオフ動作と高耐圧動作の両立が実現される。

[0102] ＜製造方法＞

次に、ヘテロ接合電界効果型トランジスタ５００の製造方法の一例について、製造工程を順に示す図６、図７、図２２～図２９を用いて説明する。なお、図２２～図２９においては、図１に示したヘテロ接合電界効果型トランジスタ１００と同一の構成については同一の符号を付し、重複する説明は省略する。

[0103] まず、実施の形態１において図６を用いて説明したように、ＳｉＣの基板１上にＭＯＣＶＤ法またはＭＢＥ法などのエピタキシャル成長法を用いて、ＡｌＮで構成されるバッファ層２、ＧａＮで構成されるチャネル層３ａおよびＡｌＧａＮで構成されるバリア層４ａをこの順に成長させる。

[0104] 次に、実施の形態１において図７を用いて説明したように、レジストパターン等をマスクとして、イオン注入法等用いて、注入ドーズ量1×10^{13}～$1\times10^{16}cm^{-2}$、注入エネルギー１０～１０００ｋｅＶの条件で、窒化物半導体においてｎ型不純物となるＳｉ等のイオンを所望の領域にドーピングする。その後、例えばＲＴＡ法などを用いて窒素雰囲気中で８００～１５００℃の温度で熱処理を行い、ドーピングしたイオンを活性化させて、高濃度ｎ型不純物領域５および高濃度ｎ型不純物領域６を形成する。

[0105] 次に、図２２に示す工程において、トランジスタを作製する領域外にイオン注入法を用いてＺｎイオンを注入して、バリア層４ａの最表面からバッファ層２内に達する素子分離領域９を形成する。なお、実施の形態１において説明いたように、Ｚｎイオンを注入してＧａＮを高抵抗化する技術は周知である。

[0106] 次に、図２３に示す工程において、素子分離領域９、高濃度ｎ型不純物領域５および６が形成されたチャネル層３ａ上に、例えばプラズマＣＶＤ法を用いてSiN_aで構成されるキャップ絶縁膜１０ａを堆積する。

[0107] 次に、図２４に示す工程において、レジストパターン等をマスクとして、バッファードフッ酸等を用いたウェットエッチング法を用いて、所望の領域のキャップ絶縁膜１０ａを除去する。除去する領域としてはバリア層４ａの一部上部からバリア層４ａに隣接する高濃度ｎ型不純物領域６の端縁部上部にかけての領域である。

[0108] 次に、図２５に示す工程において、キャップ絶縁膜１０ａ上およびキャップ絶縁膜１０ａで覆われていない高濃度ｎ型不純物領域６上およびＡｌＧａＮのバリア層４ａ上に、例えばプラズマＣＶＤ法を用いてSiO_bで構成される電子供給絶縁膜１１を堆積する。

[0109] 次に、電子供給絶縁膜１１上に、ソース電極７およびドレイン電極８を形成する領域が開口部となったレジストマスクを形成し、当該レジストマスクをエッチングマスクとして、バッファードフッ酸等を用いたウェットエッチング法を用いて、ソース電極７およびドレイン電極８を形成する領域の電子供給絶縁膜１１およびキャップ絶縁膜１０ａを除去する。

[0110] その後、エッチングマスク上および開口部に蒸着により金属の多層膜を堆積し、エッチングマスクをリフトオフ法を用いて除去することで、ソース電極７およびドレイン電極８を形成する領域に金属の多層膜を残す。その後、図２７に示す工程において、ＲＴＡ法などを用いて窒素雰囲気中で７００～９００℃の温度で熱処理を行い、堆積した多層膜を合金化させて、ソース電極７およびドレイン電極８を形成すると同時に、バリア層４ａと電子供給絶縁膜１１とが接する領域の界面に発生する正の電荷を増加させる。

[0111] 金属の多層膜としては、例えばＴｉ（チタン）とＡｌの多層膜が挙げられるが、高濃度ｎ型不純物領域上に形成する場合は、電極として使用される一般的な金属であれば何でもオーミックコンタクトが得られるので特に限定はない。

[0112] 次に、図２７に示す工程において、レジストパターン等をマスクとして、バッファードフッ酸等を用いたウェットエッチング法を用いて、所望の領域のキャップ絶縁膜１０ａおよび電子供給絶縁膜１１を除去する。除去する領域としては高濃度ｎ型不純物領域５側のバリア層４ａの一部上部からバリア層４ａに隣接する高濃度ｎ型不純物領域５の端縁部上部にかけての領域である。

[0113] 次に、図２８に示す工程において、電子供給絶縁膜１１上および電子供給絶縁膜１１で覆われていないソース電極７およびドレイン電極８の上面、高濃度ｎ型不純物領域５上およびバリア層４ａ上に、例えば原子層堆積法を用いてＡｌ$_2$Ｏ$_3$で構成されるゲート絶縁膜１２ａを堆積する。

[0114] 次に、図２９に示す工程において、ゲート絶縁膜１２ａ上にゲート電極１３を形成したい部分が開口部ＯＰとなったレジストマスクＲＭを形成する。その後、レジストマスクＲＭ上および開口部ＯＰ内に蒸着によりＮｉで構成される金属膜を形成し、レジストマスクＲＭをリフトオフ法を用いて除去することでゲート電極１３を形成して、図２１に示すヘテロ接合電界効果型トランジスタ５００を得る。

[0115] 以上説明したヘテロ接合電界効果型トランジスタ５００の製造プロセスでは、図２６に示したように、ソース電極７およびドレイン電極８の形成を、図２５に示した電子供給絶縁膜１１の堆積後に実施する製造プロセスとなっている。これにより、ソース電極７およびドレイン電極８が、キャップ絶縁膜１０ａおよび電子供給絶縁膜１１を除去する際に用いられるフッ酸に曝されることがなく、ソース電極７およびドレイン電極８を構成する材料が、フッ酸に対する耐性がない場合に適した製造プロセスとなる。

[0116] ＜実施の形態６＞

図３０は、本発明に係る実施の形態６の窒化物半導体で構成されるヘテロ接合電界効果型トランジスタ６００の断面構成を示す斜視図である。なお、図３０においては、図１６を用いて説明したヘテロ接合電界効果型トランジスタ２００と同一の構成については同一の符号を付し、重複する説明は省略

する。

[0117] 図３０に示すヘテロ接合電界効果型トランジスタ６００は、図１に示したヘテロ接合電界効果型トランジスタ１００および図１６に示したヘテロ接合電界効果型トランジスタ２００と比較して、高濃度ｎ型不純物領域５の形成される領域が異なっている。すなわち、ヘテロ接合電界効果型トランジスタ１００および２００では、高濃度ｎ型不純物領域５は、ソース電極７の下側の領域からゲート電極１３の下側に至る領域にかけて形成されているが、ヘテロ接合電界効果型トランジスタ６００では、高濃度ｎ型不純物領域５のゲート電極１３側の端縁部がゲート電極の下側の領域には達しないように形成されている。すなわち、ゲート電極１３のソース電極７側の端縁部の下方には、高濃度ｎ型不純物領域５が形成されていない。

[0118] このような構成のヘテロ接合電界効果型トランジスタ６００においてもヘテロ接合電界効果型トランジスタ１００および２００と同様に、ノーマリオフ動作と高耐圧動作の両立が実現される。

[0119] 一方、高濃度ｎ型不純物領域５および６は、イオン注入法またはエピタキシャル成長法で形成されるので、シート抵抗は、バリア層４ａとチャネル層３ａとの間に発生する２ＤＥＧによるシート抵抗と比較して低い値が得られ、高濃度ｎ型不純物領域５がゲート電極１３の下方に達していないヘテロ接合電界効果型トランジスタ６００のオン抵抗は、ヘテロ接合電界効果型トランジスタ１００および２００に比べて高くなる可能性がある。

[0120] しかし、バリア層４ａと電子供給絶縁膜１１との界面に発生する正の電荷量が十分に大きく、この領域のシート抵抗がトランジスタのオン抵抗に影響を与えない程度に十分に低くければヘテロ接合電界効果型トランジスタ１００および２００と同様の動作特性が得られる。

[0121] ＜変形例＞

図３１は、本発明に係る実施の形態６の変形例の窒化物半導体で構成されるヘテロ接合電界効果型トランジスタ６０１の断面構成を示す斜視図である。なお、図３１においては、図３０を用いて説明したヘテロ接合電界効果型

トランジスタ６００と同一の構成については同一の符号を付し、重複する説明は省略する。

[0122] 図３０に示したヘテロ接合電界効果型トランジスタ６００では、ソース電極７およびドレイン電極８はSiN_aのキャップ絶縁膜１０ａ、SiO_bの電子供給絶縁膜１１およびAlO_cのゲート絶縁膜１２ａの積層膜で覆われた構成となっているが、ヘテロ接合電界効果型トランジスタ６０１では、ソース電極７およびドレイン電極８はゲート絶縁膜１２ａのみで覆われている。

[0123] ただし、ゲート電極１３のソース電極７側の端縁部は、キャップ絶縁膜１０ａ、電子供給絶縁膜１１およびゲート絶縁膜１２ａを介して高濃度ｎ型不純物領域５とバリア層４ａとの境界の上部に位置している。すなわち、ゲート電極１３のソース電極７側の端縁部の下部のみに、キャップ絶縁膜１０ａおよび電子供給絶縁膜１１がこの順に積層され、この積層膜をゲート絶縁膜１２ａが覆っている。

[0124] このような構成のヘテロ接合電界効果型トランジスタ６０１においてもヘテロ接合電界効果型トランジスタ１００および２００と同様に、ノーマリオフ動作と高耐圧動作の両立が実現される。

[0125] また、バリア層４ａと電子供給絶縁膜１１との界面に発生する正の電荷量が十分に大きく、この領域のシート抵抗がトランジスタのオン抵抗に影響を与えない程度に十分に低くければヘテロ接合電界効果型トランジスタ１００および２００と同様の動作特性が得られる。

[0126] ＜実施の形態７＞

＜装置構成＞

図３２は、本発明に係る実施の形態７の窒化物半導体で構成されるヘテロ接合電界効果型トランジスタ７００の断面構成を示す斜視図である。なお、図３２においては、図１を用いて説明したヘテロ接合電界効果型トランジスタ１００と同一の構成については同一の符号を付し、重複する説明は省略する。

[0127] 図１に示したヘテロ接合電界効果型トランジスタ１００では、ゲート電極

１３が形成された領域を除き、最表面にはゲート絶縁膜１２ａが形成された構成となっているが、ヘテロ接合電界効果型トランジスタ７００では、ゲート電極１３およびゲート絶縁膜１２ａがＳｉN_dで構成される被覆絶縁膜１４ａで覆われた構成となっている。これにより、ゲート電極１３形成後に熱処理を実施する場合のドレイン電流の低下を防ぐことが可能となる。これについては、以下に詳述する。

[0128] 本実施の形態７におけるヘテロ接合電界効果型トランジスタ７００では、ゲート電極１３の下側のゲート絶縁膜１２ａとバリア層４ａの間に界面準位が形成されることによるドレイン電流の低下が懸念される。この界面準位は、国際公開第２０１８／０３７５３０号に開示されるように、ゲート電極１３を形成した後に、３００～７００℃で熱処理することで低減が可能である。また、国際公開第２０１８／２２０７４１号に開示されるように、ゲート電極１３を形成したのちに、ゲート電極１３に電圧を印加しながら２５０～３００℃の熱処理を実施することでも低減が可能である。

[0129] しかしながら、本発明に係る実施の形態１～６の図１、図１６～２１に記載のヘテロ接合電界効果型トランジスタにおいては、ゲート電極１３を形成した後のドリフト領域Ｂにおいてゲート絶縁膜１２ａが最表面に形成された状態で熱処理を実施すると、ドリフト領域Ｂにおけるチャネル層３ａとバリア層４ａの界面に発生する２ＤＥＧの濃度が減少し、この領域が高抵抗化する結果、ドレイン電流が低下してしまう。

[0130] 次に上述した、ドリフト領域Ｂにおいてゲート絶縁膜１２ａが最表面に形成された状態で熱処理を実施することによりチャネル層３ａとバリア層４ａの界面に発生する２ＤＥＧにおけるシート抵抗R_{sh}が上昇する現象、およびゲート絶縁膜１２ａがＳｉN_dで構成される被覆絶縁膜１４ａで覆われた構成とすることによって、このシート抵抗R_{sh}の上昇が抑制される現象を検証した結果を示す。

[0131] 図３３および図３４は、検証に用いたサンプル９１とサンプル９２の断面構成を示す斜視図である。サンプル９１とサンプル９２においては、図２に

示したサンプル９０と同一の構成については同一の符号を付し、重複する説明は省略する。

[0132] サンプル９１においては、基板１から電子供給絶縁膜１１までの構成はサンプル９０と同一であり、電子供給絶縁膜１１の表面を覆うようにゲート絶縁膜１２ａが形成されている。

[0133] このような構成は、図２に示されるサンプル９０の表面の電子供給絶縁膜１１上に、例えば原子層堆積法を用いてAlO_cで構成されるゲート絶縁膜１２ａを堆積することによって作製が可能となる。

[0134] サンプル９２においては、基板１からゲート絶縁膜１２ａまでの構成はサンプル９１と同一であり、ゲート絶縁膜１２ａの表面を覆うようにSiN_dで構成される被覆絶縁膜１４ａが形成されている。

[0135] このような構成は、図３３に示されるサンプル９１の表面のゲート絶縁膜１２ａ上に、例えばプラズマＣＶＤ法を用いてSiN_dで構成される被覆絶縁膜１４ａを堆積することによって作製が可能となる。

[0136] 図３５および図３６は、それぞれ図３３に示すサンプル９１および図３４に示すサンプル９２において、ソース電極７とドレイン電極８の間で測定した電流－電圧（Ｉ－Ｖ）特性であり、横軸を電圧（Voltage：単位Ｖ）、縦軸を電流密度（Current density：単位Ａ／ｍｍ）としている。

[0137] 図３５には、ゲート絶縁膜１２ａを堆積した直後での測定結果Ｃ４（After Al_2O_3 deposition）とゲート絶縁膜１２ａ堆積後に３００℃で５分間熱処理した後での測定結果Ｃ５（After 300℃ Anneal）を示している。なお、同一基板上に２つのサンプルを作成して測定しているので、何れの測定結果も２つの特性が示されている。

[0138] 図３６には、被覆絶縁膜１４ａを堆積した直後での測定結果Ｃ６（After SiN_d deposition）と被覆絶縁膜１４ａ堆積後に３００℃で５分間熱処理した後での測定結果Ｃ７（After 300℃ Anneal）を示している。なお、同一基板上に２つのサンプルを作成して測定しているので、何れの測定結果も２つの特性が示されている。

[0139] 高濃度ｎ型不純物領域５および６の幅は１００μｍとし、高濃度ｎ型不純物領域５と６の間の距離は４μｍ（Ｌ＝４μｍ）とした。また、図３５、図３６にはバリア層４ａのＡｌ組成と厚さがそれぞれ２０％と５ｎｍの場合と、Ａｌ組成と厚さがそれぞれ１５％と７ｎｍの場合の特性が示されている。

[0140] 図３５に示すように被覆絶縁膜１４ａを形成しない場合には、３００℃の熱処理によって、電流値が０．０５Ａ／ｍｍ以下に大きく減少する結果となった。これに対して、図３６に示すように被膜絶縁膜１４ａを形成した場合には、３００℃の熱処理によって、電流値が減少したものの、０．２Ａ/ｍｍ以上の値が得られた。

[0141] これらの結果から、ゲート絶縁膜１２ａ（AlO_c）上に被覆絶縁膜１４ａ（SiN_d）を形成した場合には、チャネル層３ａとバリア層４ａの界面に発生する２ＤＥＧによるシート抵抗が熱処理により増加する現象が抑制されることが実験的に確認された。

[0142] ゲート絶縁膜１２ａを形成した後の熱処理により、チャネル層３ａとバリア層４ａの界面に発生する２ＤＥＧによるシート抵抗が熱処理により増加する現象は、ゲート絶縁膜１２ａを形成した後の熱処理により、SiO_bとＡｌＧａＮとの界面に誘起される正の電荷が減少し、これに伴って、チャネル層３ａとバリア層４ａの界面に発生する２ＤＥＧが減少したことが原因と言える。そして被覆絶縁膜１４ａには、SiO_bとＡｌＧａＮとの界面に誘起される正の電荷の減少を抑制する効果があると言える。

[0143] なお、被覆絶縁膜１４ａをSiN_dとして表しているのは、Ｓｉ（シリコン）とＮ（窒素）の化合物であるが、堆積膜であるので、組成が必ずしも一般的なSi_3N_4となっているとは限らないためである。

[0144] また、図３７および図３８には、高濃度ｎ型不純物領域５と６の間の距離が２～２０μｍの範囲で異なったパターンを用いて測定したＩ－Ｖ特性から求めたシート抵抗（Sheet resistance：単位Ω／ｓｑ）を示す。

[0145] 図３７には、図３３に示すサンプル９１における３００℃の熱処理前後のシート抵抗をそれぞれ■と◇として表し、図３８には、図３４に示すサンプ

ル９２における３００℃の熱処理前後のシート抵抗をそれぞれ■と◇として表す。

[0146] 図３７より、被覆絶縁膜１４ａを形成しない場合に、３００℃の熱処理によってシート抵抗は１桁程度も増加することが確認された。また図３８より、被覆絶縁膜１４ａを形成した場合には、シート抵抗の増加は大幅に抑制されることが確認された。

[0147] 以上説明したように、実施の形態７のヘテロ接合電界効果型トランジスタ７００においては、ノーマリオフ動作と高耐圧動作の両立が実現される。

[0148] ＜製造方法＞

次に、ヘテロ接合電界効果型トランジスタ７００の製造方法の一例について、製造工程を順に示す図６～図１５、図１、図３２を用いて説明する。

[0149] まず、実施の形態１において図６～図１５を用いて説明したように、図１に示すヘテロ接合電界効果型トランジスタ１００を得る。

[0150] 次に、ゲート電極１３とゲート絶縁膜１２ａの上に、例えばプラズマＣＶＤ法を用いてSiN_dで構成される被覆絶縁膜１４ａを堆積して、図３２に示すヘテロ接合電界効果型トランジスタ７００を得る。

[0151] 次に、ゲート絶縁膜１２ａとバリア層４ａの間に形成される界面準位を低減する目的で少なくとも３００℃での熱処理を実施する。

[0152] このように、被膜絶縁膜１４ａを形成した後に界面準位を低減するための熱処理を実施することで、この熱処理による電流低下を抑制することができる。

[0153] ＜変形例１＞

図３９は、本発明に係る実施の形態７の変形例１の窒化物半導体で構成されるヘテロ接合電界効果型トランジスタ７０１の断面構成を示す斜視図である。なお、図３９においては、図３２を用いて説明したヘテロ接合電界効果型トランジスタ７００と同一の構成については同一の符号を付し、重複する説明は省略する。

[0154] 図３２に示したヘテロ接合電界効果型トランジスタ７００では、被覆絶縁

膜１４ａがトランジスタ７００の全領域を覆うように形成されているが、図３９に示したヘテロ接合電界効果型トランジスタ７０１では、被覆絶縁膜１４ａがゲート電極１３の側面からゲート絶縁膜１２ａの段差部分の側面の間を埋め込むように設けられ、ドリフト領域Ｂの上方を覆うように形成されている。なお、このような構成は、ヘテロ接合電界効果型トランジスタ７００を形成した後、被覆絶縁膜１４ａを選択的に除去することで得られる。

[0155] ゲート絶縁膜１２ａ形成後の熱処理によるドレイン電流の低下は、ドリフト領域Ｂにおける抵抗増加によって引き起こされるため、少なくともこの領域が被覆絶縁膜１４ａで覆われていれば、ドレイン電流の低下を抑制することが可能となる。

[0156] ＜変形例２＞

図４０は、本発明に係る実施の形態７の変形例２の窒化物半導体で構成されるヘテロ接合電界効果型トランジスタ７０２の断面構成を示す斜視図である。なお、本変形例は実施の形態６のヘテロ接合電界効果型トランジスタ６００に被覆絶縁膜１４ａを設けた構成としており、図４０においては、図３０を用いて説明したヘテロ接合電界効果型トランジスタ６００と同一の構成については同一の符号を付し、重複する説明は省略する。

[0157] 図３０に示すヘテロ接合電界効果型トランジスタ６００は、図１に示したヘテロ接合電界効果型トランジスタ１００および図１６に示したヘテロ接合電界効果型トランジスタ２００と比較して、高濃度ｎ型不純物領域５の形成される領域が異なっている。すなわち、ヘテロ接合電界効果型トランジスタ１００および２００では、高濃度ｎ型不純物領域５は、ソース電極７の下側の領域からゲート電極１３の下側に至る領域にかけて形成されているが、ヘテロ接合電界効果型トランジスタ６００では、高濃度ｎ型不純物領域５のゲート電極１３側の端縁部がゲート電極の下側の領域には達しないように形成されている。すなわち、ゲート電極１３のソース電極７側の端縁部の下方には、高濃度ｎ型不純物領域５が形成されていない。

[0158] このような構成のヘテロ接合電界効果型トランジスタ６００では、ゲート

絶縁膜１２ａを形成した後に熱処理を実施することによって、高濃度ｎ型不純物領域５からゲート電極１３の下側までの領域でも抵抗が増加し、ドレイン電流が減少する。これを抑制するために、図４０に示すように、被覆絶縁膜１４ａをヘテロ接合電界効果型トランジスタ７００の全領域を覆うように形成し、上記領域の上方を被覆絶縁膜１４ａで覆っている。

[0159] ＜実施の形態８＞

図４１は、本発明に係る実施の形態８の窒化物半導体で構成されるヘテロ接合電界効果型トランジスタ８００の断面構成を示す斜視図である。なお、図４１においては、図１を用いて説明したヘテロ接合電界効果型トランジスタ１００と同一の構成については同一の符号を付し、重複する説明は省略する。

[0160] 以上説明した実施の形態１～７のヘテロ接合電界効果型トランジスタにおいては、チャネル層３ａはＧａＮで構成され、バリア層４ａはＡｌＧａＮで構成されるものとして説明したが、必ずしもＧａＮおよびＡｌＧａＮを用いる必要はなく、実施の形態１～７のヘテロ接合電界効果型トランジスタが奏する効果は、チャネル層およびバリア層がＧａＮおよびＡｌＧａＮ以外の窒化物半導体で構成されていても同様に得られる。

[0161] 図４１に示すヘテロ接合電界効果型トランジスタ８００は、ＧａＮで構成されるチャネル層３ａおよびＡｌＧａＮで構成されるバリア層４ａを、それぞれ、$Al_{x1}In_{y1}Ga_{1-x1-y1}N$（窒化アルミニウムインジウムガリウム）で構成されるチャネル層３および$Al_{x2}In_{y2}Ga_{1-x2-y2}N$で構成されるバリア層４としている。なお、バリア層４を構成する$Al_{x2}In_{y2}Ga_{1-x2-y2}N$は、チャネル層３を構成する$Al_{x1}In_{y1}Ga_{1-x1-y1}N$よりもバンドギャップが大きいものとする。

[0162] ヘテロ接合電界効果型トランジスタ８００は、図６を用いて説明したチャネル層３ａおよびバリア層４ａの成長の代わりに、$In_zAl_xGa_{1-x-z}N$（$0<x\leqq1$、$0<z\leqq1$）の原料ガスとなるトリメチルインジウム、トリメチルアルミニウム、トリメチルガリウム、アンモニア等を流量、圧力およ

び温度（成長条件）を調整してチャネル層３およびバリア層４を成長させることで、それぞれ所望の組成のチャネル層３およびバリア層４を形成することで得られる。

[0163] ＜実施の形態９＞

図４２は、本発明に係る実施の形態９の窒化物半導体で構成されるヘテロ接合電界効果型トランジスタ９００の断面構成を示す斜視図である。なお、図４２においては、図１を用いて説明したヘテロ接合電界効果型トランジスタ１００と同一の構成については同一の符号を付し、重複する説明は省略する。

[0164] 以上説明した実施の形態１～８のヘテロ接合電界効果型トランジスタにおいては、キャップ絶縁膜１０ａはSiN_aで構成されるものとして説明したが、７００℃以上の熱処理を実施する際に、バリア層を構成する窒化物半導体からの窒素の脱離を抑制することができれば、キャップ絶縁膜は必ずしもSiN_aで構成される必要はなく、図４２に示すように、例えばAlN_d（窒化アルミ）またはBN_e（窒化ボロン）等の絶縁膜または半導体膜で構成されたキャップ絶縁膜１０を用いても良い。このような構成を有するヘテロ接合電界効果型トランジスタ９００は、実施の形態１～８のヘテロ接合電界効果型トランジスタが奏する効果と同様の効果を奏する。

[0165] ヘテロ接合電界効果型トランジスタ９００は、図１０を用いて説明したキャップ絶縁膜１０ａの堆積の代わりに、ＡｌまたはＢで構成されるターゲットを用いたスパッタ法等を用いてAlN_dまたはBN_eを堆積させてキャップ絶縁膜１０を形成することで得られる。

[0166] ＜実施の形態１０＞

図４３は、本発明に係る実施の形態１０の窒化物半導体で構成されるヘテロ接合電界効果型トランジスタ１０００の断面構成を示す斜視図である。なお、図４３においては、図１を用いて説明したヘテロ接合電界効果型トランジスタ１００と同一の構成については同一の符号を付し、重複する説明は省略する。

[0167] 以上説明した実施の形態１～９のヘテロ接合電界効果型トランジスタにおいては、ゲート絶縁膜１２ａはAlO_cで構成されるものとして説明したが、バリア層が$Al_{x1}In_{y1}Ga_{1-x1-y1}N$で構成される場合は、それよりもバンドギャップが大きい絶縁体または半導体で構成され、かつ、SiO_bと比較してバリア層との界面に形成される正の電荷が少なくなる材料であれば、必ずしもAlO_cで構成される必要はなく、図４３に示すように、例えば、$AlGa_fO_aN_g$（酸窒化アルミニウムガリウム）で構成されたゲート絶縁膜１２を用いても良い。

[0168] このような構成を有するヘテロ接合電界効果型トランジスタ１０００は、実施の形態１～９のヘテロ接合電界効果型トランジスタが奏する効果と同様の効果を奏する。

[0169] ヘテロ接合電界効果型トランジスタ１０００は、図１４を用いて説明したゲート絶縁膜１２ａの堆積の代わりに、ゲート絶縁膜の原料ガスとなる、トリメチルアルミニウム、トリメチルガリウム、酸素、オゾンおよび窒素等を流量および圧力、温度（堆積条件）を調整して、$AlGa_fO_aN_g$を堆積させてゲート絶縁膜１２を形成することで得られる。

[0170] ＜実施の形態１１＞

図４４は、本発明に係る実施の形態１１の窒化物半導体で構成されるヘテロ接合電界効果型トランジスタ１１００の断面構成を示す斜視図である。なお、図４４においては、図１を用いて説明したヘテロ接合電界効果型トランジスタ１００と同一の構成については同一の符号を付し、重複する説明は省略する。

[0171] 以上説明した実施の形態７のヘテロ接合電界効果型トランジスタにおいては、被覆絶縁膜１４ａはSiN_dで構成されるものとして説明したが、ゲート絶縁膜１２を形成した後の熱処理により、SiO_bとＡｌＧａＮとの界面に誘起される正の電荷が減少することを抑制することができれば、必ずしもSiN_dで構成される必要はなく、図４４に示すように、例えばAlN_d（窒化アルミ）またはBN_e（窒化ボロン）等の絶縁膜または半導体膜で構成された被

覆絶縁膜１４を用いても良い。このような構成を有するヘテロ接合電界効果型トランジスタ１１００は、実施の形態７のヘテロ接合電界効果型トランジスタが奏する効果と同様の効果を奏する。

[0172] ヘテロ接合電界効果型トランジスタ１１００は、図３２を用いて説明した被覆絶縁膜１４ａの堆積の代わりに、ＡｌまたはＢで構成されるターゲットを用いたスパッタ法等を用いてAlN_dまたはBN_eを堆積させて被覆絶縁膜１４を形成することで得られる。

[0173] ＜実施の形態１２＞

図４５は、本発明に係る実施の形態１２の窒化物半導体で構成されるヘテロ接合電界効果型トランジスタ１２００の断面構成を示す斜視図である。なお、図４５においては、図１を用いて説明したヘテロ接合電界効果型トランジスタ１００と同一の構成については同一の符号を付し、重複する説明は省略する。

[0174] 図４１に示した実施の形態８のヘテロ接合電界効果型トランジスタ８００においては、チャネル層３が$Al_{x1}In_{y1}Ga_{1-x1-y1}N$で構成されていたが、図４５に示すヘテロ接合電界効果型トランジスタ１２００は、チャネル層３の代わりに$Al_{x1}Ga_{1-x1}N$（ｙ１＝０）で構成されるチャネル層３ｂを備えている。

[0175] このように$Al_{x1}Ga_{1-x1}N$で構成されるチャネル層３ｂを備えることで、４元素で構成される$Al_{x1}In_{y1}Ga_{1-x1-y1}N$で構成されるチャネル層３を備えた構成と比較して、チャネル層３ｂとバリア層４ａとの間のヘテロ界面をキャリアとして走行する電子が受ける合金散乱が抑制されるため、ヘテロ界面に形成されるチャネルにおける電子の移動度が向上し、ドレイン電流の増加が図れる。

[0176] また、Ａｌ組成（ｘ１）が比較的大きい材料を用いれば、バンドギャップが大きくなるため、高電圧を印加しても壊れにくくなり、高電圧動作が可能となる。この場合のｘ１は、原理的にはｘ１＜１の範囲となるが、現実的には、バリア層とのＡｌ組成比の差を数パーセントとする必要があるので、バ

リア層をＡｌＮとした場合には、ｘ１は０．９７～０．９８の範囲となる。これに加えて、移動度および電子濃度が所望の値となるように調整してｘ１および他の組成を決めることとなる。

[0177] また、チャネル層の構成元素数が減ることで、結晶成長が容易になるため、結晶中の欠陥を低減しやすく、欠陥に起因して発生するリーク電流および電流コラプスといった諸特性の改善が図れる。

[0178] なお、チャネル層の構成元素数に着目すれば、図１に示した実施の形態１のヘテロ接合電界効果型トランジスタ１００では、ＧａＮ（ｘ１＝０、ｙ１＝０）で構成されるチャネル層３ａを備えた構成となっている。このようにＧａＮで構成されるチャネル層３ａを備えることで、３元素で構成される$Al_{x1}Ga_{1-x1}N$で構成されるチャネル層３ｂを備えた構成と比較して、さらに合金散乱が抑制されるため、ヘテロ界面に形成されるチャネルにおける電子の移動度がさらに向上し、さらなるドレイン電流の増加が図れる。また、結晶成長もさらに容易となり、チャネル層３ａに意図せずに混入する不純物も低減できるため、これらの不純物による電子トラップが要因となって生じる電流コラプスを抑制することが可能となる。また、結晶成長がさらに容易になることで、結晶中の欠陥を低減しやすく、欠陥に起因して発生するリーク電流および電流コラプスといった諸特性の改善が図れる。

[0179] なお、本実施の形態では、図４１の構成と図４５の構成、および図１の構成と図４５の構成を対比するようにチャネル層を構成する材料について説明したが、他の実施の形態のチャネル層をチャネル層３ｂと置き換えることで、本実施の形態のヘテロ接合電界効果型トランジスタ１２００と同様の効果を奏することは言うまでもない。

[0180] ＜実施の形態１３＞

図４６は、本発明に係る実施の形態１３の窒化物半導体で構成されるヘテロ接合電界効果型トランジスタ１３００の断面構成を示す斜視図である。なお、図４６においては、図１を用いて説明したヘテロ接合電界効果型トランジスタ１００と同一の構成については同一の符号を付し、重複する説明は省

略する。

[0181] 図４１に示したヘテロ接合電界効果型トランジスタ８００は、$Al_{x2}In_{y2}Ga_{1-x2-y2}N$で構成されたバリア層４を備えていたが、図４６に示すヘテロ接合電界効果型トランジスタ１３００は、バリア層４の代わりに$Al_{x2}Ga_{1-x2}N$（ｙ２＝０）で構成されるバリア層４ａを備えている。

[0182] このように、$Al_{x2}Ga_{1-x2}N$で構成されるバリア層４ａを備えることで、チャネル層３とバリア層４ａとの間のヘテロ界面をキャリアとして走行する電子が受ける合金散乱が減少するため、ヘテロ界面に形成されるチャネルにおける電子の移動度が向上し、ドレイン電流の増加が図れる。また、バリア層の構成元素数が減ることで、結晶成長が容易になるため、結晶中の欠陥を低減しやすく、欠陥に起因して発生するリーク電流および電流コラプスといった諸特性の改善が図れる。

[0183] ＜変形例１＞

図４７は、本発明に係る実施の形態１３の変形例１の窒化物半導体で構成されるヘテロ接合電界効果型トランジスタ１３０１の断面構成を示す斜視図である。なお、図４７においては、図４６を用いて説明したヘテロ接合電界効果型トランジスタ１１００と同一の構成については同一の符号を付し、重複する説明は省略する。

[0184] 図４１に示したヘテロ接合電界効果型トランジスタ８００は、$Al_{x2}In_{y2}Ga_{1-x2-y2}N$で構成されたバリア層４を備えていたが、図４７に示すヘテロ接合電界効果型トランジスタ１３０１は、バリア層４の代わりに$In_{y2}Al_{y2}N$（ｘ２＋ｙ２＝１）で構成されるバリア層４ｂを備えている。

[0185] このように、$In_{y2}Al_{y2}N$で構成されるバリア層４ｂを備えることで、チャネル層３とバリア層４ｂとの間のヘテロ界面をキャリアとして走行する電子が受ける合金散乱が減少するため、ヘテロ界面に形成されるチャネルにおける電子の移動度が向上し、ドレイン電流の増加が図れる。また、バリア層の構成元素数が減ることで、結晶成長が容易になるため、結晶中の欠陥を低減しやすく、欠陥に起因して発生するリーク電流や電流コラプスといった

諸特性の改善が図れる。

[0186] ＜変形例２＞

図４８は、本発明に係る実施の形態１３の変形例２の窒化物半導体で構成されるヘテロ接合電界効果型トランジスタ１３０２の断面構成を示す斜視図である。なお、図４８においては、図４６を用いて説明したヘテロ接合電界効果型トランジスタ１３００と同一の構成については同一の符号を付し、重複する説明は省略する。

[0187] 図４１に示したヘテロ接合電界効果型トランジスタ８００は、$Al_{x2}In_{y2}Ga_{1-x2-y2}N$で構成されたバリア層４を備えていたが、図４８に示すヘテロ接合電界効果型トランジスタ１３０２は、バリア層４の代わりにＡｌＮ（ｘ２＝０、ｙ２＝０）で構成されるバリア層４ｃを備えている。

[0188] このように、ＡｌＮで構成されるバリア層４ｃを備えることで、チャネル層３とバリア層４ｃの間のヘテロ界面をキャリアとして走行する電子が受ける合金散乱がさらに減少するため、ヘテロ界面に形成されるチャネルにおける電子の移動度がさらに向上する。また、バリア層の構成元素数が減ることで結晶成長が容易になるため、結晶中の欠陥を低減しやすく、欠陥に起因して発生するリーク電流や電流コラプスといった諸特性の改善が図れる。

[0189] なお、本実施の形態では、図４１の構成と図４６～図４８の構成を対比するようにバリア層を構成する材料について説明したが、他の実施の形態のバリア層をバリア層４ｂまたは４ｃと置き換えることで、本実施の形態のヘテロ接合電界効果型トランジスタ１３００～１３０２同様の効果を奏することは言うまでもない。

[0190] ＜実施の形態１４＞

以上説明した実施の形態１～１３のヘテロ接合電界効果型トランジスタは、特に着目すべき構成のみについて説明したが、トランジスタとして動作すれば、以下に示すような構成を採ることができる。

[0191] 基板としてチャネル層と異なる材料のＳｉＣまたはＳｉを用いる場合には、バッファ層が必要となるが、基板として、チャネル層と同一材料のＧａＮ

またはＡｌＧａＮまたはＡｌＩｎＧａＮを用いる場合には、バッファ層は必ずしも必要ではない。また、バッファ層は必ずしもノンドープとする必要はない。

[0192] また、基板上にチャネル層、バリア層、電子供給絶縁膜、ゲート絶縁膜の４要素が形成されていれば、実施の形態１～１３で説明した最低限の効果は得られ、ノーマリオフ動作と高耐圧動作の両立が実現される。

[0193] また、実施の形態１～１３のヘテロ接合電界効果型トランジスタは、トランジスタとして動作する最小限の半導体層しか記載していないが、トランジスタとして動作すれば、他の半導体層が形成されていても構わない。例えば、チャネル層の下側にチャネル層およびやバリア層とは組成が異なる窒化物半導体層が形成されていても構わない。

[0194] また、チャネル層およびバリア層以外の窒化物半導体層は、必ずしもノンドープである必要はなく、トランジスタ動作に支障がない量であればＳｉ、Ｍｇ（マグネシウム）、Ｆｅ（鉄）、ＣおよびＧｅ（ゲルマニウム）などの不純物が含まれていても構わない。

[0195] また、高濃度ｎ型不純物領域５および高濃度ｎ型不純物領域６にドーピングするｎ型不純物としては、Ｓｉ、Ｇｅ、酸素、および窒素空孔など、窒化物半導体においてｎ型のドーパントとして振舞う不純物であれば良い。

[0196] また、キャップ絶縁膜１０は、バリア層４、高濃度ｎ型不純物領域５、高濃度ｎ型不純物領域６、ソース電極７およびドレイン電極８等の上側に形成された構成となっているが、実施の形態１～１３に記載の電界緩和構造の形成および熱処理時のバリア層表面の保護といった目的を達するための領域に形成されていれば、その他の領域には形成されていても、形成されていなくても構わない。例えば、ソース電極７およびドレイン電極８の上側には、キャップ絶縁膜１０は形成されていても、形成されていなくても、どちらでも構わない。

[0197] また、SiO_bの電子供給絶縁膜１１は、ドリフト領域Ｂのバリア層４上に形成されてさえいれば、その他の領域には、形成されていても、形成されて

いなくても構わない。例えば、ソース電極７およびドレイン電極８の上側には、形成されていても、形成されていなくても、どちらでも構わない。

[0198] また、SiO_bの電子供給絶縁膜１１は、必ずしも１層で構成される必要はなく、バリア層４と接する絶縁膜が、SiO_bで構成される電子供給絶縁膜であれば、その上に$AlGa_cO_aN_b$、AlO_aN_b、AlO_a、SiO_2、Si_3N_4等の材料の異なる複数の層が堆積された構成でも構わない。

[0199] また、ゲート絶縁膜１２ａは、少なくともゲート電極１３の下側の領域に形成されていれば良く、その他の領域には、形成されていても、形成されていなくても構わない。例えば、ソース電極７およびドレイン電極８の上側には、形成されていても、形成されていなくても、どちらでも構わない。

[0200] また、ゲート絶縁膜１２ａは必ずしも１層で構成される必要はなく、バリア層４と接する絶縁膜が、上記の材料で構成される絶縁膜であれば、その上に$AlGa_cO_aN_b$、AlO_aN_b、AlO_a、SiO_2、Si_3N_4等の材料が異なる複数の層が堆積された構成でもかまわない。

[0201] また、SiN_dの被覆絶縁膜１４ａは、ドリフト領域Ｂのバリア層４上、もしくは高濃度ｎ型不純物領域５からゲート電極に至る領域のゲート絶縁膜１２上に形成されてさえいれば、その他の領域には、形成されていても、形成されていなくても構わない。例えば、ソース電極７およびドレイン電極８の上側には、形成されていても、形成されていなくても、どちらでも構わない。

[0202] また、SiN_dの被覆絶縁膜１４ａは、必ずしも１層で構成される必要はなく、ゲート絶縁膜１２と接する絶縁膜が、SiO_bで構成される電子供給絶縁膜であれば、その上に$AlGa_cO_aN_b$、AlO_aN_b、AlO_a、SiO_2、Si_3N_4等の材料の異なる複数の層が堆積された構成でも構わない。

[0203] また、上記では、トランジスタとして動作する必要最小限の構成しか開示していないが、最終的には、保護膜、フィールドプレート電極、配線、エアブリッジ、バイアホール等が形成されることで半導体装置として用いられる。

[0204] この発明は詳細に説明されたが、上記した説明は、すべての局面において、例示であって、この発明がそれに限定されるものではない。例示されていない無数の変形例が、この発明の範囲から外れることなく想定され得るものと解される。

[0205] なお、本発明は、その発明の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略することが可能である。

請求の範囲

[請求項1] 基板と、

前記基板上に設けられた第１の窒化物半導体で構成されるチャネル層と、

前記チャネル層の上層部に設けられ、前記第１の窒化物半導体のバンドギャップよりも大きなバンドギャップを有する第２の窒化物半導体で構成されるバリア層と、

前記チャネル層の前記上層部に、前記バリア層を間に挟んで互いに間隔を開けて設けられたｎ型の第１の不純物領域およびｎ型の第２の不純物領域と、

前記第１の不純物領域および前記第２の不純物領域の上にそれぞれ設けられたソース電極およびドレイン電極と、

少なくとも前記バリア層の前記ソース電極側の端縁部を除く領域と接するように設けられた絶縁膜と、

前記バリア層の前記端縁部に接すると共に、前記バリア層の前記端縁部を除く前記領域に接して設けられた前記絶縁膜を少なくとも覆うように設けられたゲート絶縁膜と、

前記絶縁膜上の一部の領域上と、前記バリア層の前記端縁部の領域上を覆うように、前記ゲート絶縁膜上に設けられたゲート電極と、を備え、

前記バリア層の前記端縁部は、

前記第２の不純物領域とは離間した位置に設けられ、

前記バリア層における前記端縁部の前記チャネル層と前記バリア層の界面に発生する２次元電子ガスによるシート抵抗は１０ｋΩ／ｓｑ以上である、半導体装置。

[請求項2] 前記バリア層の前記絶縁膜と接する領域の前記チャネル層と前記バリア層の界面に発生する前記２次元電子ガスによるシート抵抗は１０ｋΩ／ｓｑ以下である、請求項１記載の半導体装置。

[請求項3] 前記チャネル層は、窒化アルミニウムインジウムガリウムで構成され、

前記バリア層は、窒化アルミニウムガリウムで構成され、

前記絶縁膜はシリコン酸化膜で構成され、

前記ゲート絶縁膜は、酸化アルミニウムまたは酸窒化アルミニウムガリウムで構成される、請求項１記載の半導体装置。

[請求項4] 前記チャネル層および前記バリア層は、

これらを構成する主要元素以外の元素のドーピング量が、少なくとも１×１０^{17}ｃｍ$^{-3}$以下である、請求項１記載の半導体装置。

[請求項5] 前記ゲート絶縁膜は、

前記バリア層の前記端縁部に接すると共に、前記第１の不純物領域の前記バリア層側の端縁部にも接するように設けられる、請求項１記載の半導体装置。

[請求項6] 前記絶縁膜は、

前記第１の不純物領域の一部の領域に接するようにも形成され、

前記ゲート絶縁膜は、

前記第１の不純物領域の前記バリア層側の端縁部から、前記第１の不純物領域の前記一部の領域に接する前記絶縁膜を覆うように設けられ、

前記ゲート電極は、

前記第１の不純物領域の前記一部の領域に接する前記絶縁膜を覆う前記ゲート絶縁膜を覆うようにも設けられる、請求項１記載の半導体装置。

[請求項7] 少なくとも、前記第１の不純物領域の一部に接するように設けられたキャップ絶縁膜を備え、

前記絶縁膜は、

前記キャップ絶縁膜上にも設けられ、その上に前記ゲート絶縁膜および前記ゲート電極が設けられ、

前記キャップ絶縁膜は、

窒化シリコン、窒化アルミニウムおよび窒化ボロンの何れかで構成される、請求項１記載の半導体装置。

[請求項8] 前記キャップ絶縁膜は、

前記ソース電極および前記ドレイン電極に接するようにも形成される、請求項７記載の半導体装置。

[請求項9] 前記チャネル層は、

窒化アルミニウムガリウムで構成される、請求項１記載の半導体装置。

[請求項10] 前記チャネル層は、

窒化ガリウムで構成される、請求項１記載の半導体装置。

[請求項11] 前記バリア層は、

窒化アルミニウムガリウムで構成される、請求項１記載の半導体装置。

[請求項12] 前記ゲート絶縁膜は、

酸化アルミニウムで構成される、請求項１記載の半導体装置。

[請求項13] 少なくとも前記バリア層の前記端縁部を除く前記領域の上方の前記ゲート絶縁膜上を覆うように設けられた被覆絶縁膜をさらに備え、

前記被覆絶縁膜は、窒化シリコン、窒化アルミニウムおよび窒化ボロンの何れかで構成される、請求項１から請求項１２の何れか１項に記載の半導体装置。

[請求項14] （ａ）基板上に第１の窒化物半導体で構成されるチャネル層を形成する工程と、

（ｂ）前記チャネル層の上層部に、前記第１の窒化物半導体のバンドギャップよりも大きなバンドギャップを有する第２の窒化物半導体で構成されるバリア層を形成する工程と、

（ｃ）前記チャネル層の前記上層部に、前記バリア層を間に挟んで互いに間隔を開けてｎ型の第１の不純物領域およびｎ型の第２の不純

物領域を形成する工程と、

（ｄ）前記第１の不純物領域および前記第２の不純物領域の上に、それぞれソース電極およびドレイン電極を形成する工程と、

（ｅ）少なくとも前記バリア層の前記ソース電極側の端縁部を除く領域と接するように絶縁膜を形成し、７００～９００℃の熱処理を行う工程と、

（ｆ）少なくとも前記バリア層の前記端縁部を露出させる工程と、

（ｇ）前記工程（ｅ）で露出した前記バリア層の前記端縁部に接すると共に、前記バリア層の前記端縁部を除く前記領域に接して形成された前記絶縁膜を少なくとも覆うようにゲート絶縁膜を形成する工程と、

（ｈ）前記絶縁膜上の一部の領域上と、前記バリア層の前記端縁部の領域上を覆うように、前記ゲート絶縁膜上にゲート電極を形成する工程と、を備え、

前記工程（ｅ）、（ｆ）、（ｇ）および（ｈ）は、この順に実施される、半導体装置の製造方法。

[請求項15] 前記工程（ｅ）の前に、

少なくとも前記バリア層の前記ソース電極側の前記端縁部を除く前記領域を覆うように、キャップ絶縁膜形成する工程を備え、

前記キャップ絶縁膜は、窒化シリコン、窒化アルミニウムおよび窒化ボロンの何れかで構成される、請求項１４記載の半導体装置の製造方法。

[請求項16] 前記工程（ｈ）の後、

（ｉ）少なくとも前記バリア層の前記端縁部を除く前記領域の上方の前記ゲート絶縁膜上を覆うように、被覆絶縁膜を形成する工程と、

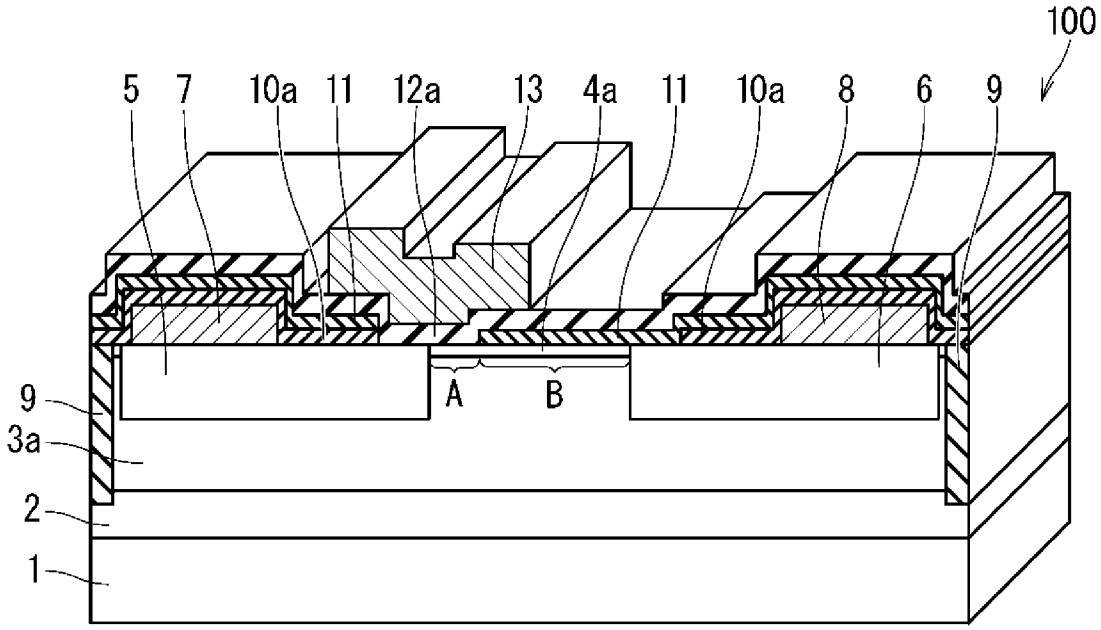
前記工程（ｉ）の後、

少なくとも３００℃の熱処理を行う工程と、をさらに備え、

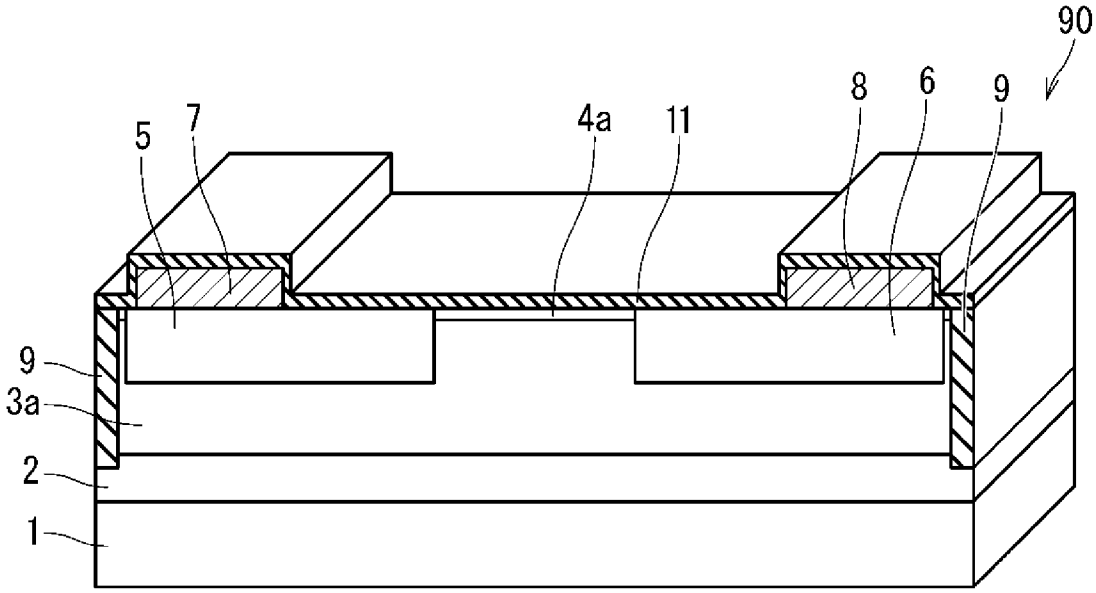
前記被覆絶縁膜は、窒化シリコン、窒化アルミニウムおよび窒化ボ

ロンの何れかで構成される、請求項１４または請求項１５記載の半導体装置の製造方法。

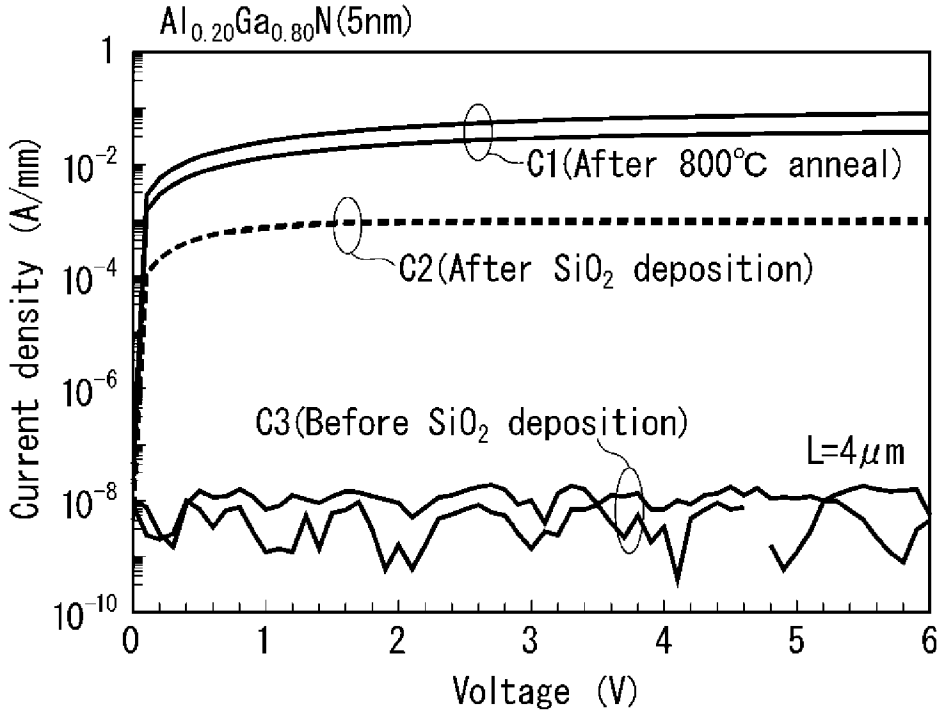
[図1]



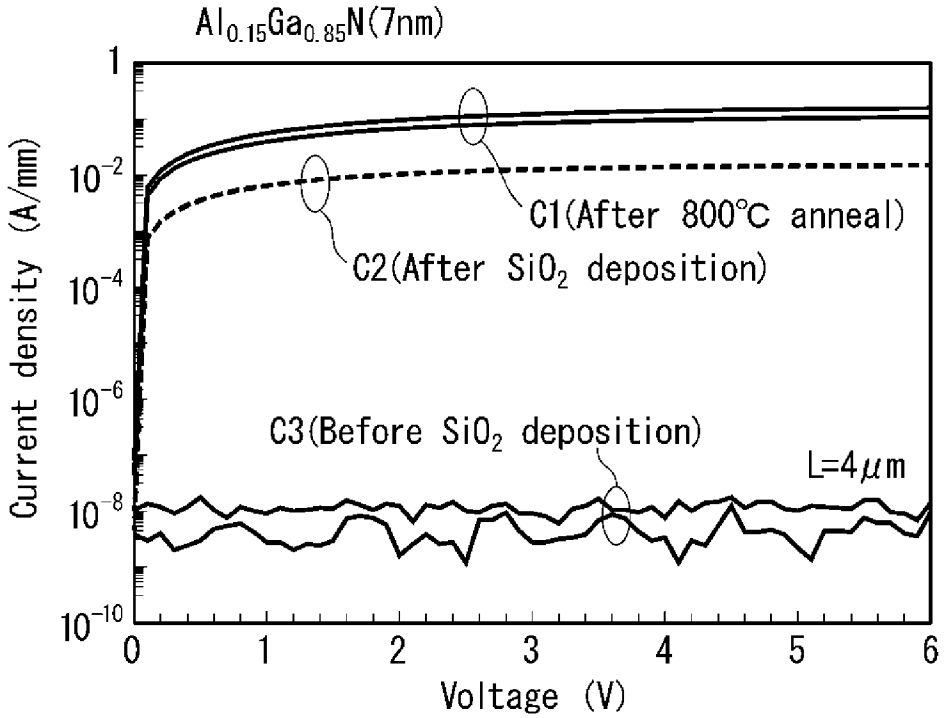
[図2]



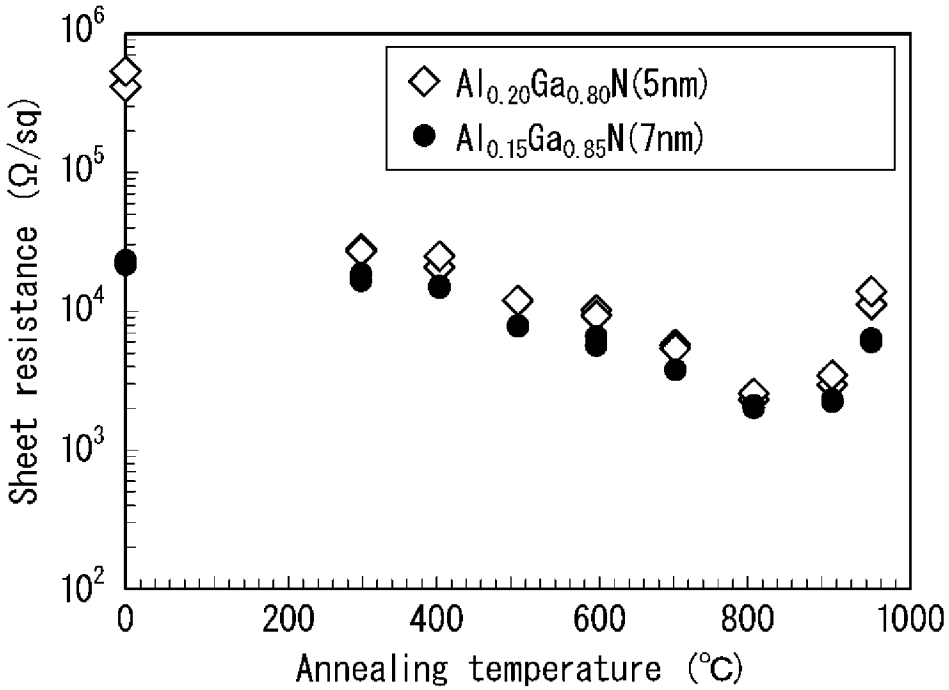
[図3]


$Al_{0.20}Ga_{0.80}N$(5nm)
Current density (A/mm)
Voltage (V)
C1(After 800℃ anneal)
C2(After SiO_2 deposition)
C3(Before SiO_2 deposition)
L=4μm

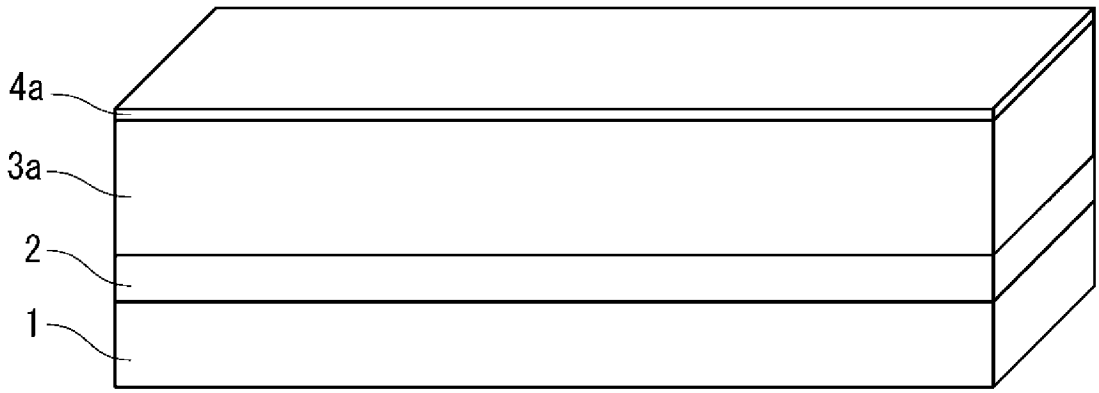
[図4]


$Al_{0.15}Ga_{0.85}N$(7nm)
Current density (A/mm)
Voltage (V)
C1(After 800℃ anneal)
C2(After SiO_2 deposition)
C3(Before SiO_2 deposition)
L=4μm

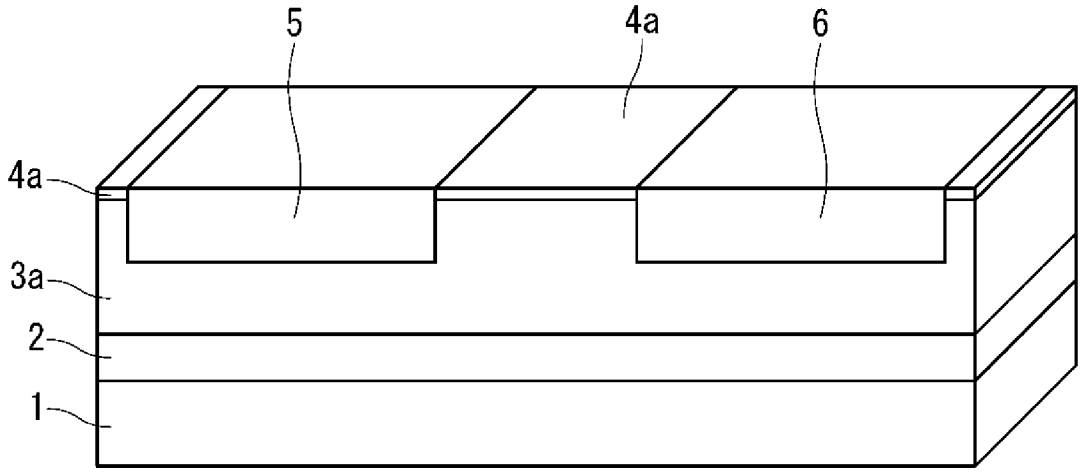
[図5]


10^6
10^5
10^4
10^3
10^2
Sheet resistance (Ω/sq)
$Al_{0.20}Ga_{0.80}N$(5nm)
$Al_{0.15}Ga_{0.85}N$(7nm)
0
200
400
600
800
1000
Annealing temperature (℃)

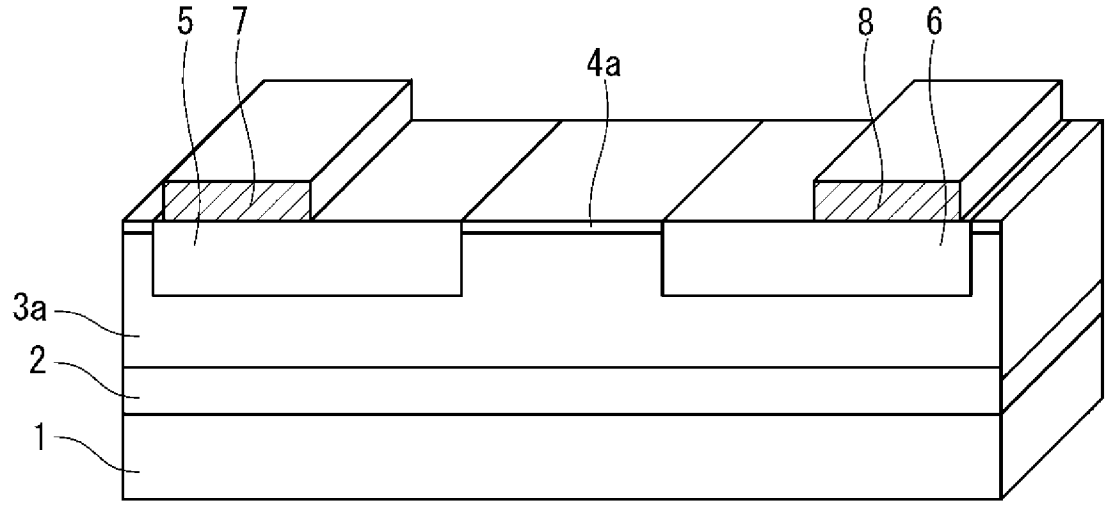
[図6]


4a
3a
2
1

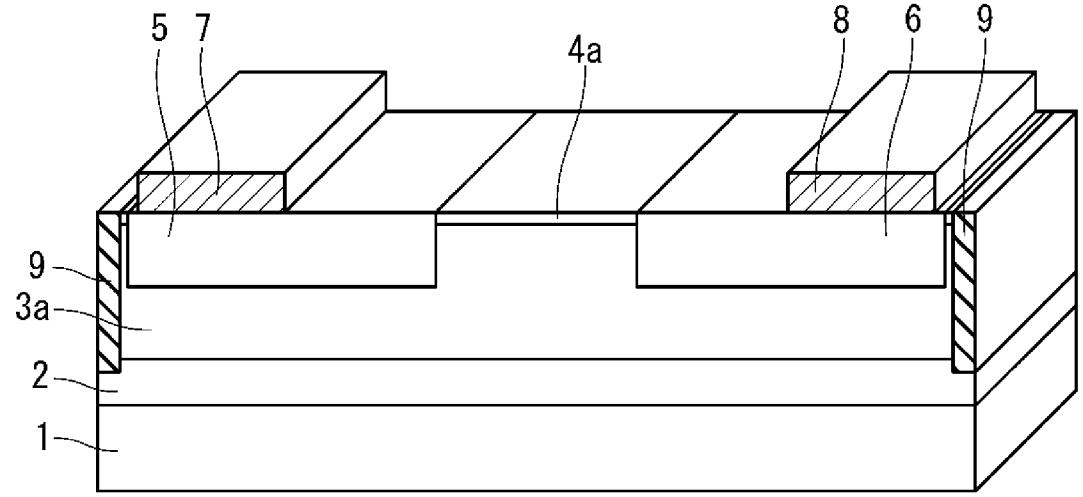
[図7]


5
4a
6
4a
3a
2
1

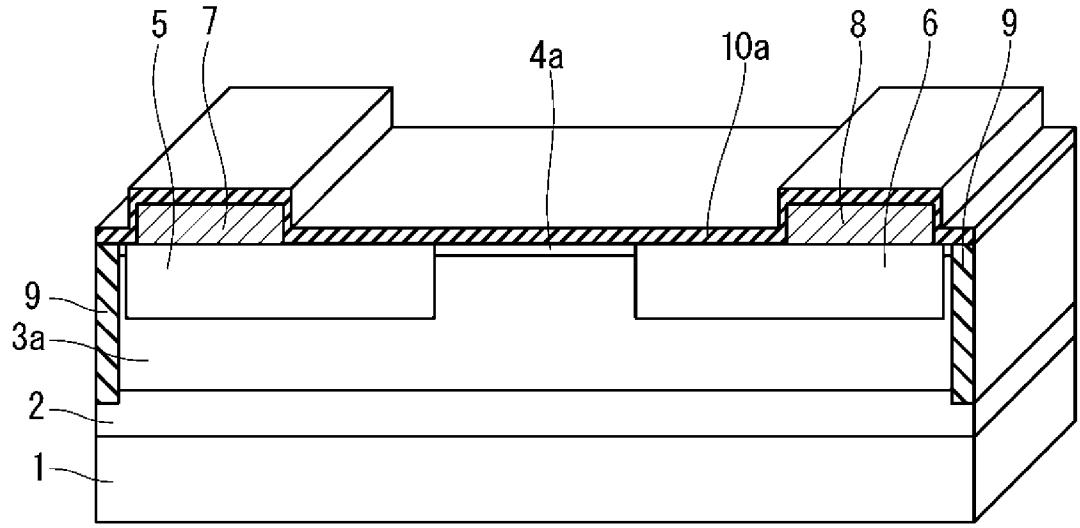
[図8]



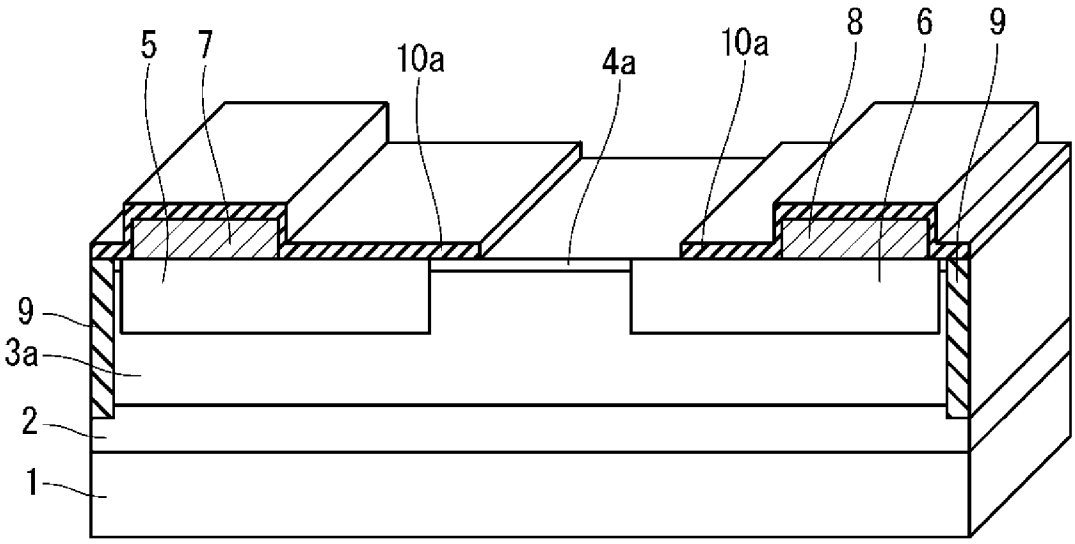
[図9]



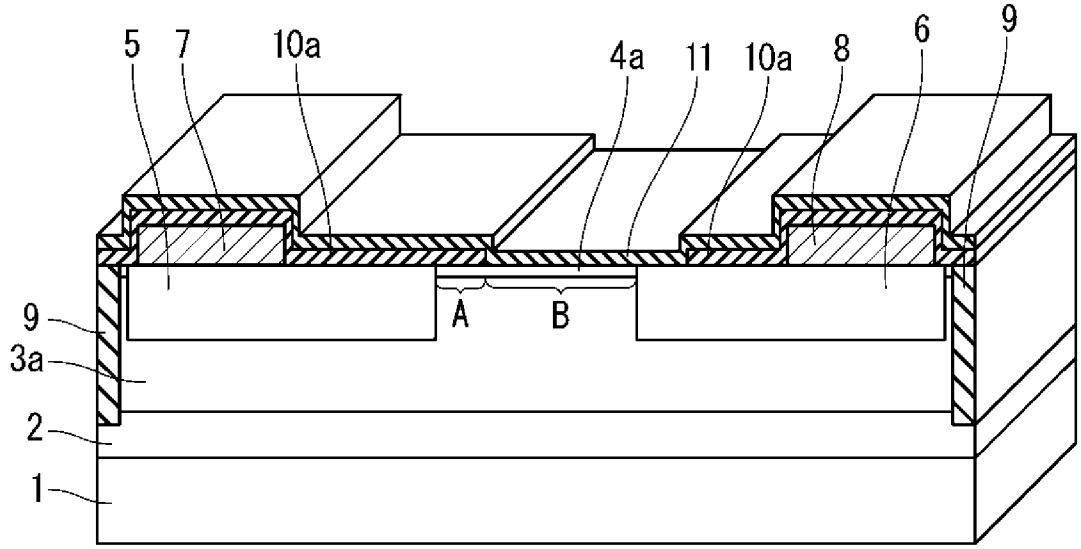
[図10]



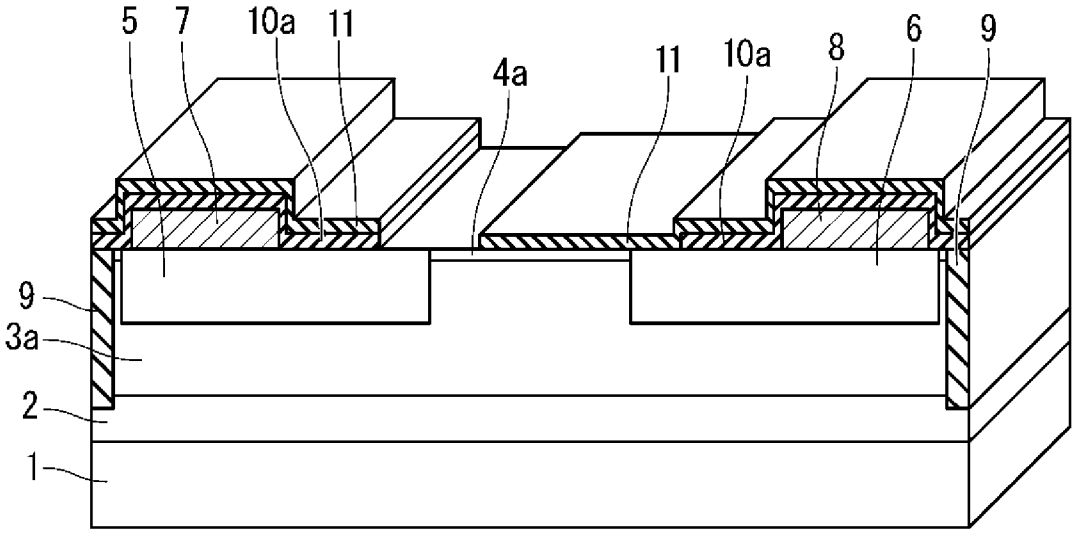
[図11]


5
7
10a
4a
10a
8
6
9
9
3a
2
1

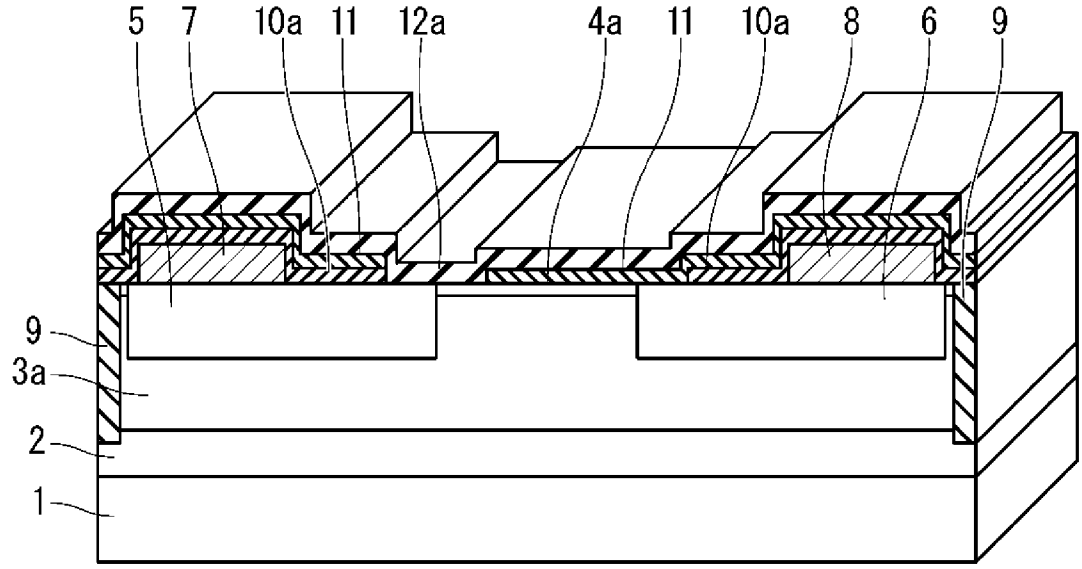
[図12]


5
7
10a
4a
11
10a
8
6
9
A
B
9
3a
2
1

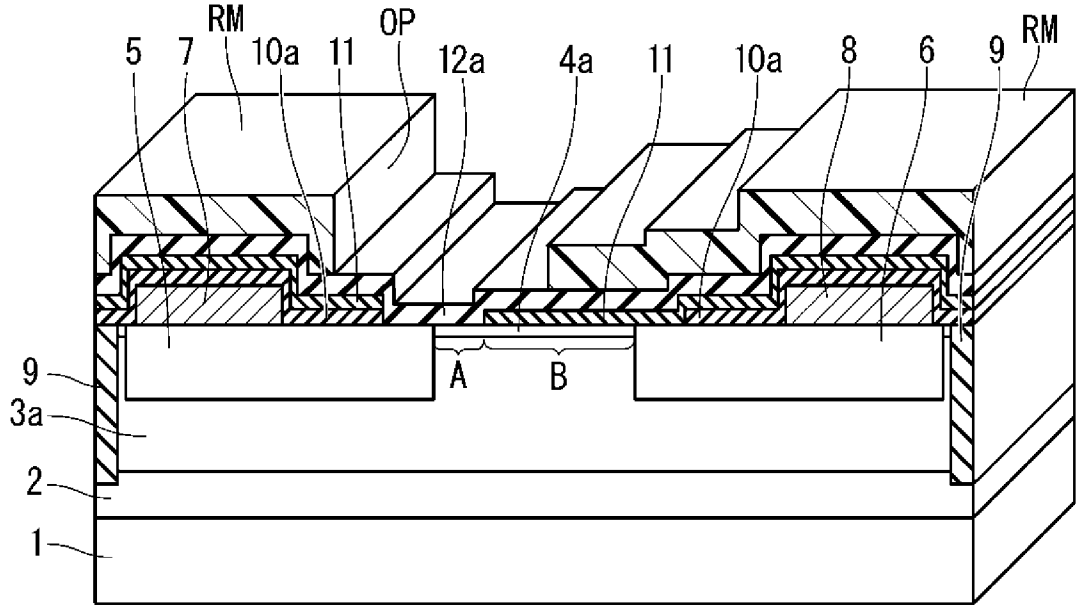
[図13]


5
7
10a
11
4a
11
10a
8
6
9
9
3a
2
1

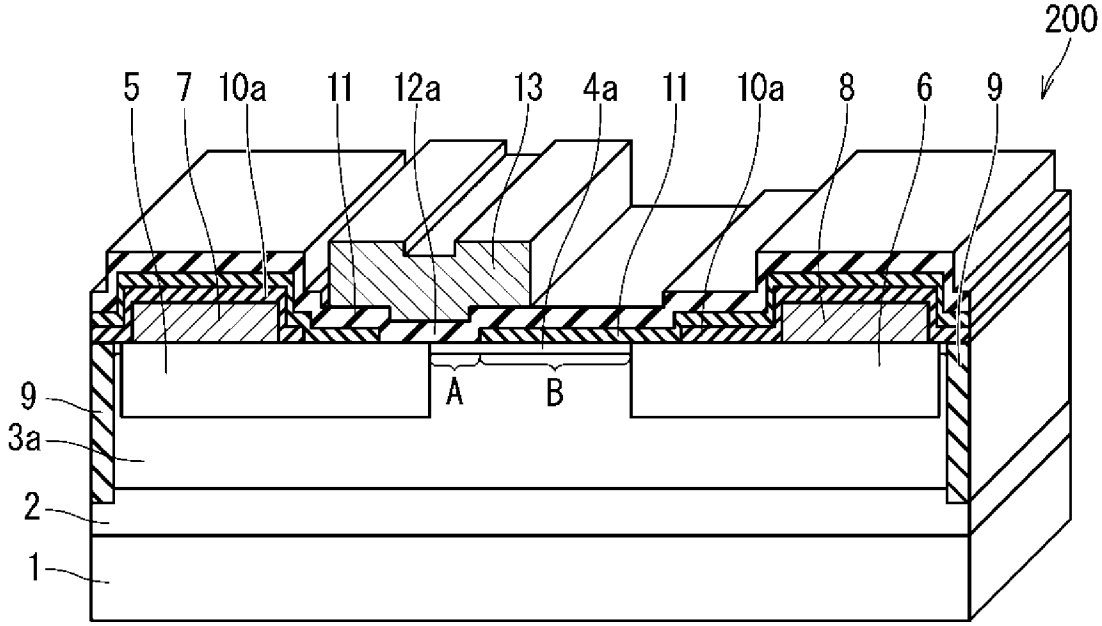
[図14]


5
7
10a
11
12a
4a
11
10a
8
6
9
9
3a
2
1

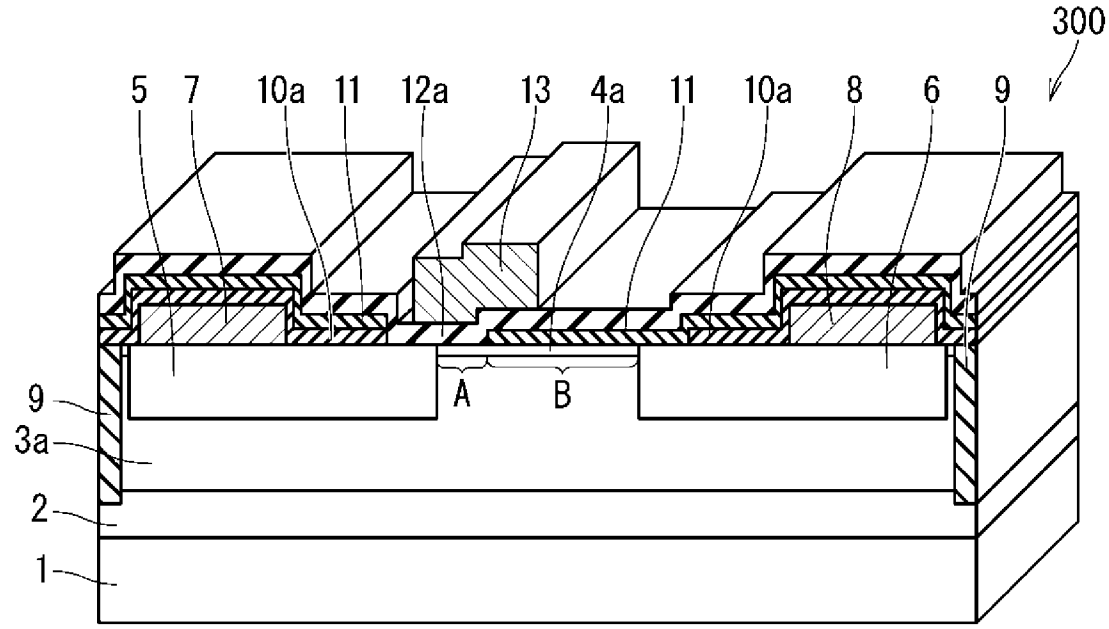
[図15]


RM
OP
RM
5
7
10a
11
12a
4a
11
10a
8
6
9
A
B
9
3a
2
1

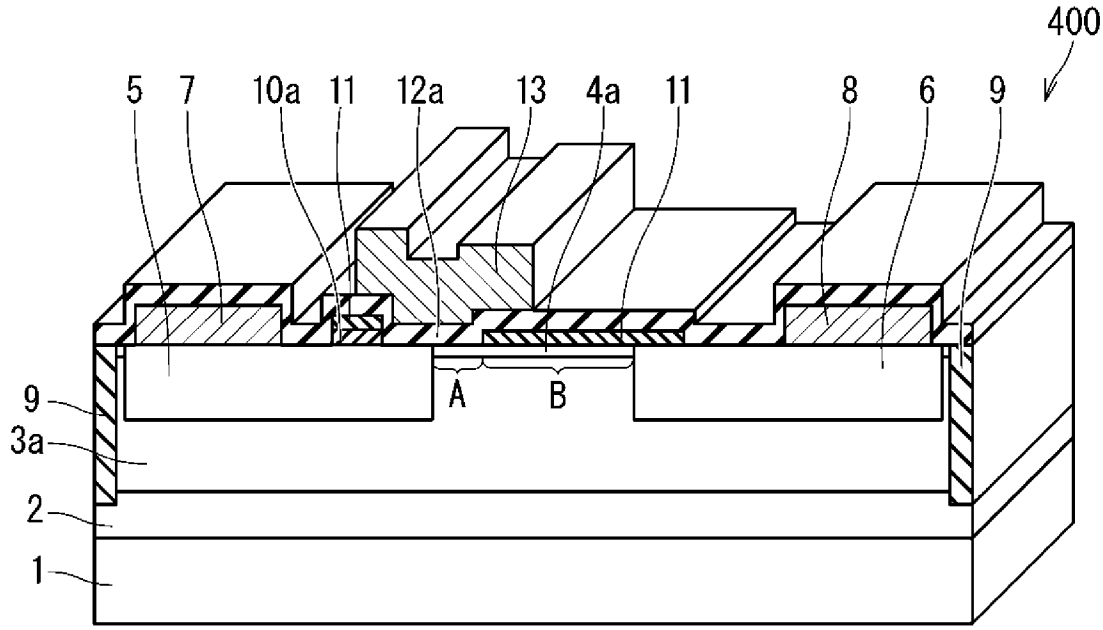
[図16]


200
5
7
10a
11
12a
13
4a
11
10a
8
6
9
A
B
9
3a
2
1

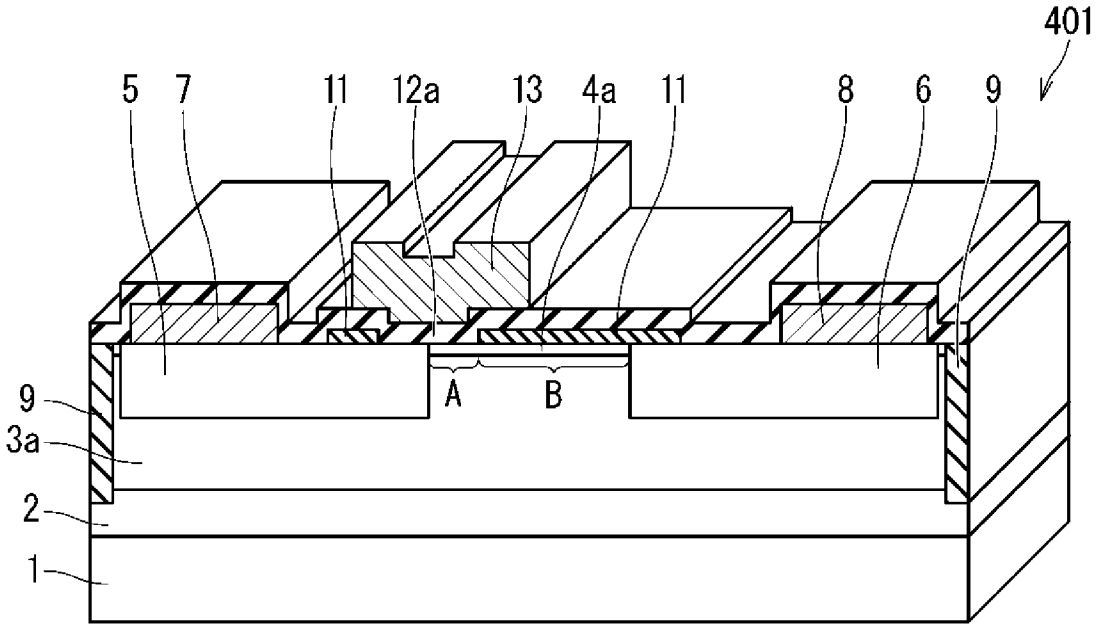
[図17]


300
5
7
10a
11
12a
13
4a
11
10a
8
6
9
A
B
9
3a
2
1

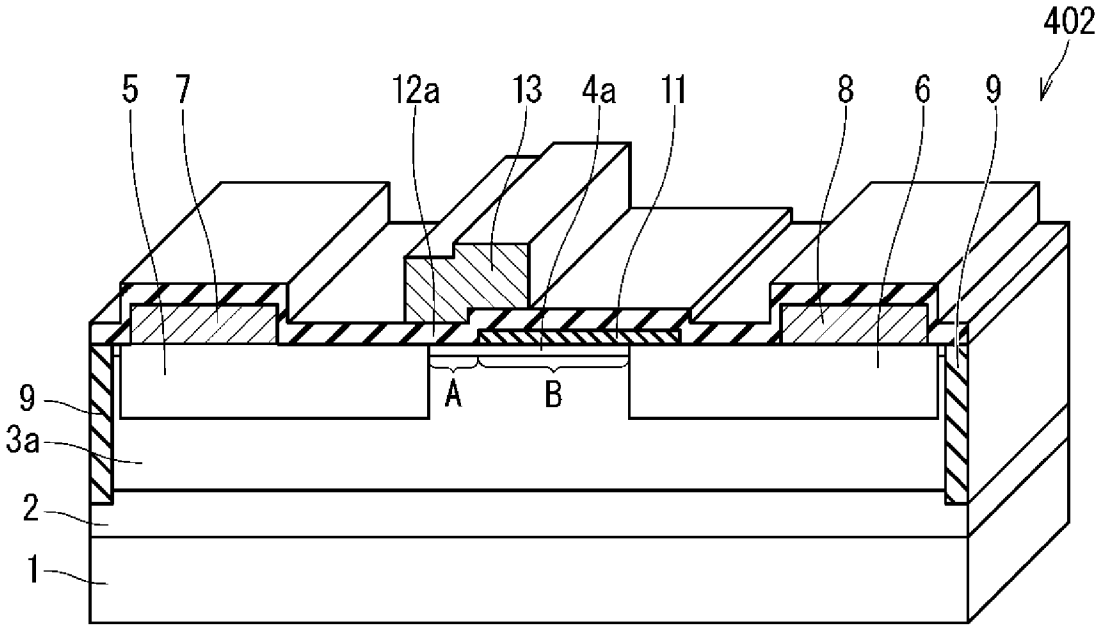
[図18]


400
5
7
10a
11
12a
13
4a
11
8
6
9
A
B
9
3a
2
1

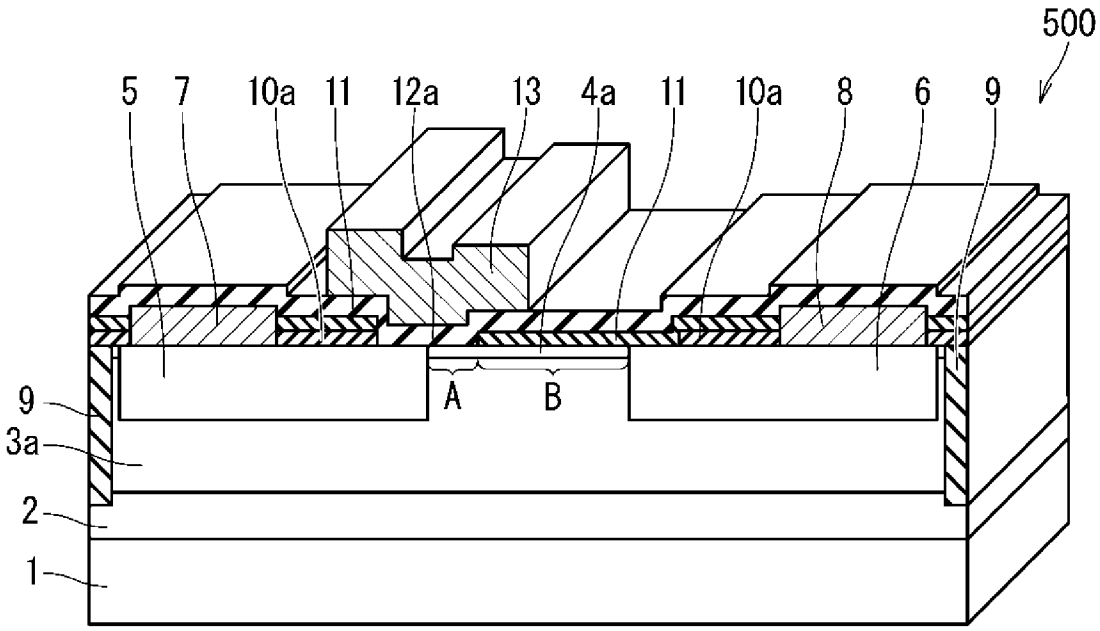
[図19]


401
5
7
11
12a
13
4a
11
8
6
9
A
B
9
3a
2
1

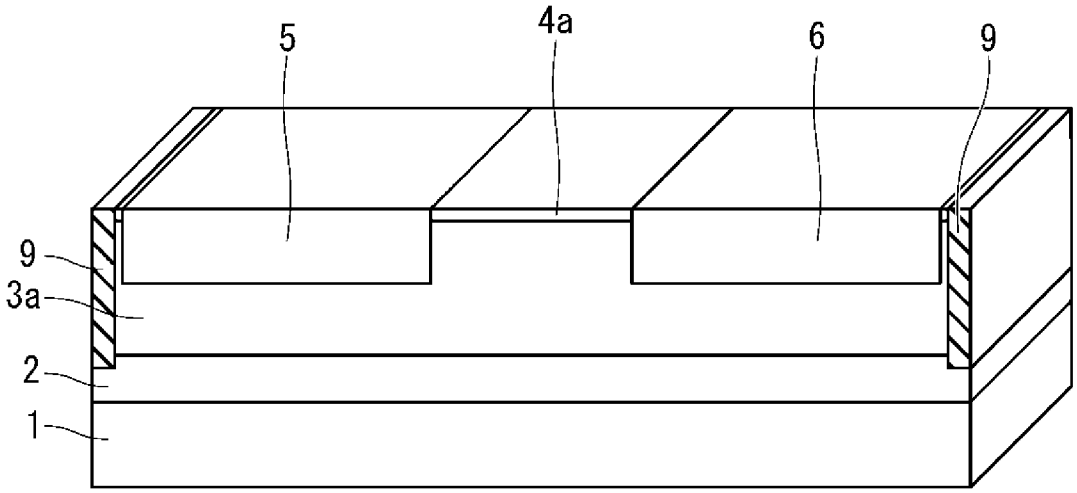
[図20]


402
5
7
12a
13
4a
11
8
6
9
A
B
9
3a
2
1

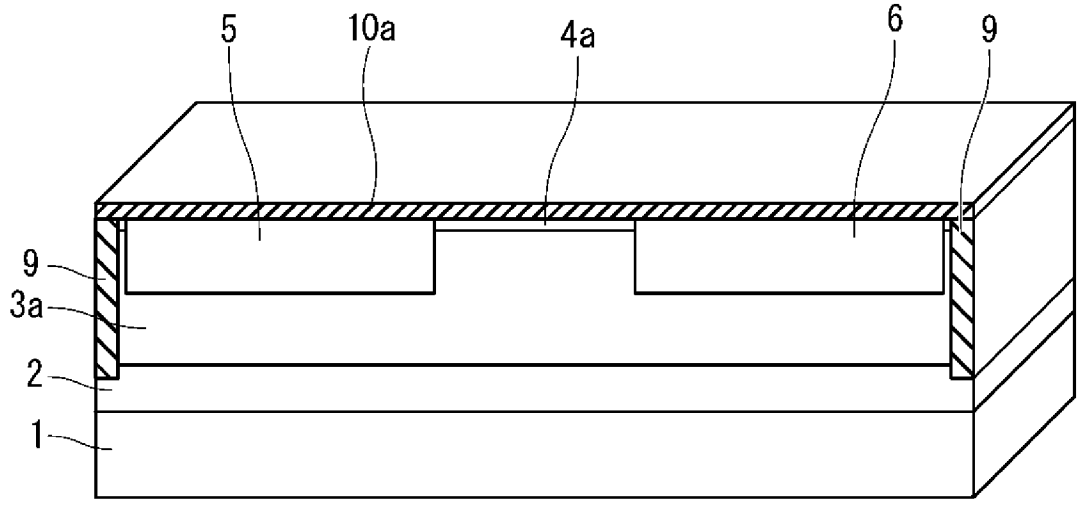
[図21]


500
5
7
10a
11
12a
13
4a
11
10a
8
6
9
A
B
9
3a
2
1

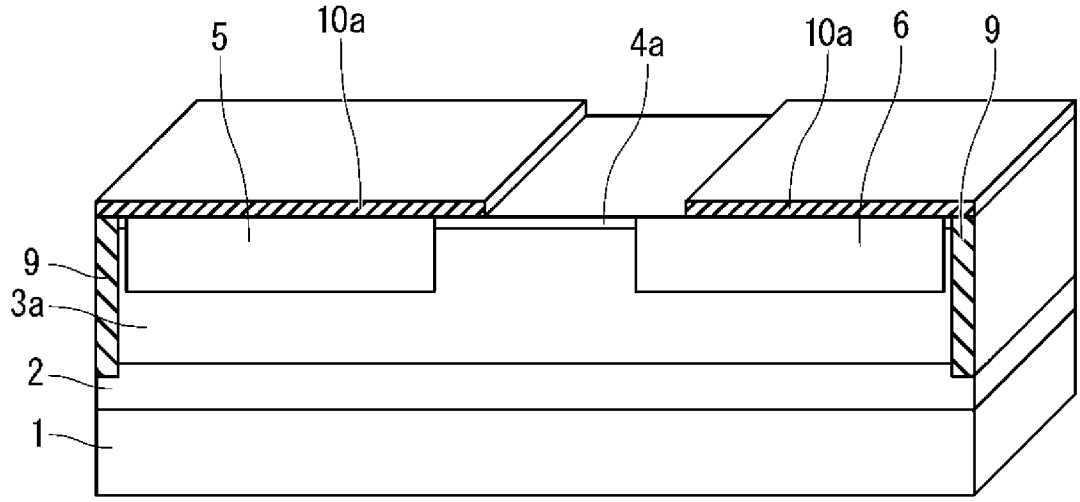
[図22]


5
4a
6
9
9
3a
2
1

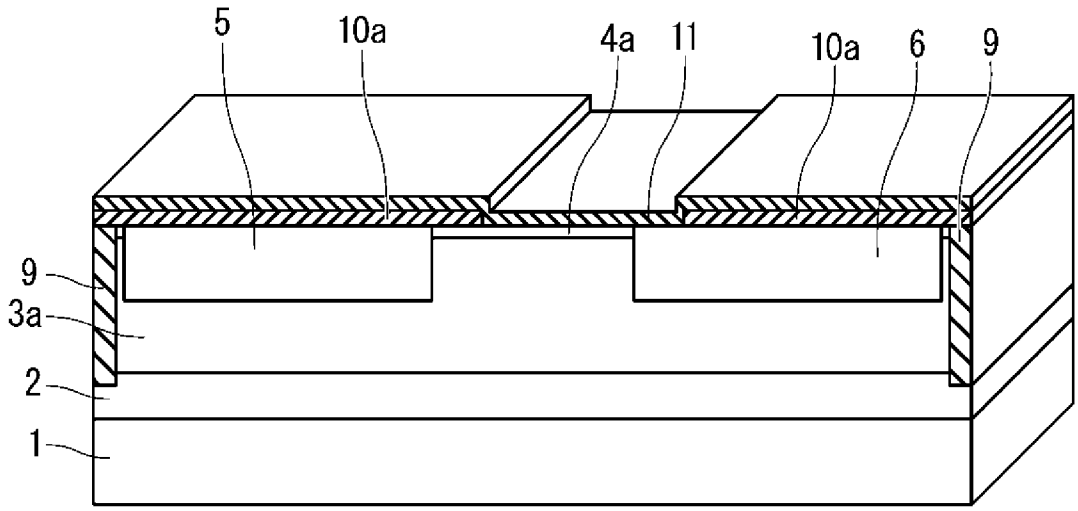
[図23]


5
10a
4a
6
9
9
3a
2
1

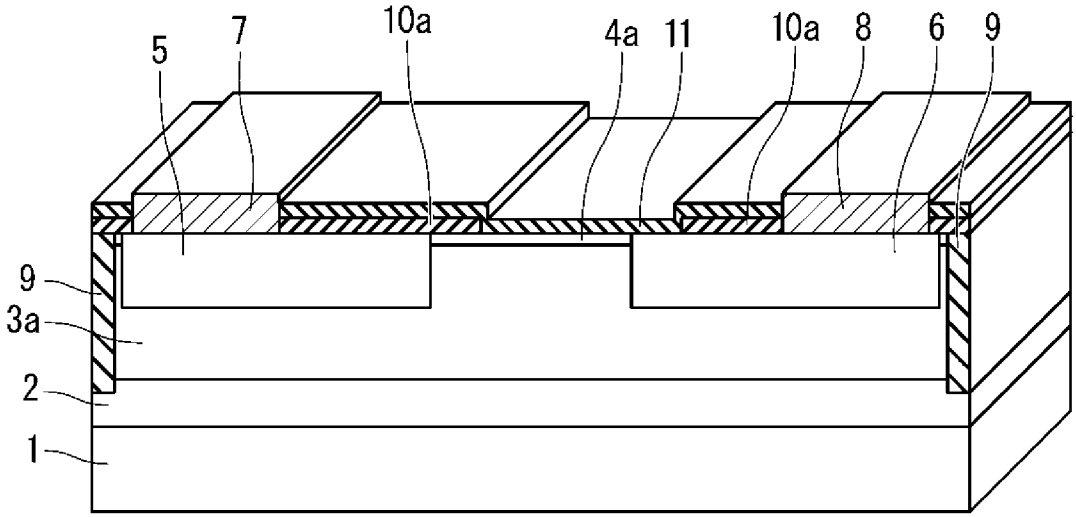
[図24]


5
10a
4a
10a
6
9
9
3a
2
1

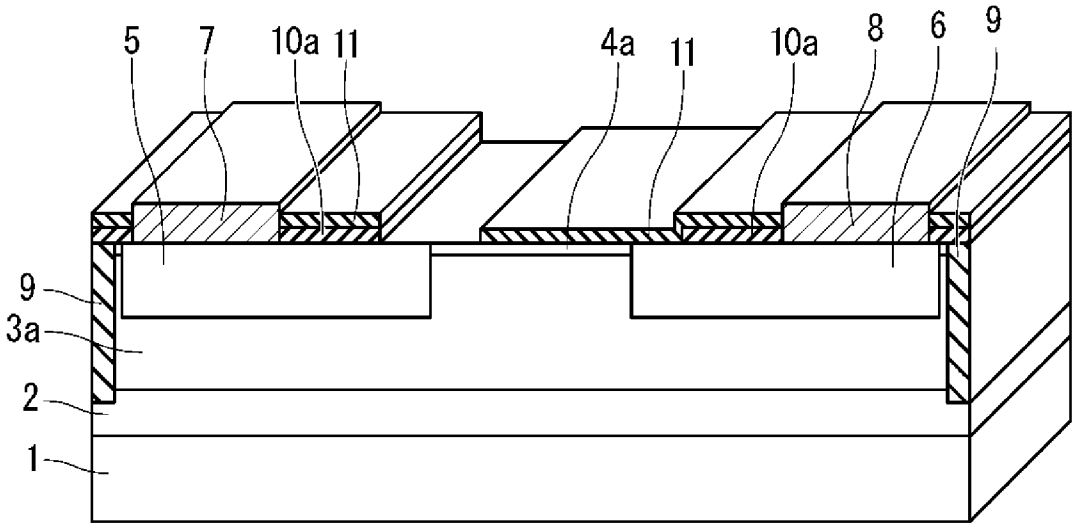
[図25]


5
10a
4a
11
10a
6
9
9
3a
2
1

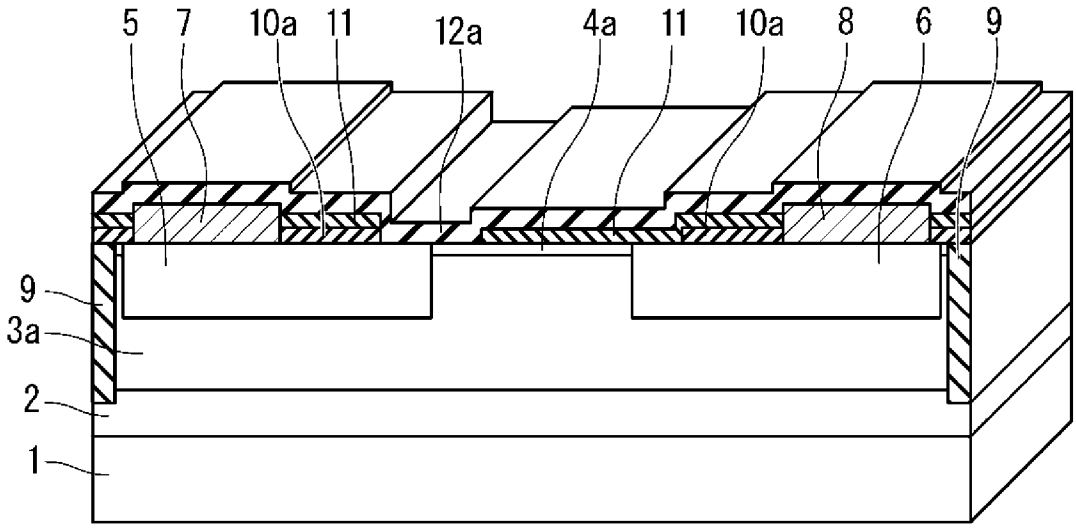
[図26]


5
7
10a
4a
11
10a
8
6
9
9
3a
2
1

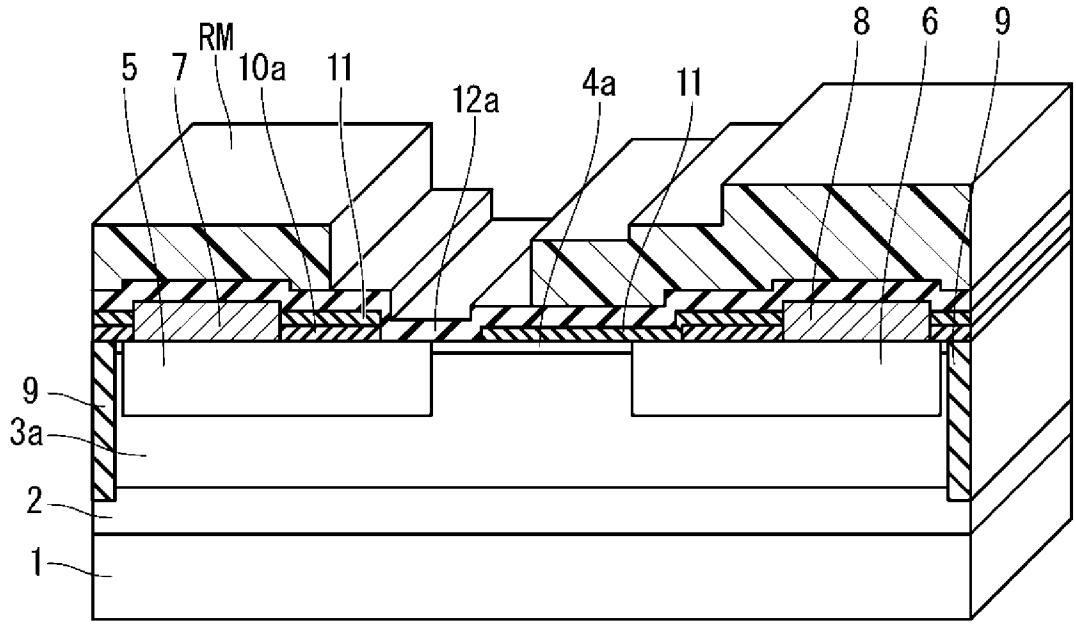
[図27]


5
7
10a
11
4a
11
10a
8
6
9
9
3a
2
1

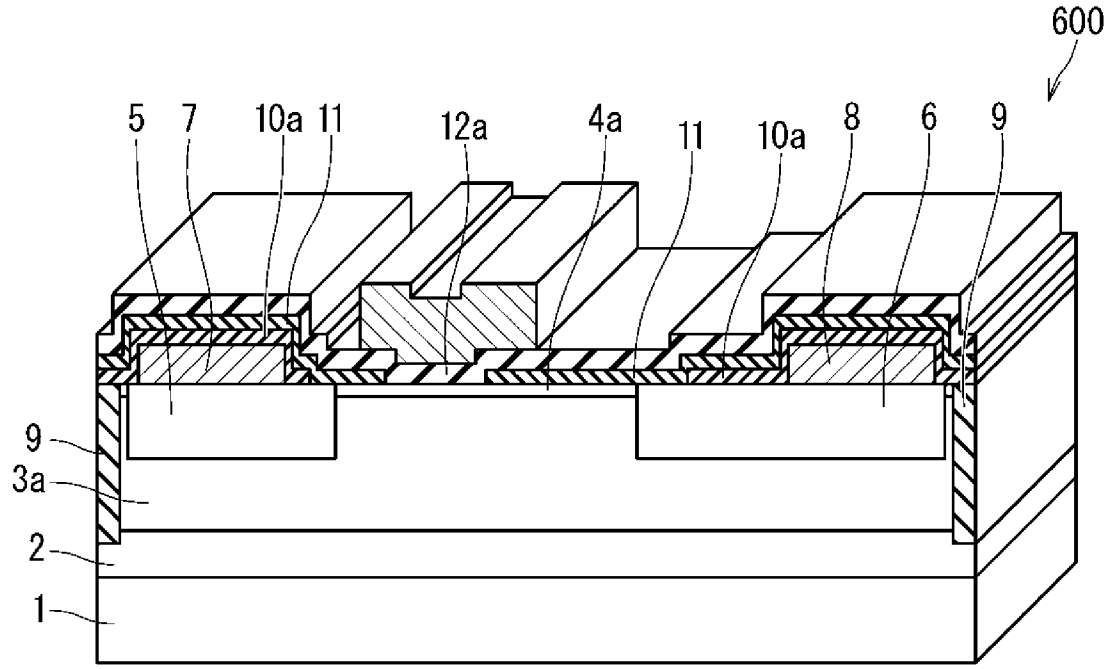
[図28]


5
7
10a
11
12a
4a
11
10a
8
6
9
9
3a
2
1

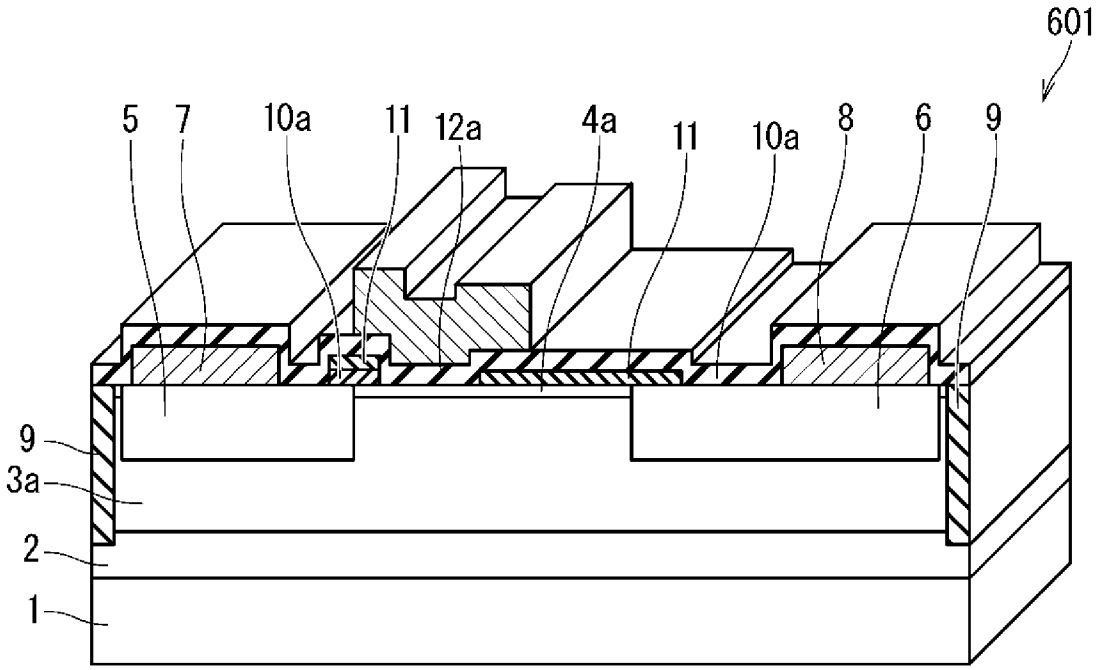
[図29]


RM
5
7
10a
11
12a
4a
11
8
6
9
9
3a
2
1

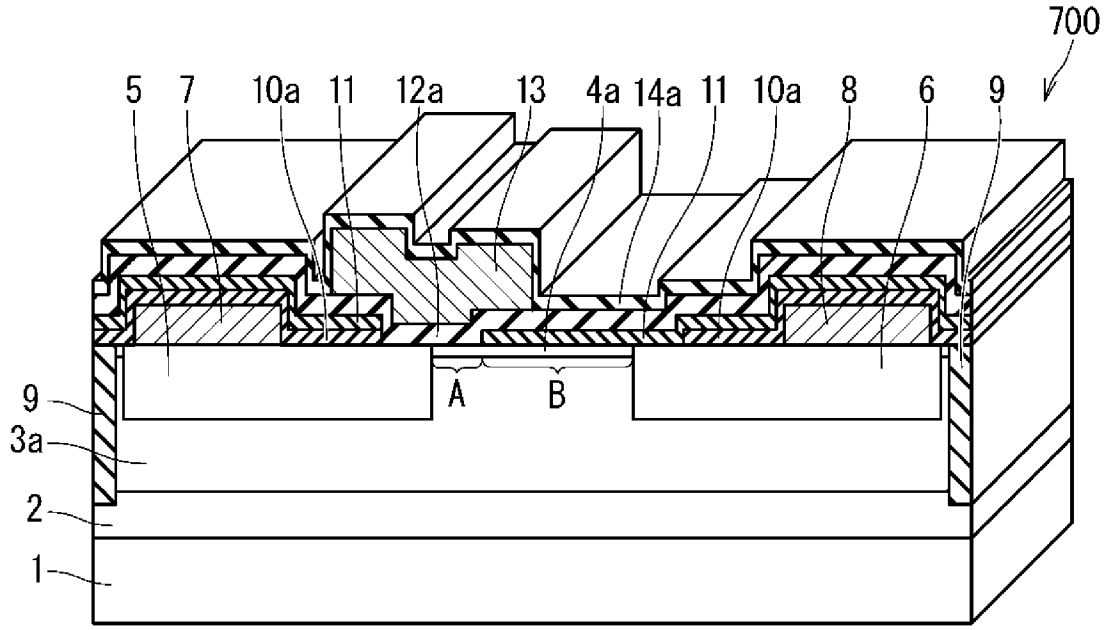
[図30]


600
5
7
10a
11
12a
4a
11
10a
8
6
9
9
3a
2
1

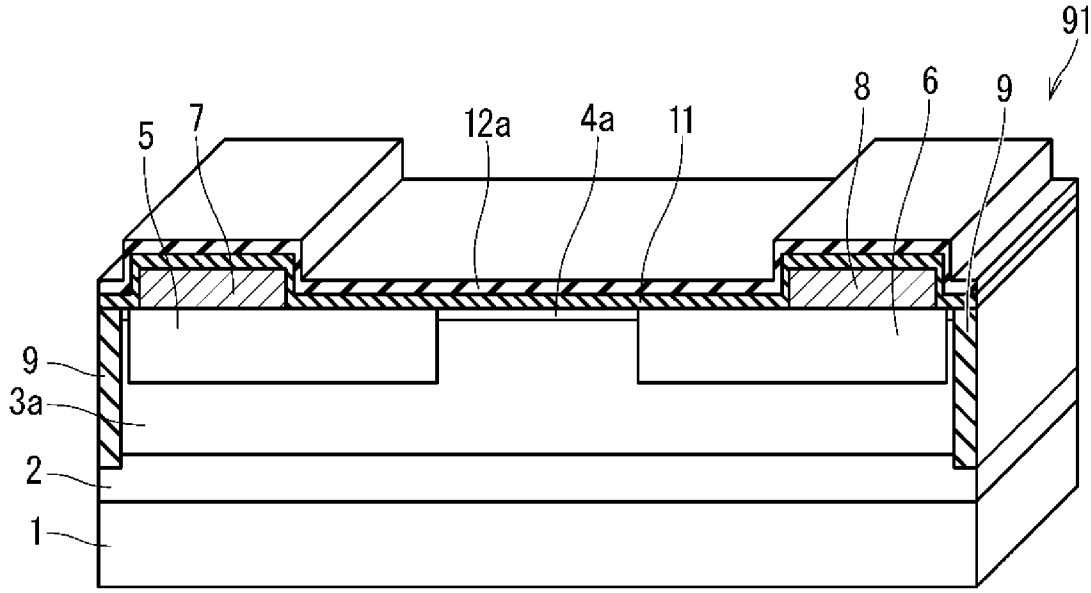
[図31]


601
5
7
10a
11
12a
4a
11
10a
8
6
9
9
3a
2
1

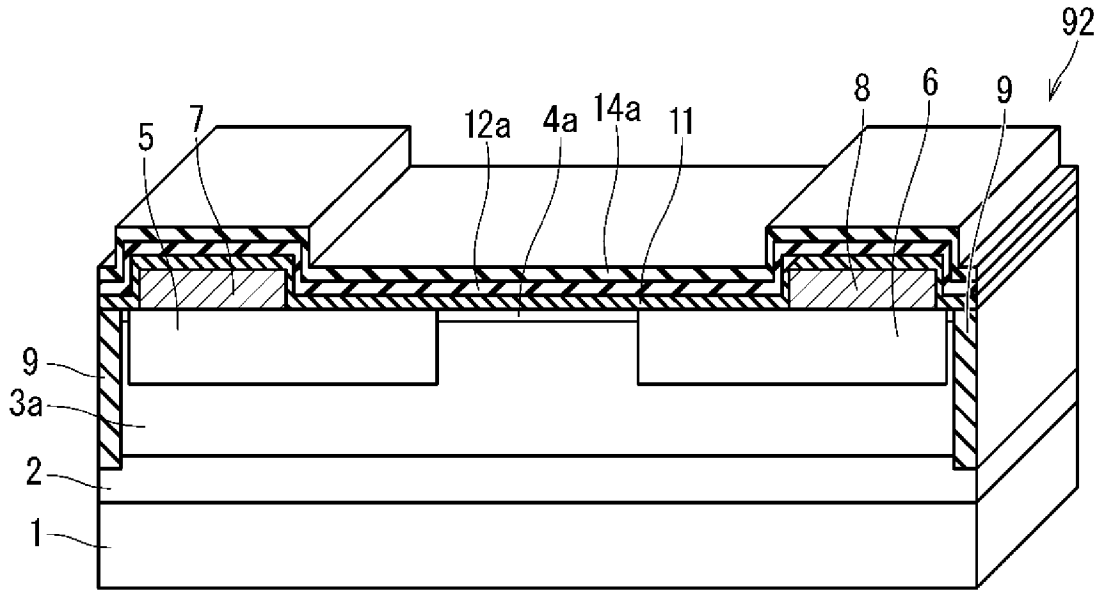
[図32]


700
5
7
10a
11
12a
13
4a
14a
11
10a
8
6
9
A
B
9
3a
2
1

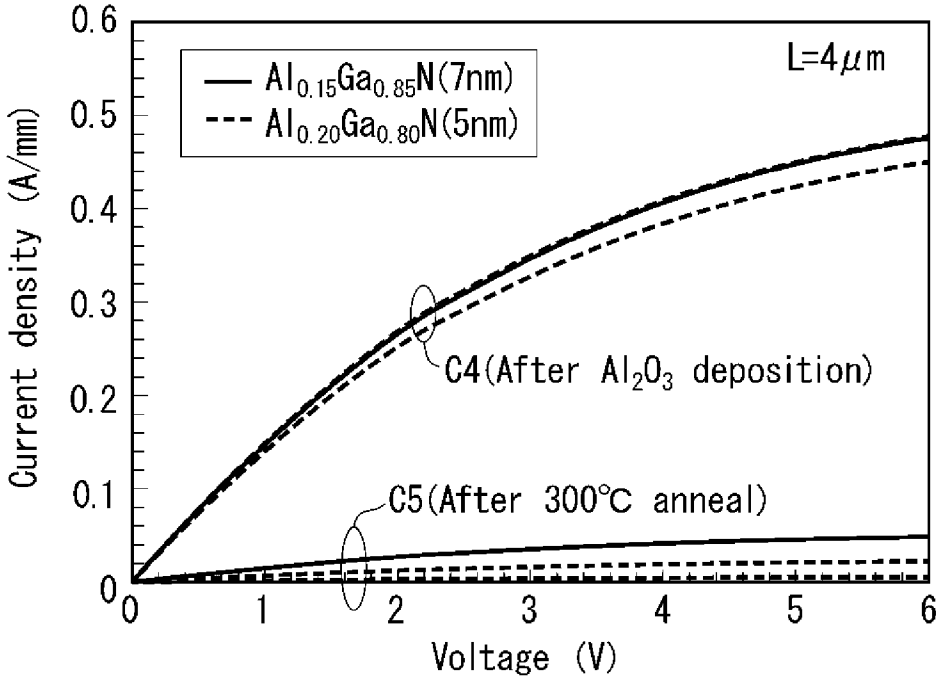
[図33]


91
8
6
9
5
7
12a
4a
11
9
3a
2
1

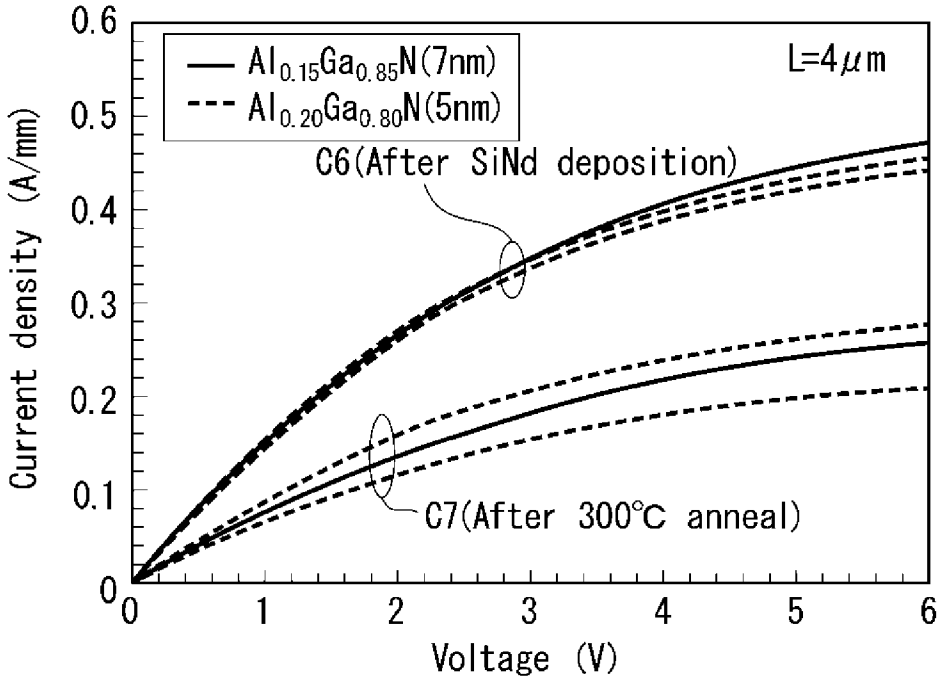
[図34]


92
8
6
9
5
7
12a
4a
14a
11
9
3a
2
1

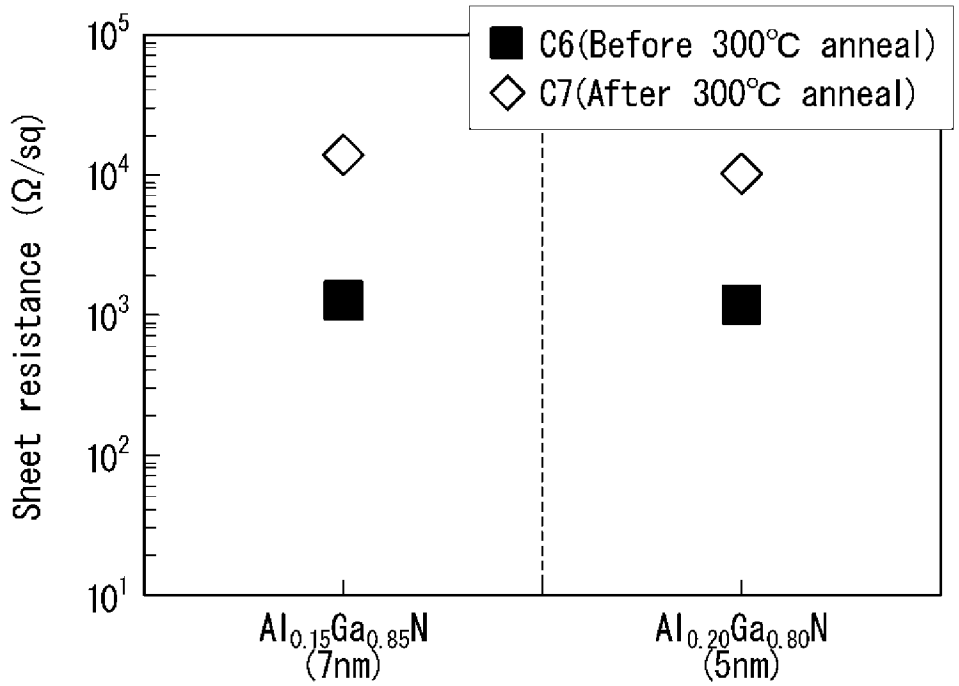
[図35]


Al0.15Ga0.85N(7nm)
Al0.20Ga0.80N(5nm)
L=4μm
C4(After Al2O3 deposition)
C5(After 300℃ anneal)
Current density (A/mm)
Voltage (V)
0
0.1
0.2
0.3
0.4
0.5
0.6
0
1
2
3
4
5
6

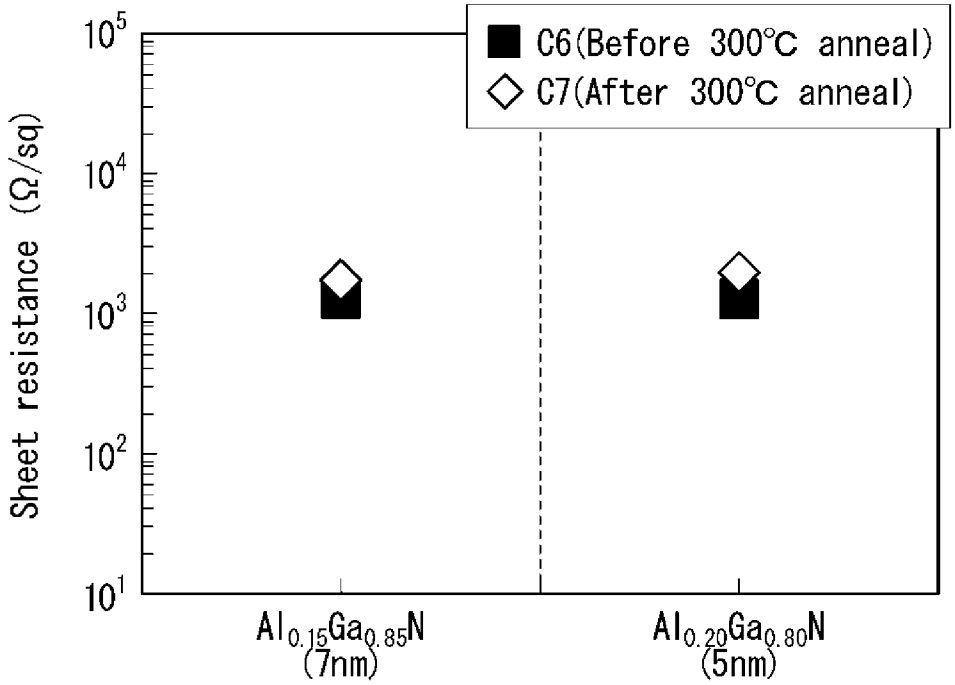
[図36]


Al0.15Ga0.85N(7nm)
Al0.20Ga0.80N(5nm)
L=4μm
C6(After SiNd deposition)
C7(After 300℃ anneal)
Current density (A/mm)
Voltage (V)
0
0.1
0.2
0.3
0.4
0.5
0.6
0
1
2
3
4
5
6

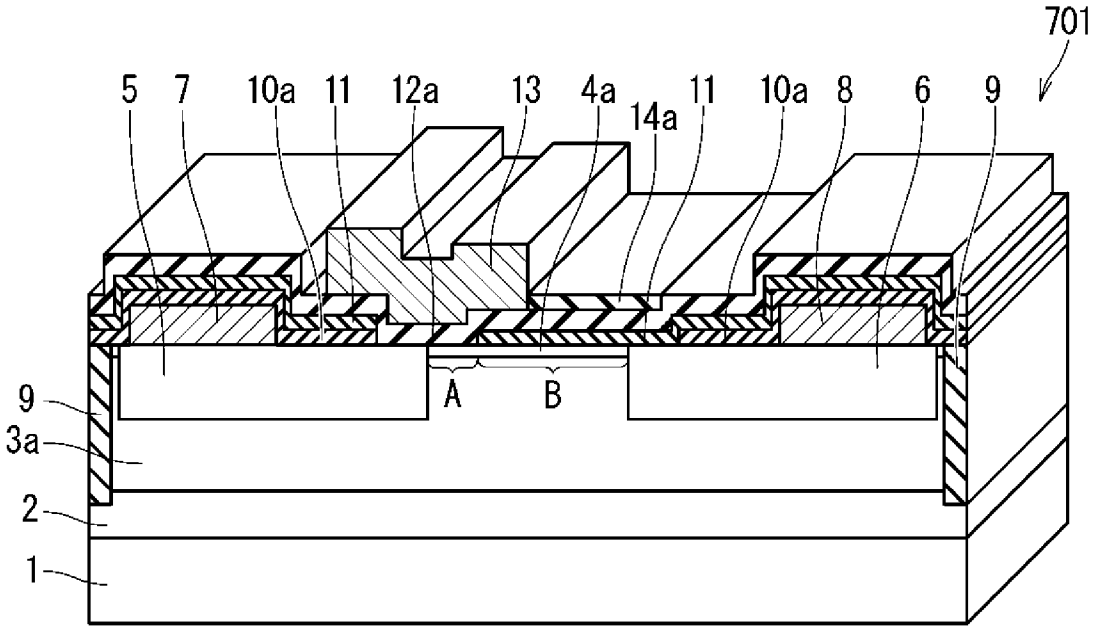
[図37]


C6(Before 300℃ anneal)
C7(After 300℃ anneal)
Sheet resistance (Ω/sq)
10^5
10^4
10^3
10^2
10^1
$Al_{0.15}Ga_{0.85}N$ (7nm)
$Al_{0.20}Ga_{0.80}N$ (5nm)

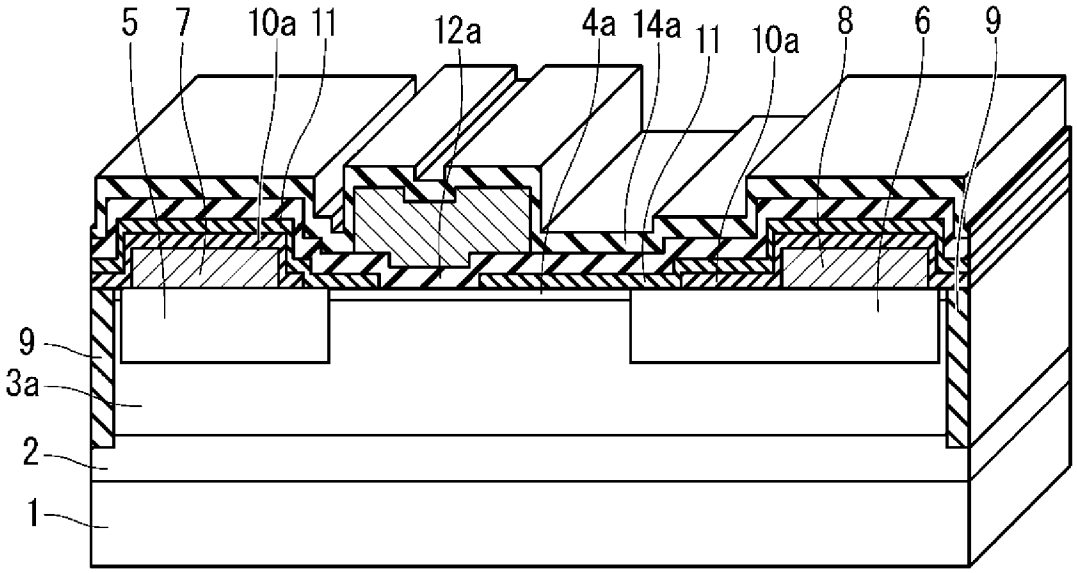
[図38]


C6(Before 300℃ anneal)
C7(After 300℃ anneal)
Sheet resistance (Ω/sq)
10^5
10^4
10^3
10^2
10^1
$Al_{0.15}Ga_{0.85}N$ (7nm)
$Al_{0.20}Ga_{0.80}N$ (5nm)

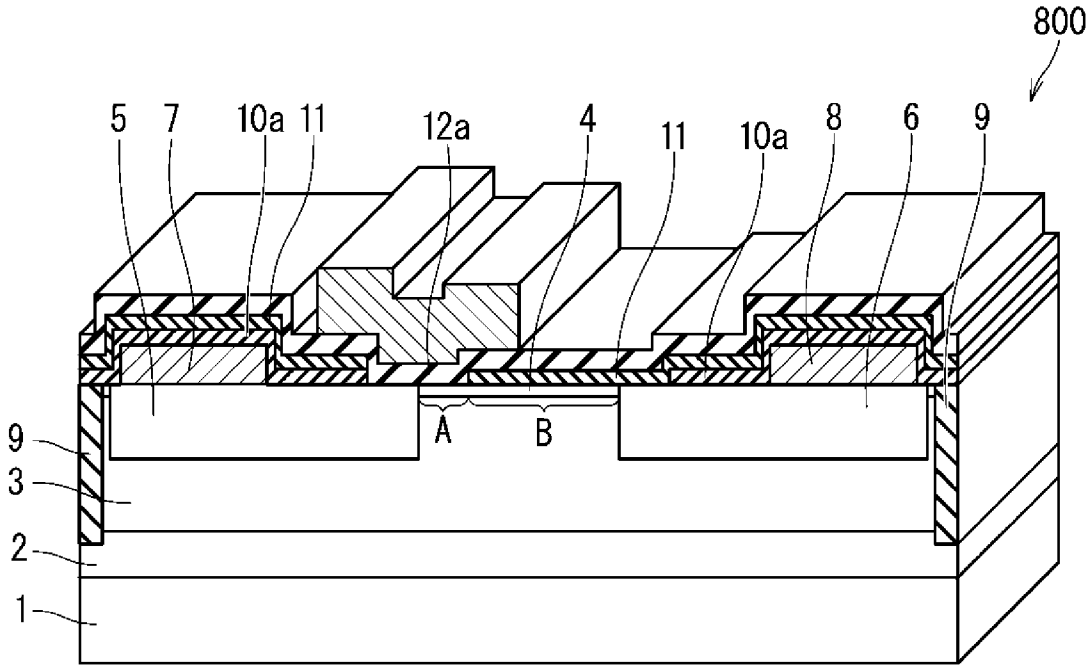
[図39]


701
5
7
10a
11
12a
13
4a
14a
11
10a
8
6
9
A
B
9
3a
2
1

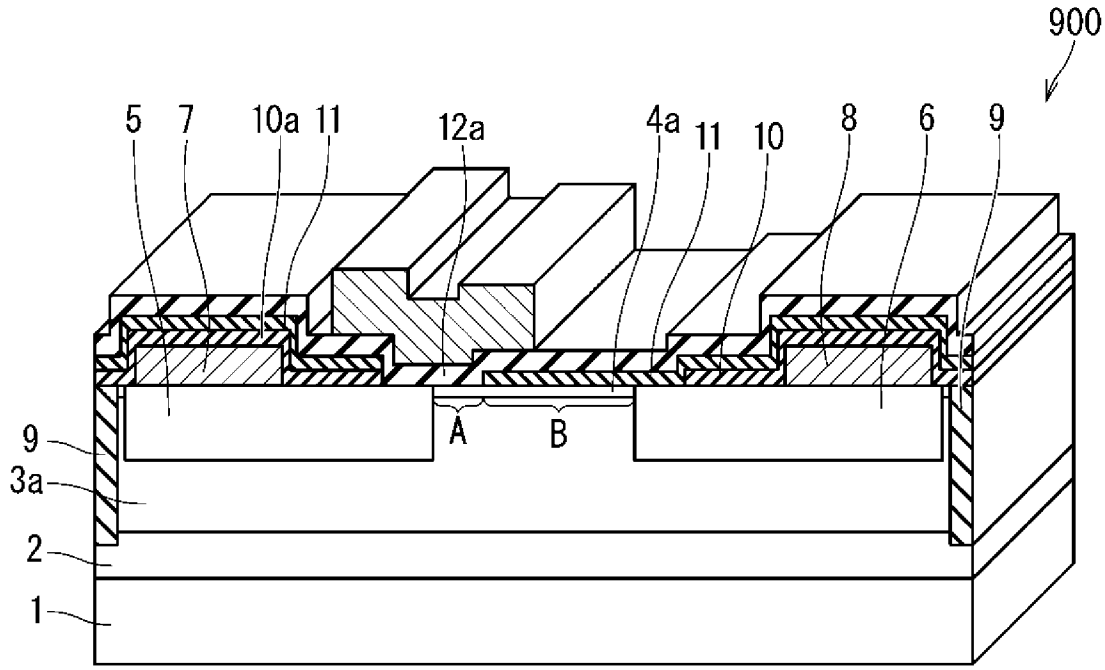
[図40]


5
7
10a
11
12a
4a
14a
11
10a
8
6
9
9
3a
2
1

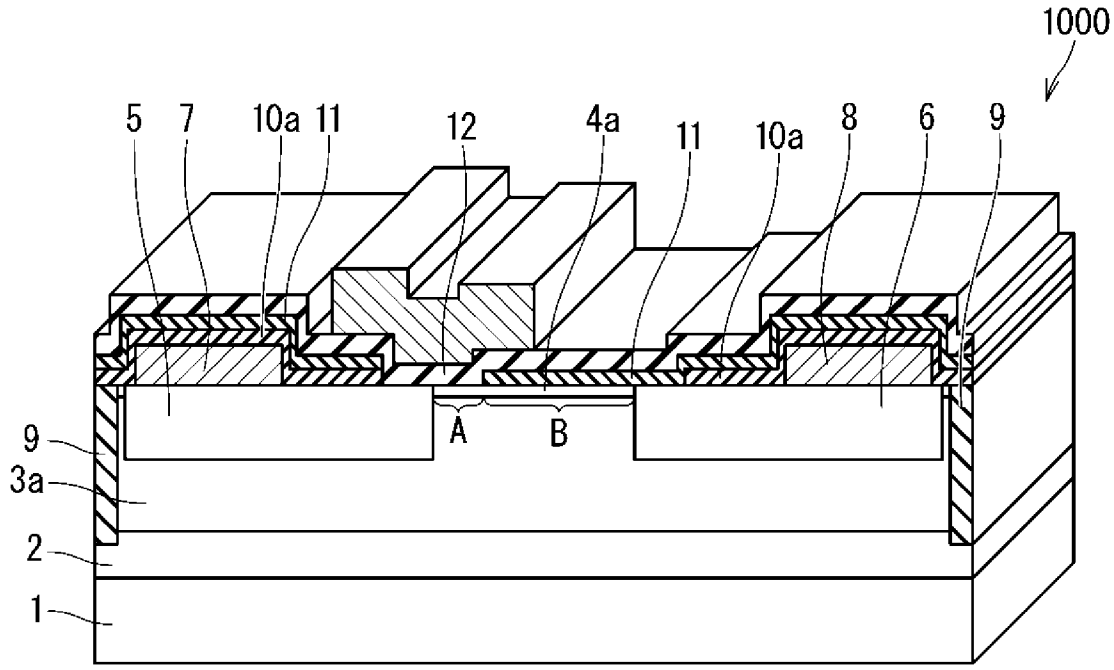
[図41]


800
5
7
10a
11
12a
4
11
10a
8
6
9
A
B
9
3
2
1

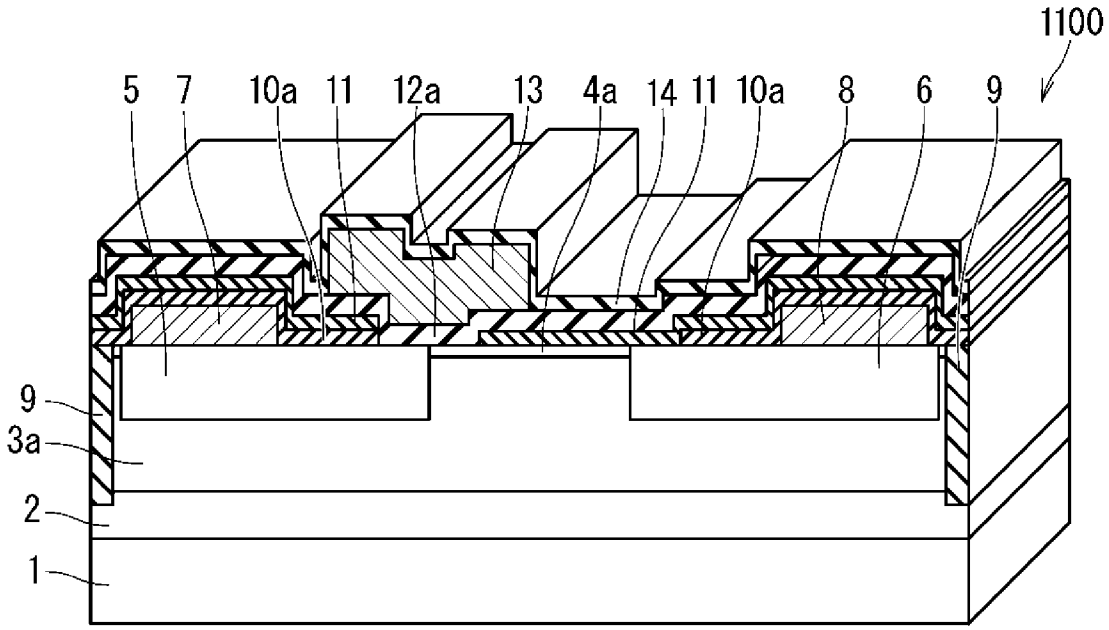
[図42]


900
5
7
10a
11
12a
4a
11
10
8
6
9
A
B
9
3a
2
1

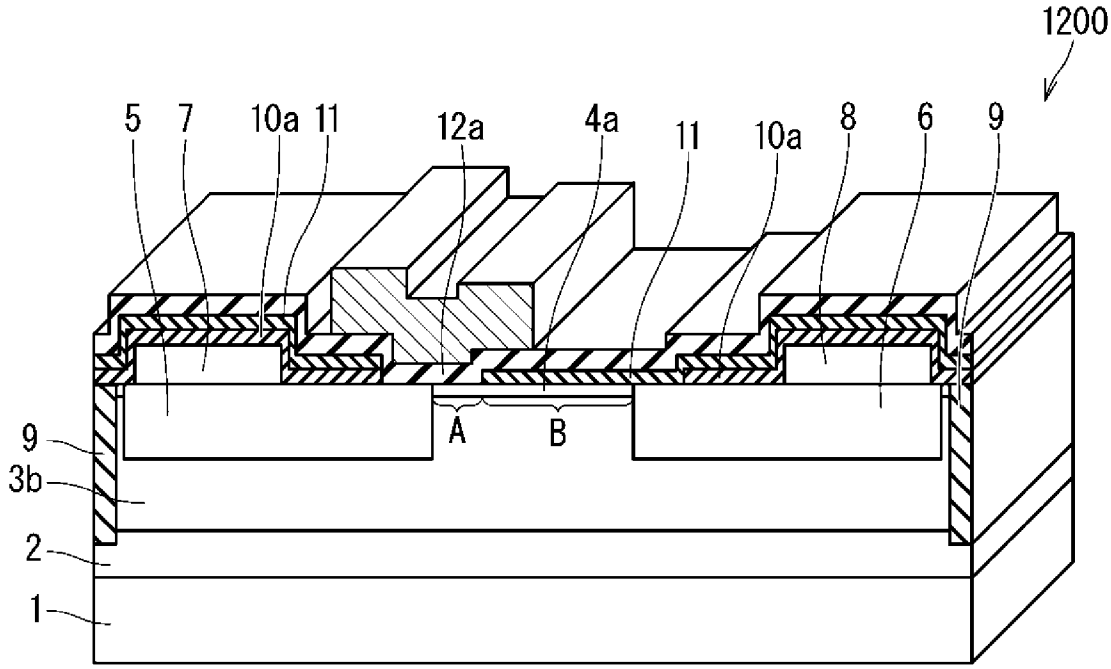
[図43]


1000
5
7
10a
11
12
4a
11
10a
8
6
9
A
B
9
3a
2
1

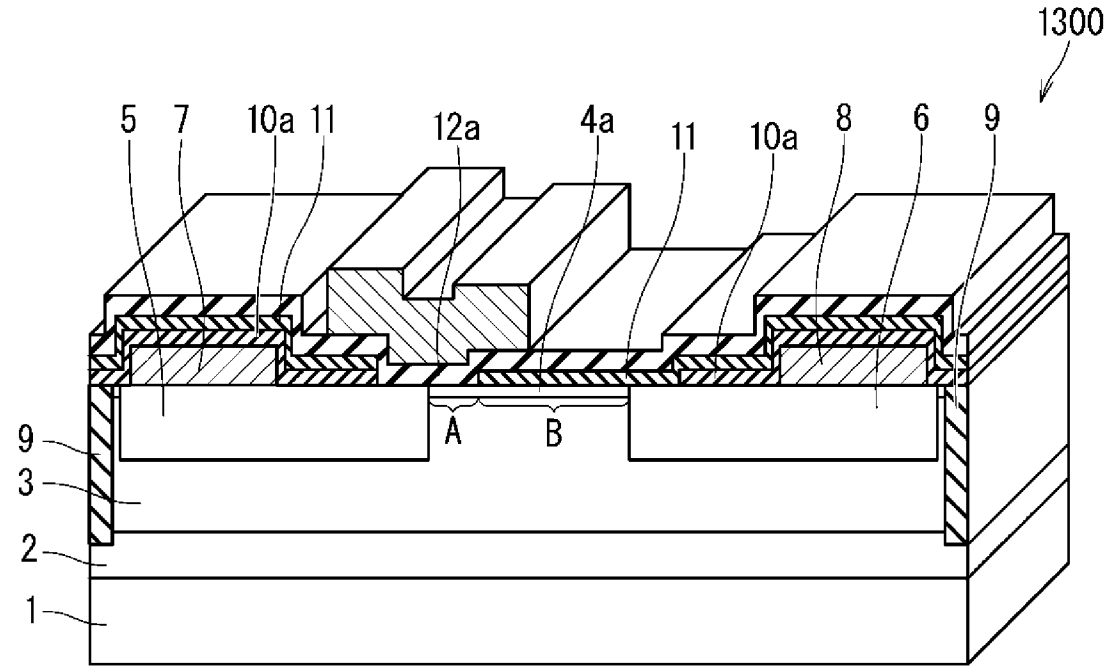
[図44]


1100
5
7
10a
11
12a
13
4a
14
11
10a
8
6
9
9
3a
2
1

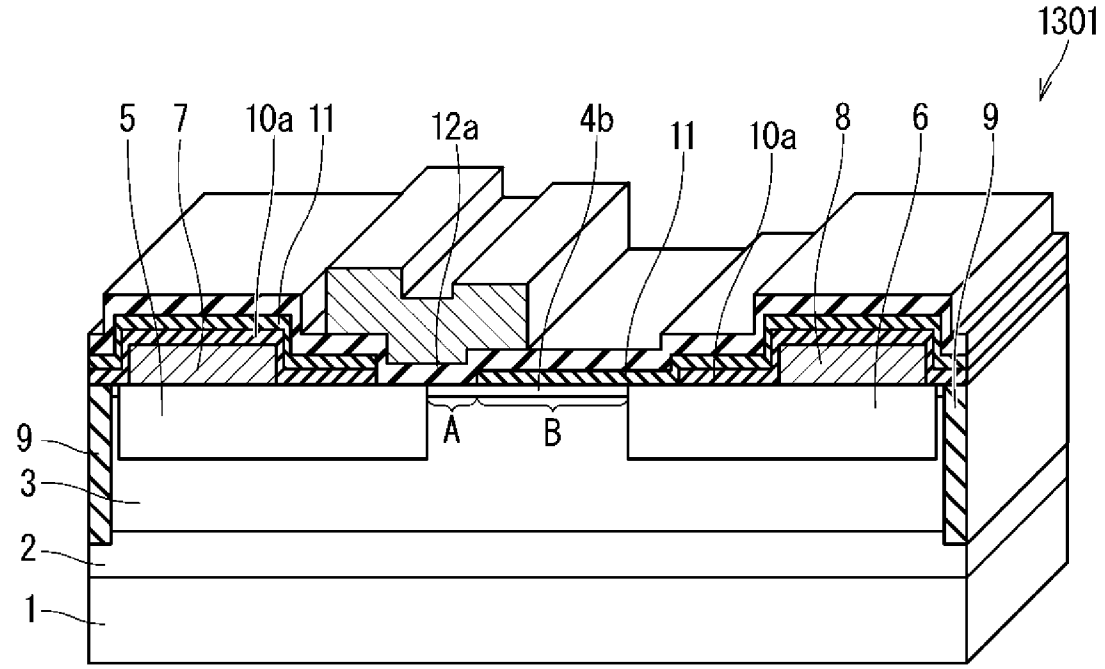
[図45]


1200
5
7
10a
11
12a
4a
11
10a
8
6
9
A
B
9
3b
2
1

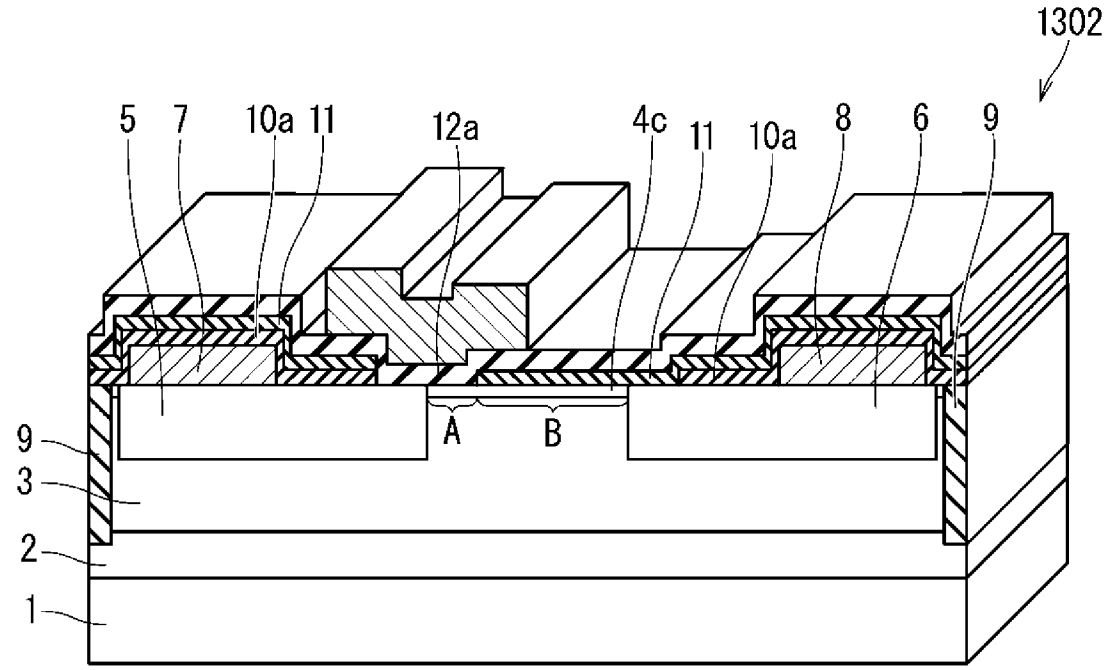
[図46]


1300
5
7
10a
11
12a
4a
11
10a
8
6
9
A
B
9
3
2
1

[図47]


1301
5
7
10a
11
12a
4b
11
10a
8
6
9
A
B
9
3
2
1

[図48]


1302
5
7
10a
11
12a
4c
11
10a
8
6
9
A
B
9
3
2
1

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/044099

A. CLASSIFICATION OF SUBJECT MATTER
H01L 21/338(2006.01)i; H01L 29/778(2006.01)i; H01L 29/812(2006.01)i
FI: H01L29/80 H

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/338; H01L29/778; H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2018/220741 A1 (MITSUBISHI ELECTRIC CORP.) 06.12.2018 (2018-12-06) paragraphs [0022]-[0057], [0082], [0094]-[0101], [0191], fig. 1-7, 17	1-16
Y	JP 2017-208556 A (TOSHIBA CORP.) 24.11.2017 (2017-11-24) paragraphs [0018], [0020], [0057]-[0071], fig. 6-8	1-16
Y	JP 2014-045174 A (SHARP CORP.) 13.03.2014 (2014-03-13) paragraphs [0011], [0014]-[0043], [0080]-[0085], fig. 1-12, 21	1-16
Y	JP 2016-127082 A (RENESAS ELECTRONICS CORP.) 11.07.2016 (2016-07-11) paragraphs [0044], [0048], [0049], [0060], fig. 8	1-16

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
21 January 2020 (21.01.2020)	04 February 2020 (04.02.2020)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/044099

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2012-069662 A (NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY) 05.04.2012 (2012-04-05) paragraphs [0062], [0071], fig. 7	2 1, 3-16
Y A	JP 2017-037982 A (RENESAS ELECTRONICS CORP.) 16.02.2017 (2017-02-16) paragraphs [0195]-[0230], fig. 28-37	13, 16 1-12, 14, 15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2019/044099

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
WO 2018/220741 A1	06 Dec. 2018	(Family: none)	
JP 2017-208556 A	24 Nov. 2017	(Family: none)	
JP 2014-045174 A	13 Mar. 2014	(Family: none)	
JP 2016-127082 A	11 Jul. 2016	US 2016/0190294 A1 paragraphs [0064], [0068], [0069], [0080], fig. 8 US 2017/0358652 A1 CN 105742360 A	
JP 2012-069662 A	05 Apr. 2012	(Family: none)	
JP 2017-037982 A	16 Feb. 2017	US 2017/0047437 A1 paragraphs [0254]-[0290], fig. 28-37 CN 106449767 A	

国際調査報告

国際出願番号
PCT/JP2019/044099

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 21/338(2006.01)i; H01L 29/778(2006.01)i; H01L 29/812(2006.01)i
FI: H01L29/80 H

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L21/338; H01L29/778; H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２０年
日本国実用新案登録公報	１９９６－２０２０年
日本国登録実用新案公報	１９９４－２０２０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	WO 2018/220741 A1 (三菱電機株式会社) 06.12.2018 (2018-12-06) 段落0022-0057,0082,0094-0101,0191, 図1-7,17	1-16
Y	JP 2017-208556 A (株式会社東芝) 24.11.2017 (2017-11-24) 段落0018,0020,0057-0071, 図6-8	1-16
Y	JP 2014-045174 A (シャープ株式会社) 13.03.2014 (2014-03-13) 段落0011,0014-0043,0080-0085, 図1-12,21	1-16
Y	JP 2016-127082 A (ルネサスエレクトロニクス株式会社) 11.07.2016 (2016-07-11) 段落0044,0048,0049,0060, 図8	1-16
Y	JP 2012-069662 A (独立行政法人産業技術総合研究所) 05.04.2012 (2012-04-05) 段落0062,0071, 図7	2
A		1,3-16

☑ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
21.01.2020	04.02.2020

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
恩田　和彦 5F 5896
電話番号 03-3581-1101 内線 3516

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2017-037982 A（ルネサスエレクトロニクス株式会社）16.02.2017（2017-02-16） 段落0195-0230，図28-37	13,16
A		1-12,14,15

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2019/044099

引用文献	公表日	パテントファミリー文献	公表日
WO 2018/220741 A1	06.12.2018	（ファミリーなし）	
JP 2017-208556 A	24.11.2017	（ファミリーなし）	
JP 2014-045174 A	13.03.2014	（ファミリーなし）	
JP 2016-127082 A	11.07.2016	US 2016/0190294 A1 段落0064,0068,0069,0080, 図8 US 2017/0358652 A1 CN 105742360 A	
JP 2012-069662 A	05.04.2012	（ファミリーなし）	
JP 2017-037982 A	16.02.2017	US 2017/0047437 A1 段落0254-0290, 図28-37 CN 106449767 A	