



(12) 发明专利申请

(10) 申请公布号 CN 103035707 A

(43) 申请公布日 2013. 04. 10

(21) 申请号 201310000143. 8

(22) 申请日 2013. 01. 04

(71) 申请人 电子科技大学

地址 610054 四川省成都市建设北路二段 4 号

(72) 发明人 杜江锋 赵子奇 尹成功 罗杰

黄思霓 严慧 罗谦 于奇

(51) Int. Cl.

H01L 29/778(2006. 01)

H01L 29/417(2006. 01)

H01L 29/06(2006. 01)

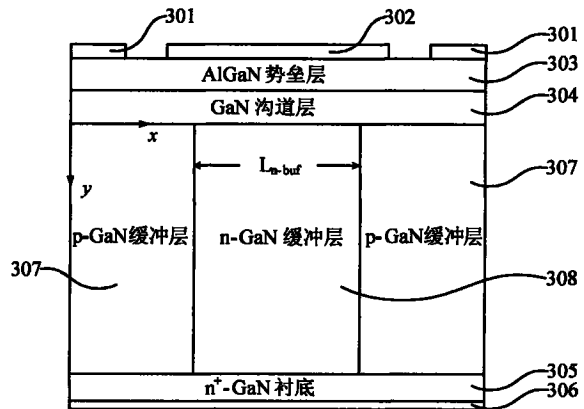
权利要求书 1 页 说明书 5 页 附图 6 页

(54) 发明名称

一种超结垂直氮化镓基异质结场效应晶体管

(57) 摘要

本发明提供了一种超结垂直氮化镓基异质结场效应晶体管, 从下至上依次主要由漏极, n⁺-GaN 衬底, GaN 沟道层, AlGa_xN 势垒层, 以及 AlGa_xN 势垒层上的源极和栅极组成, 源极与漏极均为欧姆接触, 栅极为肖特基接触, 其还包括由 p-GaN 缓冲层和 n-GaN 缓冲层竖向排列形成的超结缓冲层, 所述的超结缓冲层位于 n⁺-Ga_N 衬底与 GaN 沟道层之间。本发明中, 由 p-GaN 缓冲层和 n-GaN 缓冲层形成的超结结构可以在器件击穿时完全耗尽, 器件整个缓冲层都可以承受耐压, 从而大幅提升器件击穿电压。



1. 一种超结垂直氮化镓基异质结场效应晶体管, 从下至上依次主要由漏极 (306), n^+ -GaN 衬底 (305), GaN 沟道层 (304), AlGaIn 势垒层 (303), 以及 AlGaIn 势垒层 (303) 上的源极 (301) 和栅极 (302) 组成, 源极 (301) 与漏极 (306) 均为欧姆接触, 栅极 (302) 为肖特基接触, 其特征在于: 还包括位于 n^+ -GaN 衬底 (305) 与 GaN 沟道层 (304) 之间, 并由 p-GaN 缓冲层 (307) 和 n-GaN 缓冲层 (308) 排列形成的超结缓冲层。

2. 根据权利要求 1 所述的一种超结垂直氮化镓基异质结场效应晶体管, 其特征在于: 所述的超结缓冲层由 n-GaN 缓冲层 (308) 以及分别位于 n-GaN 缓冲层 (308) 两边的 p-GaN 缓冲层 (307) 组成。

3. 根据权利要求 2 所述的一种超结垂直氮化镓基异质结场效应晶体管, 其特征在于: 所述栅极 (302) 长度大于 n-GaN 缓冲层 (308) 的长度 L_{n-buf} , 且部分覆盖 n-GaN 缓冲层 (308) 两边的 p-GaN 缓冲层 (307)。

4. 根据权利要求 3 所述的一种超结垂直氮化镓基异质结场效应晶体管, 其特征在于: 所述 n-GaN 缓冲层 (308) 长度为 $0.2 \mu\text{m}$ 至 $50 \mu\text{m}$ 。

5. 根据权利要求 4 所述的一种超结垂直氮化镓基异质结场效应晶体管, 其特征在于: 所述 n-GaN 缓冲层 (308) 掺杂浓度为 $1 \times 10^{15} \text{cm}^{-3}$ 至 $1 \times 10^{18} \text{cm}^{-3}$ 。

6. 根据权利要求 3 或 5 所述的一种超结垂直氮化镓基异质结场效应晶体管, 其特征在于: 所述两边的 p-GaN 缓冲层 (307) 长度相等, 均为 $0.2 \mu\text{m}$ 至 $50 \mu\text{m}$ 。

7. 根据权利要求 6 所述的一种超结垂直氮化镓基异质结场效应晶体管, 其特征在于: 所述两边的 p-GaN 缓冲层 (307) 掺杂浓度相等, 均为 $1 \times 10^{15} \text{cm}^{-3}$ 至 $1 \times 10^{21} \text{cm}^{-3}$ 。

8. 根据权利要求 7 所述的一种超结垂直氮化镓基异质结场效应晶体管, 其特征在于: 所述 n-GaN 缓冲层 (308) 与两边的 p-GaN 缓冲层 (307) 厚度相等。

9. 根据权利要求 8 所述的一种超结垂直氮化镓基异质结场效应晶体管, 其特征在于: 所述 n-GaN 缓冲层 (308) 与两边的 p-GaN 缓冲层 (307) 厚度均为 $1 \mu\text{m}$ 至 $500 \mu\text{m}$ 。

一种超结垂直氮化镓基异质结场效应晶体管

技术领域

[0001] 本发明涉及半导体器件领域,具体是指一种超结垂直氮化镓基异质结场效应晶体管。

技术背景

[0002] 氮化镓基异质结场效应晶体管(Heterojunction Fiele-Effect Transistor, HFET)不但具有禁带宽度大、临界击穿电场高、电子饱和速度高、导热性能好、抗辐射和良好的化学稳定性等优异特性,同时氮化镓(GaN)材料可以与铝镓氮(AlGaN)等材料形成具有高浓度和高迁移率的二维电子气异质结沟道,因此特别适用于高压、大功率和高温应用,是电力电子应用最具潜力的晶体管之一。

[0003] 现有的高耐压 GaN HFET 结构主要为横向器件,器件基本结构如图 1 所示。器件主要包括衬底,氮化镓(GaN)缓冲层,铝镓氮(AlGaN)势垒层以及铝镓氮(AlGaN)势垒层上形成的源极、漏极和栅极,其中源极和漏极与铝镓氮(AlGaN)势垒层形成欧姆接触,栅极与铝镓氮(AlGaN)势垒层形成肖特基接触。但是对于横向 GaN HFET 而言,在截止状态下,从源极注入的电子可以经过 GaN 缓冲层到达漏极,形成漏电通道,过大的缓冲层泄漏电流会导致器件提前击穿,无法充分发挥 GaN 材料的高耐压优势,从而限制 GaN HFET 在高压方面的应用。同时横向 GaN HFET 器件主要依靠栅极与漏极之间的有源区来承受耐压,要获得大的击穿电压,需设计很大的栅极与漏极间距,从而会增大芯片面积,不利于现代电力电子系统便携化、小型化的发展趋势。

[0004] 与横向 GaN HFET 相比,垂直 GaN HFET(Vertical Heterojunction Fiele-Effect Transistor, VHFET)结构可以有效地解决以上问题。现有技术 GaN VHFET 结构如图 2 所示,器件主要包括漏极、 n^+ -GaN 衬底、 n -GaN 缓冲层、 p -GaN 阻挡层、GaN 沟道层、AlGaN 势垒层和势垒层上形成的栅极和源极,其中漏极与 n^+ -GaN 衬底形成欧姆接触,源极与 AlGaN 势垒层形成欧姆接触,栅极与 AlGaN 势垒层形成肖特基接触。与横向 GaN HFET 相比, GaN VHFET 存在以下优势:器件主要通过栅极与漏极之间的纵向间距,即 n -GaN 缓冲层来承受耐压,器件横向尺寸可以设计的非常小,有效节省芯片面积;同时 p -GaN 阻挡层与 n -GaN 缓冲层之间形成的 p - n 结可以有效阻挡从源极注入的电子,从而抑制器件缓冲层泄漏电流。除此之外, GaN VHFET 结构还具有便于封装、低沟道温度等多方面优点。

[0005] 对于 GaN VHFET 结构而言,器件主要依靠 p -GaN 阻挡层与 n -GaN 缓冲层之间形成的 p - n 结来承受耐压,器件击穿与 n -GaN 缓冲层掺杂浓度成反比关系,欲提升器件击穿电压,就必须降低 n -GaN 缓冲层内掺杂浓度,但是过低的 n -GaN 缓冲层掺杂浓度会增大器件导通电阻,从而影响器件性能。因此如何在不降低 n -GaN 缓冲层掺杂浓度的前提下提升器件击穿电压,成为 GaN VHFET 结构设计亟待解决的问题之一。

发明内容

[0006] 针对现有 GaN VHFET 器件存在的技术问题,本发明提供了一种超结垂

直氮化镓基异质结场效应晶体管 (Super-Junction Vertical Heterojunction Fiele-Effect Transistor, SJ-VHFET), 通过在缓冲层中引入超结结构, 来提升器件的击穿电压。

[0007] 本发明的目的通过下述技术方案实现: 一种超结垂直氮化镓基异质结场效应晶体管, 从下至上依次主要由漏极, n^+ -GaN 衬底, GaN 沟道层, AlGaN 势垒层, 以及 AlGaN 势垒层上的源极和栅极组成, 源极与漏极均为欧姆接触, 栅极为肖特基接触, 其还包括由位于 n^+ -GaN 衬底与 GaN 沟道层之间, 并由 p-GaN 缓冲层和 n-GaN 缓冲层排列形成的超结缓冲层。

[0008] 所述的超结缓冲层由 n-GaN 缓冲层以及分别位于 n-GaN 缓冲层两边的 p-GaN 缓冲层组成。

[0009] 所述栅极长度大于 n-GaN 缓冲层的长度 L_{n-buf} , 且部分覆盖 n-GaN 缓冲层两边的 p-GaN 缓冲层。

[0010] 所述 n-GaN 缓冲层长度为 $0.2 \mu m$ 至 $50 \mu m$, 掺杂浓度为 $1 \times 10^{15} cm^{-3}$ 至 $1 \times 10^{18} cm^{-3}$ 。

[0011] 所述两边的 p-GaN 缓冲层长度相等, 均为 $0.2 \mu m$ 至 $50 \mu m$ 。

[0012] 所述两边的 p-GaN 掺杂浓度相等, 均为 $1 \times 10^{15} cm^{-3}$ 至 $1 \times 10^{21} cm^{-3}$ 。

[0013] 所述 n-GaN 缓冲层与两边的 p-GaN 缓冲层厚度相等, 均为 $1 \mu m$ 至 $500 \mu m$ 。

[0014] 与现有技术 GaN VHFET 相比, 本发明所提出的 GaN SJ-VHFET 器件优势为: 当器件承受耐压时, 由于 n-GaN 缓冲层与 p-GaN 缓冲层之间形成超结结构, n-GaN 缓冲层可以完全耗尽, 器件击穿电压只与 n-GaN 缓冲层厚度有关, 而与 n-GaN 缓冲层内掺杂浓度无关, 无需降低 n-GaN 缓冲层内掺杂浓度来提升器件击穿电压, 从而可以同时实现器件的高击穿电压与低导通电阻。

附图说明

[0015] 图 1 是已有技术横向 GaN HFET 结构示意图。

[0016] 图 2 是已有技术 GaNVHFET 结构。

[0017] 图 3 是本发明提供的 GaN SJ-VHFET 结构示意图。

[0018] 图 4 是本发明提供的 GaN SJ-VHFET 与已有技术 GaN VHFET 截止状态下漏极泄漏电流比较。

[0019] 图 5 是本发明提供的 GaN SJ-VHFET 与已有技术 GaN VHFET 击穿时 n-GaN 缓冲层内 A-A' 截面处电场强度比较。

[0020] 图 6 是本发明提供的 GaN SJ-VHFET 与已有技术 GaN VHFET 击穿电压与导通电阻随 n-GaN 缓冲层厚度变化比较。

[0021] 其中, 图中附图标记对应的零部件名称为:

[0022] 301- 源极, 302- 栅极, 303-AlGaN 势垒层, 304-GaN 沟道层, 305- n^+ -GaN 衬底, 306- 漏极, 307-p-GaN 缓冲层, 308-n-GaN 缓冲层。

具体实施方式

[0023] 下面结合实施例对本发明作进一步地详细说明, 但本发明的实施方式不限于此。

[0024] 实施例

[0025] 图 1 是已有技术横向 GaN HFET 结构示意图, 从下至上主要包括衬底, 氮化镓 (GaN)

缓冲层,氮化镓 (GaN) 沟道层,铝镓氮 (AlGaN) 势垒层以及铝镓氮 (AlGaN) 势垒层上形成的源极、漏极和栅极,其中源极和漏极与铝镓氮 (AlGaN) 势垒层形成欧姆接触,栅极与铝镓氮 (AlGaN) 势垒层形成肖特基接触。

[0026] 图 2 是已有技术 GaN VHFET 结构示意图,从下至上主要包括漏极, n^+ -GaN 衬底, n-GaN 缓冲层, p-GaN 阻挡层, GaN 沟道层, AlGaN 势垒层以及 AlGaN 势垒层上形成的源极和栅极,其中源极和漏极均为欧姆接触,栅极为肖特基接触。

[0027] 图 3 是本发明提供的 GaN SJ-VHFET 结构示意图,从下至上依次主要由漏极 306, n^+ -GaN 衬底 305, GaN 沟道层 304, AlGaN 势垒层 303 组成,在 AlGaN 势垒层 303 上形成有源极 301 和栅极 302,源极 301 与漏极 306 均为欧姆接触,栅极 302 为肖特基接触,还包括位于 n^+ -GaN 衬底 305 与 GaN 沟道层 304 之间,由 p-GaN 缓冲层 307 和 n-GaN 缓冲层 308 排列形成的超结缓冲层。为了方便讨论,图中定义了一个二维坐标系。

[0028] 所述栅极长度大于 L_{n-buf} ,其中 L_{n-buf} 为 n-GaN 缓冲层长度,且部分覆盖 n-GaN 缓冲层 308 两边的 p-GaN 缓冲层 307。

[0029] 所述 n-GaN 缓冲层长度为 $0.2 \mu m$ 至 $20 \mu m$,掺杂浓度为 $1 \times 10^{15} cm^{-3}$ 至 $1 \times 10^{18} cm^{-3}$ 。

[0030] 所述两边的 p-GaN 缓冲层长度相等,均为 $0.2 \mu m$ 至 $50 \mu m$ 。

[0031] 所述两边的 p-GaN 掺杂浓度相等,均为 $1 \times 10^{15} cm^{-3}$ 至 $1 \times 10^{21} cm^{-3}$ 。

[0032] 所述 n-GaN 缓冲层与两边的 p-GaN 缓冲层厚度相等,均为 $1 \mu m$ 至 $500 \mu m$ 。

[0033] 在本发明的 GaN HFET 中,最易于说明本发明意图的例子是图 3 所示的 GaNSJ-VHFET 与图 2 所示的已有技术 GaN VHFET 器件特性对比。器件结构参数由表 1 给出。

[0034] 表 1 器件仿真结构参数

[0035]

器件参数	已有技术 GaN VHFET	GaN SJ-VHFET

[0036]

栅极长度	2 μm	2 μm
源极长度	0.5 μm	0.5 μm
栅源间距	0.5 μm	0.5 μm
势垒层材料	$\text{Al}_{0.23}\text{Ga}_{0.77}\text{N}$	$\text{Al}_{0.23}\text{Ga}_{0.77}\text{N}$
AlGaN 势垒层厚度	15nm	15nm
GaN 沟道层厚度	10nm	10nm
n-GaN 缓冲层厚度	2 μm	2 μm
n-GaN 缓冲层掺杂浓度	$1 \times 10^{16}\text{cm}^{-3}$	$1 \times 10^{16}\text{cm}^{-3}$
n ⁺ -GaN 衬底厚度	0.1 μm	0.1 μm
n ⁺ -GaN 衬底掺杂浓度	$1 \times 10^{20}\text{cm}^{-3}$	$1 \times 10^{20}\text{cm}^{-3}$
p-GaN 阻挡层厚度	1 μm	—
p-GaN 阻挡层长度	1.2 μm	—
p-GaN 阻挡层掺杂浓度	$1 \times 10^{17}\text{cm}^{-3}$	—
p-GaN 缓冲层厚度	—	2 μm
p-GaN 缓冲层长度	—	1.2 μm
p-GaN 缓冲层掺杂浓度	—	$1 \times 10^{17}\text{cm}^{-3}$
击穿电压	141V	192V

[0037] 图4是本发明提供的GaNSJ-VHFET与已有技术GaNVHFET截止状态下漏极306泄漏电流比较。器件击穿电压定义为截止状态下漏极306电流达到1mA/mm时,漏极306所施加的偏置电压。其中实线为本发明提供的GaNSJ-VHFET漏极306泄漏电流,虚线为已有技术GaNVHFET漏极泄漏电流。从图中可以看出,与已有技术GaNVHFET相比,GaNSJ-VHFET结构有效降低了器件的泄漏电流,提升了器件的击穿电压,在器件其他参数完全相同的情况下,器件击穿电压从141V提升至192V,增大了约36%。

[0038] 图5为本发明提供的GaNSJ-VHFET与已有技术GaNVHFET击穿时A-A'截面上n-GaN缓冲层内(如图2所示, $x = 2\mu\text{m}$)电场分布比较。从图中可以看出,由于超结结构的

引入,使得器件 n-GaN 缓冲层在击穿时可以完全耗尽,从而可以获得比已有技术 GaN VHFET 更高的电场强度与击穿电压。

[0039] 为进一步验证超结结构对器件击穿电压的影响,对不同缓冲层厚度的器件击穿特性进行了仿真,器件其他参数与表 1 一致,结果如图 6 所示。从图中可以看出,对于已有技术 GaN VHFET,器件击穿电压很低,而且当缓冲层厚度大于 $6\mu\text{m}$ 时,器件击穿电压达到饱和值 315V,不再随着缓冲层厚度的继续增大而增大。仿真结果表明,当缓冲层厚度为 $6\mu\text{m}$ 时,已有技术 GaN VHFET 器件击穿时 n-GaN 缓冲层内耗尽区宽度已达到极限,继续增大缓冲层厚度无法进一步提升器件击穿电压。而对于本发明提供的 GaN SJ-VHFET 结构,由于超结结构的引入,在任何缓冲层厚度情况下,器件击穿时 n-GaN 缓冲层都可以达到完全耗尽,器件击穿电压随着缓冲层厚度的增大而不断增大,当缓冲层厚度为 $15\mu\text{m}$ 时,器件击穿电压达到 4214V,远高于已有技术 GaN VHFET 的 315V。

[0040] 虽然上述实施例子是以氮化镓基异质结场效应晶体管 (GaN HFET) 为例进行说明的,但是所提出结构适用于各种其他半导体材料构成的多种结构晶体管。

[0041] 以上所述,仅是本发明的较佳实施例,并非对本发明做任何形式上的限制,凡是依据本 / 发明的技术实质对以上实施例所作的任何简单修改、等同变化,均落入本发明的保护范围之内。

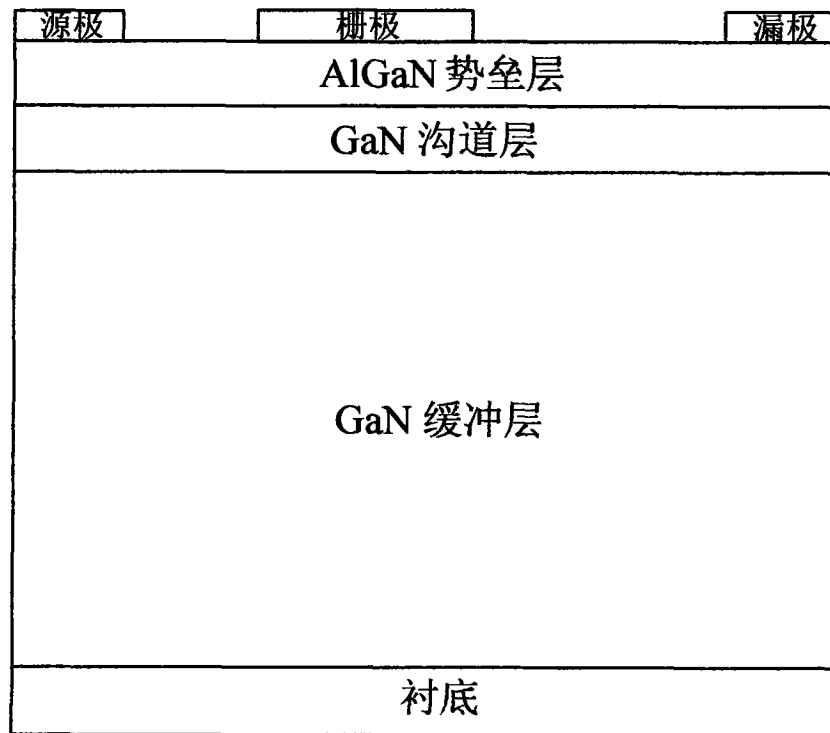


图 1

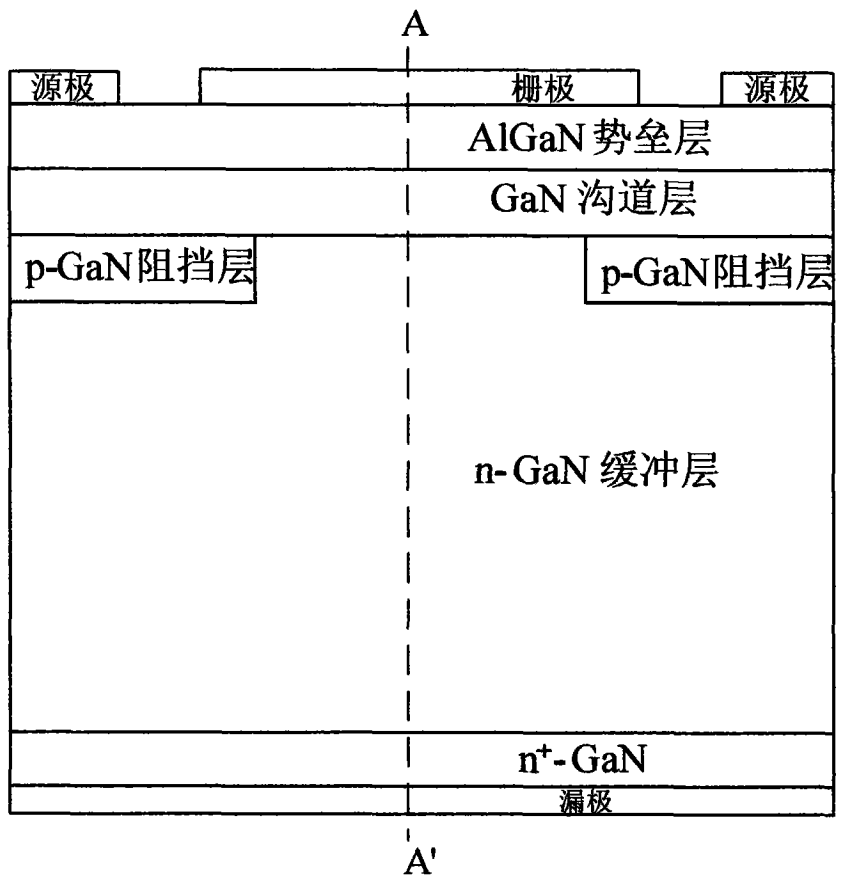


图 2

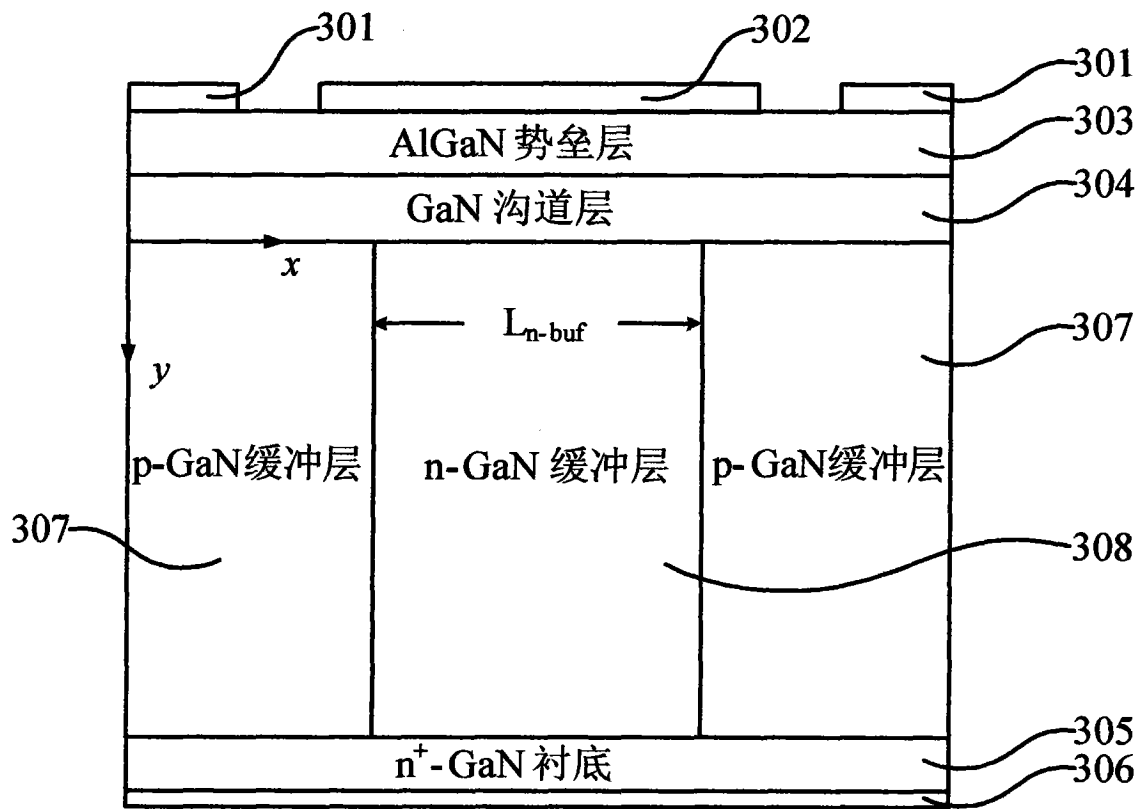


图 3

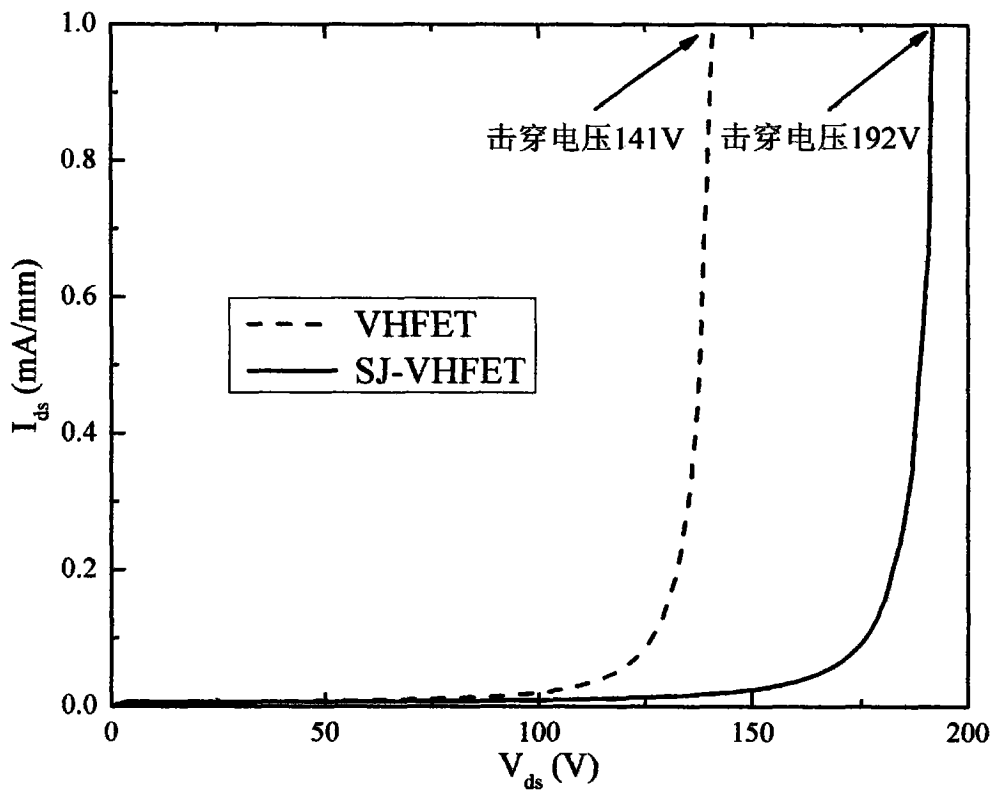


图 4

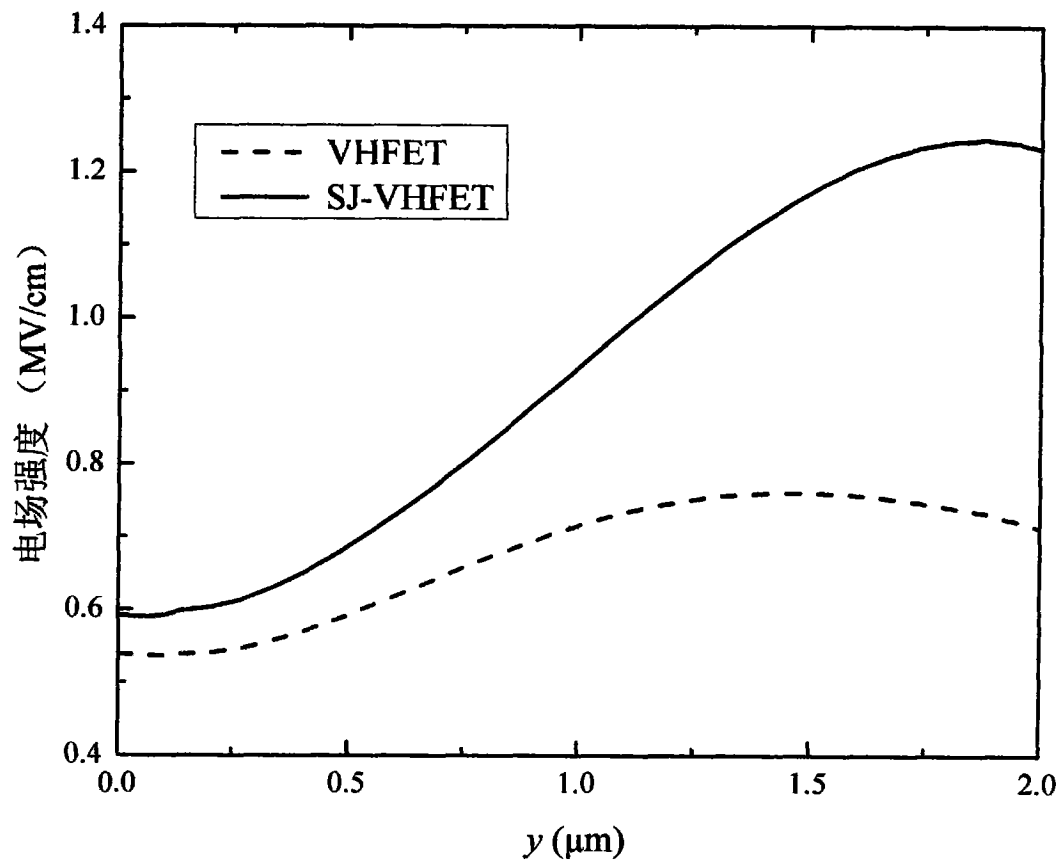


图 5

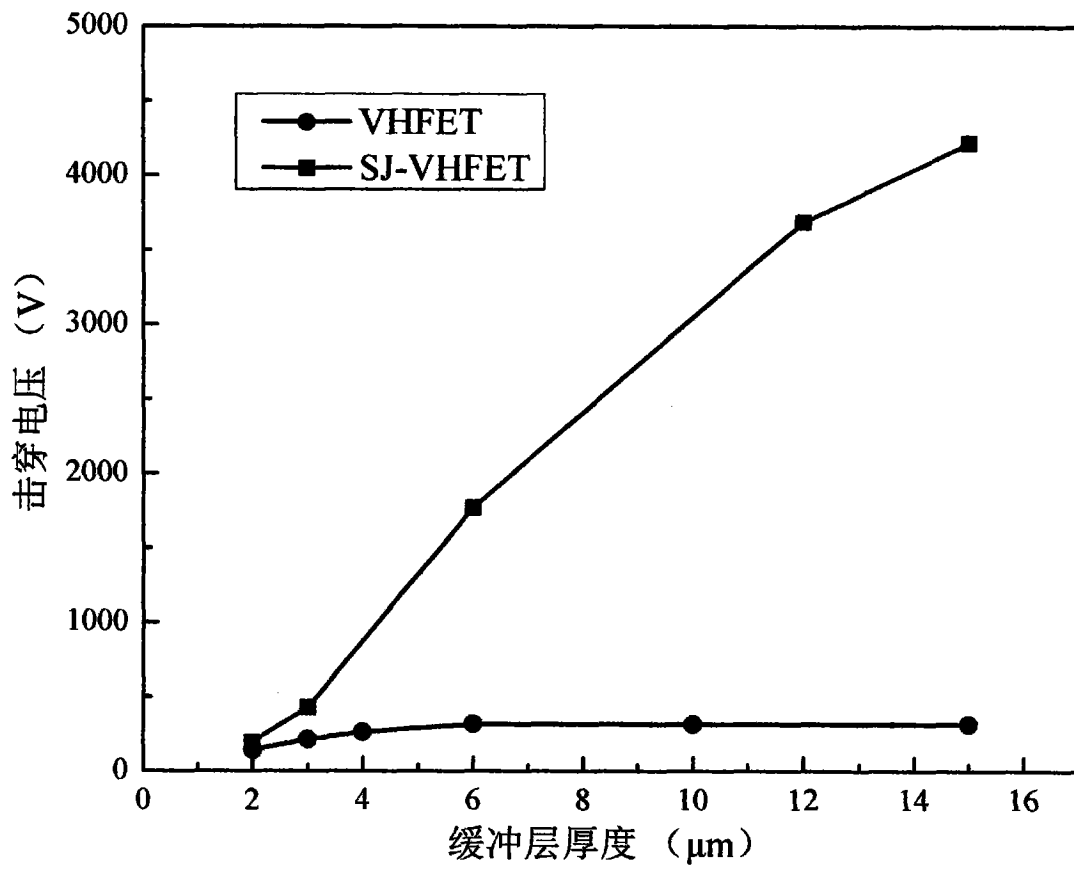


图 6