

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2015 年 12 月 3 日 (03.12.2015)



(10) 国际公布号
WO 2015/180209 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2014/079707
- (22) 国际申请日: 2014 年 6 月 12 日 (12.06.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410226565.1 2014 年 5 月 26 日 (26.05.2014) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 朱江 (ZHU, Jiang); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市深南中路新闻大厦 1 号楼 3 楼 307 室, Guangdong 518027 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: CIRCUIT STRUCTURE OF LIQUID CRYSTAL DISPLAY PANEL AND DRIVE METHOD FOR LIQUID CRYSTAL DISPLAY PANEL

(54) 发明名称: 液晶面板的电路结构及液晶面板的驱动方法

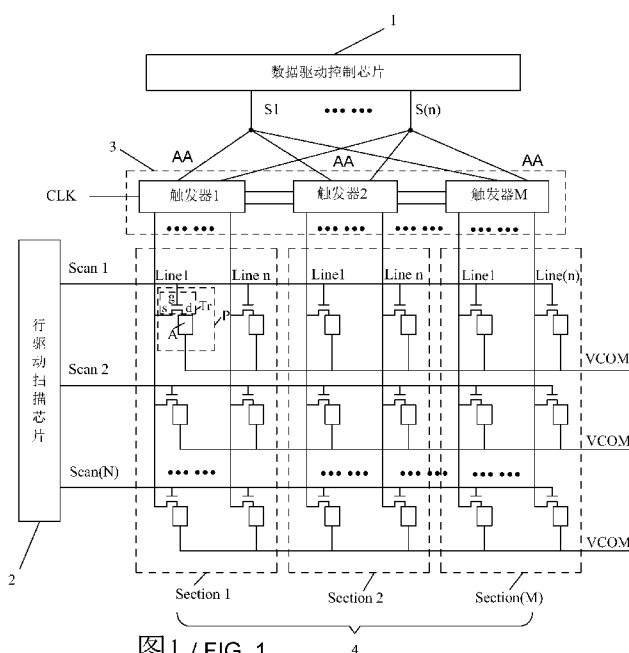


图 1 / FIG. 1

1 DATA DRIVE CONTROL CHIP
2 ROW DRIVE SCANNING CHIP
AA TRIGGER

(57) Abstract: A circuit structure of a liquid crystal display panel and a drive method for the liquid crystal display panel. The circuit structure of the liquid crystal display panel comprises: a data drive control chip (1) provided with n data signal output channels (S1-S(n)), a row drive scanning chip (2), M triggers (3), M liquid crystal pixel array regions (4) corresponding to the M triggers (3), a dot clock signal (CLK), and a common voltage (VCOM). Each liquid crystal pixel array region comprises: (n*N) liquid crystal pixels (P), N scanning signal lines (Scan1-Scan(N)), and n liquid crystal pixel data signal lines (Line1-Line(n)). Liquid crystal pixels (P) of the M liquid crystal pixel array regions (4) are sequentially charged without mutual interference by sequentially triggering of the triggers. The circuit structure of the liquid crystal display panel and the drive method for the liquid crystal display panel can greatly reduce the number of data signal output channels of the data drive control chip, and can also avoid the color shift phenomenon due to inconsistent charging between the left and right sides and the middle region of the liquid crystal display panel.

(57) 摘要:

[见续页]



一种液晶面板的电路结构及液晶面板的驱动方法，该液晶面板的电路结构包括：具有 n 个数据信号输出通道（ $S1 \sim S(n)$ ）的数据驱动控制芯片（1）、行驱动扫描芯片（2）、 M 个触发器（3）、与 M 个触发器（3）相对应的 M 个液晶像素阵列区（4）、点时钟信号（CLK）、及公共电压（VCOM）；每一液晶像素阵列区包含： $(n \times N)$ 个液晶像素（P）、 N 条扫描信号线（Scan1～Scan（N））、以及 n 条液晶像素数据信号线（Line1～Line（n））；通过触发器的依次触发，实现对 M 个液晶像素阵列区（4）的液晶像素（P）依次充电，互不干扰。该液晶面板的电路结构及液晶面板的驱动方法，可大幅缩减数据驱动控制芯片的数据信号输出通道数，还可解决液晶面板因左右两边与中间区充电不一致而造成的色偏现象。

液晶面板的电路结构及液晶面板的驱动方法

技术领域

本发明涉及液晶面板领域，尤其涉及一种液晶面板的电路结构及液晶
5 面板的驱动方法。

背景技术

常规的液晶显示装置，在上基板与下基板之间形成具有介电各向异性
的液晶层。之后，控制液晶层上形成的电场密度，使液晶材料的分子排列
10 转变。由此，对经由作为显示表面的上基板透射的光量进行调整，呈现出
理想的图像。这种液晶显示装置包括由显示图像的多个像素构成的液晶面
板、用于驱动液晶面板的驱动电路和向液晶面板投射光的背光单元。组成
液晶面板的每个像素的等效电路包括彼此交叉的栅极线和数据线、分别布
置在栅极线与数据线的交点处的薄膜晶体管和像素电极、和基于像素单元
15 排列的液晶电容器和存储电容器。

液晶电视因其重量轻、功耗小，而被广泛应用。随着经济的发展，大
尺寸、高解析度的液晶电视越来越受到人们的欢迎，但随着解析度的升高，
液晶面板所需求的驱动芯片的输出通道数也相应的增多，其成本也越来越

高。因此，怎样使用较少输出通道数的驱动芯片来实现较高的解析度，已成为本领域亟待解决的问题。

目前，Tri-gate（三维晶体管）和 HSD（Half Source Driving，半源极驱动）设计都能有效地减少数据驱动芯片的输出通道数。Tri-gate 技术是一种特殊的堆叠架构，是在三栅极导电通道三面添加“垂直尾翼结构”，排除多余热量，通过高组合栅绝缘体和应变硅，为移动设备提供更长的电池寿命和更好的性能。但是，这两种技术均相应地增加了扫描驱动芯片的输出通道数，而且从数据驱动芯片至液晶面板各列像素的阻抗也相差很大，致使出现色偏现象，严重影响了液晶面板的画面品质。

发明内容

本发明的目的在于提供一种液晶面板的电路结构，通过 M 个触发器的依次触发，实现对这 M 个液晶像素阵列区的液晶像素显示元件依次充电，互不干扰，大大缩减了数据驱动控制芯片的数据信号输出通道数，有效改善了液晶面板的色偏现象。

本发明的另一目的在于提供一种液晶面板的驱动方法，能够使用较少输出通道数的驱动芯片来达到较高的解析度，降低了液晶面板所需驱动芯片的成本，有效改善了液晶面板的色偏现象。

为实现上述目的，本发明提供一种液晶面板的电路结构，包括：具有 n 个数据信号输出通道（ $S1 \sim S(n)$ ）的数据驱动控制芯片、行驱动扫描芯片、 M 个触发器（触发器 1~触发器 M ）与 M 个触发器相对应的 M 个液晶像素阵列区（ $Section1 \sim Section(M)$ ）、点时钟信号（ CLK ）及公共电压（ $VCOM$ ）；

5 每一液晶像素阵列区包含： $(n \times N)$ 个液晶像素（ P ）、 N 条扫描信号线（ $Scan1 \sim Scan(N)$ ）以及 n 条液晶像素数据信号线（ $Line1 \sim Line(n)$ ）；所述液晶像素（ P ）沿行方向排列配置 n 个，沿列方向排列配置 N 个；所述液晶像素（ P ）包括像素晶体管（ Tr ）及像素电极（ A ）；所述像素晶体管（ Tr ）具有栅极（ g ）、源极（ s ）、漏极（ d ）；所述像素电极（ A ）一端电性连接于

10 像素晶体管（ Tr ）的漏极（ d ），另一端电性连接于公共电压（ $VCOM$ ）；配置在同一行的像素晶体管（ Tr ）的栅极（ g ）与扫描信号线（ $Scan1 \sim Scan(N)$ ）的某一条公共连接，配置在同一列的像素晶体管（ Tr ）的源极（ s ）与液晶像素数据信号线（ $Line1 \sim Line(n)$ ）的某一条公共连接。所述行驱动扫描芯片与扫描信号线（ $Scan1 \sim Scan(N)$ ）电性连接，所述行驱动扫描芯片依次有选

15 择地激活扫描信号线（ $Scan1 \sim Scan(N)$ ）。具体地，所述行驱动扫描芯片具有 N 级移位寄存器。扫描信号线（ $Scan1 \sim Scan(N)$ ）根据移位寄存器的各级的输出信号，成为激活状态或非激活状态。所述每一触发器均位于数据驱动

控制芯片与相对应的液晶像素阵列区中的液晶像素数据信号线 (Line1~Line(n)) 之间, 且电性连接于数据驱动控制芯片的每一数据信号输出通道 (S1~ S(n))、点时钟信号 (CLK) 及相对应的液晶像素阵列区中的液晶像素数据信号线 (Line1~Line(n)); 所述数据信号输出通道 (S1~ S(n))

5 与相对应的液晶像素阵列区中的液晶像素数据信号线 (Line1~Line(n)) 一一对应电性连接; 所述 M 个触发器 (触发器 1~触发器 M) 依次相互连接, 形成 M 级移位寄存器; 对 M 级移位寄存器的串行数据时钟端供给时钟信号 (CLK);

所述 M 个触发器 (触发器 1~触发器 M) 均由点时钟信号 (CLK) 控制,

10 依次触发。

所述每一触发器对相应的液晶像素阵列区中的液晶像素数据信号线 (Line1~Line(n)) 一起控制为导通状态。

所述触发器控制数据驱动控制芯片对各个液晶像素阵列区的液晶像素 (P) 充电。

15 所述触发器包括: 触发器控制模块及与触发器控制模块电性连接的触发器输出模块; 所述触发器控制模块包括第一晶体管 (M1)、第二晶体管 (M2)、第三晶体管 (M3)、第四晶体管 (M4) 及电容 (C1); 所述第一

晶体管 (M1) 包括第一栅极 (g1)、第一源极 (s1) 及第一漏极 (d1), 所述第二晶体管 (M2) 包括第二栅极 (g2)、第二源极 (s2) 及第二漏极 (d2), 所述第三晶体管 (M3) 包括第三栅极 (g3)、第三源极 (s3) 及第三漏极 (d3), 所述第四晶体管 (M4) 包括第四栅极 (g4)、第四源极 (s4) 及第四漏极 (d4);

5 所述触发器输出模块包括 n 个输出晶体管 (T1~T(n)), 所述输出晶体管 (T1~T(n)) 具有栅极 (g1'~gn')、源极 (s1'~sn') 及漏极 (d1'~dn');

所述第一栅极 (g1) 与第一源极 (s1) 电性连接后形成第(m-1)脉冲信号输出端 Out(m-1), 所述第二漏极 (d2) 电性连接于电源负极 (Vss), 所述第三源极 (s3) 电性连接于点时钟信号 (CLK), 所述第四漏极 (d4) 电性连接于电源负极 (Vss), 所述第二栅极 (g2) 与第四栅极 (g4) 电性连接后形成第(m+1)脉冲信号输出端 Out(m+1), 所述电容 (C1) 一端电性连接于第一漏极 (d1) 与第二源极 (s2) 电性连接后与第三栅极 (g3) 连接形成的交点 (a1), 所述电容 (C1) 的另一端与第三漏极 (d3) 及第四源极 (s4) 电性连接后形成第 m 脉冲信号输出端 Out(m), 所述 n 个输出晶体管 (T1~Tn) 的栅极 (g1'~gn') 电性连接于第 m 脉冲信号输出端 Out(m), 所述 n 个输出晶体管 (T1~Tn) 的源极 (s1'~sn') 一一对应电性连接于数据驱动控制芯片 1 的数据信号输出通道 (S1~S(n)), 所述 n 个输出晶体管 (T1~Tn) 的漏极

($d1' \sim dn'$) ——对应电性连接于第 m 液晶像素阵列区 (Section(m)) 中的液晶像素数据信号线 (Line1~Line(n))。

本发明还提供一种液晶面板的电路结构，包括：具有 n 个数据信号输出通道的数据驱动控制芯片、行驱动扫描芯片、 M 个触发器、与 M 个触发器相对应的 M 个液晶像素阵列区、点时钟信号、及公共电压；

每一液晶像素阵列区包含： $(n \times N)$ 个液晶像素、 N 条扫描信号线、以及 n 条液晶像素数据信号线；所述液晶像素沿行方向排列配置 n 个，沿列方向排列配置 N 个；所述液晶像素包括像素晶体管及像素电极；所述像素晶体管具有栅极、源极、漏极；所述像素电极一端电性连接于像素晶体管的漏极，另一端电性连接于公共电压；配置在同一行的像素晶体管的栅极与扫描信号线的某一条公共连接，配置在同一列的像素晶体管的源极与液晶像素数据信号线的某一条公共连接；

所述行驱动扫描芯片与扫描信号线电性连接，所述行驱动扫描芯片依次有选择地激活扫描信号线；

所述每一触发器均位于数据驱动控制芯片与相对应的液晶像素阵列区中的液晶像素数据信号线之间，且电性连接于数据驱动控制芯片的每一数据信号输出通道、点时钟信号、及相对应的液晶像素阵列区中的液晶像素

数据信号线；所述数据信号输出通道与相对应的液晶像素阵列区中的液晶像素数据信号线——对应电性连接；

其中，所述 M 个触发器依次相互连接，所述 M 个触发器由点时钟信号控制，依次触发；

5 其中，所述每一触发器对相应的液晶像素阵列区中的液晶像素数据信号线一起控制为导通状态；

其中，所述触发器控制数据驱动控制芯片对各个液晶像素阵列区的液晶像素充电；

其中，所述触发器包括：触发器控制模块及与触发器控制模块电性连接的触发器输出模块；所述触发器控制模块包括第一晶体管、第二晶体管、第三晶体管、第四晶体管、及电容；所述第一晶体管包括第一栅极、第一源极及第一漏极，所述第二晶体管包括第二栅极、第二源极及第二漏极，所述第三晶体管包括第三栅极、第三源极及第三漏极，所述第四晶体管包括第四栅极、第四源极及第四漏极；所述触发器输出模块包括 n 个输出晶体管，所述输出晶体管具有栅极、源极及漏极；

10

15

所述第一栅极与第一源极电性连接后形成第(m-1)脉冲信号输出端 Out(m-1)，所述第二漏极电性连接于电源负极，所述第三源极电性连接于点

时钟信号，所述第四漏极电性连接于电源负极，所述第二栅极与第四栅极电性连接后形成第 $(m+1)$ 脉冲信号输出端 $Out(m+1)$ ，所述电容一端电性连接于第一漏极与第二源极电性连接后与第三栅极连接形成的交点，所述电容的另一端与第三漏极及第四源极电性连接后形成第 m 脉冲信号输出端

5 $Out(m)$ ，所述 n 个输出晶体管的栅极电性连接于第 m 脉冲信号输出端 $Out(m)$ ，所述 n 个输出晶体管的源极——对应电性连接于数据驱动控制芯片 1 的数据信号输出通道，所述 n 个输出晶体管的漏极——对应电性连接于第 m 液晶像素阵列区中的液晶像素数据信号线。

本发明还提供一种液晶面板的驱动方法，包括：

10 步骤 100、提供具有 n 个数据信号输出通道 ($S1 \sim S(n)$) 的数据驱动控制芯片、行驱动扫描芯片， M 个触发器（触发器 1~触发器 M ）与 M 个触发器相对应的 M 个液晶像素阵列区（Section1~Section(M))；

步骤 110、所述每一液晶像素阵列区包含： $(n \times N)$ 个液晶像素 (P)、 N 条扫描信号线（Scan1~Scan(N))、以及 n 条液晶像素数据信号线

15 （Line1~Line(n))；所述液晶像素 (P) 沿行方向排列配置 n 个，沿列方向排列配置 N 个；所述液晶像素 (P) 包括像素晶体管 (Tr) 及像素电极 (A)；所述像素晶体管 (Tr) 具有栅极 (g)、源极 (s)、漏极 (d)；所述像素电极

(A) 一端电性连接于像素晶体管 (Tr) 的漏极 (d), 另一端电性连接于公共电压 (VCOM); 配置在同一行的像素晶体管 (Tr) 的栅极 (g) 与扫描信号线 (Scan1~Scan(N)) 的某一条公共连接, 配置在同一列的像素晶体管 (Tr) 的源极 (s) 与液晶像素数据信号线 (Line1~Line(n)) 的某一条公共

5 连接;

步骤 120、所述行驱动扫描芯片与扫描信号线 (Scan1~Scan(N)) 电性连接, 所述行驱动扫描芯片依次有选择地激活扫描信号线 (Scan1~Scan(N));

步骤 130、所述每一触发器均位于数据驱动控制芯片与相对应的液晶像素阵列区中的液晶像素数据信号线 (Line1~Line(n)) 之间, 且电性连接于数据驱动控制芯片的每一数据信号输出通道 (S1~S(n)) 与相对应的液晶像素阵列区中的液晶像素数据信号线 (Line1~Line(n)); 所述数据信号输出通道 (S1~S(n)) 与相对应的液晶像素阵列区中的液晶像素数据信号线 (Line1~Line(n)) 一一对应电性连接;

步骤 140、M 个触发器 (触发器 1~触发器 M) 依次相互连接。

15 所述 M 个触发器 (触发器 1~触发器 M) 由点时钟信号 (CLK) 控制, 依次触发。

所述每一触发器对相应的液晶像素阵列区中的液晶像素数据信号线

(Line1~Line(n)) 一起控制为导通状态。

所述触发器控制数据驱动控制芯片对各个液晶像素阵列区的液晶像素 (P) 充电。

所述触发器包括：触发器控制模块及与触发器控制模块电性连接的触
5 发器输出模块；所述触发器控制模块包括第一晶体管 (M1)、第二晶体管
(M2)、第三晶体管 (M3)、第四晶体管 (M4) 及电容 (C1)；所述第一
晶体管 (M1) 包括第一栅极 (g1)、第一源极 (s1) 及第一漏极 (d1)，所
述第二晶体管 (M2) 包括第二栅极 (g2)、第二源极 (s2) 及第二漏极 (d2)，
所述第三晶体管 (M3) 包括第三栅极 (g3)、第三源极 (s3) 及第三漏极 (d3)，
10 所述第四晶体管 (M4) 包括第四栅极 (g4)、第四源极 (s4) 及第四漏极 (d4)；
所述触发器输出模块包括 n 个输出晶体管 (T1~T(n))，所述输出晶体管
(T1~T(n)) 具有栅极 (g1'~gn')、源极 (s1'~sn') 及漏极 (d1'~dn')；

所述第一栅极 (g1) 与第一源极 (s1) 电性连接后形成第(m-1)脉冲信
号输出端 Out(m-1)，所述第二漏极 (d2) 电性连接于电源负极 (Vss)，所
15 述第三源极 (s3) 电性连接于点时钟信号 (CLK)，所述第四漏极 (d4) 电
性连接于电源负极 (Vss)，所述第二栅极 (g2) 与第四栅极 (g4) 电性连
接后形成第(m+1)脉冲信号输出端 Out(m+1)，所述电容 (C1) 一端电性连

接于第一漏极 (d1) 与第二源极 (s2) 电性连接后与第三栅极 (g3) 连接形成的交点 (a1), 所述电容 (C1) 的另一端与第三漏极 (d3) 及第四源极 (s4) 电性连接后形成第 m 脉冲信号输出端 Out(m), 所述 n 个输出晶体管 (T1~Tn) 的栅极 (g1'~gn') 电性连接于第 m 脉冲信号输出端 Out(m), 所述 n 个输出晶体管 (T1~Tn) 的源极 (s1'~sn') 一一对应电性连接于数据驱动控制芯片 1 的数据信号输出通道 (S1~S(n)), 所述 n 个输出晶体管 (T1~Tn) 的漏极 (d1'~dn') 一一对应电性连接于第 m 液晶像素阵列区 (Section(m)) 中的液晶像素数据信号线 (Line1~Line(n))。

本发明的有益效果：本发明提供一种液晶面板的电路结构及液晶面板的驱动方法，通过在液晶像素数据信号线与数据驱动控制芯片之间设计 M 个触发器，相对应的将液晶面板分为 M 个液晶像素阵列区，触发器的依次触发，可以实现对这 M 个液晶像素阵列区的液晶像素依次充电，互不干扰，实现了数据驱动控制芯片的 n 个数据信号输出通道，对液晶面板中的液晶像素充电，大大缩减了数据驱动控制芯片的数据信号输出通道数，降低了液晶面板的生产成本；另外，触发器的开启时间与点时钟信号 (CLK) 有关，因此，数据驱动控制芯片对某液晶像素阵列区的液晶像素的充电时间将变得可控，进而可以解决液晶面板因左右两边与中间区充电不一致而造成

成的色偏现象。

为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

5

附图说明

下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的技术方案及其它有益效果显而易见。

附图中，

10

图 1 为本发明的液晶面板的电路结构图；

图 2a 为图 1 所示的液晶面板中触发器的设计示意图；

图 2b 为图 2a 所示的触发器的时序图；

图 3 为图 1 所示的液晶面板中触发器相互连接示意图；

图 4 为图 1 所示的液晶面板的时序图。

15

具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

请参阅图 1，本发明提供一种液晶面板的电路结构，包括：具有 n 个数据信号输出通道 ($S1 \sim S(n)$) 的数据驱动控制芯片 1、行驱动扫描芯片 2、 M 个触发器 3 (触发器 1~触发器 M) 与 M 个触发器相对应的 M 个液晶像素阵列区 4 (Section1~Section(M))、点时钟信号 (CLK)、及公共电压 (VCOM)；

每一液晶像素阵列区包含： $(n \times N)$ 个液晶像素 (P)、 N 条扫描信号线 ($Scan1 \sim Scan(N)$) 以及 n 条液晶像素数据信号线 ($Line1 \sim Line(n)$)；所述液晶像素 (P) 沿行方向排列配置 n 个，沿列方向排列配置 N 个；所述液晶像素 (P) 包括像素晶体管 (Tr) 及像素电极 (A)；所述像素晶体管 (Tr) 具有栅极 (g)、源极 (s)、漏极 (d)；所述像素电极 (A) 一端电性连接于像素晶体管 (Tr) 的漏极 (d)，另一端电性连接于公共电压 (VCOM)；配置在同一行的像素晶体管 (Tr) 的栅极 (g) 与扫描信号线 ($Scan1 \sim Scan(N)$) 的某一条公共连接，配置在同一列的像素晶体管 (Tr) 的源极 (s) 与液晶像素数据信号线 ($Line1 \sim Line(n)$) 的某一条公共连接。

其中，图 1 中所示的液晶像素 (P) 为简易图，详看图 3 中的液晶像素 (P)，以第一液晶像素阵列区 (Section1) 中第一行第一列的液晶像素 (P) 为例，包括像素晶体管 (Tr)、像素电极 (A) 及存储电容 (C)；所述像素

晶体管 (Tr) 具有栅极 (g)、源极 (s)、漏极 (d); 所述像素晶体管 (Tr) 的栅极 (g) 与第一扫描信号线 (Scan1) 的电性连接, 所述像素晶体管 (Tr) 的源极 (s) 与第一液晶像素数据信号线 (Line1) 的电性连接, 所述像素晶体管 (Tr) 的漏极 (d) 电性连接于像素电极 (A) 一端与存储电容 (C) 的上极板, 所述像素电极 (A) 的另一端电性连接于公共电压 (VCOM), 所述存储电容 (C) 的下极板电性连接于公共电压 (VCOM); 所述存储电容 (C) 用于保持对像素晶体管 (Tr) 施加的信号的状态, 直到施加下一个信号。所述行驱动扫描芯片 2 与扫描信号线 (Scan1~Scan(N)) 电性连接, 所述行驱动扫描芯片 2 依次有选择地激活扫描信号线 (Scan1~Scan(N))。具体地, 所述行驱动扫描芯片 2 具有 N 级移位寄存器。扫描信号线 (Scan1~Scan(N)) 根据移位寄存器的各级的输出信号, 成为激活状态或非激活状态。

在液晶面板的 TFT 玻璃基板上, 所述每一触发器均位于数据驱动控制芯片 1 与相对应的液晶像素阵列区中的液晶像素数据信号线 (Line1~Line(n)) 之间, 且电性连接于数据驱动控制芯片 1 的每一数据信号输出通道 (S1~S(n))、点时钟信号 (CLK) 及相对应的液晶像素阵列区中的液晶像素数据信号线 (Line1~Line(n)); 所述数据输出通道 (S1~S(n)) 与

相对应的液晶像素阵列区中的液晶像素数据信号线(Line1~Line(n))——对应电性连接;所述 M 个触发器 3 依次相互连接,形成 M 级移位寄存器;对 M 级移位寄存器的串行数据时钟端供给点时钟信号(CLK);所述 M 个触发器 3 由点时钟信号(CLK)控制,依次触发。

- 5 所述每一触发器对相应的液晶像素阵列区中的液晶像素数据信号线(Line1~Line(n))一起控制为导通状态。

所述每一触发器控制数据驱动控制芯片 1 对相应的液晶像素阵列区的液晶像素(P)充电。

- 请参阅图 2a 并结合图 1,图 2a 为图 1 所示的液晶面板中触发器的设计示意图,以触发器 m 工作时为例。包括触发器控制模块 30 及与触发器控制模块 30 电性连接的触发器输出模块 32;所述触发器控制模块 30 包括第一晶体管(M1)、第二晶体管(M2)、第三晶体管(M3)、第四晶体管(M4)及电容(C1);所述第一晶体管(M1)包括第一栅极(g1)、第一源极(s1)及第一漏极(d1),所述第二晶体管(M2)包括第二栅极(g2)、第二源极(s2)及第二漏极(d2),所述第三晶体管(M3)包括第三栅极(g3)、第三源极(s3)及第三漏极(d3),所述第四晶体管(M4)包括第四栅极(g4)、第四源极(s4)及第四漏极(d4);所述触发器输出模块 32 包括 n 个输出晶
- 10
- 15

晶体管 ($T1 \sim T(n)$), 所述输出晶体管 ($T1 \sim T(n)$) 具有栅极 ($g1' \sim gn'$)、源极 ($s1' \sim sn'$) 及漏极 ($d1' \sim dn'$)。

所述第一栅极 ($g1$) 与第一源极 ($s1$) 电性连接后形成第 $(m-1)$ 脉冲信号输出端 $Out(m-1)$, 所述第二漏极 ($d2$) 电性连接于电源负极 (V_{ss}), 所述第三源极 ($s3$) 电性连接于点时钟信号 (CLK), 所述第四漏极 ($d4$) 电性连接于电源负极 (V_{ss}), 所述第二栅极 ($g2$) 与第四栅极 ($g4$) 电性连接后形成第 $(m+1)$ 脉冲信号输出端 $Out(m+1)$, 所述电容 ($C1$) 一端电性连接于第一漏极 ($d1$) 与第二源极 ($s2$) 电性连接后与第三栅极 ($g3$) 连接形成的交点 ($a1$), 所述电容 ($C1$) 的另一端与第三漏极 ($d3$) 及第四源极 ($s4$) 电性连接后形成第 m 脉冲信号输出端 $Out(m)$, 所述 n 个输出晶体管 ($T1 \sim Tn$) 的栅极 ($g1' \sim gn'$) 电性连接于第 m 脉冲信号输出端 $Out(m)$, 所述 n 个输出晶体管 ($T1 \sim Tn$) 的源极 ($s1' \sim sn'$) 一一对应电性连接于数据驱动控制芯片 1 的数据信号输出通道 ($S1 \sim S(n)$), 所述 n 个输出晶体管 ($T1 \sim Tn$) 的漏极 ($d1' \sim dn'$) 一一对应电性连接于第 m 液晶像素阵列区 ($Section(m)$) 中的液晶像素数据信号线 ($Line1 \sim Line(n)$)。

请参阅图 2b 并结合图 1 及图 2a, 图 2b 为图 2a 所示的触发器的时序图。

本发明中触发器的工作过程为: 当第 $(m-1)$ 个触发器 (触发器 $(m-1)$) 打开时,

第(m-1)脉冲信号输出端 Out(m-1)为高脉冲信号，这时数据驱动控制芯片 1 对第(m-1)液晶像素阵列区 (Section (m-1)) 中的 $n \times N$ 个液晶像素 (P) 充电。

此时，第 m 个触发器 (触发器 m) 的工作状态为：第一晶体管 (M1) 与第三晶体管 (M3) 打开，第 m 脉冲信号输出端 Out(m) 因点时钟信号 (CLK) 为低电平而为低脉冲信号，此时第 m 个触发器 (触发器 m) 处于关闭状态。当点时钟信号 (CLK) 为高电平时，第 m 脉冲信号输出端 Out(m) 输出为高脉冲信号，第 m 个触发器 (触发器 m) 处于开启状态，控制数据驱动芯片 1 对第 m 液晶像素阵列区 (Section (m)) 中的 $n \times N$ 个液晶像素 (P) 充电。

由于第 m 脉冲信号输出端 Out(m) 输出为高脉冲信号，第(m-1)个触发器 (触发器(m-1)) 中的第二晶体管 (M2) 与第四晶体管 (M4) 处于开启状态，致使第(m-1)脉冲信号输出端 Out (m-1) 输出为低脉冲信号。

以上所述，M 个触发器 3 依次被打开，控制数据驱动控制芯片 1 依次对不同液晶像素阵列区 (Section1 ~ SectionM) 中的液晶像素 (P) 充电。

请参阅 3 并结合图 1、图 2a、及图 2b，图 3 为图 1 所示的液晶面板中触发器相互连接示意图，以触发器 1 与触发器 2 相互连接为例。触发器 1 中输出晶体管 (T1 ~ T(n)) 的源极 (s1' ~ sn') 与触发器 2 中输出晶体管 (T1 ~ T(n)) 的源极 (s1' ~ sn') 一一对应连接后与数据驱动控制芯片 1 的数

据信号输出通道 ($S1 \sim S(n)$) 一一对应电性连接；触发器 1 中输出晶体管 ($T1 \sim T(n)$) 的栅极 ($g1' \sim gn'$) 电性连接于触发器 1 的第 1 脉冲信号输出端 Out1；触发器 1 中输出晶体管 ($T1 \sim T(n)$) 的漏极 ($d1' \sim dn'$) 电性连接于第 1 液晶像素阵列区 (Section 1) 的液晶像素数据信号线 ($Line1 \sim Line(n)$)；触

5 发器 2 中输出晶体管 ($T1 \sim T(n)$) 的栅极 ($g1' \sim gn'$) 电性连接于触发器 2 的第 2 脉冲信号输出端 Out2；触发器 2 中输出晶体管 ($T1 \sim T(n)$) 的漏极 ($d1' \sim dn'$) 电性连接于第 2 液晶像素阵列区 (Section2) 的液晶像素数据信号线 ($Line1 \sim Line(n)$)。具体地，当触发器 1 打开时，触发器 2 关闭，数据驱动控制芯片 1 给第 1 液晶像素阵列区 (Section 1) 中的 $n \times N$ 个液晶像素

10 (P) 充电；当触发器 2 打开时，触发器 1 关闭，数据驱动控制芯片 1 给第 2 液晶像素阵列区 (Section2) 中的 $n \times N$ 个液晶像素 (P) 充电。

请参阅图 4 并结合图 1、图 2a、图 2b、及图 3，其中图 4 为图 1 所示的液晶面板的时序图。图 3 中 Out(m-1)、Out(m)、Out(m+1) 为第(m-1)的脉冲信号输出端、第(m)的脉冲信号输出端、及第(m+1)的脉冲信号输出端，

15 用于连接触发器(m-1)、触发器(m)及触发器(m+1)；Section(m-1)Data、Section(m)Data、Section(m+1)Data 为液晶像素阵列区 4 中第(m-1)液晶像素阵列区 (Section(m-1))、第(m)液晶像素阵列区 (Section(m))、及第(m+1)

液晶像素阵列区 (Section(m+1)) 的数据信号。

由图 4 可以看出，本发明的工作过程为：M 个触发器相互连接，由点时钟信号 (CLK) 控制，依次触发。当触发器 m 工作时，触发器 m 将相对应的第 m 液晶像素阵列区 (Section(m)) 的液晶像素 (P) 与数据驱动控制芯片 1 导通相连，此时数据驱动控制芯片 1 对第 m 液晶像素阵列区 (Section(m)) 的液晶像素 (P) 充电，而其它的触发器 (触发器 1~触发器 (m-1)、触发器 (m+1)~触发器 (M)) 将相对应的液晶像素阵列区 (Section1~Section(m-1)、Section(m+1)~Section(M)) 中的液晶像素 (P) 与数据驱动控制芯片 1 断开连接。

因此，通过在液晶像素数据信号线与数据驱动控制芯片之间设计 M 个触发器，相对应的将液晶面板分为 M 个液晶像素阵列区，触发器的依次触发，可以实现对这 M 个液晶像素阵列区的液晶像素 (P) 依次充电，互不干扰，实现了数据驱动控制芯片的 n 个数据信号输出通道 (S1~S(n))，对液晶面板中的液晶像素 (P) 充电，大大缩减了数据驱动控制芯片的数据信号输出通道数；另外，触发器的开启时间与点时钟信号 (CLK) 有关，因此，数据驱动控制芯片对某液晶像素阵列区的液晶像素 (P) 的充电时间将变得可控，进而可以解决液晶面板因左右两边与中间区充电不一致而造成的色

偏现象。

根据本发明液晶面板的电路结构，本发明还相应提供了一种液晶面板的驱动方法，主要包括：

步骤 100、提供具有 n 个数据信号输出通道的数据驱动控制芯片、行驱动扫描芯片， M 个触发器、与 M 个触发器相对应的 M 个液晶像素阵列区；

步骤 110、所述每一液晶像素阵列区包含： $(n \times N)$ 个液晶像素、 N 条扫描信号线、以及 n 条液晶像素数据信号线；所述液晶像素沿行方向排列配置 n 个，沿列方向排列配置 N 个；所述液晶像素包括像素晶体管及像素电极；所述像素晶体管具有栅极、源极、漏极；所述像素电极一端电性连接于像素晶体管的漏极，另一端电性连接于公共电压（ V_{COM} ）；配置在同一行的像素晶体管的栅极与扫描信号线的某一条公共连接，配置在同一列的像素晶体管的源极与液晶像素数据信号线的某一条公共连接；

步骤 120、所述行驱动扫描芯片与扫描信号线电性连接，所述行驱动扫描芯片依次有选择地激活扫描信号线；

步骤 130、所述每一触发器均位于数据驱动控制芯片与相对应的液晶像素阵列区中的液晶像素数据信号线之间，且电性连接于数据驱动控制芯片的每一数据信号输出通道与相对应的液晶像素阵列区中的液晶像素数据信

号线；所述数据输出通道与相对应的液晶像素阵列区中的液晶像素数据信号线一一对应电性连接；

步骤 140、M 个触发器依次相互连接，由点时钟信号（CLK）控制，依次触发；

5 步骤 150、每一触发器对相应的液晶像素阵列区中的液晶像素数据信号线一起控制为导通状态，每一触发器控制数据驱动控制芯片对相应的液晶像素阵列区的液晶像素充电。

该液晶面板的驱动方法可以根据前述说明及图 1，图 2a、图 2b、图 3、及图 4 来理解，在此不再赘述。

10 综上所述，本发明提供一种液晶面板的电路结构及液晶面板的驱动方法，通过在液晶像素数据信号线与数据驱动控制芯片之间设计 M 个触发器，相对应的将液晶面板分为 M 个液晶像素阵列区，触发器的依次触发，可以实现对这 M 个液晶像素阵列区的液晶像素依次充电，互不干扰，实现了数据驱动控制芯片的 n 个数据信号输出通道，对液晶面板中的液晶像素充电，

15 大大缩减了数据驱动控制芯片的数据信号输出通道数，降低了液晶面板的生产成本；另外，触发器的开启时间与点时钟信号（CLK）有关，因此，数据驱动控制芯片对某液晶像素阵列区的液晶像素的充电时间将变得可

控，进而可以解决液晶面板因左右两边与中间区充电不一致而造成的色偏现象。

以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形

5 都应属于本发明权利要求的保护范围。

权 利 要 求

1、一种液晶面板的电路结构，包括：具有 n 个数据信号输出通道的数据驱动控制芯片、行驱动扫描芯片、 M 个触发器、与 M 个触发器相对应的

5 M 个液晶像素阵列区、点时钟信号、及公共电压；

每一液晶像素阵列区包含： $(n \times N)$ 个液晶像素、 N 条扫描信号线、以及 n 条液晶像素数据信号线；所述液晶像素沿行方向排列配置 n 个，沿列方向排列配置 N 个；所述液晶像素包括像素晶体管及像素电极；所述像素晶体管具有栅极、源极、漏极；所述像素电极一端电性连接于像素晶体管的漏极，另一端电性连接于公共电压；配置在同一行的像素晶体管的栅极与扫描信号线的某一条公共连接，配置在同一列的像素晶体管的源极与液晶像素数据信号线的某一条公共连接；

所述行驱动扫描芯片与扫描信号线电性连接，所述行驱动扫描芯片依次有选择地激活扫描信号线；

15 所述每一触发器均位于数据驱动控制芯片与相对应的液晶像素阵列区中的液晶像素数据信号线之间，且电性连接于数据驱动控制芯片的每一数据信号输出通道、点时钟信号、及相对应的液晶像素阵列区中的液晶像素数据信号线；所述数据信号输出通道与相对应的液晶像素阵列区中的液晶

像素数据信号线——对应电性连接。

2、如权利要求 1 所述的液晶面板的电路结构，其中，所述 M 个触发器依次相互连接，所述 M 个触发器由点时钟信号控制，依次触发。

3、如权利要求 2 所述的液晶面板的电路结构，其中，所述每一触发器对相应的液晶像素阵列区中的液晶像素数据信号线一起控制为导通状态。

4、如权利要求 3 所述的液晶面板的电路结构，其中，所述触发器控制数据驱动控制芯片对各个液晶像素阵列区的液晶像素充电。

5、如权利要求 4 所述的液晶面板的电路结构，其中，所述触发器包括：触发器控制模块及与触发器控制模块电性连接的触发器输出模块；所述触发器控制模块包括第一晶体管、第二晶体管、第三晶体管、第四晶体管、及电容；所述第一晶体管包括第一栅极、第一源极及第一漏极，所述第二晶体管包括第二栅极、第二源极及第二漏极，所述第三晶体管包括第三栅极、第三源极及第三漏极，所述第四晶体管包括第四栅极、第四源极及第四漏极；所述触发器输出模块包括 n 个输出晶体管，所述输出晶体管具有栅极、源极及漏极；

所述第一栅极与第一源极电性连接后形成第(m-1)脉冲信号输出端 Out(m-1)，所述第二漏极电性连接于电源负极，所述第三源极电性连接于点

时钟信号，所述第四漏极电性连接于电源负极，所述第二栅极与第四栅极电性连接后形成第 $(m+1)$ 脉冲信号输出端 $Out(m+1)$ ，所述电容一端电性连接于第一漏极与第二源极电性连接后与第三栅极连接形成的交点，所述电容的另一端与第三漏极及第四源极电性连接后形成第 m 脉冲信号输出端 $Out(m)$ ，所述 n 个输出晶体管的栅极电性连接于第 m 脉冲信号输出端 $Out(m)$ ，所述 n 个输出晶体管的源极——对应电性连接于数据驱动控制芯片 1 的数据信号输出通道，所述 n 个输出晶体管的漏极——对应电性连接于第 m 液晶像素阵列区中的液晶像素数据信号线。

6、一种液晶面板的电路结构，包括：具有 n 个数据信号输出通道的数据驱动控制芯片、行驱动扫描芯片、 M 个触发器、与 M 个触发器相对应的 M 个液晶像素阵列区、点时钟信号、及公共电压；

每一液晶像素阵列区包含： $(n \times N)$ 个液晶像素、 N 条扫描信号线、以及 n 条液晶像素数据信号线；所述液晶像素沿行方向排列配置 n 个，沿列方向排列配置 N 个；所述液晶像素包括像素晶体管及像素电极；所述像素晶体管具有栅极、源极、漏极；所述像素电极一端电性连接于像素晶体管的漏极，另一端电性连接于公共电压；配置在同一行的像素晶体管的栅极与扫描信号线的某一条公共连接，配置在同一列的像素晶体管的源极与液

晶像素数据信号线的某一条公共连接；

所述行驱动扫描芯片与扫描信号线电性连接，所述行驱动扫描芯片依次有选择地激活扫描信号线；

所述每一触发器均位于数据驱动控制芯片与相对应的液晶像素阵列区
5 中的液晶像素数据信号线之间，且电性连接于数据驱动控制芯片的每一数据信号输出通道、点时钟信号、及相对应的液晶像素阵列区中的液晶像素数据信号线；所述数据信号输出通道与相对应的液晶像素阵列区中的液晶像素数据信号线——对应电性连接；

其中，所述 M 个触发器依次相互连接，所述 M 个触发器由点时钟信号
10 控制，依次触发；

其中，所述每一触发器对相应的液晶像素阵列区中的液晶像素数据信号线一起控制为导通状态；

其中，所述触发器控制数据驱动控制芯片对各个液晶像素阵列区的液晶像素充电；

15 其中，所述触发器包括：触发器控制模块及与触发器控制模块电性连接的触发器输出模块；所述触发器控制模块包括第一晶体管、第二晶体管、第三晶体管、第四晶体管、及电容；所述第一晶体管包括第一栅极、第一

源极及第一漏极，所述第二晶体管包括第二栅极、第二源极及第二漏极，所述第三晶体管包括第三栅极、第三源极及第三漏极，所述第四晶体管包括第四栅极、第四源极及第四漏极；所述触发器输出模块包括 n 个输出晶体管，所述输出晶体管具有栅极、源极及漏极；

5 所述第一栅极与第一源极电性连接后形成第 $(m-1)$ 脉冲信号输出端 $Out(m-1)$ ，所述第二漏极电性连接于电源负极，所述第三源极电性连接于点时钟信号，所述第四漏极电性连接于电源负极，所述第二栅极与第四栅极电性连接后形成第 $(m+1)$ 脉冲信号输出端 $Out(m+1)$ ，所述电容一端电性连接于第一漏极与第二源极电性连接后与第三栅极连接形成的交点，所述电容
10 的另一端与第三漏极及第四源极电性连接后形成第 m 脉冲信号输出端 $Out(m)$ ，所述 n 个输出晶体管的栅极电性连接于第 m 脉冲信号输出端 $Out(m)$ ，所述 n 个输出晶体管的源极——对应电性连接于数据驱动控制芯片 1 的数据信号输出通道，所述 n 个输出晶体管的漏极——对应电性连接于第 m 液晶像素阵列区中的液晶像素数据信号线。

15 7、一种液晶面板的驱动方法，包括：

步骤 100、提供具有 n 个数据信号输出通道的数据驱动控制芯片、行驱动扫描芯片、 M 个触发器、与 M 个触发器相对应的 M 个液晶像素阵列区；

步骤 110、所述每一液晶像素阵列区包含： $(n \times N)$ 个液晶像素、 N 条扫描信号线、以及 n 条液晶像素数据信号线；所述液晶像素沿行方向排列配置 n 个，沿列方向排列配置 N 个；所述液晶像素包括像素晶体管及像素电极；所述像素晶体管具有栅极、源极、漏极；所述像素电极一端电性连接于像素晶体管的漏极，另一端电性连接于公共电压；配置在同一行的像素晶体管的栅极与扫描信号线的某一条公共连接，配置在同一列的像素晶体管的源极与液晶像素数据信号线的某一条公共连接；

步骤 120、所述行驱动扫描芯片与扫描信号线电性连接，所述行驱动扫描芯片依次有选择地激活扫描信号线；

步骤 130、所述每一触发器均位于数据驱动控制芯片与相对应的液晶像素阵列区中的液晶像素数据信号线之间，且电性连接于数据驱动控制芯片的每一数据信号输出通道与相对应的液晶像素阵列区中的液晶像素数据信号线；所述数据信号输出通道与相对应的液晶像素阵列区中的液晶像素数据信号线——对应电性连接；

步骤 140、 M 个触发器依次相互连接。

8、如权利要求 7 所述的液晶面板的驱动方法，其中，所述 M 个触发器由点时钟信号控制，依次触发。

9、如权利要求 8 所述的液晶面板的驱动方法，其中，所述每一触发器对相应的液晶像素阵列区中的液晶像素数据信号线一起控制为导通状态。

10、如权利要求 9 所述的液晶面板的驱动方法，其中，所述触发器控制数据驱动控制芯片对各个液晶像素阵列区的液晶像素充电。

5 11、如权利要求 10 所述的液晶面板的驱动方法，其中，所述触发器包括：触发器控制模块及与触发器控制模块电性连接的触发器输出模块；所述触发器控制模块包括第一晶体管、第二晶体管、第三晶体管、第四晶体管、及电容；所述第一晶体管包括第一栅极、第一源极及第一漏极，所述第二晶体管包括第二栅极、第二源极及第二漏极，所述第三晶体管包括第
10 三栅极、第三源极及第三漏极，所述第四晶体管包括第四栅极、第四源极及第四漏极；所述触发器输出模块包括 n 个输出晶体管，所述输出晶体管具有栅极、源极及漏极；

所述第一栅极与第一源极电性连接后形成第 $(m-1)$ 脉冲信号输出端 $Out(m-1)$ ，所述第二漏极电性连接于电源负极，所述第三源极电性连接于点
15 时钟信号，所述第四漏极电性连接于电源负极，所述第二栅极与第四栅极电性连接后形成第 $(m+1)$ 脉冲信号输出端 $Out(m+1)$ ，所述电容一端电性连接于第一漏极与第二源极电性连接后与第三栅极连接形成的交点，所述电容

的另一端与第三漏极及第四源极电性连接后形成第 m 脉冲信号输出端 $\text{Out}(m)$ ，所述 n 个输出晶体管的栅极电性连接于第 m 脉冲信号输出端 $\text{Out}(m)$ ，所述 n 个输出晶体管的源极——对应电性连接于数据驱动控制芯片 1 的数据信号输出通道，所述 n 个输出晶体管的漏极——对应电性连接于第 m 液晶像素阵列区中的液晶像素数据信号线。

1/5

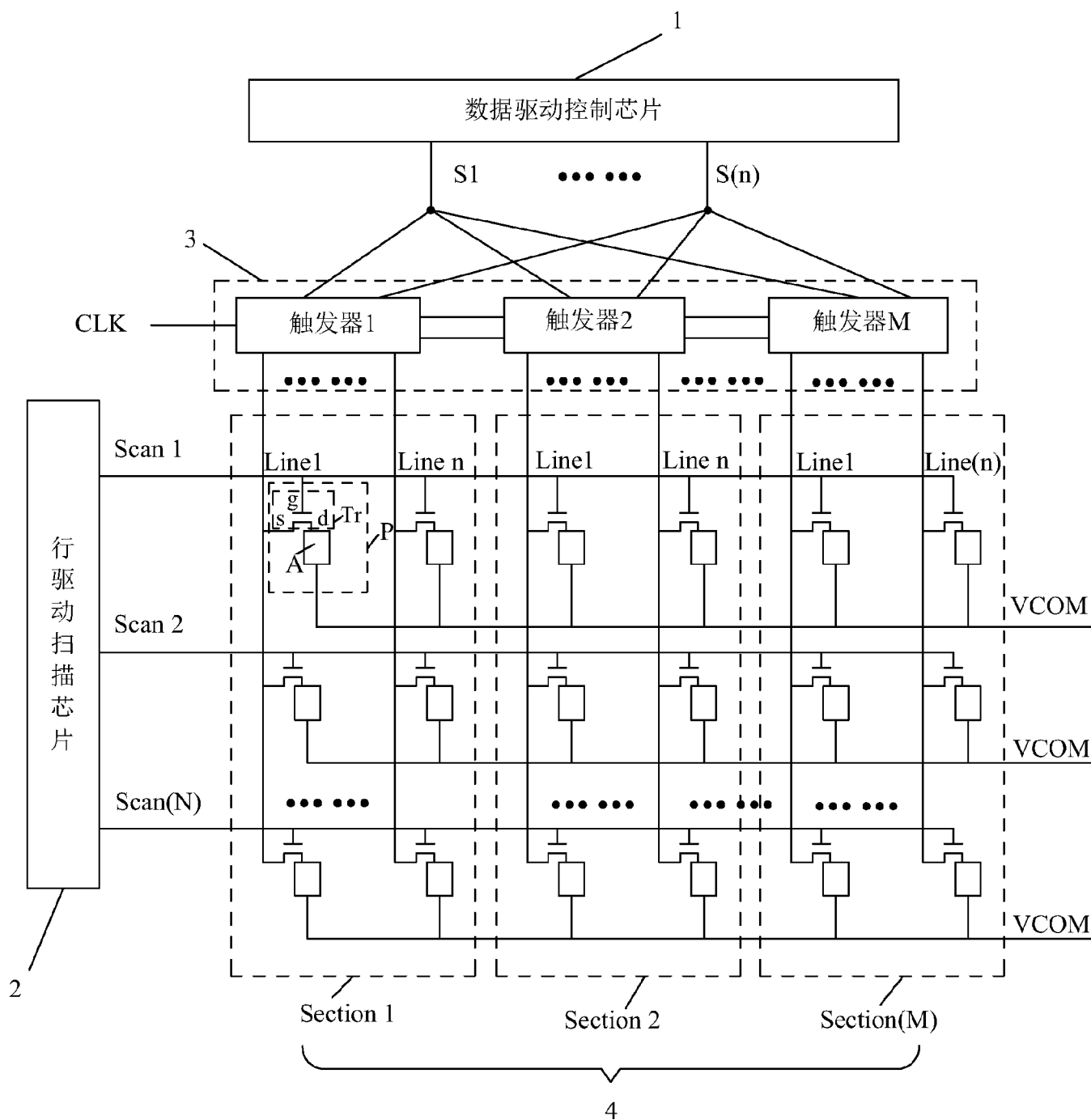


图1

2/5

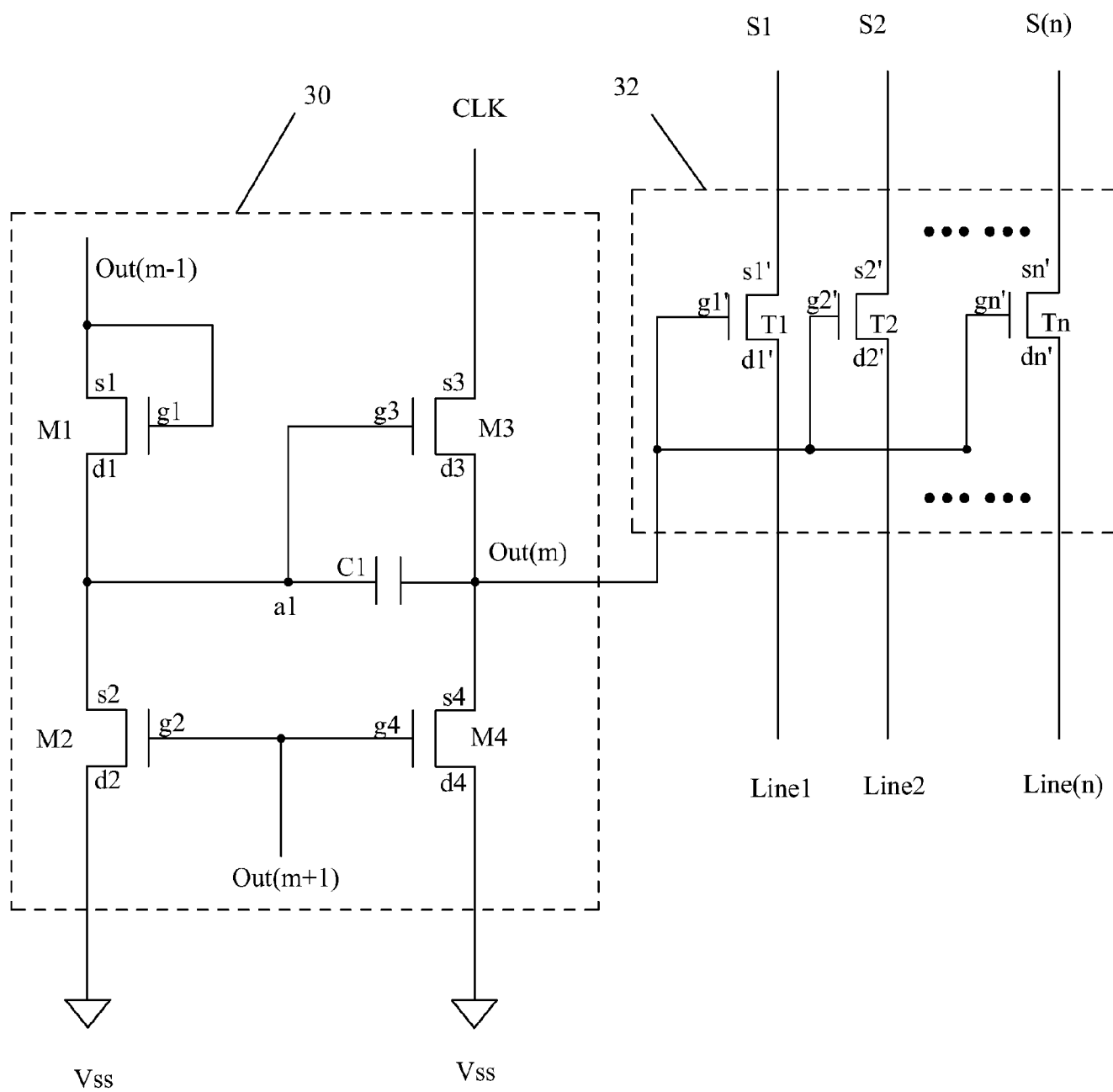


图2a

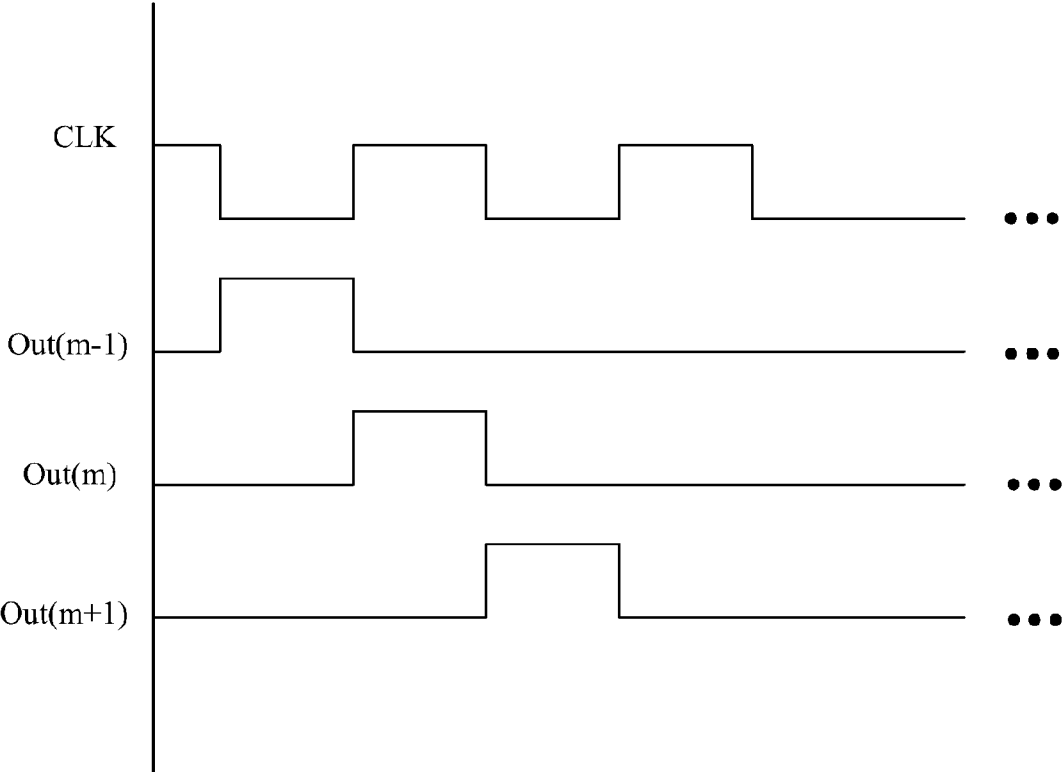


图2b

4/5

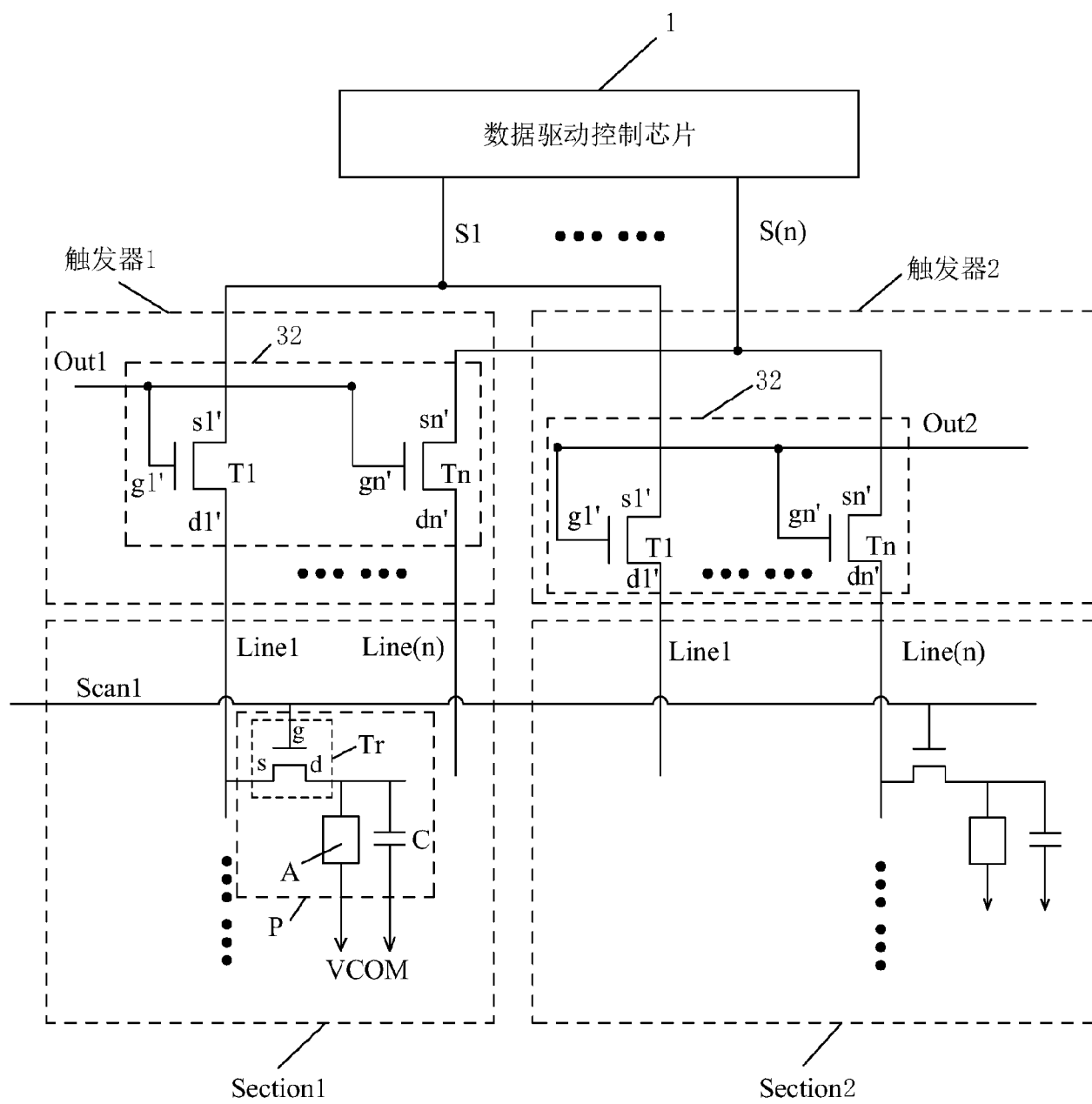


图3

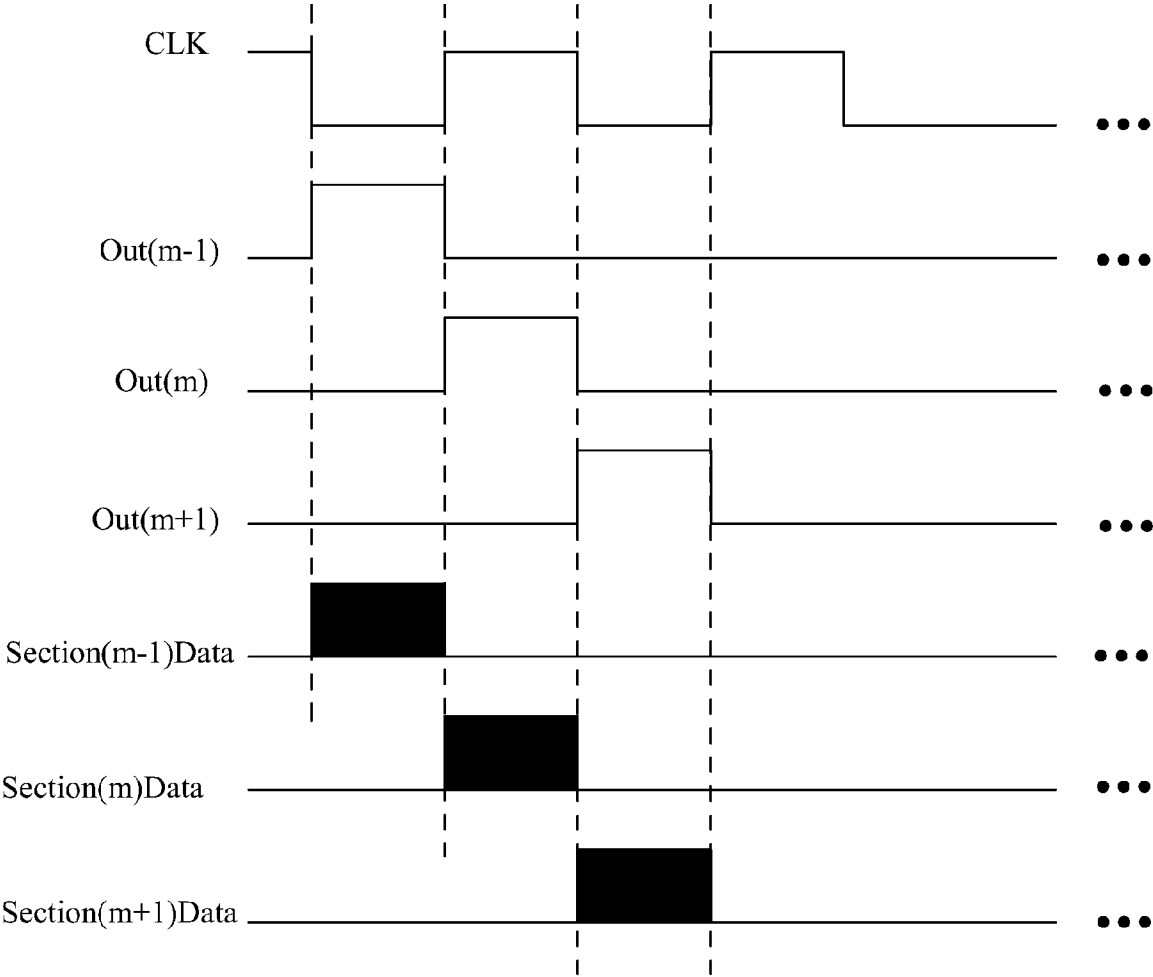


图4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2014/079707

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, CNKI, EPODOC, WPI: HUAXING OPTOELECTRONICS; ZHU, Jiang; row drive, liquid 2d crystal, (source or data) 2d driv???, gate 2d driv???, flip 2d flop?

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2009300958 A (CANON K.K.), 24 December 2009 (24.12.2009), description, paragraphs 16-20, 33-36 and 54-56, and figures 1-4, 7 and 9	1-4, 7-10
A	CN 103165095 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 19 June 2013 (19.06.2013), the whole document	1-11
A	CN 101336447 A (SHARP KABUSHIKI KAISHA), 31 December 2008 (31.12.2008), the whole document	1-11
A	CN 102804254 A (SHARP KABUSHIKI KAISHA), 28 November 2012 (28.11.2012), the whole document	1-11
A	US 8542177 B2 (LEE, W.W.), 24 September 2013 (24.09.2013), the whole document	1-11
A	US 6496169 B1 (KABUSHIKI KAISHA TOSHIBA), 17 December 2002 (17.12.2002), the whole document	1-11

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	"&" document member of the same patent family

Date of the actual completion of the international search 11 February 2015 (11.02.2015)	Date of mailing of the international search report 02 March 2015 (02.03.2015)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer BAO, Xuri Telephone No.: (86-10) 82245127

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2014/079707

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2009300958 A	24 December 2009	None	
CN 103165095 A	19 June 2013	WO 2014153792 A1	02 October 2014
		US 2014292731 A1	02 October 2014
CN 101336447 A	31 December 2008	JP 4782191 B2	28 September 2011
		US 8085236 B2	27 December 2011
		US 2009121998 A1	14 May 2009
		CN 101336447 B	29 February 2012
		WO 2007108177 A1	27 September 2007
CN 102804254 A	28 November 2012	US 8780017 B2	15 July 2014
		US 2012092317 A1	19 April 2012
		WO 2010146741 A1	23 December 2010
US 8542177 B2	24 September 2013	US 2010090992 A1	15 April 2010
		KR 20100041522 A	22 April 2010
US 6496169 B1	17 December 2002	TW 457389 B	01 October 2001
		JPH 11338440 A	10 December 1999
		JP 3034515 B	17 April 2000

国际检索报告

国际申请号

PCT/CN2014/079707

A. 主题的分类

G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G 3/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, CNTXT, CNKI, EPODOC, WPI: 华星光电, 朱江, 液晶, 数据驱动, 源极驱动, 行驱动, 栅极驱动, 触发器 liquid 2d crystal, (source or data) 2d driv??, gate 2d driv??, flip 2d flop?

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	JP 2009300958 A (CANON K.K.) 2009年 12月 24日 (2009 - 12 - 24) 说明书第16-20、33-36、54-56段, 附图1-4、7、9	1-4, 7-10
A	CN 103165095 A (深圳市华星光电技术有限公司) 2013年 6月 19日 (2013 - 06 - 19) 全文	1-11
A	CN 101336447 A (夏普株式会社) 2008年 12月 31日 (2008 - 12 - 31) 全文	1-11
A	CN 102804254 A (夏普株式会社) 2012年 11月 28日 (2012 - 11 - 28) 全文	1-11
A	US 8542177 B2 (LEE, WHEE-WON) 2013年 9月 24日 (2013 - 09 - 24) 全文	1-11
A	US 6496169 B1 (KABUSHIKI KAISHA TOSHIBA) 2002年 12月 17日 (2002 - 12 - 17) 全文	1-11

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2015年 2月 11日

国际检索报告邮寄日期

2015年 3月 2日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

授权官员

鲍旭日

传真号 (86-10)62019451

电话号码 (86-10)82245127

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2014/079707

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
JP	2009300958	A	2009年 12月 24日	无			
CN	103165095	A	2013年 6月 19日	WO	2014153792	A1	2014年 10月 2日
				US	2014292731	A1	2014年 10月 2日
CN	101336447	A	2008年 12月 31日	JP	4782191	B2	2011年 9月 28日
				US	8085236	B2	2011年 12月 27日
				US	2009121998	A1	2009年 5月 14日
				CN	101336447	B	2012年 2月 29日
				WO	2007108177	A1	2007年 9月 27日
CN	102804254	A	2012年 11月 28日	US	8780017	B2	2014年 7月 15日
				US	2012092317	A1	2012年 4月 19日
				WO	2010146741	A1	2010年 12月 23日
US	8542177	B2	2013年 9月 24日	US	2010090992	A1	2010年 4月 15日
				KR	20100041522	A	2010年 4月 22日
US	6496169	B1	2002年 12月 17日	TW	457389	B	2001年 10月 1日
				JP	H11338440	A	1999年 12月 10日
				JP	3034515	B	2000年 4月 17日

表 PCT/ISA/210 (同族专利附件) (2009年7月)