

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 21/285

(11) 공개번호 특1998-032971
(43) 공개일자 1998년07월25일

(21) 출원번호	특1997-053690
(22) 출원일자	1997년10월20일
(30) 우선권주장	60/028798 1996년10월31일 미국(US) 8/784657 1997년01월21일 미국(US)
(71) 출원인	텍사스인스트루먼트인코포레이티드 윌리엄비.캠플러 미국 텍사스주 달라스 노스 센트랄 익스프레스웨이 13500
(72) 발명자	루지웅-핑 미국 75243 텍사스주 달라스 포레스트 레인 넘버 1310 9744
(74) 대리인	장수길, 주성민

심사청구 : 없음

(54) 낮은 결함밀도의 등각 Ti-Si-N 및 Ti-B-N 기초장벽막 제조방법

요약

본 발명은 Ti-Si-N 또는 Ti-B-N 막의 CVD 방법(process)에 관한 것이며, 이러한 방법에 있어서 하나의 공급개스(바람직하게는 TDMAT)는 티타늄과 질소의 소스가 되며, 다른 하나의 공급개스는 실리콘 또는 붕소의 소스로서 사용된다. 이것은 양호한 등각성(conformality)을 제공하는 동안은 기상 미립자의 핵형성(nucleation)을 피할 수 있도록 해준다. 필요한 두께로 증착이 완료되면, 티타늄/질소 또는 티타늄/붕소 소스가 차단된 후, 어느 정도의 시간 동안 실리콘 또는 붕소 공급 개스가 계속해서 흐르게 된다. 이렇게 하면 Si가 풍부하거나(Si-rich) 또는 B가 풍부한(B-rich) 표면을 갖는 Ti-N 막이 얻어지게 되고, 이 막은 등각 막으로서, 낮은 결함 밀도를 갖는다. 제2 실시예에서 TDMAT와 같은 하나의 공급개스는 열적으로 분해되어 Ti-N 층을 형성한다. 증착후 어닐링(post-deposition anneal)은 규소 또는 붕소를 공급하는 개스 분위기에서 수행되어 이들 재료를 층에 편입(incorporate)시킨다. 실리콘 또는 붕소를 층에 편입시키면 산소가 막에 흡수되는 것을 최소화할 수 있게 되어 막을 안정화시킬 수 있다. Si가 풍부하거나 또는 B가 풍부한 표면은 Al의 습식화(wetting)와 Cu의 점착력(adhesion)의 증대에 도움이 되므로 향상된 금속화(metallization)의 응용(application)에 유리하다. 스퍼터링법과 비교하면, 본 발명은 보다 나은 단계의 스텝커버리지와 Si/Ti 비율의 보다 용이한 제어로 막을 증착하는 방법을 제공한다. TDEAT + NH₃ + SiH₄ 방법과 비교하면, 본 발명은 Ti 소스와 NH₃ 간의 기상반응(gas phase reaction)을 제거한다.

대표도

도1

명세서

도면의 간단한 설명

도 1은 본 발명의 제1실시예를 나타내는 흐름도.

도 2는 종래 기술의 막형성 방법을 이용하여 형성된 막과 본 발명의 실시예에 따라 형성된 막의 박판 저항(공기에 노출된 시간의 함수)을 나타내는 그래프.

도 3a와 도 3b는 XPS(X-ray photoelectron spectroscopy) 깊이 프로파일 분석에서 얻어진 데이터를 예시하는 도면으로서, 도 3a는 종래 기술의 방법을 이용하여 형성된 막내의 탄소, 산소, 질소, 티타늄 및 실리콘의 원자 농도를 나타내는 도면이고, 도 3b는 본 발명의 방법을 이용하여 형성된 막내의 탄소, 산소, 질소, 티타늄 및 실리콘의 원자 농도를 나타내는 도면.

도 4는 본 발명의 방법을 이용하여 형성된 막의 전도전자 회절 패턴(transmission electron diffraction pattern)을 나타내는 도면.

도 5는 본 발명의 제2 실시예를 나타내는 흐름도.

도 5a와 도 5b는 본 발명의 방법에 의해 증착된 장벽막층 상의 금속화의 일예를 나타내는 도면.

도 6은 증착된 Ti-Si-N의 박판저항과 증착후 실란 어닐링 시간 간의 관계를 나타내는 그래프.

도 7은 증착된 Ti-Si-N의 박판저항과 Ti-Si-N을 증착하는 동안 실란이 흐르는 양간의 관계를 나타낸 그래프.

도 8은 혁신적 층을 관통하는 단부의 현미경 사진으로서, 본 발명의 방법에 의한 층이 등각 특성을 가지

고 있음을 나타내는 도면.

도면의 주요 부분에 대한 부호의 설명

510 : 전도층

515 : 유전체

520 : 중간레벨 유전체

530 : 슬롯

540 : 홀

550 : 금속

560 : 폴리사이드 게이트

564 : 중간레벨 유전체

566 : 콘택 위치

580 : 금속층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 집적회로의 구조와 제조 방법에 관한 것이다.

통상 TiN(Titanium nitride)은 콘택과, 비어(vias) 및 트렌치의 확산장벽으로 사용되며, 상호 접속 적층(interconnect stack)에 이용된다. TiN은 화학 기상 증착된(CVD) 텅스텐용의 접착층(glue layer)과, CVD 텅스텐 및 CVD 알루미늄용의 핵형성층(nucleation layer)의 역할도 한다. 양호한 장벽층은 콘택/비어/트렌치 저부에서 무-기공 플러그 형성(void-free plug formation)과 적절한 장벽 두께를 달성할 수 있는 양호한 스텝커버리지와; 텅스텐을 증착하는 동안 금속 및 WF_6 가 확산되어 기초 금속(underlying metal) 또는 실리콘을 침식(attack)하는 것을 방지할 수 있는 양호한 확산장벽특성(diffusion barrier properties)과; 열적 사이클 동안 인접 재료와의 비활성 및 낮은 반응성; 및 낮은 저항률(resistivity), 낮은 콘택/비어 저항(resistance) 및 낮은 접합 누설(junction leakage) 등의 수용가능한 전기적 특성을 가져야한다. 더욱이 장벽층은 상호 접속 적층 두께를 줄일 수 있도록 가능한 얇아야한다.

통상적으로는 반응성 스퍼터된 TiN과 티타늄의 금속화 열적인 질화에 의해 형성된 TiN이 확산 장벽으로 사용되어 왔다. 현재는 서브 0.35 μm 의 콘택과, 트렌치 및 비어에 대한 스텝커버리지의 요구에 부응하기 위해 PVD TiN을 CVD TiN으로 대체하는 추세에 있다. CVD TiN은 금속의 신뢰성 문제 뿐만 아니라 PVD TiN과 관련된 접합 누설의 문제도 극복한다. CVD TiN은 낮은 콘택 저항과 누설을 유지하는 동안 550°C의 열적인 스트레스를 견딜 수 있다. 더욱이 CVD TiN은 비교되는 PVD TiN보다 잠재적으로 보다 청결한 방법이다.

발명이 이루고자 하는 기술적 과제

$TiCl_4$ 와 NH_3 를 반응시켜 증착된 CVD TiN이 사용되고 있지만 몇가지 문제점을 가지고 있다. 이러한 문제점 중 일부는 높은 증착 온도와, $TiNCl$ 과 같은 염소 편입(incorporation) 및 기체 상태에서 NH_4Cl 입자가 형성되는 것이다. 염소 오염이 감소될 수는 있지만 염소 오염은 상기와 같은 방법을 이용해서는 제거될 수 없다. 막이 400°C 이하의 온도에서 증착되어야한다면, $TiCl_4/NH_3$ 처리는 이용될 수 없지만 금속-유기 선구물질(metal-organic precursor)은 사용될 수도 있다. 통상적으로 사용되는 2개의 금속-유기 선구물질은 테트라키시디 메틸아미노티타늄(tetrakisdimethyl aminotitanium)(TDMAT)과 테트라키시디 에틸아미노티타늄(tetrakisdiethyl aminotitanium)(TDEAT)이다. TDMAT의 열적 분해에 의한 CVD TiN의 증착은 양호한 스텝커버리지와 낮은 입자수를 갖는 층으로 나타나지만 높은 저항율을 갖는 불안정한 막으로 나타날 수도 있다. 저항률은 암모니아와 금속-유기 선구물질을 반응시킴으로써 개선될 수 있다. 그러나 NH_3 와 TDMAT의 반응은 열악한 스텝커버리지를 갖는 막으로 나타나게 되고, 입자 형성과 같은 기상 반응(gas-phase reactions)과 관련된 잠재적인 문제점을 가지고 있다.

문헌에서는 TiN의 증착을 위해 암모니아를 사용하지 않고 TDMAT나 TDEAT를 사용할 수 있는 가능성을 논의하고 있지만, 이러한 가능성은 요원하다. 즉, 암모니아 없이 TDEAT나 TDMAT로부터 증착된 막은 매우 열악한 특성을 갖는다. 본 명세서에서 참조하는 Sun과 Tsai의 ESSDERC '94 PROCEEDINGS 페이지 291~294의 Characterization of low pressure chemical-vapor-deposited titanium nitride from metalorganic sources 참조하자.

Ti-Si-N 화합물은 TiN보다는 보다 우수한 확산 장벽을 제공하므로 향상된 금속화의 응용에 인기가 있다. 현재 2가지 주요 방법이 Ti-Si-N 기초막의 준비를 위해 연구되고 있지만, 2가지 방법 모두 심각한 한계를 가지고 있다. (N_2 분위기에서 Ti-Si 타겟의)반응성 스퍼터링은 가장 확정된 방법이며, Cal Tech에서 광범위한 연구에 의해 등장하였다. 그러나 이 스퍼터링 방법의 양방향 성질로 인해 증착막의 스텝커버리지는 높은 특성비(high aspect ratio)의 콘택과, 비어, 및 트렌치에 대해서는 매우 열악하다.

실란, 암모니아, 및 TDEAT의 혼합물(mixture)을 사용하는 화학 기상 증착방법은 Sandia National Lab에서

연구되고 있다. 이 방법은 보다 나은 스텝커버리지를 갖는 막을 제공할 수는 있지만, TDEAT와 NH_3 간의 기상 반응이 입자의 형성을 초래하게 되어 생산된 막이 상당한 결함밀도를 가지게 된다.

본 출원은 낮은 결함밀도의 등각 Ti-Si-N 막을 제조하는 혁신적인 방법을 개시하고 있으며, 이러한 방법은 상기한 2 방법에서 직면하게 되는 문제점을 해결한다. 이러한 방법들은 티타늄과 질소를 오염시키는 다공성 장벽층을 먼저 증착한 다음, 적어도 다공성층의 상부면에 실리콘을 편입하는 증착후처리(post-deposition)를 수행하여 실리콘이 풍부한 표면을 제공한다. (이와 같이 하는 실시예 대신에 다른 실시예에서 증착후 처리는 실리콘 대신에 또는 실리콘 외에 붕소를 주입한다.) 다공성 장벽층은 소량의 유효 탄소(significant fraction of carbon)도 포함하는 것이 바람직하고, 증착후 처리전에 소량의 유효 실리콘도 선택적으로 포함하는 것이 바람직하다.

발명의 구성 및 작용

본 발명의 개시된 방법과 구조가 갖는 이점은:

Si 가 풍부한 Ti-Si-N 막(또는 B가 풍부한 Ti-B-N막)의 표면은 막내로의 산소의 흡수를 최소화하고, 이에 따라 그 막을 안정화시킨다는 것과,

Si가 풍부하거나 또는 B가 풍부한 표면은 Al의 습식화와 Cu의 점착력 증대에 도움이 되므로, 향상된 금속화의 응용에 도움이 된다는 것과,

스퍼터링 방법과 비교하면, 본 발명은 보다 나은 스텝커버리지와 Si/Ti 비율의 보다 용이한 제어로 막을 증착하는 방법을 제공한다는 것과,

TDEAT + NH_3 + SiH_4 방법과 비교하면 본 발명은 Ti 소스와 NH_3 간의 기상반응을 제거할 수 있다는 점에 있다.

이상 개시된 방법은 저결함밀도를 갖는 등각의 막을 제공할 수 있고, 표면 조성(composition)을 포함한 화학적 조성의 제어에 용용성이 있으며, 상용의 CVD 리액터(reactor)에서 수행될 수 있을 뿐만 아니라 용이하게 구현될 수 있다.

본 발명의 수많은 혁신적 기술 사상이 바람직한 실시예를 참조하여 설명된다. 그러나 이러한 실시예는 본 명세서에서 혁신적 기술 사상의 여러 유익한 용도중 단지 몇몇 예만을 제공하고 있음을 이해해야 한다. 일반적으로 본출원명세서에서 행해진 설명은 여러 청구된 발명중 어느 발명을 반드시 제한하려는 의도는 아니며, 더욱이 일부 설명은 몇몇 진보적인 특징에 적용될 수도 있고, 기타 다른 특징에 대해서는 적용되지 않을 수도 있다.

도 1 은 본 발명의 제1 실시예에 따른 방법의 제조공정(process flow)을 나타내는 도면이다. 본 발명을 이용하는 디바이스의 제조는 대부분의 디바이스의 공정에서 하는 것처럼 시작된다. 사실 표준 공정(process)은 중간레벨의 유전체(interlevel dielectric)의 형성과 비어/콘택을 위한 트렌치와 홀의 형성까지는 모든 공정의 단계적 증가에 대해 이용될 수 있다. 더욱이 TiN 기초층의 형성과 본 발명의 진보적인 어닐링 처리 단계 이후에는 표준 공정이 부가적으로 이용될 수 있다. 본 발명의 방법은 티타늄 질화막을 형성하도록 금속-유기 화학기상증착(MOCVD)을 수행함으로써 시작된다(단계 104). 이러한 막은 트렌치 또는 홀의 측벽상에, 그리고, 상기 트렌치나 홀의 저부 및, 종래 TiN이 사용되던 여러 장소에서 중간레벨 유전체상에 형성된다. 단계 104는 TDMAT, $[(\text{CH}_3)_2\text{N}]_4\text{Ti}$ 의 열적 분해에 의해 달성된다. TDMAT는 액체이며 He나 N_2 와 같은 운반가스를 사용하여 리액터에 유입되는 것이 바람직하다. 열적분해는 300 내지 500°C의 온도범위와 0.1 내지 50토르의 압력범위에서 달성되는 것이 바람직하다. 증착시간은 막의 원하는 두께에 따라 변한다. 이와 다른 실시예에서는 선구물질이 $[(\text{C}_2\text{H}_5)_2\text{N}]_4\text{Ti}$ 이 되도록 CH_3 대신에 C_2H_5 가 사용될 수 있다. 또다른 실시예에서는 $[(\text{CH}_3)(\text{C}_2\text{H}_5)\text{N}]_4\text{Ti}$ 가 선구물질이 되는 것이 바람직하다.

단계 104를 참조하면 웨이퍼가 가열되어 선구물질에 노출되고 이 선구물질은 웨이퍼에 증착된 막으로서 열적으로 분해된다. 그 결과적인 막은 다공성 재료로서 O_2 를 용이하게 흡수하는 Ti - N - C 로 구성된다. O_2 의 흡수는 이러한 막이 상당히 저항성이 되게하여 매우 불안정한 상태가 되게한다. 보다 구체적으로 설명하면 막이 공기에 노출되어 산소를 포함하게됨에 따라 막의 저항률은 상당히 증가한다(도 2의 플롯202 참조).

다음에 가열단계가 수행된다(단계 106). 이러한 단계는 순수 또는 희석된 실란 분위기, 디실란 분위기(disilane ambient), B_2H_6 분위기나 또는 막에서 실리콘 또는 붕소를 발생시킬 수 있는 그밖의 어떠한 분위기에서 수행되는 것이 바람직하다. 이러한 단계는 대략 15 내지 240초 동안 0.1 내지 50토르의 압력에서 대략 350 내지 500°C의 온도에서 수행된다. 어닐링단계 106 은 증착단계 104 처럼 동일한 리액터에서 수행되거나 또는 유사한 리액터에서 수행될 수도 있다. 어닐링 단계가 동일한 리액터에서 수행된다면 MOCVD 단계 104와 어닐링 단계 106 모두에서 이용되는 온도는 거의 동일한 것이 바람직하다. 두 단계가 별도로 그럴지만 동일한 리액터에서 수행되면 단계 104에서 형성된 막은 단계 106에 앞서 산소를 필요로 해서는 안된다. 단계 106이 완료되면, 막은 Si 함유가스가 사용될 때는 Ti - N - C - Si 로 이루어지고, B 함유가스가 사용될 때는 Ti - N - C - B 로 이루어진다. 막에 Si가 포함되는 것은 도 3b의 플롯 302에서 볼 수 있다.

단계 106이 수행된 후에 웨이퍼는 추가로 산소 분위기에서 처리되거나 또는 산소 분위기에 노출될 수 있고(단계 108), 이후 그 이상의 처리가 진행된다. 단계 108이 수행되면, 산소는 막에 흡수되고, 이 막은 Si 함유가스가 사용될 때는 Ti - N - C - Si - O 로 이루어지고, B 함유가스가 사용될 때는 Ti - N - C - B - O 로 이루어진다. 그러나 웨이퍼가 산소분위기에 노출되지 않으면 이때는 산소는 흡수되지 않을 것이다.

이상은 티타늄 기초 장벽막의 형성에 관한 것이지만, 기타 전이 금속(transition metals)이 티타늄 대신

에 사용될 수도 있다. 특히 텅스텐, 탄탈 또는 몰리브덴이 본 발명의 장벽층 형성시 티타늄 대신에 사용될 수 있다.

도 2는 2 개의 상이한 막의 박판저항 Rs를 나타내고 있다. 도 2의 x축은 막이 공기에 노출된 분단위의 시간량을 나타내고, y축은 막의 ohms/square 단위의 박판저항을 나타낸다. 단계 106의 막을 조건으로 하지 않고 제조된 막은 높은 박판저항을 갖는다. 이러한 사항이 도 2의 플롯 202에 도시되어 있다. 더욱이 플롯 202에서 볼 수 있는 바와 같이 단계 106을 조건으로 하지않고 형성된 막의 박판저항은 막이 산소에 노출된 이후에 상당히 증가한다. 그러나 단계 106을 수행한 후에 박판저항은 한자리수로 감소되고(플롯 202와 비교) 공기중에서 더욱 안정적이 된다. 플롯 204에서 이러한 것을 볼 수 있다.

20nm 막의 박판저항에 대한 추가적인 실험 데이터가 다음에 제공된다. 이러한 3회 실행시의 변수는 실란 처리시간과, 급속한 열적 어닐링(Rapid Thermal Annealing:RTA)의 사용이나 결여 및 다양한 온도 레벨을 포함하고 있다.

[표 1]

20nm 막의 박판저항			
실란처리시간(초)	30	75	120
RTA 없는 박판저항 (ohm/sq)	1661	1361	1224
700℃, 60 초	1510	1194	1072
800℃, 60 초	1245	976	963

도 3a와 도 3b는 여러 깊이에서의 탄소, 산소, 질소, 티타늄 및 실리콘의 레벨을 나타내는 XPS 깊이 프로파일이다. 이들 도면 각각의 x축은 깊이에 대응한다. 보다 큰 스퍼터링 시간은 보다 깊은 깊이를 나타낸다. 이들 두 도면 모두의 y축은 원자 농도(Atomic concentration:A.C.)를 전체 백분율로 나타내고 있다. 도 3b의 플롯 302는 단계 106을 조건으로 했던 막은 실리콘을 포함하고 있고, 반면에 단계 106을 조건으로 하지 않았던 막은 실리콘을 포함하지 않음을 나타내고 있다(도 3a의 플롯 301에서, 막의 상면은 0 분에서의 것이고, 저부는 대략 16분경에 나타난 것이다). 실리콘의 편입(incorporation)은 공기로부터 산소의 흡수를 경감시킴으로써, 저항률을 낮추고 안정성을 증대시키기 때문에 중요하다. 실리콘 또는 붕소의 편입은 Cu 또는 Al 금속화 처리가 이어질 때 유리하다.

도 3b의 플롯 304는 단계 106과 단계 108 이후에 막내에 흡수되는 산소의 제한을 나타내고 있다.

도 4는 전도 전자 회절(TEM) 패턴을 나타내는 도면으로서, 단계 106(과 108)을 조건으로하는 막이 비정질 상태임을 나타내고 있다. 비정질막은 다결정 구조의 격자 경계를 통해 금속확산이 고속으로 발생하기 때문에 장벽의 응용(다결정막에 상반되는 응용)에 선호되고 있다.

도 5는 본 발명의 제2 실시예의 흐름도이다. 이러한 방법은 실란 개스가 MOCVD 단계에서 가해진다는 점을 제외하면 도 1의 방법과 유사하다. 제2실시예의 방법은 보다 많은 실리콘이 층에 편입될 수 있도록 해주며 Si/Ti 비율의 조종을 더욱 용이하게 해준다.

도 6은 증착된 Ti-Si-N의 박판저항과 증착후 실란 어닐링 시간간의 관계를 나타내는 그래프이다. 이러한 저항은 공기에 2일 노출된 이후에 측정되었다. 실란에서 대략 30초 정도의 어닐링 이후에는 박판저항이 극적으로 떨어짐을 볼 수 있다.

도 7은 증착된 Ti-Si-N의 박판 저항과, Ti-Si-N을 증착하는 동안 실란이 흐르는 양간의 관계를 나타내는 그래프로서, 공기에 이틀간(2일) 노출된 이후 측정된 것이다. 도면에서 볼 수 있는 바와 같이 실란이 보다 많이 흘러 박판저항이 증가하게 되면, 실리콘을 포함하는 장벽층에서처럼 증가된 값은 실리콘이 발생시키는 보다 높은 저항에 의해 균형이 이루어져야만 한다.

도 8은 혁신적 층의 관통부의 현미경사진으로서, 본 발명의 방법에 따른 층이 등각 성질을 유지하고 있음을 보여주고 있다.

증착 방법의 추가적인 실시예

한 실시예에서는 TiN층을 제공하기 위해 질소가 존재하는 경우 TOMAT가 열적으로 분해되는 제1 단계를 이용하고 있다. 증착 즉시, 층은 이 층과 반응하는 실란분위기에 노출되게 되고, 이에 따라 실리콘이 층내에 편입되어 실리콘이 풍부한 표면층이 형성된다. 실리콘의 존재는 층의 열화를 초래하는 산소의 흡수를 억제하게 된다.

선구물질로서 TOMAT를 사용하면 높은 비율의 탄소를 층에 편입시킬 수도 있다. 놀랍게도 층내의 탄소는 문제가 될 것 같지는 않으며; 오히려 층내의 스트레스를 완화시키고, 회로의 수명에는 전혀 영향을 주지 않는 것 같다.

[표 2]

단계 1:	
Ti 소스 흐름:	TDMAT 70 sccm
불활성 소스 흐름:	N ₂ 100 sccm
온도(서셉터):	460℃
전체 압력:	1.2 토르

시간:	14초
두께:	200 Å
단계 2:	
Si 소스 흐름:	SiH ₄ 500 sccm
온도(서셉터):	460℃
전체 압력:	15 토르
시간:	60초

제2 증착 방법의 실시예

한 실시예에서는 장벽층을 생성하기 위해 SiH₄와, TDMAT 및 N₂(희석제로서)를 조합하는 제1단계를 이용하고 있다. 충분한 깊이가 생성된 후에 TDMAT 및 N₂는 차단되고, SiH₄는 측정시간량 동안 계속 흐르게 된다. 도시된 실시예는 현재 선호되는 실시예이다.

[표 3]

단계 1:	
Ti 소스 흐름:	TDMAT 100 sccm
Si 소스 흐름:	SiH ₄ 25 sccm
불활성 소스 흐름:	N ₂ 100 sccm
온도(서셉터):	460℃
전체 압력:	1.5 토르
시간:	60초
조성:	비정질 Si-N 및 Ti-N-C
단계 2:	
Si 소스 흐름:	SiH ₄ 450 sccm
전체 압력:	15 토르
시간:	120초

제3 증착 방법의 실시예

SiH₄는 Si₂H₆와 같은 기타 Si 소스 화학제품으로 대체될 수 있다. 이 실시예에서 Si₂H₆와 TDMAT는 제1단계에서 불활성가스 N₂와 함께 흐르게되고, 계속되는 제2단계에서 TDMAT와 N₂는 차단되며, Si₂H₆가 흘러 여분의 실리콘이 층의 상부에 편입된다.

제4 증착 방법의 실시예

TDMAT는 TMEAT 즉, Ti(NCH₃C₂H₅)₄에 의해 대체될 수 있다. 예를들어 실란, TMEAT 및 N₂는 제1단계 동안 함께 흐른다. 제2단계의 순수 실란은 추가적인 실리콘이 표면층에 편입되도록 흐른다.

제5 증착 방법의 실시예

TDMAT는 TDEAT 즉, Ti(N(C₂H₅)₂)₄로 대체될 수 있다. 이 경우에 TDEAT와 실란은 N₂ 또는 기타 불활성 희석제와 함께 흐르게 되어 Si-N-Ti 층의 증착을 이루게 되고, 이어서 실란만을 이용하는 단계에서는 상부면의 실리콘 농도를 증가시킨다.

제6 증착 방법의 실시예

이 실시예에서는 붕소 소스가 사용되어 Ti_xB_yN 막을 생성하게 된다. 따라서 다공성 TiN 막을 증착하는 동안 Si 소스 성분 대신에 붕소-소스 성분(B₂H₆)이 사용된다. 이러한 예에서는 TDEAT와 디보란(diborane)이 N₂ 또는 기타 희석제와 함께 흐르게되어 Ti-B-N 층의 증착을 이루게되고, 이어서 디보란만을 이용하는 단계에서는 상부면의 붕소농도를 증가시킨다.

금속화의 실시예1

본 명세서에서 개시된 혁신적인 프로세스는 금속화 처리(metallization applications) 특히, 구리 금속화에 이용될 수 있다. 예를들어 도 5a 에 도시된 것과 같은 한 금속화 처리에서는 부분적으로 제조된 구조가 제공되며, 이 구조체(structure)는 보다 낮은 중간레벨(interlevel) 유전체(515)에 의해 둘러싸인 전도층(510)(통상 알루미늄 합금) 아래에 트랜지스터(도시생략)를 포함하고 있다. 이후 상부 중간레벨 유전체(520)(예컨대 TEOS-증착된 SiO₂ 상의 BPSG)가 증착되고 통상적인 방법(예를들어 CMP;Chemical-mechanical polishing)으로 평탄화된다. 이후 (물결무늬(damascene)라고하는 유형의 프로세스에서) 중간레벨 유전체(520)가 패터닝되고 에칭되어, 금속화 라인이 요구되는 슬롯(530)을 형성하게되고, 비어가 요구되는(즉, 기초 전도층의 전기적 콘택이 요구되는) 보다 깊은 홀(540)도 형성하게 된다. 이후 이상 설명한 방법중 하나를 이용하여 확산장벽층(530)이 증착된다. 이어서 고전도성 금속(550)(예컨대 구리)이 통상적인 방법에 의해 전면적으로 증착되고, 다시 전면적으로 에칭됨으로써(예컨대 CMP를 사용), 중간레

벨 유전체(520)의 플랫폼이 노출되고 어디에서도 금속(550)이 나타나지 않게 된다.

이 실시예에서는 본 발명에 의해 제공된 장벽층이 중간레벨 유전체(520)의 노출부 전체를 덮고 있음에 주목하라. 즉, 금속(550)이 중간레벨 유전체(520)와 직접 접촉하는 곳은 전혀 존재하지 않는다. 이점이 중간레벨 유전체를 통한 반도체 기판으로의 구리원자(또는 금과 같은 수명억제기(lifetime killers))의 확산을 줄이는 것 같다.

금속화의 실시예2

도 5b에 나타난 바와 같이 또다른 금속화 실시예는 소스/드레인 확산(562)에 정렬된 폴리사이드 게이트(560)를 갖는 트랜지스터의 형성을 포함하고 있다. 제1 중간레벨 유전체 층(564)이 순차적으로 형성된다.(선택적으로 이후에는 대응하는 추가적인 중간레벨 유전체층을 갖는 추가적인 폴리층의 증착과 패턴화가 이어지지만 이러한 과정은 나타나지 않았다.) 이상 설명된 혁신적인 방법을 이용하여 장벽층의 증착에 앞서 콘택 위치(566)가 패턴화되고 에칭된다. 이어서 금속층(580)이 증착되어 패턴화된다. 이 실시예에서 금속층(580)은 초대기압하(현재의 바람직한 실시예에서는 ForceFill™ 프로세스를 이용)에서 콘택홀에 넣어지는 알루미늄합금이다.

이상 설명된 실시예에 따르면 (a) 반도체 재료로된 적어도 하나의 실질적 모놀리식 본체를 포함하는 기판을 제공하는 단계와; (b) 티타늄과 질소를 포함하는 분위기에서 CVD에 의해 등각층을 증착하는 단계와; (c) 상기 등각층을 증착한 후에, 실리콘 또는 붕소를 포함하는 분위기에 상기 적합층을 노출시키는 단계를 포함하고, 이 (c) 단계에서는 상기 적합층상에 실리콘 또는 붕소가 풍부한 표면을 생성하는 것을 특징으로 하는 박막 형성 방법이 제공된다.

개시된 또 다른 하나의 실시예에 따르면, 티타늄과 질소를 포함하는 장벽층 박막으로 이루어지고, 이 박막은 그 제1면에 보다 큰 실리콘 또는 붕소 농도의 실리콘 또는 붕소 조성물 등급을 갖는 집적회로가 제공된다.

변형실시예와 다른 실시예(Modifications and Variations)

당업자라면 인식할 수 있겠지만 본 명세서에서 설명된 혁신적인 착상(concepts)은 수많은 응용범위 이상으로 변형 및 변화될 수 있으며, 따라서 특허가 허여되는 주제(요지;subject matter)의 범주는 제공된 예시적 특정 교시중 어느 것에 의해 제한되는 것은 아니다.

CVD와 금속화의 일반적인 기술적 배경은 다음의 공개 문헌에서 발견되며, 이들 문헌은 METALLIZATION AND METAL-SEMICONDUCTOR INTERFACES(ed. Batra 1989); VLSI METALLIZATION: PHYSICS AND TECHNOLOGIES(ed. Shenai 1991); Murarka, METALLIZATION THEORY AND PRACTICE FOR VLSI AND ULSI(1993); HANDBOOK OF MULTILEVEL METALLIZATION FOR INTEGRATED CIRCUITS(ed. Wilson 등 1993); Rao, MULTILEVEL INTERCONNECT TECHNOLOGY(1993); CHEMICAL VAPOR DEPOSITION (ed.M.L.Hitchman 1993); 및 the semiannual conference proceedings of the Electrochemical Society on plasma processing; 들로서, 이들 전체 문헌은 본 명세서에서 참고로 설명되어, 다른 실시예와 구현에 관한 당업자의 지식을 살피보는데 도움을 주고 있다.

발명의 효과

본 발명에 의하면 실리콘 또는 붕소를 포함하는 분위기에 적합층을 노출시키고, 이 적합층상에 실리콘 또는 붕소가 풍부한 표면을 형성함으로써 막내로의 산소의 흡수를 최소화하고, 이에 따라 막을 안정화시킬 수 있게 된다.

(57) 청구의 범위

청구항 1

- (a) 반도체 재료로된 적어도 하나의 실질적 모놀리식 본체를 포함하는 기판을 제공하는 단계;
- (b) 티타늄과 질소를 포함하는 분위기에서 CVD에 의해 등각층(conformal layer)을 증착하는 단계;
- (c) 상기 등각층을 증착한 후에, 실리콘 또는 붕소를 포함하는 분위기에 상기 등각층을 노출시키는 단계를 포함하고, 이 (c) 단계에서는 상기 등각층 상에 실리콘 또는 붕소가 풍부한 표면을 생성하는 것을 특징으로 하는 박막 형성 방법.

청구항 2

제1항에 있어서, 상기 (c) 단계는 중간 단계없이 단계 (b) 이후에 즉시 수행되는 것을 특징으로 하는 박막 형성 방법.

청구항 3

제1항에 있어서, 상기 (b) 단계는 실리콘 또는 붕소를 포함하는 분위기를 이용하는 것을 특징으로 하는 박막 형성 방법.

청구항 4

제3항에 있어서, 상기 (b) 단계는 SiH_4 를 포함하는 분위기를 이용하는 것을 특징으로 하는 박막 형성 방법.

청구항 5

제1항에 있어서, 상기 (b) 단계는 TDMAT, TMEAT 및 TDEAT로 이루어지는 군에서 선택된 티타늄 소스 성분

(component)을 포함하는 분위기를 이용하는 것을 특징으로 하는 박막 형성 방법.

청구항 6

제1항에 있어서, 연속하는 급속한 열적 어닐링 단계를 추가로 포함하는 것을 특징으로 하는 박막 형성 방법.

청구항 7

티타늄과 질소를 포함하는 장벽층 박막(thin barrier layer film)으로 구성되고, 이 박막은 그 제1면에 보다 큰 실리콘 또는 붕소 농도의 실리콘 또는 붕소 조성물 등급을 갖는 것을 특징으로 하는 집적회로.

청구항 8

제7항에 있어서, 상기 박막은 적어도 10%의 탄소를 포함하는 것을 특징으로 하는 집적회로.

청구항 9

제7항에 있어서, 상기 박막은 비정질 SiN_x 와 TiN_x 를 포함하는 것을 특징으로 하는 집적회로.

청구항 10

제7항에 있어서, 상기 박막은 붕소와 TiN_x 의 비정질 화합물(combination)인 것을 특징으로 하는 집적회로.

청구항 11

제7항에 있어서, 상기 실리콘 또는 붕소의 보다 큰 농도는 상기 박막으로의 산소의 흡수를 경감시키는 것을 특징으로 하는 집적회로.

청구항 12

기판위에 장벽층을 형성하고 콘택/비아를 인접시키는 방법에 있어서,

저부 구조체(structure)를 제공하는 단계;

상기 기판위에 유전체층(dielectric layer)을 형성하는 단계;

상기 저부 구조체의 적어도 일부를 노출시키도록 상기 기판에 측벽이 있는 개구부(opening)를 형성하는 단계;

상기 유전체층과, 상기 개구부의 측벽과, 상기 저부 구조체의 노출부 상에 금속-유기 선구물질(metal-organic precursor)을 이용하여 박막을 형성하는 단계; 및

실리콘 또는 붕소가 상기 막에 편입되도록 활성가스 분위기에서 가열단계를 수행하는 단계;

를 포함하는 것을 특징으로 하는 방법.

청구항 13

제12항에 있어서, 상기 금속-유기 선구물질은 $[(\text{CH}_3)_2\text{N}]_4\text{Ti}$, $[(\text{C}_2\text{H}_5)_2\text{N}]_4\text{Ti}$, 및 $[(\text{CH}_3)(\text{C}_2\text{H}_5)\text{N}]_4\text{Ti}$ 로 이루어지는 군에서 선택된 재료를 포함하는 것을 특징으로 하는 방법.

청구항 14

제12항에 있어서, 상기 활성개스는 상기 금속-유기막에 실리콘 또는 붕소를 편입시키는 소정의 개스를 포함하는 것을 특징으로 하는 방법.

청구항 15

제12항에 있어서, 상기 활성개스는 실란, 디실란, 디보란, 또는 이들의 화합물(combination)로 이루어지는 군에서 선택되는 것을 특징으로 하는 방법.

청구항 16

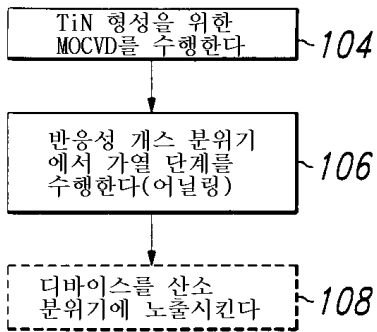
제12항에 있어서, 상기 저부 구조체는 기판인 것을 특징으로 하는 방법.

청구항 17

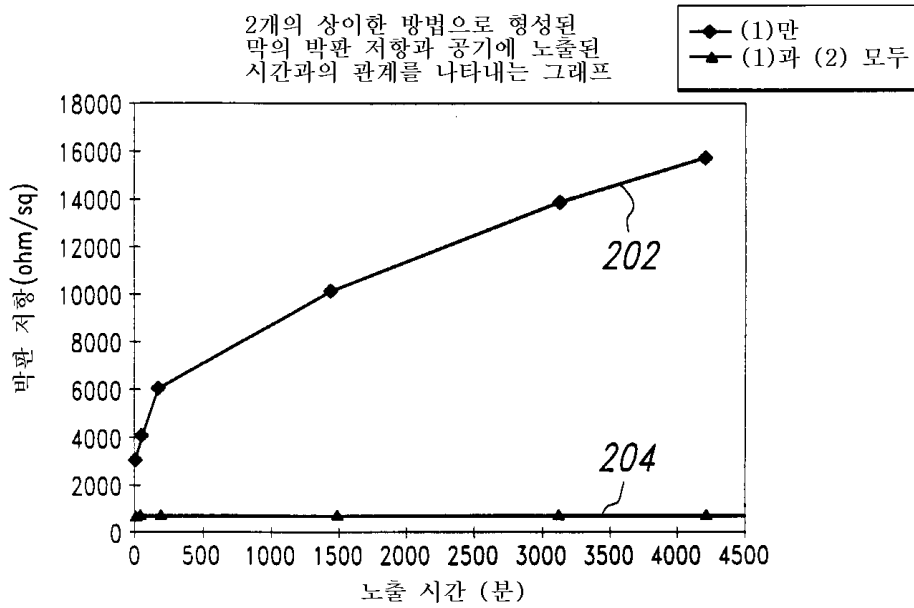
제12항에 있어서, 상기 저부 구조체는 도전성층인 것을 특징으로 하는 방법.

도면

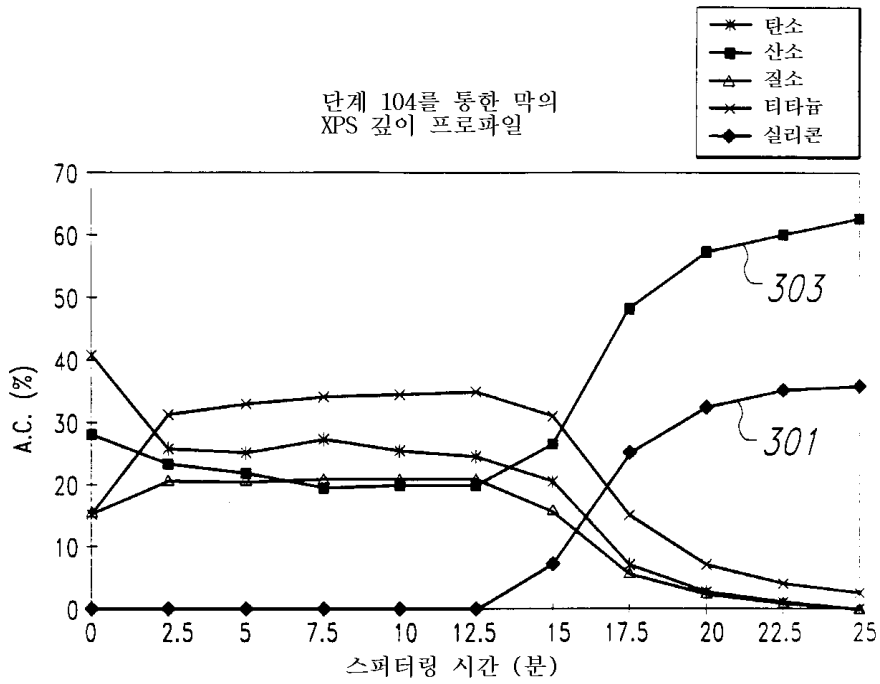
도면1



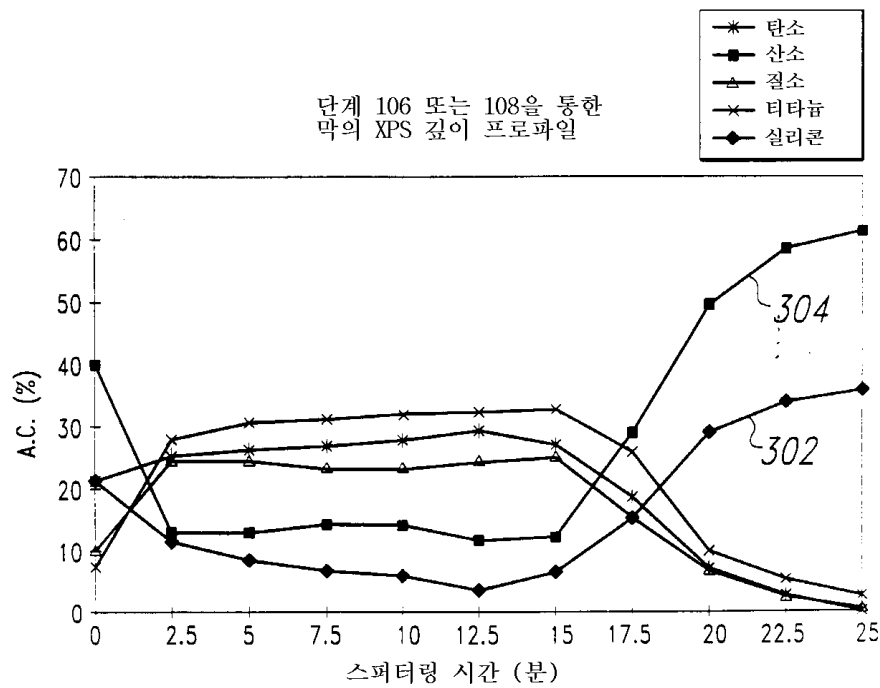
도면2



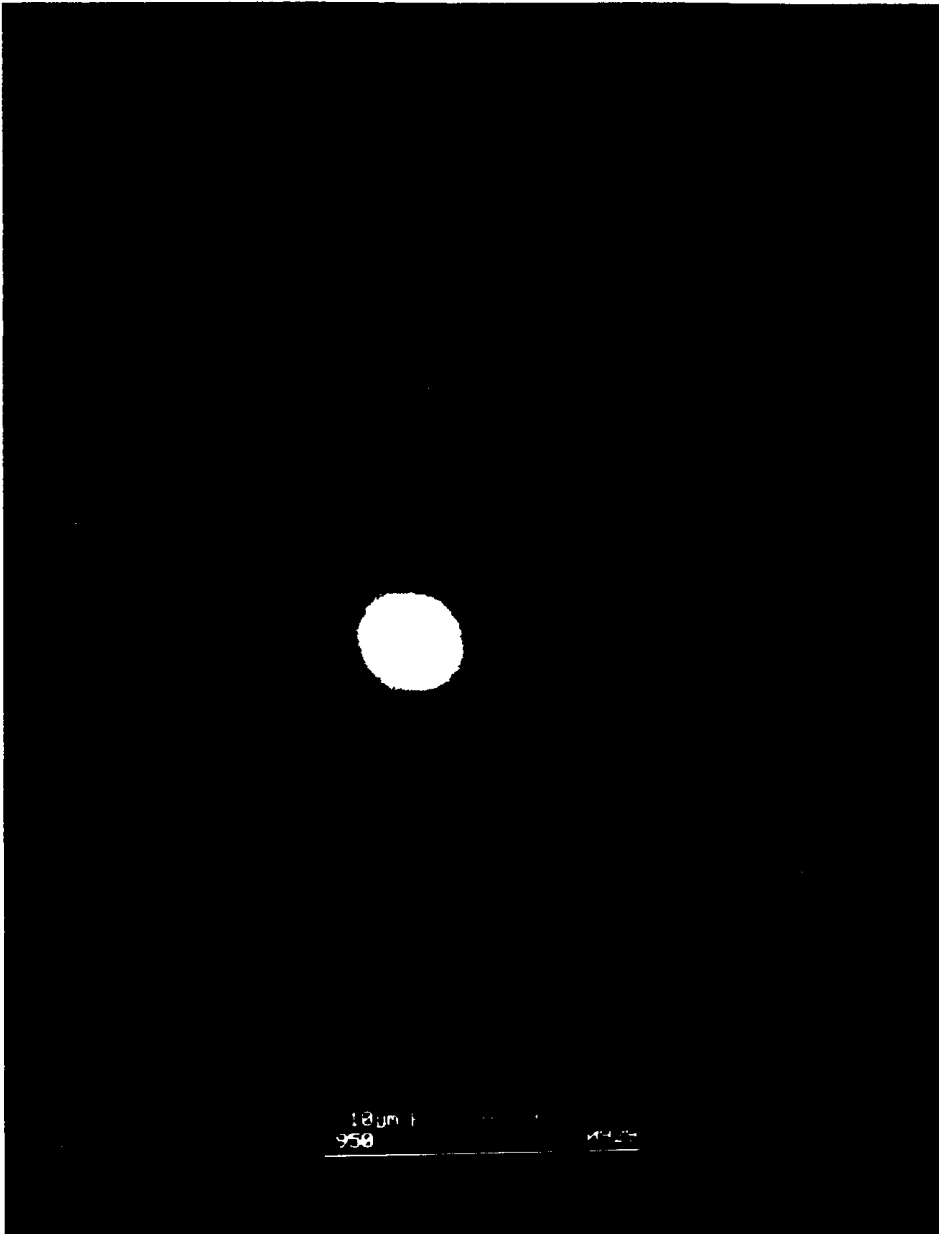
도면3a



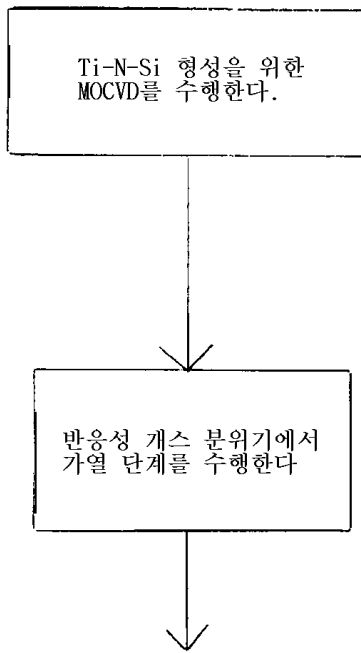
도면3b



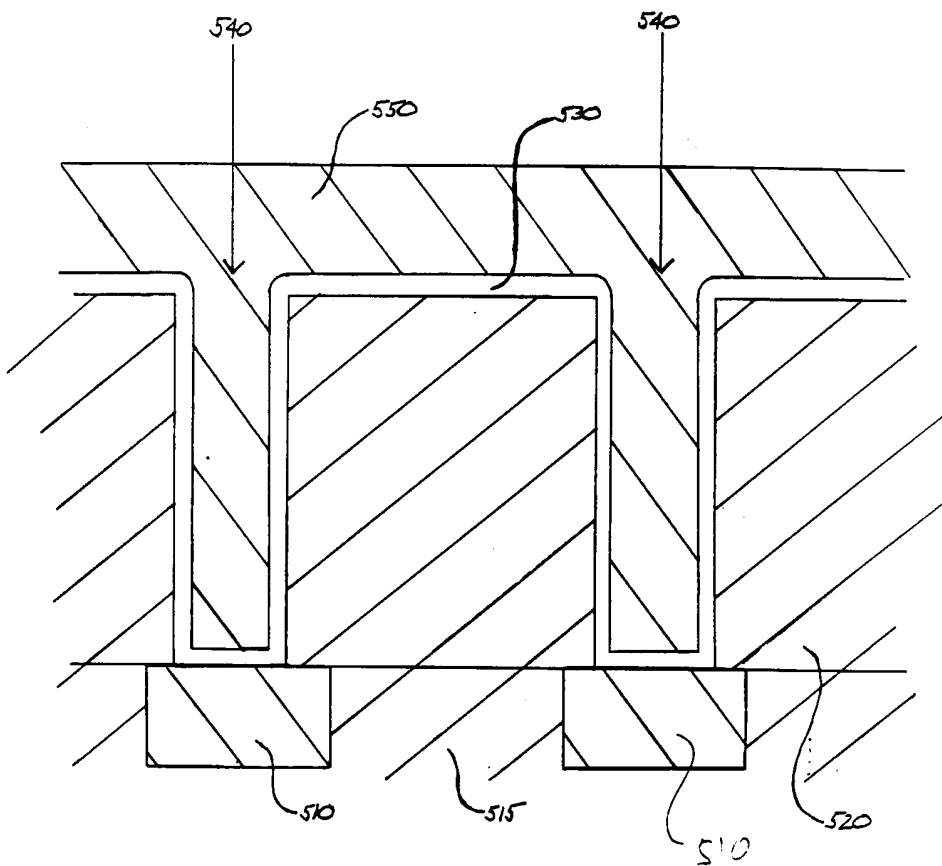
도면4



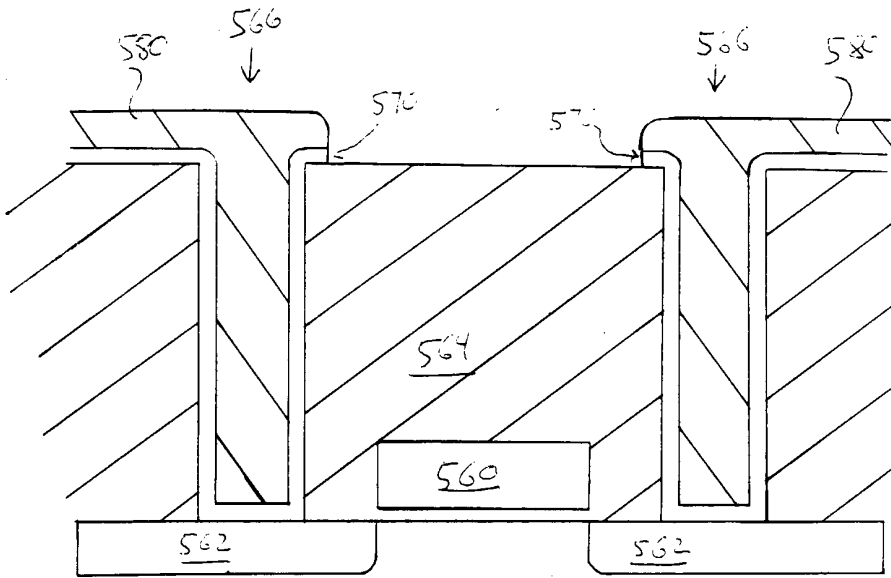
도면5



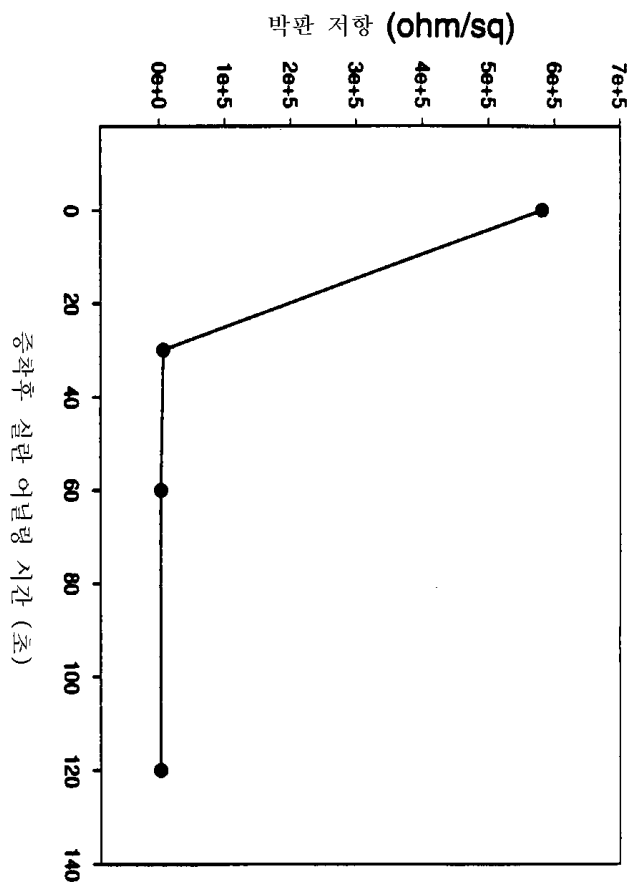
도면5a



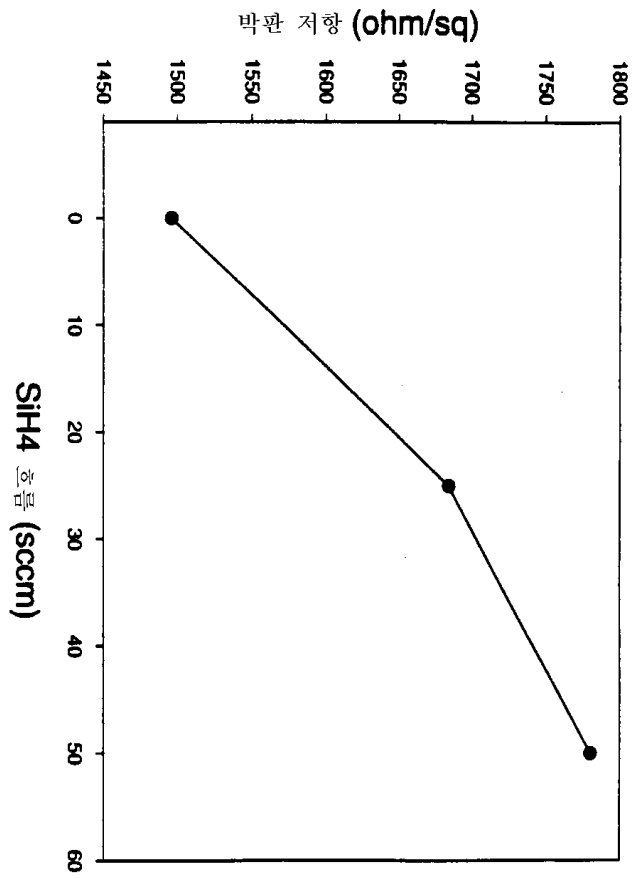
도면5b



도면6



도면7



도면8

