

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 1 月 4 日 (04.01.2024)



(10) 国际公布号
WO 2024/001053 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

(21) 国际申请号: PCT/CN2022/137322

(22) 国际申请日: 2022 年 12 月 7 日 (07.12.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202210740392.X 2022年6月28日 (28.06.2022) CN

(71) 申请人: 惠科股份有限公司(HKC CORPORATION LIMITED) [CN/CN]; 中国广东省深圳市宝安区石岩街道石龙社区工业二路1号惠科工业园厂房1栋一层至三层、五至七层,6栋七层, Guangdong 518101 (CN)。

(72) 发明人: 李阳(LI, Yang); 中国广东省深圳市宝安区石岩街道石龙社区工业二路1号惠科工业园厂房1栋一层至三层、五至七层,6栋七层, Guangdong 518101 (CN)。 李荣荣(LI, Rongrong); 中国广东省深圳市宝安区石岩街道石龙社区工业二路1号惠科工业园厂房1栋一层至三层、五至七层,6栋七层, Guangdong 518101 (CN)。

(74) 代理人: 深圳市威世博知识产权代理事务所(普通合伙)(CHINA WISPRO INTELLECTUAL PROPERTY LLP); 中国广东省深圳市南山区高新区粤兴三道8号中国地质大学产学研基地中地大楼A209, Guangdong 518057 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,

(54) Title: SCANNING DRIVING CIRCUIT, ARRAY SUBSTRATE, AND DISPLAY PANEL

(54) 发明名称: 扫描驱动电路、阵列基板和显示面板

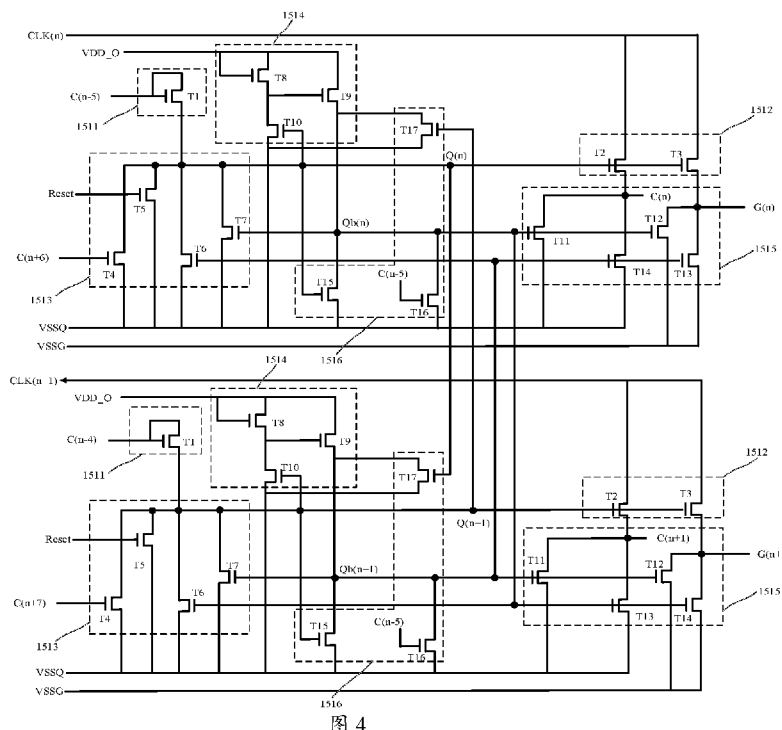


图 4

(57) Abstract: A scanning driving circuit (15), an array substrate (1), and a display panel. The scanning driving circuit (15) comprises N cascaded GDL circuits; an nth GDL circuit comprises: a pull-up control module (1511), an output module (1512), a first pull-down control module (1513), a second pull-down control module (1514), a pull-down module (1515), and a first node; the output module (1512) is used for outputting an nth-stage level transmission signal and an nth-stage scanning signal according to an inputted clock signal when the potential of the first node is a first potential, and stopping outputting the nth-stage level transmission signal and the nth-stage scanning signal when the potential of the first node is a second potential.



CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

nth-stage scanning signal when the potential of the first node is a second potential; a time period when the clock signal maintains a high potential comprises a first time period and a second time period; the clock signal maintains a first high potential in the first time period, and maintains a second high potential in the second time period, the second high potential being higher than the first high potential; thus, the stability of the GDL circuits can be improved.

(57) 摘要: 一种扫描驱动电路(15)、阵列基板(1)和显示面板。扫描驱动电路(15)包括级联的N个GDL电路, 第n个GDL电路包括: 上拉控制模块(1511)、输出模块(1512)、第一下拉控制模块(1513)、第二下拉控制模块(1514)、下拉模块(1515)和第一节点; 输出模块(1512)用于在第一节点的电位为第一电位的情况下, 根据输入的时钟信号输出第n级级传信号和第n级扫描信号; 在第一节点的电位为第二电位的情况下, 停止输出第n级级传信号和第n级扫描信号; 时钟信号的高电位持续时段包括第一时段和第二时段, 时钟信号在第一时段保持第一高电位, 在第二时段保持第二高电位, 第二高电位高于第一高电位, 能够提升GDL电路的稳定性。

扫描驱动电路、阵列基板和显示面板

5 相关申请的交叉引用

[0001] 本申请要求享有于 2022 年 06 月 28 日提交的名称为“扫描驱动电路、阵列基板和显示面板”的中国专利申请 202210740392X 的优先权，该申请的全部内容通过引用并入本文中。

10 技术领域

[0002] 本申请涉及显示技术领域，尤其涉及一种扫描驱动电路、阵列基板和显示面板。

背景技术

15 [0003] 随着液晶显示技术的不断成熟，液晶显示器（Liquid Crystal Display，LCD）已广泛应用于各个领域。

[0004] 目前，LCD 中普遍采用较少栅极驱动器（Gate Driver Less，GDL）技术，将 LCD 的栅极扫描驱动电路（也就是 GDL 电路）制作在阵列基板上，以降低生产成本。

20 [0005] GDL 电路输出的扫描信号在由高电位转换为低电位时，需要一定的下降时间，下降时间越短，扫描信号的波形越接近理想状态，GDL 电路也就越稳定。因此，如何减小 GDL 电路输出的扫描信号的下降时间是需要解决的一个问题。

发明内容

25 [0006] 有鉴于此，本申请提供一种扫描驱动电路、阵列基板和显示面板，用于减小 GDL 电路输出的扫描信号的下降时间，提升 GDL 电路的稳定性。

[0007] 为了实现上述目的，第一方面，本申请实施例提供一种扫描驱动电路，包括：级联的 N 个 GDL 电路，第 n 个 GDL 电路包括：上拉控制模块、输出模块、第一下拉

控制模块、第二下拉控制模块、下拉模块、第一节点和第二节点， N 为正整数， $n \in [1, N]$ ；

[0008] 所述上拉控制模块、所述第一下拉控制模块和所述输出模块均与所述第一节点电连接，所述上拉控制模块用于根据接收的第一目标级传信号，上拉所述第一节点的电位至第一电位；

[0009] 所述第一下拉控制模块用于根据接收的第二目标级传信号，下拉所述第一节点至第二电位；

[0010] 所述输出模块用于在所述第一节点的电位为第一电位的情况下，根据输入的时钟信号输出第 n 级级传信号和第 n 级扫描信号；在所述第一节点的电位为第二电位的情况下，停止输出所述第 n 级级传信号和所述第 n 级扫描信号；所述时钟信号的高电位持续时段包括第一时段和第二时段，所述时钟信号在所述第一时段保持第一高电位，在所述第二时段保持第二高电位，所述第二高电位高于所述第一高电位；

[0011] 所述第二下拉控制模块和所述下拉模块均与所述第二节点电连接，所述第二下拉控制模块用于上拉所述第二节点的电位至第一电位；

[0012] 所述下拉模块用于在所述第二节点的电位为第一电位的情况下，下拉所述输出模块输出端的电位。

[0013] 作为本申请实施例一种可选的实施方式，所述时钟信号的第一时段相对于所述高电位持续时段的占比小于或等于 $1/4$ 。

[0014] 作为本申请实施例一种可选的实施方式，所述时钟信号的第一时段相对于所述高电位持续时段的占比等于 $1/8$ 。

[0015] 作为本申请实施例一种可选的实施方式，所述时钟信号的高电位持续时段的占空比小于 $1/2$ 。

[0016] 作为本申请实施例一种可选的实施方式，所述第一目标级传信号为第 $n-5$ 级级传信号，所述第二目标级传信号为第 $n+6$ 级级传信号， $5 < n \leq N-6$ 。

[0017] 作为本申请实施例一种可选的实施方式，所述上拉控制模块包括：第一晶体管，所述第一晶体管的控制极和第一极均接入所述第一目标级传信号，所述第一晶体管的第二极与所述第一节点电连接。

[0018] 作为本申请实施例一种可选的实施方式，所述输出模块包括：第二晶体管和第三晶体管，所述第二晶体管和所述第三晶体管的控制极均与所述第一节点电连接，所述第二晶体管和所述第三晶体管的第一极接入同一时钟信号，所述第二晶体管的第二极输出所述第 n 级级传信号，所述第三晶体管的第二极输出所述第 n 级扫描信号。

- 5 [0019] 作为本申请实施例一种可选的实施方式，所述第一下拉控制模块包括：第四晶体管，所述第四晶体管的控制极接入所述第二目标级传信号，所述第四晶体管的第一极与第一低压端电连接，所述第四晶体管的第二极与所述第一节点电连接。

[0020] 作为本申请实施例一种可选的实施方式，所述第一下拉控制模块包括第四晶体管、第五晶体管、第六晶体管和第七晶体管；

- 10 [0021] 所述第四晶体管的栅极接入所述第二目标级传信号，所述第四晶体管的源极与第 n 级的所述第一节点电连接，所述第四晶体管的漏极与第一低压端电连接；

[0022] 所述第五晶体管的栅极接入第一复位信号，所述第五晶体管的源极与第 n 级的所述第一节点电连接，所述第五晶体管的漏极与所述第一低压端电连接；

- 15 [0023] 所述第六晶体管的栅极与第 $n+1$ 级的所述第二节点电连接，所述第六晶体管的源极与第 n 级的第一节点电连接，漏极与所述第一低压端电连接；

[0024] 所述第七晶体管的栅极与第 n 级的所述第二节点电连接，所述第七晶体管的源极与第 n 级的所述第一节点电连接，所述第七晶体管的漏极与所述第一低压端电连接。

- 20 [0025] 作为本申请实施例一种可选的实施方式，所述第二下拉控制模块包括第八晶体管、第九晶体管和第十晶体管；

[0026] 所述第八晶体管的源极和栅极均与电源电压电连接，所述第八晶体管的漏极与所述第九晶体管的栅极、所述第十晶体管 T10 的源极电连接；

[0027] 所述第九晶体管的源极与电源电压电连接，所述第九晶体管的漏极与第 n 级的所述第二节点电连接；

- 25 [0028] 所述第十晶体管的栅极与第 n 级的所述第一节点电连接，所述第十晶体管的漏极与第一低压端电连接。

[0029] 作为本申请实施例一种可选的实施方式，所述下拉模块包括第十一晶体管、第

十二晶体管、第十三晶体管和第十四晶体管；

[0030] 所述第十一晶体管的栅极与第 n 级的所述第二节点电连接，所述第十一晶体管的源极与所述第二晶体管的源极电连接，所述第十一晶体管的漏极与第一低压端电连接；

- 5 [0031] 所述第十二晶体管的栅极与第 n 级的所述第二节点电连接，所述第十二晶体管的源极与所述第三晶体管的源极电连接，所述第十二晶体管的漏极与第二低压端电连接；

- [0032] 所述第十三晶体管的栅极与第 $n+1$ 级的所述第二节点电连接，所述第十三晶体管的源极与所述第三晶体管的源极电连接，所述第十三晶体管的漏极与所述第二低压
10 端电连接；

[0033] 所述第十四晶体管的栅极与第 $n+1$ 级的所述第二节点电连接，所述第十四晶体管的源极与所述第二晶体管的源极电连接，所述第十四晶体管的漏极与所述第一低压端电连接。

[0034] 作为本申请实施例一种可选的实施方式，所述第 n 个 GDL 电路还包括：

- 15 [0035] 下拉维持模块，所述下拉维持模块与第二节点电连接，用于根据接收的第一目标级传信号，维持所述第二节点的电位。

[0036] 作为本申请实施例一种可选的实施方式，所述下拉维持模块包括第十五晶体管、第十六晶体管和第十七晶体管；

- [0037] 所述第十五晶体管的栅极与第 n 级的所述第一节点电连接，所述第十五晶体管的源极与第 n 级的所述第二节点电连接，所述第十五晶体管的漏极与所述第一低压端
20 电连接；

[0038] 所述第十六晶体管的栅极接入所述第一目标级传信号，所述第十六晶体管的漏极与所述第一低压端电连接，所述第十六晶体管的源极与第 n 级的所述第二节点电连接；

- 25 [0039] 所述第十七晶体管的栅极与第 $n+1$ 级的所述第一节点电连接，所述第十七晶体管的源极与所述第九晶体管的漏极电连接，所述第十七晶体管的漏极与所述第一低压端电连接。

[0040] 第二方面，本申请实施例提供一种阵列基板，包括：如上述第一方面或第一方面任一项所述的扫描驱动电路和 N 条扫描线，所述扫描驱动电路中的 N 个 GDL 电路与所述 N 条扫描线一一对应连接，每条扫描线连接多个像素单元。

[0041] 作为本申请实施例一种可选的实施方式，所述阵列基板还包括：数据驱动电路和时序控制电路；

[0042] 所述数据驱动电路与每条数据线电连接，所述数据驱动电路用于将待显示的图像数据通过所述数据线以数据电压的形式传输至对应的所述像素单元；

[0043] 所述时序控制电路分别与所述数据驱动电路和所述扫描驱动电路电连接，所述时序控制电路用于输出时钟信号控制所述数据驱动电路和所述扫描驱动电路的工作时序。

[0044] 第三方面，本申请实施例提供一种显示面板，所述显示面板的非显示区域包括信号线和如上述第一方面或第一方面任一项所述的扫描驱动电路。

[0045] 本申请实施例提供的扫描驱动电路、阵列基板和显示面板，包括级联的 N 个 GDL 电路，第 n 个 GDL 电路包括：上拉控制模块、输出模块、第一下拉控制模块、第二下拉控制模块、下拉模块、第一节点和第二节点，N 为正整数， $n \in [1, N]$ ；上拉控制模块、第一下拉控制模块和输出模块均与第一节点电连接，上拉控制模块用于根据接收的第一目标级传信号，上拉第一节点的电位至第一电位；第一下拉控制模块用于根据接收的第二目标级传信号，下拉第一节点至第二电位；输出模块用于在第一节点的电位为第一电位的情况下，根据输入的时钟信号输出第 n 级级传信号和第 n 级扫描信号；在第一节点的电位为第二电位的情况下，停止输出第 n 级级传信号和第 n 级扫描信号；时钟信号的高电位持续时段包括第一时段和第二时段，时钟信号在第一时段保持第一高电位，在第二时段保持第二高电位，第二高电位高于第一高电位；第二下拉控制模块和下拉模块均与第二节点电连接，第二下拉控制模块用于上拉第二节点的电位至第一电位；下拉模块用于在第二节点的电位为第一电位的情况下，下拉输出模块输出端的电位。在上述方案中，时钟信号的高电位持续时段包括第一时段和第二时段，时钟信号在第一时段保持第一高电位，在第二时段保持第二高电位，第二高电位高于第一高电位，这样各级级传信号的电位也会先保持第一高电位一段时间，再上升至第二高电位，即各个 GDL 电路的第一下拉控制模块接收的第二目标级传信号，也会

在一段时间内保持第一高电位，因此，各个 GDL 电路的第一节点的电位就可以在这段时间内不被直接下拉到第二电位，而是可以高于第二电位，这样各个 GDL 电路的输出模块在这段时间内仍然能够输出扫描信号，并且能够根据输入的时钟信号电位的降低，迅速降低扫描信号的电位，从而该方案可以减小 GDL 电路中各个扫描信号的下降时间，提升 GDL 电路的稳定性。

附图说明

[0046] 为了更清楚地说明本申请实施例中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动性的前提下，还可以根据这些附图获得其它的附图。

[0047] 图 1 为本申请实施例提供的显示面板的结构示意图；

[0048] 图 2 为本申请实施例提供的阵列基板的结构示意图；

[0049] 图 3 为本申请实施例提供的时序控制电路与扫描驱动电路的连接关系示意图；

[0050] 图 4 为本申请实施例提供的 GDL 电路的结构示意图；

[0051] 图 5 为本申请实施例提供的时钟信号的时序图。

[0052] 其中，图中各附图标记：

[0053] 阵列基板 1，彩膜基板 2，液晶层 3，扫描线 11，数据线 12，数据驱动电路 13，时序控制电路 14，扫描驱动电路 15，上拉控制模块 1511，输出模块 1512，第一下拉控制模块 1513，第二下拉控制模块 1514，下拉模块 1515，下拉维持模块 1516。

具体实施方式

[0054] 下面结合本申请实施例中的附图对本申请实施例进行描述。本申请实施例的实施方式部分使用的术语仅用于对本申请的具体实施例进行解释，而非旨在限定本申请。下面这几个具体的实施例可以相互结合，对于相同或相似的概念或过程可能在某些实施例不再赘述。

[0055] 图 1 为本申请实施例提供的显示面板的结构示意图，如图 1 所示，本申请实施例提供的显示面板可以包括：显示区 1A 和非显示区 1B，显示区 1A 用于显示图像，非显示区 1B 环绕设置于显示区 1A 周围，用于设置其他辅助部件或者模组。

[0056] 具体地，显示面板可以包括：阵列基板 1、彩膜基板 2 和液晶层 3。

[0057] 阵列基板 1 和彩膜基板 2 相对设置，液晶层 3 位于阵列基板 1 和彩膜基板 2 之间。

[0058] 图 2 为本申请实施例提供的阵列基板的结构示意图，如图 2 所示，阵列基板 1 的显示区 1A 可以包括：N 条扫描线 11、M 条数据线 12 和多个像素单元 P，N 和 M 为正整数；阵列基板 1 的非显示区 1B 可以包括：数据驱动电路 13、时序控制电路 14 和扫描驱动电路 15。

[0059] 像素单元 P 可以阵列排布，每条扫描线 11 都可以与对应一行的像素单元 P 电连接。

10 [0060] 不同分辨率的显示面板，像素单元 P 的行列数也有差异，本实施例后续以显示面板中的像素单元 P 为 2160 行为例，进行示例性说明。

[0061] 数据驱动电路 13 可以与每条数据线 12 电连接，数据驱动电路 13 用于将待显示的图像数据通过数据线 12 以数据电压的形式传输至对应的像素单元 P。

15 [0062] 时序控制电路 14 分别与数据驱动电路 13 和扫描驱动电路 15 电连接，用于输出时钟信号控制数据驱动电路 13 和扫描驱动电路 15 的工作时序。

[0063] 显示面板的分辨率不同，时序控制电路 14 输出的时钟信号数量也可以不同，例如，根据显示面板不同的分辨率，时序控制电路 14 输出的时钟信号可以是 4 个时钟信号、8 个时钟信号、10 个时钟信号或 12 个时钟信号等，本实施例后续以时序控制电路 14 输出 8 个时钟信号为例，进行示例性说明。

20 [0064] 扫描驱动电路 15 可以与扫描线 11 电连接，扫描驱动电路 15 用于通过扫描线 11 输出扫描信号控制各像素单元 P 接收图像数据的时间。

[0065] 扫描驱动电路 15 可以通过 GDL 技术设置在阵列基板 1 的非显示区 1B，其可以包括多个 GDL 电路，以使显示面板的边框更窄。

25 [0066] 图 3 为本申请实施例提供的时序控制电路与扫描驱动电路的连接关系示意图，如图 3 所示，本申请实施例提供的扫描驱动电路 15 可以包括 2160 个级联的 GDL 电路。

[0067] 2160 个级联的 GDL 电路可以依次为 GDL1、GDL2、……、GDL2160，每个 GDL 电路可以接收一个在上升阶段呈阶梯状的时钟信号，并根据该时钟信号输出一个扫描信号，2160 个 GDL 电路对应输出的 2160 个扫描信号可以依次为 G1、G2、……、G2160。

每个扫描信号分别用于驱动阵列基板 1 的显示区 1A 中对应像素行的扫描线 11。

[0068] 任意两个相邻的 GDL 电路接收的时钟信号的相位可以不同，以输出两个间隔一段时间的扫描信号，这样就可以实现像素的逐行扫描。

[0069] 扫描驱动电路 15 还可以接收时序控制电路 14 输出的启动信号 STV、复位信号
5 Reset、第一低电平信号 VSSQ、第二低电平信号 VSSG 以及电源电压 VDD₀。

[0070] 具体地，扫描驱动电路 15 中的 GDL1、GDL2、GDL3、GDL4 和 GDL5 电路可以接收时序控制电路 14 输出的启动信号 STV，其他 GDL 电路可以通过级联电路接收启动信号 STV。

[0071] 复位信号 Reset、第一低电平信号 VSSQ 和第二低电平信号 VSSG 用于下拉各
10 GDL 电路的节点电压。

[0072] 电源电压 VDD₀ 可以是高电位，用于向各 GDL 电路提供稳定的高电位电压。

[0073] 可以理解，显示面板还可以包括其他用于共同完成图像显示的辅助电路，例如图像接收处理电路、电源电路等，本实施例对此不再进行赘述。

[0074] 下面以两个 GDL 电路为例示例性说明 GDL 电路的结构和 GDL 电路之间的连接关系。
15

[0075] 图 4 为本申请实施例提供的 GDL 电路的结构示意图，如图 4 所示，第 n 个 GDL 电路可以包括：上拉控制模块 1511、输出模块 1512、第一下拉控制模块 1513、第二下拉控制模块 1514、下拉模块 1515、第一节点 Q(n) 和第二节点 Qb(n)。

[0076] 上拉控制模块 1511 与第一节点 Q(n) 电连接，并接入第一目标级传信号（此处
20 为第 n-5 级级传信号 C(n-5)），上拉控制模块 1511 用于根据接收的第 n-5 级级传信号 C(n-5)，上拉第一节点 Q(n) 的电位至第一电位，其中，第一电位为高电位。

[0077] 可以理解的是，对于前 5 级 GDL 电路，第一目标级传信号可以是启动信号 STV。

[0078] 第一下拉控制模块 1513 与第一节点 Q(n) 电连接，并接入第二目标级传信号
25 （此处为第 n+6 级级传信号 C(n+6)）、第一复位信号 Reset 以及第一低电平信号 VSSQ。第一下拉控制模块 1513 用于根据接收的第 n+6 级级传信号 C(n+6)，通过第一低电平信号 VSSQ 下拉第一节点 Q(n) 的电位至第二电位。其中，第二电位为低电位。第一下拉控制模块 1513 还用于根据第一复位信号 Reset 下拉第一节点 Q(n) 的电位。

[0079] GDL 电路还可以包括下拉信号输出单元，对于后 6 级 GDL 电路，第二目标级传

信号可以是下拉信号输出单元输出的下拉信号。

[0080] 第一目标级传信号和第二目标级传信号也可以是其他级传信号，例如，第一目标级传信号可以是第 $n-4$ 级级传信号，对应的，第二目标级传信号可以是第 $n+5$ 级级传信号，本实施例对此不做具体限制。

5 [0081] 输出模块 1512 与第一节点 $Q(n)$ 电连接，并接入时钟信号 $CLK(n)$ ，用于在第一节点 $Q(n)$ 的电位为第一电位的情况下，根据时钟信号 $CLK(n)$ 输出第 n 级级传信号 $C(n)$ 和第 n 级扫描信号 $G(n)$ ；在第一节点 $Q(n)$ 的电位为第二电位的情况下，停止输出第 n 级级传信号 $C(n)$ 和第 n 级扫描信号 $G(n)$ 。时序控制电路 14 输出的 8 个时钟信号的时序关系可以如图 5 所示的，各时钟信号的相位均不同，每个时钟信号的高电位持续时段可以包括第一时段和第二时段，每个时钟信号可以在第一时段保持第一高电位，在第二时段保持第二高电位，第二高电位高于第一高电位，这样各级级传信号的电位也会先保持第一高电位一段时间，再上升至第二高电位，即各个 GDL 电路的第一下拉控制模块 1513 接收的第二目标级传信号，也会在一段时间内保持第一高电位，因此，各个 GDL 电路的第一节点 $Q(n)$ 的电位就可以在这段时间内不被直接下拉到第二电位，而是可以高于第二电位，这样各个 GDL 电路的输出模块 1512 在这段时间内仍然能够输出扫描信号，并且能够根据输入的时钟信号电位的降低，迅速降低扫描信号的电位，从而该方案可以减小 GDL 电路中各个扫描信号的下降时间，提升 GDL 电路的稳定性。

15 [0082] 时钟信号的高电位持续时段的占空比可以是 $1/2$ ，也可以适当调整的更小，这样也可以减小 GDL 电路输出的扫描信号的下降时间。

[0083] 在时钟信号的高电位持续时段固定的情况下，时钟信号的第一时段的时间增加会缩短时钟信号保持第二高电位的第二时段的时间，而时钟信号保持第二高电位的时间过短可能导致显示面板充电不足，显示画面异常等现象。因此，时钟信号的第一时段相对于高电位持续时段的占比可以小于或等于 $1/4$ ，以保证时钟信号保持第二高电位的时间，例如，时钟信号的第一时段相对于高电位持续时段的占比可以为 $1/8$ ，这样即能根据低电位的时钟信号迅速下拉对应扫描信号的电位，也能保证时钟信号保持第二高电位的时间，从而让显示面板有充足的充电时间。

25 [0084] 第二下拉控制模块 1514 与第二节点 $Qb(n)$ 电连接，接入电源电压 VDD_0 ，第二下拉控制模块 1514 用于上拉第二节点 $Qb(n)$ 的电位至第一电位。

[0085] 下拉模块 1515 与第二节点 $Q_b(n)$ 电连接, 并接入第一低电平信号 $VSSQ$ 和第二低电平信号 $VSSG$, 用于在第二节点 $Q_b(n)$ 的电位为第一电位的情况下, 根据第一低电平信号 $VSSQ$ 和第二低电平信号 $VSSG$ 下拉输出模块 1512 输出端的电位。

[0086] GDL 电路还可以包括下拉维持模块 1516, 下拉维持模块 1516 与第一节点 $Q(n)$ 电连接, 并接入第 $n-5$ 级级传信号 $C(n-5)$ 和第一低电平信号 $VSSQ$, 下拉维持模块 1516 用于根据第 $n-5$ 级级传信号 $C(n-5)$ 维持第二节点 $Q_b(n)$ 的电位。

[0087] 与第 n 个 GDL 电路类似, 第 $n+1$ 个 GDL 电路可以包括: 上拉控制模块 1511、输出模块 1512、第一下拉控制模块 1513、第二下拉控制模块 1514、下拉模块 1515、下拉信号输出单元、下拉维持模块 1516、第一节点 $Q(n+1)$ 和第二节点 $Q_b(n+1)$ 。

10 [0088] 其中, 上拉控制模块 1511 用于接收第 $n-4$ 级级传信号 $C(n-4)$, 根据第 $n-4$ 级级传信号 $C(n-4)$ 上拉第一节点 $Q(n+1)$ 的电位至第一电位。

[0089] 第一下拉控制模块 1513 用于接收第 $n+7$ 级级传信号 $C(n+7)$, 根据第 $n+7$ 级级传信号 $C(n+7)$ 下拉第一节点 $Q(n+1)$ 的电位至第二电位。

15 [0090] 输出模块 1512 用于在第一节点 $Q(n+1)$ 的电位为第一电位的情况下, 根据时钟信号 $CLK(n+1)$ 输出第 $n+1$ 级级传信号 $C(n+1)$ 和第 $n+1$ 级扫描信号 $G(n+1)$; 在第一节点 $Q(n+1)$ 的电位为第二电位的情况下, 停止输出第 $n+1$ 级级传信号 $C(n+1)$ 和第 $n+1$ 级扫描信号 $G(n+1)$ 。

[0091] 具体地, 第 n 个 GDL 电路的上拉控制模块 1511 可以包括: 第一晶体管 $T1$, 第一晶体管 $T1$ 的栅极和漏极均接入第 $n-5$ 级级传信号 $C(n-5)$, 第一晶体管 $T1$ 的源极与第一节点 $Q(n)$ 电连接。

[0092] 输出模块 1512 可以包括: 第二晶体管 $T2$ 和第三晶体管 $T3$, 第二晶体管 $T2$ 和第三晶体管 $T3$ 的栅极均与第一节点 $Q(n)$ 电连接, 第二晶体管 $T2$ 和第三晶体管 $T3$ 的漏极接入同一时钟信号 $CLK(N)$, 第二晶体管 $T2$ 的源极输出第 n 级级传信号 $C(n)$, 第三晶体管 $T3$ 的源极输出第 n 级扫描信号 $G(n)$ 。

25 [0093] 第一下拉控制模块 1513 可以包括第四晶体管 $T4$ 、第五晶体管 $T5$ 、第六晶体管 $T6$ 和第七晶体管 $T7$ 。其中, 第四晶体管 $T4$ 的栅极接入第 $n+6$ 级级传信号 $C(n+6)$, 源极与第一节点 $Q(n)$ 电连接, 漏极与第一低压端电连接, 以接收第一低电平信号 $VSSQ$ 。第五晶体管 $T5$ 的栅极接入第一复位信号 $Reset$, 源极与第一节点 $Q(n)$ 电连接, 漏极与第一低压端电连接, 以接收第一低电平信号 $VSSQ$ 。第六晶体管 $T6$ 的栅极与第 $n+1$ 个

GDL 电路的第二节点 $Qb(n+1)$ 电连接, 源极与第一节点 $Q(n)$ 电连接, 漏极与第一低压端电连接, 以接收第一低电平信号 $VSSQ$ 。第七晶体管 $T7$ 的栅极与第二节点 $Qb(n)$ 电连接, 源极与第一节点 $Q(n)$ 电连接, 漏极与第一低压端电连接, 以接收第一低电平信号 $VSSQ$ 。

- 5 [0094] 由于各级级传信号的电位会先保持第一高电位一段时间, 再上升至第二高电位, 即第四晶体管 $T4$ 接收的第 $n+6$ 级级传信号 $C(n+6)$, 也会在保持第一高电位一段时间, 这段时间内第四晶体管 $T4$ 没有完全打开, 第一低压端输出的第一低电平信号 $VSSQ$ 可以将第一节点 $Q(n)$ 的电位下拉到高于第二电位的第三电位, 因此, 第二晶体管 $T2$ 和第三晶体管 $T3$ 在这段时间内仍然导通, 第三晶体管 $T3$ 的源极仍然能够输出第 n 级扫描信号 $G(n)$, 并且在时钟信号转换为低电位时, 能够迅速降低第 n 级扫描信号 $G(n)$ 的电位, 从而减小第 n 级扫描信号 $G(n)$ 的下降时间。

- [0095] 第二下拉控制模块 1514 可以包括第八晶体管 $T8$ 、第九晶体管 $T9$ 和第十晶体管 $T10$ 。第八晶体管 $T8$ 的源极和栅极均与电源电压 VDD_0 电连接, 漏极与第九晶体管 $T9$ 的栅极、第十晶体管 $T10$ 的源极电连接。第九晶体管 $T9$ 的源极与电源电压 VDD_0 电连接, 漏极与第二节点 $Qb(n)$ 电连接。第十晶体管 $T10$ 的栅极与第一节点 $Q(n)$ 电连接, 漏极与第一低压端电连接, 以接收第一低电平信号 $VSSQ$ 。

- [0096] 下拉模块 1515 可以包括第十一晶体管 $T11$ 、第十二晶体管 $T12$ 、第十三晶体管 $T13$ 和第十四晶体管 $T14$ 。其中, 第十一晶体管 $T11$ 的栅极与第二节点 $Qb(n)$ 电连接, 源极与第二晶体管 $T2$ 的源极电连接, 漏极与第一低压端电连接, 以接收第一低电平信号 $VSSQ$ 。第十二晶体管 $T12$ 的栅极与第二节点 $Qb(n)$ 电连接, 源极与第三晶体管 $T3$ 的源极电连接, 漏极与第二低压端电连接, 以接收第二低电平信号 $VSSG$ 。第十三晶体管 $T13$ 的栅极与第 $n+1$ 个 GDL 电路的第二节点 $Qb(n+1)$ 电连接, 源极与第三晶体管 $T3$ 的源极电连接, 漏极与第二低压端电连接, 以接收第二低电平信号 $VSSG$ 。第十四晶体管 $T14$ 的栅极与第 $n+1$ 个 GDL 电路的第二节点 $Qb(n+1)$ 电连接, 源极与第二晶体管 $T2$ 的源极电连接, 漏极与第一低压端电连接, 以接收第一低电平信号 $VSSQ$ 。

- [0097] 下拉维持模块 1516 可以包括第十五晶体管 $T15$ 、第十六晶体管 $T16$ 和第十七晶体管 $T17$ 。其中, 第十五晶体管 $T15$ 的栅极与第一节点 $Q(n)$ 电连接, 源极与第二节点 $Qb(n)$ 电连接, 漏极与第一低压端电连接, 以接收第一低电平信号 $VSSQ$ 。第十六晶体管 $T16$ 的栅极接入第 $n-5$ 级级传信号 $C(n-5)$, 漏极与第一低压端电连接, 以接收第一低

电平信号 VSSQ，源极与第二节点 Qb(n)电连接。第十七晶体管 T17 的栅极与第 n+1 个 GDL 电路的第一节点 Q(n+1)电连接，源极与第九晶体管 T9 的漏极电连接，漏极与第一低压端电连接，以接收第一低电平信号 VSSQ。

[0098] 第 n+1 个 GDL 电路中各模块具体包括的元件与第 n 个 GDL 电路类似，此处不再赘述。

[0099] 第 n+1 个 GDL 电路中各元件的连接关系与第 n 个 GDL 电路也类似，不同之处主要在于如下几点，其中，如非特别说明，下面所述的元件均表示第 n+1 个 GDL 电路中的元件。

[00100] 上拉控制模块 1511 的第一晶体管 T1 的栅极和漏极均接入第 n-4 级级传信号 C(n-4)，源极与第一节点 Q(n+1)电连接。

[00101] 输出模块 1512 的第二晶体管 T2 和第三晶体管 T3 的栅极均与第一节点 Q(n+1)电连接，漏极接入时钟信号 CLK(n+1)，第二晶体管 T2 的源极输出第 n+1 级级传信号 C(n+1)，第三晶体管 T3 的源极输出第 n+1 级扫描信号 G(n+1)。

[00102] 第一下拉控制模块 1513 的第四晶体管 T4 的栅极接入第 n+7 级级传信号 C(n+7)，源极与第一节点 Q(n+1)电连接，漏极与第一低压端电连接。第六晶体管 T6 的栅极与第 n 个 GDL 电路的第二节点 Qb(n)电连接，源极与第一节点 Q(n+1)电连接，漏极与第一低压端电连接。

[00103] 下拉模块 1515 的第十三晶体管 T13 的栅极与第 n 个 GDL 电路的第二节点 Qb(n)电连接，源极与第三晶体管 T3 的源极电连接，漏极与第二低压端电连接，第十四晶体管 T14 的栅极与第 n 个 GDL 电路的第二节点 Qb(n)电连接，源极与第二晶体管 T2 的源极电连接，漏极与第一低压端电连接。

[00104] 下拉维持模块 1516 的第十七晶体管 T17 的栅极与第 n 个 GDL 电路的第一节点 Q(n)电连接，源极与第九晶体管 T9 的漏极电连接，漏极与第一低压端电连接。

[00105] 上述的第 n 个 GDL 电路和第 n+1 个 GDL 电路中，各晶体管可以均为 N 型场效应管，以减小各晶体管在电路中的阻抗，图 4 中即是以此为例进行示例性说明。在一些实施例中，各晶体管也可以均为 P 型场效应管，以降低成本，本实施例对此不做特别限定。

[00106] 本申请实施例提供的扫描驱动电路、阵列基板和显示面板，包括级联的 N 个 GDL 电路，第 n 个 GDL 电路包括：上拉控制模块、输出模块、第一下拉控制模块、第二

下拉控制模块、下拉模块、第一节点和第二节点， N 为正整数， $n \in [1, N]$ ；上拉控制模块、第一下拉控制模块和输出模块均与第一节点电连接，上拉控制模块用于根据接收的第一目标级传信号，上拉第一节点的电位至第一电位；第一下拉控制模块用于根据接收的第二目标级传信号，下拉第一节点至第二电位；输出模块用于在第一节点的电位为第一电位的情况下，根据输入的时钟信号输出第 n 级级传信号和第 n 级扫描信号；在第一节点的电位为第二电位的情况下，停止输出第 n 级级传信号和第 n 级扫描信号；时钟信号的高电位持续时段包括第一时段和第二时段，时钟信号在第一时段保持第一高电位，在第二时段保持第二高电位，第二高电位高于第一高电位；第二下拉控制模块和下拉模块均与第二节点电连接，第二下拉控制模块用于上拉第二节点的电位至第一电位；下拉模块用于在第二节点的电位为第一电位的情况下，下拉输出模块输出端的电位。在上述方案中，时钟信号的高电位持续时段包括第一时段和第二时段，时钟信号在第一时段保持第一高电位，在第二时段保持第二高电位，第二高电位高于第一高电位，这样各级级传信号的电位也会先保持第一高电位一段时间，再上升至第二高电位，即各个 GDL 电路的第一下拉控制模块接收的第二目标级传信号，也会在一段时间内保持第一高电位，因此，各个 GDL 电路的第一节点的电位就可以在这段时间内不被直接下拉到第二电位，而是可以高于第二电位，这样各个 GDL 电路的输出模块在这段时间内仍然能够输出扫描信号，并且能够根据输入的时钟信号电位的降低，迅速降低扫描信号的电位，从而该方案可以减小 GDL 电路中各个扫描信号的下降时间，提升 GDL 电路的稳定性。

[00107] 在上述实施例中，对各个实施例的描述都各有侧重，某个实施例中未详述或记载的部分，可以参见其它实施例的相关描述。

[00108] 应当理解，当在本申请说明书和所附权利要求书中使用时，术语“包括”指示所描述特征、整体、步骤、操作、元素和/或组件的存在，但并不排除一个或多个其它特征、整体、步骤、操作、元素、组件和/或其集合的存在或添加。

[00109] 在本申请中出现的对步骤进行的命名或者编号，并不意味着必须按照命名或者编号所指示的时间/逻辑先后顺序执行方法流程中的步骤，已经命名或者编号的流程步骤可以根据要实现的技术目的变更执行次序，只要能达到相同或者相类似的技术效果即可。

[00110] 在本申请的描述中，除非另有说明，“/”表示前后关联的对象是一种“或”

的关系，例如，A/B 可以表示 A 或 B；本申请中的“和/或”仅仅是一种描述关联对象的关联关系，表示可以存在三种关系，例如，A 和/或 B，可以表示：单独存在 A，同时存在 A 和 B，单独存在 B 这三种情况，其中 A，B 可以是单数或者复数。

[00111] 并且，在本申请的描述中，除非另有说明，“多个”是指两个或多于两个。

5 “以下至少一项”或其类似表达，是指的这些项中的任意组合，包括单项或复数项的任意组合。例如，a，b，或 c 中的至少一项，可以表示：a，b，c，a-b，a-c，b-c，或 a-b-c，其中 a，b，c 可以是单个，也可以是多个。

[00112] 如在本申请说明书和所附权利要求书中所使用的那样，术语“如果”可以依据上下文被解释为“当...时”或“一旦”或“响应于确定”或“响应于检测到”。类似

10 地，短语“如果确定”或“如果检测到[所描述条件或事件]”可以依据上下文被解释为意指“一旦确定”或“响应于确定”或“一旦检测到[所描述条件或事件]”或“响应于检测到[所描述条件或事件]”。

[00113] 另外，在本申请说明书和所附权利要求书的描述中，术语“第一”、“第二”、“第三”等是用于区别类似的对象，而不必用于描述特定的顺序或先后次序。

15 应该理解这样使用的数据在适当情况下可以互换，以便这里描述的实施例能够以除了
在这里图示或描述的内容以外的顺序实施。

[00114] 在本申请说明书中描述的参在本申请说明书中描述的参考“一个实施例”或“一些实施例”等意味着在本申请的一个或多个实施例中包括结合该实施例描述的特定特征、结构或特点。由此，在本说明书中的不同之处出现的语句“在一个实施例中”、“在一些实施例中”、“在其他一些实施例中”、“在另外一些实施例中”等不是必然都参考相同的实施例，而是意味着“一个或多个但不是所有的实施例”，除非是以其他方式另外特别强调。

20 中”、“在一些实施例中”、“在其他一些实施例中”、“在另外一些实施例中”等不是必然都参考相同的实施例，而是意味着“一个或多个但不是所有的实施例”，除非是以其他方式另外特别强调。

[00115] 最后应说明的是：以上各实施例仅用以说明本申请的技术方案，而非对其限制；尽管参照前述各实施例对本申请进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本申请各实施例技术方案的范围。

25 理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本申请各实施例技术方案的范围。

权 利 要 求 书

1.一种扫描驱动电路，其中，包括：级联的 N 个 GDL 电路，第 n 个 GDL 电路包括：上拉控制模块、输出模块、第一下拉控制模块、第二下拉控制模块、下拉模块、
5 第一节点和第二节点， N 为正整数， $n \in [1, N]$ ；

所述上拉控制模块、所述第一下拉控制模块和所述输出模块均与所述第一节点电连接，所述上拉控制模块用于根据接收的第一目标级传信号，上拉所述第一节点的电位至第一电位；

所述第一下拉控制模块用于根据接收的第二目标级传信号，下拉所述第一节点至
10 第二电位；

所述输出模块用于在所述第一节点的电位为第一电位的情况下，根据输入的时钟信号输出第 n 级级传信号和第 n 级扫描信号；在所述第一节点的电位为第二电位的情况下，停止输出所述第 n 级级传信号和所述第 n 级扫描信号；所述时钟信号的高电位持续时段包括第一时段和第二时段，所述时钟信号在所述第一时段保持第一高电位，
15 在所述第二时段保持第二高电位，所述第二高电位高于所述第一高电位；

所述第二下拉控制模块和所述下拉模块均与所述第二节点电连接，所述第二下拉控制模块用于上拉所述第二节点的电位至第一电位；

所述下拉模块用于在所述第二节点的电位为第一电位的情况下，下拉所述输出模块输出端的电位。

20 2.根据权利要求 1 所述的电路，其中，所述时钟信号的第一时段相对于所述高电位持续时段的占比小于或等于 $1/4$ 。

3.根据权利要求 2 所述的电路，其中，所述时钟信号的第一时段相对于所述高电位持续时段的占比等于 $1/8$ 。

4.根据权利要求 1 所述的电路，其中，所述时钟信号的高电位持续时段的占空比
25 小于 $1/2$ 。

5.根据权利要求 1 所述的电路，其中，所述第一目标级传信号为第 $n-5$ 级级传信号，所述第二目标级传信号为第 $n+6$ 级级传信号， $5 < n \leq N-6$ 。

6.根据权利要求 1 所述的电路，其中，所述上拉控制模块包括：第一晶体管，所述第一晶体管的控制极和第一极均接入所述第一目标级传信号，所述第一晶体管的第

二极管与所述第一节点电连接。

7.根据权利要求 1 所述的电路,其中,所述输出模块包括:第二晶体管和第三晶体管,所述第二晶体管和所述第三晶体管的控制极均与所述第一节点电连接,所述第二晶体管和所述第三晶体管的第一极接入同一时钟信号,所述第二晶体管的第二极输出所述第 n 级级传信号,所述第三晶体管的第二极输出所述第 n 级扫描信号。

8.根据权利要求 7 所述的电路,其中,所述第一下拉控制模块包括第四晶体管、第五晶体管、第六晶体管和第七晶体管;

所述第四晶体管的栅极接入所述第二目标级传信号,所述第四晶体管的源极与第 n 级的所述第一节点电连接,所述第四晶体管的漏极与第一低压端电连接;

10 所述第五晶体管的栅极接入第一复位信号,所述第五晶体管的源极与第 n 级的所述第一节点电连接,所述第五晶体管的漏极与所述第一低压端电连接;

所述第六晶体管的栅极与第 $n+1$ 级的所述第二节点电连接,所述第六晶体管的源极与第 n 级的第一节点电连接,漏极与所述第一低压端电连接;

15 所述第七晶体管的栅极与第 n 级的所述第二节点电连接,所述第七晶体管的源极与第 n 级的所述第一节点电连接,所述第七晶体管的漏极与所述第一低压端电连接。

9.根据权利要求 8 所述的电路,其中,所述第二下拉控制模块包括第八晶体管、第九晶体管和第十晶体管;

所述第八晶体管的源极和栅极均与电源电压电连接,所述第八晶体管的漏极与所述第九晶体管的栅极、所述第十晶体管 T10 的源极电连接;

20 所述第九晶体管的源极与电源电压电连接,所述第九晶体管的漏极与第 n 级的所述第二节点电连接;

所述第十晶体管的栅极与第 n 级的所述第一节点电连接,所述第十晶体管的漏极与第一低压端电连接。

25 10.根据权利要求 9 所述的电路,其中,所述下拉模块包括第十一晶体管、第十二晶体管、第十三晶体管和第十四晶体管;

所述第十一晶体管的栅极与第 n 级的所述第二节点电连接,所述第十一晶体管的源极与所述第二晶体管的源极电连接,所述第十一晶体管的漏极与第一低压端电连接;

所述第十二晶体管的栅极与第 n 级的所述第二节点电连接,所述第十二晶体管的

源极与所述第三晶体管的源极电连接，所述第十二晶体管的漏极与第二低压端电连接；

所述第十三晶体管的栅极与第 $n+1$ 级的所述第二节点电连接，所述第十三晶体管的源极与所述第三晶体管的源极电连接，所述第十三晶体管的漏极与所述第二低压端电连接；

所述第十四晶体管的栅极与第 $n+1$ 级的所述第二节点电连接，所述第十四晶体管的源极与所述第二晶体管的源极电连接，所述第十四晶体管的漏极与所述第一低压端电连接。

11.根据权利要求 10 所述的电路，其中，所述第 n 个 GDL 电路还包括：

10 下拉维持模块，所述下拉维持模块与第二节点电连接，用于根据接收的第一目标级传信号，维持所述第二节点的电位。

12.根据权利要求 11 所述的电路，其中，所述下拉维持模块包括第十五晶体管、第十六晶体管和第十七晶体管；

15 所述第十五晶体管的栅极与第 n 级的所述第一节点电连接，所述第十五晶体管的源极与第 n 级的所述第二节点电连接，所述第十五晶体管的漏极与所述第一低压端电连接；

所述第十六晶体管的栅极接入所述第一目标级传信号，所述第十六晶体管的漏极与所述第一低压端电连接，所述第十六晶体管的源极与第 n 级的所述第二节点电连接；

20 所述第十七晶体管的栅极与第 $n+1$ 级的所述第一节点电连接，所述第十七晶体管的源极与所述第九晶体管的漏极电连接，所述第十七晶体管的漏极与所述第一低压端电连接。

25 13.一种阵列基板，其中，包括：如权利要求 1 所述的扫描驱动电路和 N 条扫描线，所述扫描驱动电路中的 N 个 GDL 电路与所述 N 条扫描线一一对应连接，每条扫描线连接多个像素单元。

14.根据权利要求 13 所述的阵列基板，其中，所述阵列基板还包括：数据驱动电路和时序控制电路；

所述数据驱动电路与每条数据线电连接，所述数据驱动电路用于将待显示的图像数据通过所述数据线以数据电压的形式传输至对应的所述像素单元；

所述时序控制电路分别与所述数据驱动电路和所述扫描驱动电路电连接，所述时序控制电路用于输出时钟信号控制所述数据驱动电路和所述扫描驱动电路的工作时序。

- 15.一种显示面板，其中，所述显示面板的非显示区域包括信号线和如权利要求 1
5 所述的扫描驱动电路。

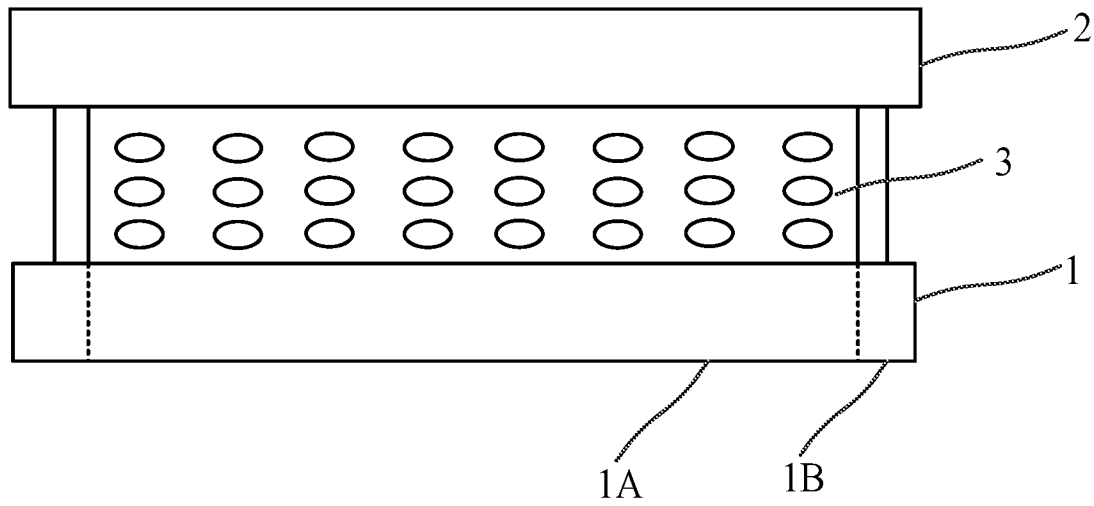


图 1

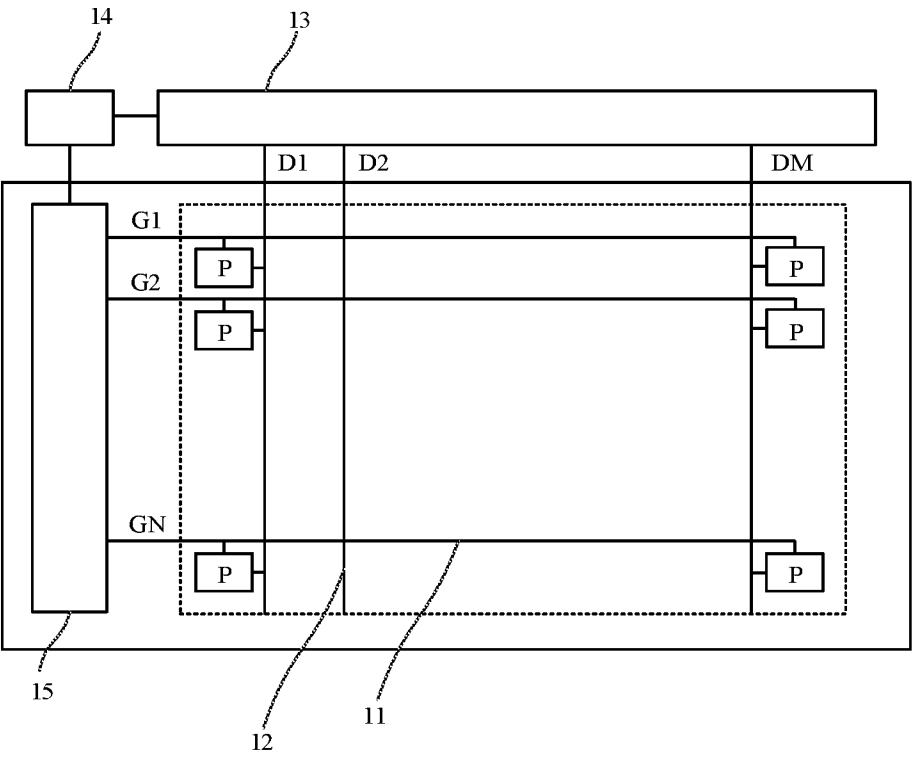


图 2

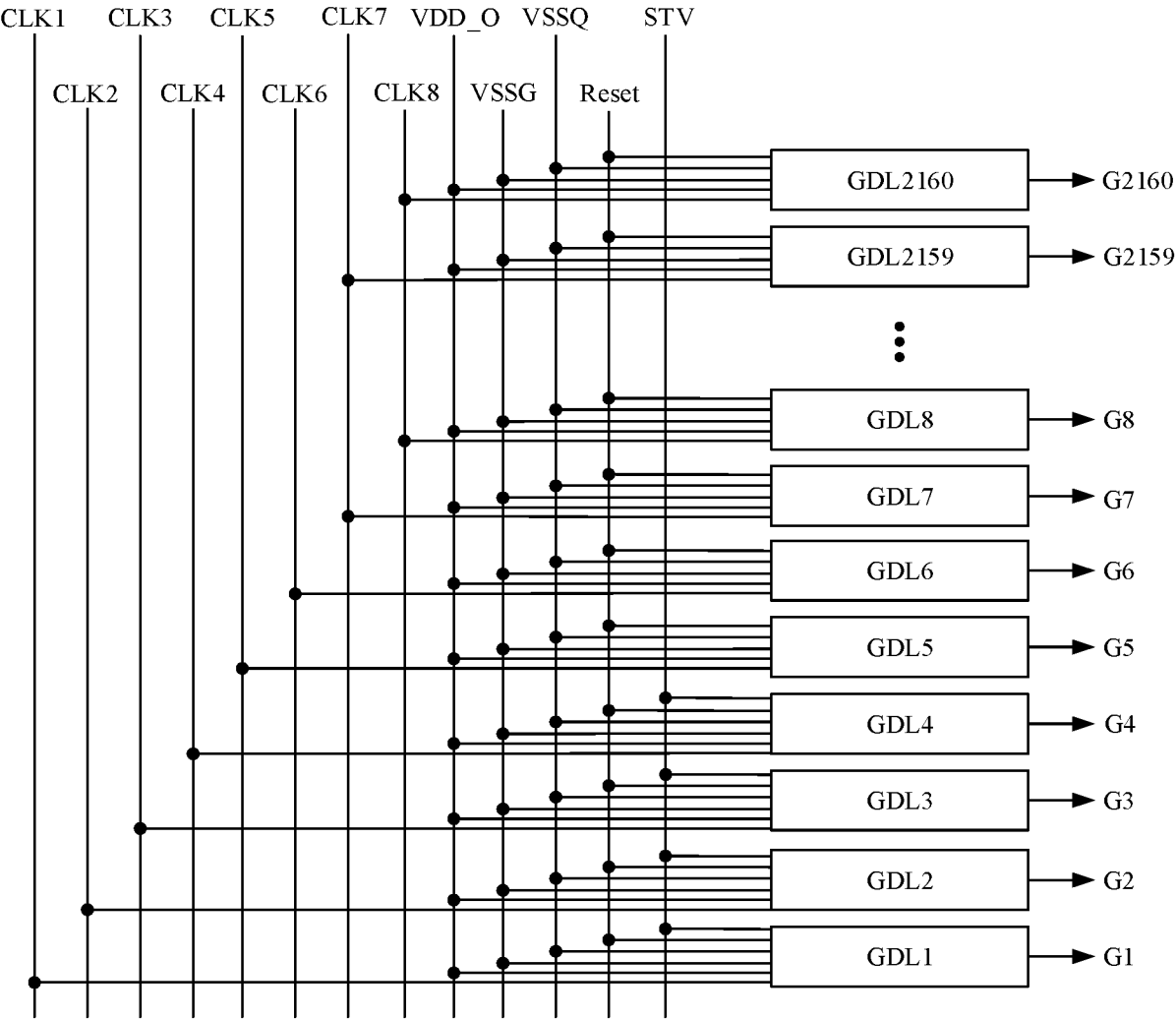


图 3

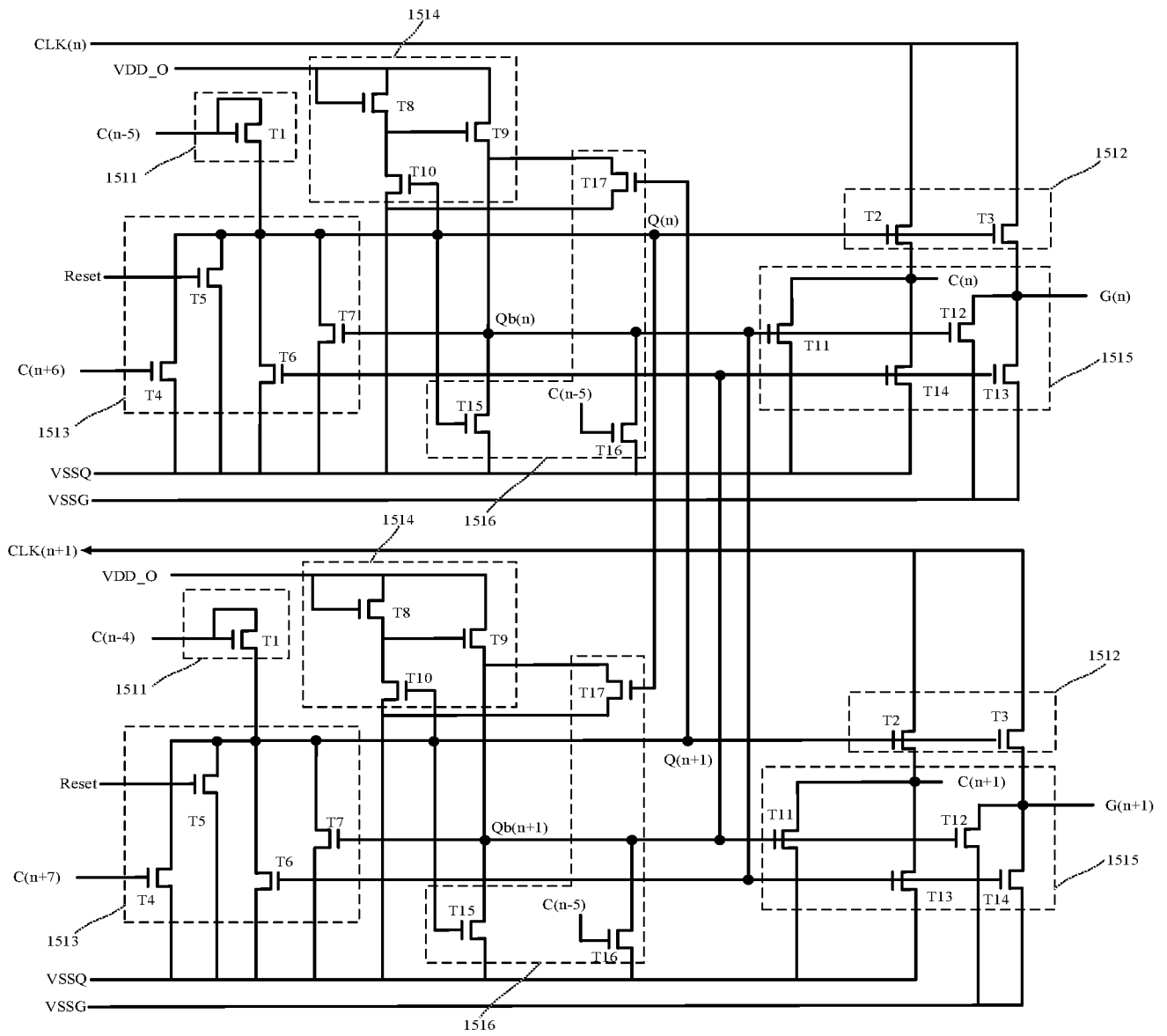


图 4

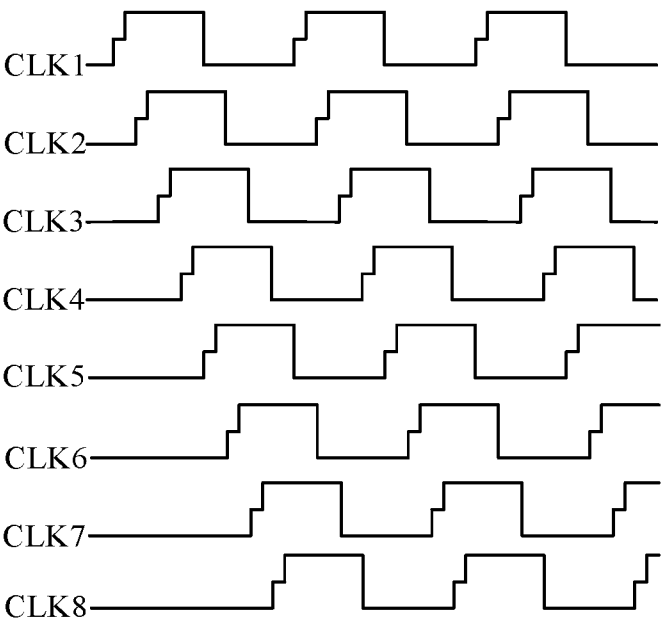


图 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/137322

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI; CNPAT; WPI; EPODOC: 惠科, 李阳, 李荣荣, 扫描驱动电路, 栅线驱动电路, 时钟信号, 电位, 电势, 电压, 阶梯, 梯度, 上升沿, 下降沿, 上升时间, 下降时间, CLK signal, Clock signal, CK signal, scan driving circuit, GOA, voltage, falling time

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 114974163 A (HKC CO., LTD.) 30 August 2022 (2022-08-30) description, paragraphs [0030]-[0058], and figures 3-5	1-15
A	CN 114333731 A (HKC CO., LTD.) 12 April 2022 (2022-04-12) description, paragraphs [0064]-[0101], and figures 1-5	1-15
A	CN 113570995 A (BEIJING BOE DISPLAY TECHNOLOGY CO., LTD. et al.) 29 October 2021 (2021-10-29) entire document	1-15
A	CN 105513550 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 20 April 2016 (2016-04-20) entire document	1-15
A	CN 105702225 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 22 June 2016 (2016-06-22) entire document	1-15
A	CN 106128408 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 16 November 2016 (2016-11-16) entire document	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

09 March 2023

Date of mailing of the international search report

16 March 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/137322

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 109801587 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 24 May 2019 (2019-05-24) entire document	1-15
A	CN 113380172 A (INSTITUTE OF MICROELECTRONICS OF CHINESE ACADEMY OF SCIENCES) 10 September 2021 (2021-09-10) entire document	1-15
A	CN 1783702 A (SAMSUNG ELECTRONICS CO., LTD.) 07 June 2006 (2006-06-07) entire document	1-15
A	US 2018144703 A1 (SAMSUNG DISPLAY CO., LTD.) 24 May 2018 (2018-05-24) entire document	1-15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/137322

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	114974163	A	30 August 2022	None			
CN	114333731	A	12 April 2022	None			
CN	113570995	A	29 October 2021	None			
CN	105513550	A	20 April 2016	WO	2017117849	A1	13 July 2017
				US	2018046308	A1	15 February 2018
				US	9933889	B2	03 April 2018
				CN	105513550	B	01 February 2019
CN	105702225	A	22 June 2016	CN	105702225	B	04 September 2018
CN	106128408	A	16 November 2016	WO	2018049741	A1	22 March 2018
				US	2018082649	A1	22 March 2018
CN	109801587	A	24 May 2019	CN	109801587	B	23 November 2021
CN	113380172	A	10 September 2021	None			
CN	1783702	A	07 June 2006	JP	2006166395	A	22 June 2006
				TW	200630948	A	01 September 2006
				KR	20060061876	A	08 June 2006
				US	2006119560	A1	08 June 2006
US	2018144703	A1	24 May 2018	KR	20180056459	A	29 May 2018
				US	10573267	B2	25 February 2020

国际检索报告

国际申请号

PCT/CN2022/137322

A. 主题的分类 G09G3/36(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G09G 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称,和使用的检索词(如使用)) 检索过程: CNKI;CNPAT;WPI;EPDOC: 惠科, 李阳, 李荣荣, 扫描驱动电路, 栅线驱动电路, 时钟信号, 电位, 电势, 电压, 阶梯, 梯度, 上升沿, 下降沿, 上升时间, 下降时间, CLK signal, Clock signal, CK signal, scan driving circuit, GOA, voltage, falling time		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 114974163 A (惠科股份有限公司) 2022年8月30日 (2022 - 08 - 30) 说明书第[0030]-[0058]段、图3-5	1-15
A	CN 114333731 A (惠科股份有限公司) 2022年4月12日 (2022 - 04 - 12) 说明书第[0064]-[0101]段、图1-5	1-15
A	CN 113570995 A (北京京东方显示技术有限公司等) 2021年10月29日 (2021 - 10 - 29) 全文	1-15
A	CN 105513550 A (武汉华星光电技术有限公司) 2016年4月20日 (2016 - 04 - 20) 全文	1-15
A	CN 105702225 A (京东方科技集团股份有限公司等) 2016年6月22日 (2016 - 06 - 22) 全文	1-15
A	CN 106128408 A (深圳市华星光电技术有限公司) 2016年11月16日 (2016 - 11 - 16) 全文	1-15
A	CN 109801587 A (京东方科技集团股份有限公司等) 2019年5月24日 (2019 - 05 - 24) 全文	1-15
☒ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2023年3月9日		国际检索报告邮寄日期 2023年3月16日
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 田允允 电话号码 (+86) 010-53962430

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 113380172 A (中国科学院微电子研究所) 2021年9月10日 (2021 - 09 - 10) 全文	1-15
A	CN 1783702 A (三星电子株式会社) 2006年6月7日 (2006 - 06 - 07) 全文	1-15
A	US 2018144703 A1 (SAMSUNG DISPLAY CO., LTD.) 2018年5月24日 (2018 - 05 - 24) 全文	1-15

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/137322

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	114974163	A	2022年8月30日	无			
CN	114333731	A	2022年4月12日	无			
CN	113570995	A	2021年10月29日	无			
CN	105513550	A	2016年4月20日	WO	2017117849	A1	2017年7月13日
				US	2018046308	A1	2018年2月15日
				US	9933889	B2	2018年4月3日
				CN	105513550	B	2019年2月1日
CN	105702225	A	2016年6月22日	CN	105702225	B	2018年9月4日
CN	106128408	A	2016年11月16日	WO	2018049741	A1	2018年3月22日
				US	2018082649	A1	2018年3月22日
CN	109801587	A	2019年5月24日	CN	109801587	B	2021年11月23日
CN	113380172	A	2021年9月10日	无			
CN	1783702	A	2006年6月7日	JP	2006166395	A	2006年6月22日
				TW	200630948	A	2006年9月1日
				KR	20060061876	A	2006年6月8日
				US	2006119560	A1	2006年6月8日
US	2018144703	A1	2018年5月24日	KR	20180056459	A	2018年5月29日
				US	10573267	B2	2020年2月25日