

# 公告本

|      |            |
|------|------------|
| 申請日期 | 90.3.13    |
| 案 號  | 90105769   |
| 類 別  | G11C 29/00 |

A4  
C4

519655

(以上各欄由本局填註)

| 發 明 專 利 說 明 書 |               |                                                                                                                                                                                |
|---------------|---------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 一、發明<br>名稱    | 中 文           | 自動基準記憶胞修整檢驗                                                                                                                                                                    |
|               | 英 文           | AUTOMATED REFERENCE CELL TRIMMING VERIFY                                                                                                                                       |
| 二、發明<br>人     | 姓 名           | 1. 潘鋒 FENG PAN<br>2. 柯林·S·比爾 COLIN S. BILL                                                                                                                                     |
|               | 國 籍           | 1. 美國 2. 英國                                                                                                                                                                    |
|               | 住、居所          | 1. 美國·加州 95132·聖荷亞市·城堡門路 1721 號<br>1721 Castlegate Drive, San Jose, CA 95132, U.S.A.<br>2. 美國·加州 95014·古皮帶諾·玫瑰花園巷 1384 號<br>1384 Rose Garden Lane, Cupertino, CA 95014, U.S.A. |
| 三、申請人         | 姓 名<br>(名稱)   | 高級微裝置公司<br>ADVANCED MICRO DEVICES, INC.                                                                                                                                        |
|               | 國 籍           | 美國                                                                                                                                                                             |
|               | 住、居所<br>(事務所) | 美國·加州 94088-3453 桑尼威·第 1AMD 區·M/S 68·<br>郵政信箱 3453 號<br>One AMD Place, P.O. Box 3453, Sunnyvale, Mail Stop 68,<br>CA 94088-3453, U.S.A.                                        |
|               | 代 表 人<br>姓 名  | 理查·J·諾迪 RICHARD J. RODDY                                                                                                                                                       |

經濟部智慧財產局員工消費合作社印製

裝

訂

線

(由本局填寫)

|           |
|-----------|
| 承辦人代碼：    |
| 大 類：      |
| I P C 分類： |

A6  
B6

本案已向：

美 國 ( 地 區 )    申請專利，申請日期：                      案號：                      ， ☒ 有    ☐ 無主張優先權

2000 年 3 月 14 日 09/524,897 (主 張 優 先 權)

有關微生物已寄存於：                                              ， 寄存日期：                                              ， 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明(4)

許多程式規劃脈衝。本發明之基準記憶胞修整檢驗電路可提供如先前製造工程師所獲得的相同準確程度。

### 發明揭示

如此本發明之概略技術優點須提供一種基準記憶胞修整檢驗電路，以及用於快閃 EEPROM 記憶胞陣列用以於基準記憶胞執行程式檢驗操作之方法，此種方法為傳統上所無法達成者。

本發明之技術優勢係提供一種基準記憶胞修整檢驗電路及用於快閃 EEPROM 記憶胞陣列用以於基準記憶胞執行程式檢驗操作俾縮短製造過程的總測試時間之方法。

本發明之另一技術優勢係提供一種基準記憶胞修整檢驗電路及其用於快閃 EEPROM 記憶胞陣列用以對基準記憶胞執行程式檢驗操作之方法，該基準記憶胞係形成於含相同半導體積體電路之記憶裝置上。

本發明之又另一技術優勢係提供一種基準記憶胞修整檢驗電路及其用於快閃 EEPROM 記憶胞陣列用以對基準記憶胞執行程式檢驗操作之方法，其包括基準電流分支用以產生基準電流，汲極電流分支用以產生汲極電流，以及比較器用以比較汲極電流及基準電流俾決定何時已經達到基準記憶胞之預定閾電壓。

於本發明之較佳具體實施例中，提供一基準記憶胞修整檢驗電路供用於一快閃 EEPROM 記憶胞陣列用以於基準記憶胞執行程式檢驗操作。修整檢驗電路包括一基準電流分支用以產生基準電流，該基準電流係對應欲程式規劃

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(5)

之基準記憶胞之特定過去閾電壓。汲電流分支係耦合至基準記憶胞用以產生汲極電流，當汲極電流係於固定位準時，該汲極電流係於固定閘極電壓外加至其控制閘極，以及於預定汲極電壓外加至其汲極。高增益放大器用以比較對應汲極電流之感應電壓與對應基準電流之基準電壓，以及產生一輸出信號，當感應電壓係低於基準電壓時，該輸出信號係於低邏輯位準；以及當感應電壓係高於基準電壓時，該輸出信號係於高邏輯位準。每次比較器產生低邏輯位準時，程式脈衝外加至基準記憶胞，以及當比較器產生高邏輯位準時，結束該程式脈衝。

### 圖式之簡要說明

此等及其它本發明之目的及優點由後文詳細說明連同附圖將更完整彰顯。

第 1 圖顯示用以進行本發明之程式檢驗操作及基準記憶胞修整檢驗電路之示意電路圖。

### 元件符號說明

10 基準記憶胞修整檢驗電路

12 基準記憶胞

14 基準電流分支

16 汲極電流分支

18 比較器

20 引線

### 執行本發明之最佳模式

現在參照特別舉例說明之附圖，附圖顯示根據本發明之原理建構之一基準記憶胞修整檢驗電路 10 之示意電路圖，該基準記憶胞修整檢驗電路係用於一快閃 EEPROM 記

## 五、發明說明(6)

憶胞陣列用以對基準記憶胞執行程式檢驗操作俾縮短製造過程的總測試時間。本發明之修整檢驗電路 10 用以精準決定基準記憶胞之閾電壓  $V_t$ 。此項目的係藉下述方式達成，建立一基準電流源，該基準電流源係對應於欲程式規劃之基準記憶胞之預定過驅電壓 ( $V_{gs} - V_t$ )；比較對應基準記憶胞之汲極電流之感應電壓與對應基準電流之基準電壓；以及當感應電壓變成高於基準電壓時，結束至基準記憶胞至程式脈衝。於此瞬間，基準記憶胞之閾電壓  $V_t$  將為已知。基準記憶胞修整檢驗電路係形成於含相同半導體積體電路之記憶裝置上。

基準記憶胞修整檢驗電路 10 係顯示為使用欲被修整或程式規劃的基準記憶胞 12，基準記憶胞係經由一浮動閘極基準記憶胞電晶體 Q1 形成，該電晶體具有一汲極、一源極及一閘極。基準記憶胞電晶體 Q1 之控制閘極係連結至節點 A 用以接收固定閘極電壓 VG，當汲極電流係於預定位準時，其汲極係連結至節點 B 用以接收固定汲電壓 VD，以及源極係連結至較低電位或地電位 VSS。修整檢驗電路 10 包括一檢驗電壓選擇電路 12、一基準電流分支 14、一汲極電流分支 16、及一比較器 18。

檢驗電壓選擇電路 12 包括一通閘極電晶體 Q2，一經由電阻器 R1-R3 形成的電阻器-除法器網路，以及多個選擇電晶體 Q3-Q5。通閘極電晶體 (pass gate transistor) Q2 之汲極係連結至第一高電源電壓電位 VDD1，該 VDD1 約為 +6.0 伏；其源極係連結至電阻器 R1 之一端連結於節點 C，及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(7)

其閘極係連結而接收輸入信號 VERIFY。電阻器 R2 之一端係連結至電阻器 R1 之另一端連結於節點 D。電阻器 R3 之一端係連結至電阻器 R2 之另一端連結於節點 E。電阻器 R3 之另一端係連結至低電源電壓電位 VSS。

第一選擇電晶體 Q3 之汲極係連結至通閘極電晶體 Q2 之源極連結於節點 C，及其源極係連結至基準記憶胞電晶體 Q1 之控制閘極連結於節點 A。選擇電晶體 Q3 之閘極係連結而接收選擇信號 VP1。同理，第二選擇電晶體 Q4 之汲極係連結至電阻器 R1 之另一端連結於節點 D，及其源極係連結至基準記憶胞電晶體 Q1 之控制閘極連結於節點 A。選擇電晶體 Q4 之閘極係連結而接收選擇信號 VP2。進一步，第三選擇電晶體 Q5 之汲極係連結至電阻器 R2 之另一端連結於節點 E，及其源極係連結至基準記憶胞電晶體 Q1 之控制閘極連結於節點 A。選擇電晶體 Q5 之閘極係連結而接收選擇信號 VP3。每次僅激活一個選擇信號 VP1、VP2 或 VP3，故於個別程式檢驗、讀取或讀取檢驗操作模式期間可選擇欲外加至基準記憶胞電晶體 Q1 控制閘極的適當電壓位準。

基準電流分支 14 包括一通閘極電晶體 Q6 以及一由電阻器 R4、R5 組成的電阻器-除法器網路。通閘極電晶體 Q6 之汲極係連結至第二高電源供應電壓 VDD2，其源極係連結至電阻器 R4 一端，及其閘極也連結而接收輸入信號 VERIFY。電阻器 R5 之一端係連結至電阻器 R4 之另一端連結於節點 F，及其另一端係連結至低電源供應電壓

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(8)

VSS。基準電流分支 14 用來建立基準電流 IREF 其係等於  $VDD2/(R4+R5)$ 。此種基準電流位準經選定而對應於欲被修整的基準記憶胞電晶體 Q1 之預定過驅電壓 ( $V_{gs}-V_t$ )。例如，基準電流位準設定為 4.5 微安，對應於過驅電壓 ( $V_{gs}-V_t$ ) = +1.0 伏。若  $V_{gs}$  = +5.0 伏，則  $V_t$  = +4.0 伏；以及若  $V_{gs}$  = +4.0 伏，則  $V_t$  = +3.0 伏。此種基準電流將造成跨電阻器 R5 於(節點 F)發展出基準電壓 V(IN1)。

汲極電流分支 16 包括一通閘極電晶體 Q7，以及一經由電阻器 R6、R7 以及基準記憶胞電晶體 Q1 形成的電阻器-除法器網路。通閘極電晶體 Q7 之汲極也連結至第二高電壓供應電位 VDD2，其源極係連結至電阻器 R6 一端，及其閘極也連結而接收輸入信號 VERIFY。基準記憶胞電晶體 Q1 表示可變電阻，其數值係與閾電壓  $V_t$  相關。電阻器 R7 之一端係連結至電阻器 R6 之另一端於節點 G，以及電阻器 R7 之另一端係透過基準記憶胞電晶體 Q1 之汲/源極而連結至地電位。於檢驗操作模式期間，當輸入信號 VERIFY 經激活時，某種量的汲極電流 ID 將流經汲極電流分支 16。此種汲極電流 ID 將造成跨電阻器 R7 以及電晶體 Q1 之汲/源極(於節點 G)發展出感應電壓 V(IN2)。此種感應電壓 V(IN2)可改變且將隨電晶體 Q1 之相當電阻決定。

比較器 18 係藉一高增益放大器形成，該放大器有一反相輸入端連結而於節點 F 接收基準電壓 V(IN1)，以及一非反相輸入端連結而於節點 G 接收感應電壓 V(IN2)。比較器用以放大感應電壓與基準電壓間之電壓差，且將於引線 20

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(9)

產生輸出邏輯信號 VDONE。

於操作時，當基準記憶胞 12 之閾電壓  $V_t$  係於預定位準時，汲極電流 ID 須等於先前建立的基準電流 IREF 4.5 微安。因此電阻器 R7 之電阻值須選擇為當汲極電流 ID=4.5 微安時，於基準記憶胞電晶體 Q1 之汲或節點 B 之電壓為 +0.5 伏。此種情況下，基準記憶胞之閾電壓  $V_t$  將於預定位準。由於電阻器 R6 與 R4 值調整為相等，故於節點 G 之感應電壓 V(IN2) 須等於於節點 F 之基準電壓 V(IN1)。它方面，若基準記憶胞之閾電壓  $V_t$  係略高於或低於預定位準，則感應電壓 V(IN2) 將與基準電壓 V(IN1) 略有差異。

假設一種情況，基準記憶胞 12 係於抹消態 ( $V_{te} \sim 1$  伏)，希望修整基準記憶胞達閾電壓  $V_{tp}$  係等於 +5.0 伏且對應基準電流 4.5 微安。如此，選擇信號 VP1 被激活，而讓第一電源供應電位 VDD1 到達基準記憶胞電晶體 Q1 之控制閘極。當輸入信號 VERIFY 走高時，基準電流分支 14 及汲極電流分支 16 將皆被激活。由於基準記憶胞 12 係於抹消態，故其相當電阻將變低，故造成汲極電流將高於基準電流 IREF。結果感應電壓 V(IN2) 將低於基準電壓 V(IN1)。如此比較器 18 於線 20 上的輸出信號 VDONE 將於低邏輯位準。

於低邏輯位準之輸出信號將用來激活態機器(圖中未顯示)造成產生程式脈衝且外加至基準記憶胞俾提升其閾電壓位準。須了解於外加程式脈衝期間，輸入信號 VERIFY 將被關閉。然後輸入信號 VERIFY 將再度走高，電壓 V(IN2)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 (10 )

與  $V(IN1)$  將再度比較。

業界人士須了解各程式脈衝推定可以微小階例如每程式脈衝 0.005 伏遞增基準記憶胞之閾電壓。如此微小階係經由控制於基準記憶胞之閘極及汲極的電壓位準以及經由變更程式脈衝寬度而達成。藉此方式，經由施加多個程式脈衝，欲被程式規劃的基準記憶胞之閾位準可以小遞增階由其初抹消閾位準  $V_{te}$  增高至預定或程式閾位準  $V_{tp}$ 。

如此此種外加程式脈衝及程式檢驗的循環將一再重複至汲極電流  $ID$  略低於基準電流  $IREF$  為止。此時，感應電壓  $V(IN2)$  將略高於基準電壓  $V(IN1)$ 。如此將使比較器 18 之引線 20 的輸出信號變成高邏輯位準。如此高邏輯位準將造成態機器結束外加進一步程式脈衝。須注意預定程式位準可藉由交替激活選擇信號  $VP2$  或  $VP3$  而改變。結果於基準記憶胞電晶體節點 A 的固定閘極電壓  $VG$  將改變以及對應地目標閘極電壓將改變。

由前文詳細說明可知，本發明提供一種於一快閃 EEPROM 記憶胞陣列於一基準記憶胞電晶體執行程式檢驗操作之基準記憶胞修整檢驗電路。基準記憶胞修整檢驗電路包括一檢驗電壓選擇電路、一基準電流分支、一汲極電流分支以及比較器。比較器用來比較對應於汲極電流之感應電壓與對應於基準電流之基準電壓。每次感應電壓係低於基準電壓時，程式脈衝外加至基準記憶胞。當感應電壓係高於基準電壓時，如此指示已經到達預定之閾電壓。

雖然已經舉例說明目前被視為本發明之較佳具體實施例，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

### 五、發明說明(11)

但須了解可作多種變化及修改，可取代其元件做出相當例而未悖離本發明之範圍。此外，可未悖離本發明之中心範圍對本發明之教示之特定情況及材料做出多項修改。因此預期本發明非僅限於其最佳模式揭示之特定具體實施例，反而本發明涵括落入隨附之申請專利範圍之全部具體實施例。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 四、中文發明摘要（發明之名稱：自動基準記憶體修整檢驗）

本發明提供一種用以於快閃 EEPROM 記憶體陣列對基準記憶體電晶體進行程式檢驗操作用之基準修整檢驗電路及方法。使用基準電流分支(14)而產生對應於欲程式化的基準記憶體之預定過驅電壓(overdrive voltage)之基準電流。汲極電流分支(16)係耦合至預備程式化之基準記憶體電晶體，以及當汲極電流係於預定位準時，於外加至其控制閘極的固定閘極電壓以及於外加至其汲的預定汲極電壓產生汲極電流。比較器(18)用於比較對應於汲電流之感應電壓與對應於基準電流之基準電壓。由比較器產生一輸出信號，該輸出信號於感應電壓低於基準電壓時係於低邏輯位準，以及當感應電壓高於基準電壓時係於高邏輯位

## 英文發明摘要（發明之名稱：AUTOMATED REFERENCE CELL TRIMMING VERIFY

A reference trimming verify circuit and method is provided for performing a program verify operation on a reference cell transistor in an array of Flash EEPROM memory cells. A reference current branch (14) is used to generate a reference current corresponding to a predetermined overdrive voltage of the reference cell to be programmed. A drain current branch (16) is coupled to the reference cell transistor to be programmed and generates a drain current at a fixed gate voltage applied to its control gate and at a predetermined drain voltage applied to its drain when the drain current is at the desired level. A comparator (18) is used to compare a sensed voltage corresponding to the drain current and a reference voltage corresponding to the reference current. The comparator generates an output signal which is at a low logic level when the sensed voltage is less than the reference voltage and which is at a high logic level when the sensed voltage is greater than the reference voltage. A program pulse is applied to the reference transistor each time the comparator generates the low logic level and terminates the program pulse when the comparator generates the high logic level.

（請先閱讀背面之注意事項再填寫本頁各欄）

訂

四、中文發明摘要（發明之名稱：

）

準。每次比較器產生低邏輯位準時將程式脈衝外加至該基準電晶體，以及當比較器產生高邏輯位準時結束該程式脈衝。

（請先閱讀背面之注意事項再填寫本頁各欄）

表

訂

英文發明摘要（發明之名稱：

）

## 六、申請專利範圍

1. 一種基準記憶胞修整檢驗電路，係用於快閃 EEPROM 記憶胞陣列用以於基準記憶胞電晶體執行程式檢驗操作之基準記憶胞修整檢驗電路，該修整電路包含：

基準電流分支裝置(14)，用以產生對應於欲被程式規劃之基準記憶胞電晶體之預定過驅電壓之基準電流；

汲極電流分支裝置(16)，係耦合至欲被程式規劃之基準記憶胞電晶體，用以產生汲極電流於固定閘極電壓外加至其控制閘極，以及當汲極電流係於預定位準時，於預定汲極電壓外加至其汲極；

比較裝置(18)，係用以比較對應該汲極電流之感應電壓與對應該基準電流之基準電壓，以及用以產生一輸出信號，該輸出信號於感應電壓低於基準電壓時係於低邏輯位準，而當感應電壓係高於基準電壓時為在高邏輯位準；以及

外加裝置，係用於每次當比較裝置產生低邏輯位準時，外加一程式脈衝至基準電晶體，而當比較裝置產生高邏輯位準時結束該程式脈衝。

2. 如申請專利範圍第 1 項之基準記憶胞修整檢驗電路，進一步包含檢驗電壓選擇裝置(12)，該檢驗電壓選擇裝置係用以產生不同固定閘極電壓，該電壓外加至基準記憶胞之控制閘極用以程式檢驗其至對應不同的閾電壓位準。
3. 如申請專利範圍第 2 項之基準記憶胞修整檢驗電路，其中該檢驗電壓選擇裝置包括一通閘極電晶體(Q2)，一由

## 六、申請專利範圍

多個電阻器(R1-R3)形成的電阻器-除法器網路，以及多個選擇電晶體(Q3-Q5)。

4. 如申請專利範圍第1項之基準記憶胞修整檢驗電路，其中該基準電流分支裝置包括第一通閘極電晶體(Q6)及由第一電阻器(R4)及第二電阻器(R5)組成之電阻器-除法器網路，該第一通閘極電晶體、第一電阻器及第二電阻器之汲/源極係串聯連結於第一高電源供應電位與低電源供應電位間，因而產生基準電流流經其間，第一與第二電阻器之接面產生基準電壓。
5. 如申請專利範圍第4項之基準記憶胞修整檢驗電路，其中該汲極電流分支裝置包括第二通閘極電晶體(Q7)以及經由第三及第四電阻器(R6、R7)以及基準記憶胞形成的電阻器-除法器網路，第二通閘極電晶體、第三及第四電阻器之汲/源極、以及基準電晶體之汲/源極係串聯連結於第一高電源供應電位與低電源供應電位間，因而產生流經其間的汲極電流，第三與第四電阻器之接面產生該感應電壓。
6. 如申請專利範圍第5項之基準記憶胞修整檢驗電路，其中該比較裝置包括一高增益放大器(18)，該放大器之反向輸入端係連結而接收基準電壓，及其非反向輸入端係連結而接收感應電壓以及輸出端用以提供該輸出信號。
7. 一種基準記憶胞修整檢驗方法，該方法係用於如申請專利範圍第1項於一快閃EEPROM記憶胞陣列對一基準記憶胞電晶體執行程式檢驗操作。

(請先閱讀背面之注意事項再填寫本頁)

訂  
線



## 五、發明說明( 1 )

技術領域

概略而言本發明係關於浮動閘極記憶裝置(floating gate memory device)例如快閃電性可抹消可程式唯讀記憶體(EEPROM)記憶胞陣列。特別本發明係有關一種用於對基準記憶胞進行程式檢驗操作因而縮短製造過程之總測試時間供用於快閃 EEPROM 記憶胞陣列之基準記憶胞修整檢驗電路及方法。

背景技術

如業界眾所周知，使用浮動閘極用以儲存電荷於其上之電性可程式可抹消記憶陣列裝置(快閃 EPROMs/EEPROMs)於近年來崛起。習知 EEPROM 記憶裝置中，多個單一電晶體記憶胞可形成於半導體基板上，其中各個記憶胞係由 P 型導電性基板、N 型導電性源區於基板內部一體成形，以及 N 型導電性汲區也於基板內部一體成形所組成。浮動閘極係藉薄電介質層而與基板隔開。第二電介質層將控制閘與浮動閘隔開。於基板之 P 型通道區則隔開源區與汲極區。

為了程式規劃 EEPROM 記憶胞，汲極區及控制閘極被升高至高於外加於源區電位的預定電位。例如汲極區被外加約 +5.0 伏電壓，控制閘極被外加約 +8.5 伏電壓。此等電壓產生“熱電子”，熱電子被加速跨越薄電介質層且跨至浮動閘極。此種注入熱電子結果導致裝置之閾電壓升高約 2 至 4 伏。

為了抹消 EEPROM 記憶胞，相對高正電位(例如 +5.0

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 五、發明說明 ( 2 )

伏)外加至源區。控制閘被外加負電壓-8.5 伏，而汲極區任其浮動。介於浮動閘極與源區間出現強電場，經由福洛諾罕(Fowler-Norheim)穿隧作用負電荷由浮動閘極被提取至源極區。

為了決定 EEPROM 記憶胞是否經程式規劃，測量讀取電流幅度。典型於讀取操作模式，源極區被維持於地電位，而控制閘極係維持於約+4.2 伏電位。汲極區係維持於 1 至 2 伏電位。此等情況下，未經程式規劃或經抹消記憶胞(儲存邏輯“1”)將導通預定量電流。它方面，經程式規劃的記憶胞(儲存邏輯“0”)則電流流動顯著較低。

此外，結合於快閃 EEPROM 記憶胞陣列進行程式規劃、抹消、及讀取操作，需要修整(程式規劃)以及檢驗基準記憶胞由抹消態至讀取、抹消檢驗及程式規劃檢驗操作模式之預定位準的基準記憶胞的閾值(threshold)的工作。此種基準記憶胞之修整及檢驗程序極為困難耗時且係由製造工程師於快閃記憶裝置的製造過程進行初步抹消基準記憶胞及然後修整及檢驗之。首先，具有經控制的脈衝寬度及電壓振幅的高電壓脈衝外加至基準記憶胞之控制閘極及汲極而高於源極之電位。外加此等脈衝而增加電荷至基準記憶胞之浮動閘極。然後，進行測試操作模式而檢驗基準記憶胞之閾電壓  $V_t$ 。於此測試操作模式中，固定閘極電壓外加至基準記憶胞，+0.5 伏之小汲極電壓外加至記憶胞之汲極。於此種偏壓條件下，基準記憶胞將接觸某種量的電流。如此極為類似習知讀取操作。

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 五、發明說明 ( 3 )

若基準記憶胞於此種偏壓條件下已經到達預定程式閾值，則已知流過固定量的汲極電流可藉實驗室實驗測定。換言之，當於汲極之電壓固定時，例如固定於+0.5 伏，以及外加至控制閘極藉 $(V_{gs}-V_t)$ 定義的過驅電壓設定為 1 伏時，將獲得某種預定汲極電流例如  $4.5 \mu A$ 。但考慮由於試驗固定具引起的變化以及電源供應電壓的變化，實際汲極電流可能為  $4.5 \mu A \pm 1 \mu A$  或介於 3.5 微安至 5.5 微安之範圍。

若電流測量值係高於 5.5 微安，則可外加另一程式脈衝將閾電壓提升俾降落過驅電壓。它方面，若電流測量值低於 3.5 微安，則表示基準記憶胞已經被過度程式規劃(例如閾電壓  $V_t$  過高)。如此基準記憶胞須被抹消俾降低其閾電壓  $V_t$ 。此種程式脈衝、程式檢驗、程式脈衝循環一再重複至基準記憶胞已經成功地被程式規劃至預定閾值為止。現在全部基準記憶胞之閾電壓藉使用皆由外部使用測試固定具修整及檢驗。如此耗費大量時間且提高勞力成本。

此外於製造過程中極為難以準確測量電流至預定範圍以內。進一步，極為難以準確控制程式脈衝之振幅及脈衝寬度。

雖言如此，為了簡化製造過程，發明人發展出一種於含記憶裝置的相同半導體積體電路執行相同功能的方式。此係經由假設各個晶片上程式脈衝可遞增基準記憶胞之閾電壓達最末步驟，經由設置一基準記憶胞修整檢驗電路用以於基準記憶胞執行程式檢驗操作，因而縮短製造過程的總測試時間而達成。如此為了程式規劃基準記憶胞，需要

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線