

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-84430
(P2015-84430A)

(43) 公開日 平成27年4月30日 (2015.4.30)

(5) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 7 N	2 H 1 9 2
HO 1 L 21/8234 (2006.01)	HO 1 L 29/78 6 1 8 B	3 K 1 0 7
HO 1 L 27/088 (2006.01)	HO 1 L 29/78 6 1 6 V	5 C 0 9 4
HO 1 L 27/08 (2006.01)	HO 1 L 29/78 6 1 2 B	5 F 0 4 8
GO 2 F 1/1368 (2006.01)	HO 1 L 27/08 1 0 2 A	5 F 1 1 0

審査請求 有 請求項の数 5 O L (全 68 頁) 最終頁に続く

(21) 出願番号 特願2014-238408 (P2014-238408)
 (22) 出願日 平成26年11月26日 (2014.11.26)
 (62) 分割の表示 特願2010-164574 (P2010-164574) の分割
 原出願日 平成22年7月22日 (2010.7.22)
 (31) 優先権主張番号 特願2009-172413 (P2009-172413)
 (32) 優先日 平成21年7月23日 (2009.7.23)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 坂田 淳一郎
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 三宅 博之
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 桑原 秀明
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 最終頁に続く

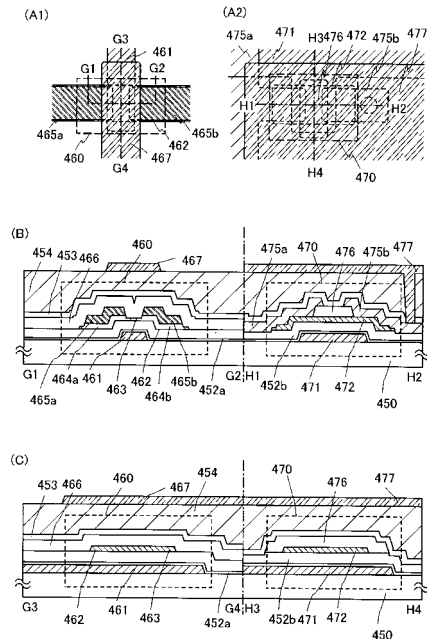
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】半導体装置の開口率を向上することを課題の一つとする。

【解決手段】同一基板上に駆動回路部と、表示部（画素部ともいう）とを有し、当該駆動回路部は、ソース電極及びドレイン電極が金属によって構成され且つチャンネル層が酸化物半導体によって構成された駆動回路用チャンネルエッチ型薄膜トランジスタと、金属によって構成された駆動回路用配線とを有し、当該表示部は、ソース電極層及びドレイン電極層が酸化物導電体によって構成され且つ半導体層が酸化物半導体によって構成された画素用チャンネル保護型薄膜トランジスタと、酸化物導電体によって構成された表示部用配線とを有する半導体装置である。半導体装置に設けられる該薄膜トランジスタは多階調マスクによって形成されたレジストマスクを用いて作製する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

トランジスタを有し、
 前記トランジスタは、
 ゲート電極層と、
 前記ゲート電極層上の第 1 の絶縁層と、
 前記第 1 の絶縁層上の酸化物半導体層と、
 前記酸化物半導体層と電気的に接続されたソース電極層及びドレイン電極層と、
 前記酸化物半導体層上の第 2 の絶縁層と、
 前記第 2 の絶縁層上の導電層と、を有し、
 前記酸化物半導体層は、前記ソース電極層と接する第 1 の領域と、前記ドレイン電極層
 と接する第 2 の領域と、チャンネル形成領域と、を有し、
 前記第 1 の領域のキャリア濃度は、前記チャンネル形成領域のキャリア濃度よりも高く、
 前記第 2 の領域のキャリア濃度は、前記チャンネル形成領域のキャリア濃度よりも高く、
 前記ゲート電極層と、前記導電層とは、電気的に接続されることを特徴とする半導体装
 置。

10

【請求項 2】

請求項 1 において、
 前記ゲート電極層は、前記トランジスタのチャンネル幅方向における前記酸化物半導体層
 の両端を越えて延在し、
 前記導電層は、前記トランジスタのチャンネル幅方向における前記酸化物半導体層の両端
 を越えて延在していることを特徴とする半導体装置。

20

【請求項 3】

第 1 のトランジスタと、第 2 のトランジスタと、を有し、
 前記第 1 のトランジスタは、
 第 1 のゲート電極層と、
 前記第 1 のゲート電極層上の第 1 の絶縁層と、
 前記第 1 の絶縁層上の第 1 の酸化物半導体層と、
 前記第 1 の酸化物半導体層と電気的に接続された第 1 のソース電極層及び第 1 のドレイ
 ン電極層と、
 前記第 1 の酸化物半導体層上の第 2 の絶縁層と、
 前記第 2 の絶縁層上の導電層と、を有し、
 前記第 2 のトランジスタは、
 第 2 のゲート電極層と、
 前記第 2 のゲート電極層上の前記第 1 の絶縁層と、
 前記第 1 の絶縁層上の第 2 の酸化物半導体層と、
 前記第 2 の酸化物半導体層と電気的に接続された第 2 のソース電極層及び第 2 のドレイ
 ン電極層と、を有し、
 前記第 1 の酸化物半導体層は、前記第 1 のソース電極層と接する第 1 の領域と、前記第
 1 のドレイン電極層と接する第 2 の領域と、チャンネル形成領域と、を有し、
 前記第 1 の領域のキャリア濃度は、前記チャンネル形成領域のキャリア濃度よりも高く、
 前記第 2 の領域のキャリア濃度は、前記チャンネル形成領域のキャリア濃度よりも高く、
 前記第 1 のゲート電極層と、前記導電層とは、電気的に接続され、
 前記第 2 のソース電極層及び前記第 2 のドレイン電極層の一方は、画素電極層と電氣的
 に接続されることを特徴とする半導体装置。

30

40

【請求項 4】

請求項 3 において、
 前記導電層と、前記画素電極層とは、同一の導電膜を加工する工程を経て形成されたも
 のであることを特徴とする半導体装置。

【請求項 5】

50

請求項 3 又は 4 において、

前記第 1 のゲート電極層は、前記第 1 のトランジスタのチャネル幅方向における前記第 1 の酸化物半導体層の両端を越えて延在し、

前記導電層は、前記第 1 のトランジスタのチャネル幅方向における前記第 1 の酸化物半導体層の両端を越えて延在していることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

酸化物半導体を用いる半導体装置及びその作製方法に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、表示装置などの電気光学装置、半導体回路及び電子機器は全て半導体装置である。

【背景技術】

【0003】

透光性を有する金属酸化物が半導体装置において利用されている。例えば、酸化インジウム錫（ITO）などの導電性を備える金属酸化物（以下、酸化物導電体という）は、液晶ディスプレイなどの表示装置で必要とされる透明電極材料として適用されている。

【0004】

加えて、半導体特性を示す材料としても透光性を有する金属酸化物が注目されている。例えば、In-Ga-Zn-O系酸化物などは、液晶ディスプレイなどの表示装置で必要とされる半導体材料に適用することが期待されている。特に、薄膜トランジスタ（以下、TFTともいう）のチャネル層に適用することが期待されている。

【0005】

半導体特性を備えた金属酸化物（以下、酸化物半導体という）を適用したTFTは、低温プロセスによって作製することが可能である。そのため、表示装置などで用いられるアモルファスシリコンを代替又は凌駕する材料としての期待が高まっている。

【0006】

また、透光性を有する酸化物導電体及び酸化物半導体を用いてTFTを構成することによって、透光性を有するTFTを作製することができる（例えば、非特許文献1参照。）。 30

【0007】

また、酸化物半導体をチャネル層に適用したTFTは、電界効果移動度が高い。そのため、当該TFTを用いて、表示装置などの駆動回路を構成することもできる（例えば、非特許文献2参照。）。 30

【先行技術文献】

【非特許文献】

【0008】

【非特許文献1】野澤哲生「透明回路」『日経エレクトロニクス』2007.8.27（no.959）pp.39-52

【非特許文献2】T.Osada,他8名,SID 09 DIGEST, pp.184-187(2009) 40

【発明の概要】

【発明が解決しようとする課題】

【0009】

本発明の一態様は、半導体装置の製造コストを低減することを課題の一とする。

【0010】

本発明の一態様は、半導体装置の開口率を向上することを課題の一とする。

【0011】

本発明の一態様は、半導体装置の表示部で表示する画像を高精細化することを課題の一とする。 40

【 0 0 1 2 】

本発明の一態様は、高速駆動が可能な半導体装置を提供することを課題の一とする。

【 課題を解決するための手段 】

【 0 0 1 3 】

本発明の一態様は、同一基板上に駆動回路部と、表示部（画素部ともいう）とを有し、当該駆動回路部は、ソース電極（ソース電極層ともいう）及びドレイン電極（ドレイン電極層ともいう）が金属によって構成され且つ半導体層が酸化物半導体によって構成された駆動回路用薄膜トランジスタと、金属によって構成された駆動回路用配線とを有し、当該表示部は、ソース電極層及びドレイン電極層が酸化物導電体によって構成され且つ半導体層が酸化物半導体によって構成された画素用薄膜トランジスタと、酸化物導電体によって構成された表示部用配線とを有する半導体装置である。

10

【 0 0 1 4 】

画素用薄膜トランジスタ及び駆動回路用薄膜トランジスタとして、ボトムゲート構造の逆スタガ型薄膜トランジスタを用いる。画素用薄膜トランジスタは半導体層のチャンネル形成領域上にチャンネル保護層が設けられたチャンネル保護型（チャンネルストップ型）薄膜トランジスタであり、一方駆動回路用薄膜トランジスタは酸化物半導体層上に重なるソース電極層及びドレイン電極層を有し、ソース電極層及びドレイン電極層との間の領域で酸化物半導体層に接する酸化物絶縁膜が設けられたチャンネルエッチ型薄膜トランジスタである。

【 0 0 1 5 】

また、薄膜トランジスタを有する半導体装置の作製方法において、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたマスク層を用いてエッチング工程を行う。

20

【 0 0 1 6 】

多階調マスクを用いて形成したマスク層は複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するマスク層を形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

【 0 0 1 7 】

なお、非特許文献 1 には、具体的な T F T の作製工程及び半導体装置を構成する他の素子（例えば、容量素子など）の構造などは開示されていない。また、同一基板上に駆動回路と、透光性を有する T F T とを作製する記載などもない。

30

【 0 0 1 8 】

本発明の一態様の半導体装置は、同一基板上において、駆動回路用 T F T を有する駆動回路部、及び画素用 T F T を有する表示部が作製される。そのため、当該半導体装置の製造コストを低減することができる。

【 0 0 1 9 】

また、本発明の一態様の半導体装置は、表示部に、ソース電極及びドレイン電極が酸化物導電体によって構成され且つ半導体層が酸化物半導体によって構成された画素用 T F T と、酸化物導電体によって構成された表示部用配線とを有する。つまり、当該半導体装置は、画素用 T F T 及び表示部用配線が形成された領域を画素部の表示領域として利用することができる。そのため、当該半導体装置の開口率を向上させることができる。

40

【 0 0 2 0 】

また、本発明の一態様の半導体装置は、表示部に、ソース電極及びドレイン電極が酸化物導電体によって構成され且つ半導体層が酸化物半導体によって構成された画素用 T F T と、酸化物導電体によって構成された表示部用配線とを有する。つまり、当該半導体装置は、画素用 T F T のサイズに制限されることなく画素サイズを設計することができる。そのため、当該半導体装置の表示部で表示する画像を高精細化することができる。

【 0 0 2 1 】

50

また、本発明の一態様の半導体装置は、駆動回路部に、ソース電極及びドレイン電極が金属によって構成され且つチャネル層が酸化物半導体によって構成された駆動回路用TFTと、金属によって構成された駆動回路用配線とを有する。つまり、当該半導体装置は、高い電界効果移動度を示すTFTと、抵抗の低い配線とによって駆動回路が構成される。そのため、当該半導体装置を高速駆動が可能な半導体装置とすることができる。

【0022】

また、本明細書中で用いる酸化物半導体は、 $InMO_3(ZnO)_m$ ($m > 0$) で表記される薄膜を形成し、その薄膜を酸化物半導体層として用いた薄膜トランジスタを作製する。なお、Mは、Ga、Fe、Ni、Mn及びCoから選ばれた一の金属元素または複数の金属元素を示す。例えばMとして、Gaの場合があることその他、GaとNiまたはGaとFeなど、Ga以外の上記金属元素が含まれる場合がある。また、上記酸化物半導体において、Mとして含まれる金属元素の他に、不純物元素としてFe、Niその他の遷移金属元素、または該遷移金属の酸化物が含まれているものがある。本明細書においては、 $InMO_3(ZnO)_m$ ($m > 0$) で表記される構造の酸化物半導体のうち、MとしてGaを含む構造の酸化物半導体をIn-Ga-Zn-O系酸化物半導体とよび、その薄膜をIn-Ga-Zn-O系非単結晶膜とも呼ぶ。

10

【0023】

また、酸化物半導体層に適用する金属酸化物として上記の他にも、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の金属酸化物を適用することができる。また上記金属酸化物からなる酸化物半導体層に酸化珪素を含ませてもよい。

20

【0024】

なお、上記半導体装置の作製工程において、窒素、または希ガス（アルゴン、ヘリウムなど）の不活性気体雰囲気下、或いは減圧下での加熱処理を行った場合、酸化物半導体層は加熱処理により酸素欠乏型となって低抵抗化、即ちN型化（N⁻化など）させ、その後、酸化物半導体層に接する酸化物絶縁膜の形成を行うことにより酸化物半導体層を酸素過剰な状態とすることで高抵抗化、即ちI型化させているとも言える。これにより、電気特性が良好で信頼性のよい薄膜トランジスタを有する半導体装置を作製し、提供することが可能となる。

30

【0025】

上記加熱処理は、窒素、または希ガス（アルゴン、ヘリウムなど）の不活性気体雰囲気下、或いは減圧下での350以上、好ましくは400以上基板の歪み点未満の加熱処理を行う。この加熱処理によって酸化物半導体層は脱水化または脱水素化され、酸化物半導体層の含有水分などの不純物が低減される。

【0026】

脱水化または脱水素化は、脱水化または脱水素化後の酸化物半導体層に対して昇温脱離ガス分光法（Thermal Desorption Spectroscopy、以下TDS）で450まで測定を行っても水の2つのピーク、少なくとも300付近に現れる1つのピークは検出されない程度の熱処理条件とする。従って、脱水化または脱水素化が行われた酸化物半導体層を用いた薄膜トランジスタに対してTDSで450まで測定を行っても少なくとも300付近に現れる水のピークは検出されない。

40

【0027】

加熱後の冷却は、脱水化または脱水素化を行った同じ炉を用いて酸化物半導体層を大気にさらさないように冷却し、酸化物半導体層が水または水素に接触することを防ぐ。そして脱水化または脱水素化を行い、酸化物半導体層を低抵抗化、即ちN型化（N⁻など）させた後、高抵抗化させてI型とした酸化物半導体層を用いて薄膜トランジスタを作製すると、薄膜トランジスタのしきい値電圧値をプラスとすることができ、所謂ノーマリーオフのスイッチング素子を実現できる。薄膜トランジスタのゲート電圧が0Vにできるだけ近い正のしきい値電圧でチャネルが形成されることが半導体装置（表示装置）には望ましい。

50

なお、薄膜トランジスタのしきい値電圧値がマイナスであると、ゲート電圧が0Vでもソース電極とドレイン電極の間に電流が流れる、所謂ノーマリーオンとなりやすい。アクティブマトリクス型の表示装置においては、回路を構成する薄膜トランジスタの電気特性が重要であり、この電気特性が表示装置の性能を左右する。特に、薄膜トランジスタの電気特性のうち、しきい値電圧 (V_{th}) が重要である。電界効果移動度が高くともしきい値電圧値が高い、或いはしきい値電圧値がマイナスであると、回路として制御することが困難である。しきい値電圧値が高く、しきい値電圧の絶対値が大きい薄膜トランジスタの場合には、駆動電圧が低い状態ではTFTとしてのスイッチング機能を果たすことができず、負荷となる恐れがある。nチャネル型の薄膜トランジスタの場合、ゲート電圧に正の電圧を印加してはじめてチャンネルが形成されて、ドレイン電流が流れ出すトランジスタが望ましい。駆動電圧を高くしないとチャンネルが形成されないトランジスタや、負の電圧状態でもチャンネルが形成されてドレイン電流が流れるトランジスタは、回路に用いる薄膜トランジスタとしては不向きである。

【0028】

また、加熱後の冷却は、昇温、加熱時のガスと異なるガスに切り替えてから行ってもよい。例えば、脱水化または脱水素化を行った同じ炉で大気に触れさせることなく、炉の中を高純度の酸素ガスまたは N_2O ガス、超乾燥エア（露点が-40以下、好ましくは-60以下）で満たして冷却を行ってもよい。

【0029】

脱水化または脱水素化を行う加熱処理によって膜中の含有水分を低減させた後、水分を含まない雰囲気（露点が-40以下、好ましくは-60以下）下で徐冷（または冷却）した酸化物半導体膜を用いて、薄膜トランジスタの電気特性を向上させるとともに、量産性と高性能の両方を備えた薄膜トランジスタを実現する。

【0030】

本明細書では、窒素、または希ガス（アルゴン、ヘリウムなど）の不活性気体雰囲気下、或いは減圧下での加熱処理を脱水化または脱水素化のための加熱処理と呼ぶ。本明細書では、この加熱処理によって H_2 として脱離させていることのみを脱水素化と呼んでいるわけではなく、 H 、 OH などを脱離することを含めて脱水化または脱水素化と便宜上呼ぶこととする。

【0031】

窒素、または希ガス（アルゴン、ヘリウムなど）の不活性気体雰囲気下、或いは減圧下での加熱処理を行った場合、酸化物半導体層は加熱処理により酸素欠乏型となって低抵抗化、即ちN型化（ N^- 化など）する。従って、低抵抗化した酸化物半導体層上にドレイン電極層を形成することで、ドレイン電極層と重なる領域を酸素欠乏型である高抵抗ドレイン領域（HRD領域とも呼ぶ）として形成することができる。

【0032】

具体的には、高抵抗ドレイン領域のキャリア濃度は、 $1 \times 10^{17} / cm^3$ 以上の範囲内であり、少なくともチャンネル形成領域のキャリア濃度（ $1 \times 10^{17} / cm^3$ 未満）よりも高い領域である。なお、本明細書のキャリア濃度は、室温にてHall効果測定から求めたキャリア濃度の値を指す。

【0033】

この後、脱水化または脱水素化した酸化物半導体層の少なくとも一部を酸素過剰な状態とすることで、高抵抗化、即ちI型化させてチャンネル形成領域を形成する。なお、脱水化または脱水素化した酸化物半導体層の一部を酸素過剰な状態とする処理としては、脱水化または脱水素化した酸化物半導体層に接する酸化物絶縁膜のスパッタ法の成膜、または酸化物絶縁膜成膜後の加熱処理、または酸素を含む雰囲気での加熱処理、または不活性ガス雰囲気下で加熱した後に酸素雰囲気での冷却する処理、超乾燥エア（露点が-40以下、好ましくは-60以下）で冷却する処理などによって行う。

【0034】

また、脱水化または脱水素化した酸化物半導体層の少なくとも一部（ゲート電極層と重な

る部分)をチャンネル形成領域とするため、選択的に酸素過剰な状態とすることで、高抵抗化、即ちI型化させることもできる。例えば、脱水化または脱水素化した酸化物半導体層上に接してTiなどの金属電極からなるソース電極層やドレイン電極層を形成し、ソース電極層やドレイン電極層に重ならない露出領域を選択的に酸素過剰な状態としてチャンネル形成領域を形成することができる。選択的に酸素過剰な状態とする場合、ソース電極層に重なる第1の高抵抗ドレイン領域と、ドレイン電極層に重なる第2の高抵抗ドレイン領域とが形成され、第1の高抵抗ドレイン領域と第2の高抵抗ドレイン領域との間の領域がチャンネル形成領域となる。即ち、チャンネル形成領域がソース電極層及びドレイン電極層の間に自己整合的に形成される。

【0035】

これにより、電気特性が良好で信頼性のよい薄膜トランジスタを有する半導体装置を作製し、提供することが可能となる。

【0036】

なお、ドレイン電極層(及びソース電極層)と重畳した酸化物半導体層において高抵抗ドレイン領域を形成することにより、駆動回路を形成した際の信頼性の向上を図ることができる。具体的には、高抵抗ドレイン領域を形成することで、ドレイン電極層から高抵抗ドレイン領域、チャンネル形成領域にかけて、導電性を段階的に変化させようような構造とすることができる。そのため、ドレイン電極層に高電源電位VDDを供給する配線に接続して動作させる場合、ゲート電極層とドレイン電極層との間に高電界が印加されても高抵抗ドレイン領域がバッファとなり局所的な高電界が印加されず、トランジスタの耐圧を向上させた構成とすることができる。

【0037】

また、ドレイン電極層(及びソース電極層)と重畳した酸化物半導体層において高抵抗ドレイン領域を形成することにより、駆動回路を形成した際のチャンネル形成領域でのリーク電流の低減を図ることができる。具体的には、高抵抗ドレイン領域を形成することで、ドレイン電極層とソース電極層との間に流れるトランジスタのリーク電流の経路として、ドレイン電極層、ドレイン電極層側の高抵抗ドレイン領域、チャンネル形成領域、ソース電極層側の高抵抗ドレイン領域、ソース電極層の順となる。このときチャンネル形成領域では、ドレイン電極層側の低抵抗N型領域よりチャンネル領域に流れるリーク電流を、トランジスタがオフ時に高抵抗となるゲート絶縁層とチャンネル形成領域の界面近傍に集中させることができ、バックチャンネル部(ゲート電極層から離れているチャンネル形成領域の表面の一部)でのリーク電流を低減することができる。

【0038】

また、ソース電極層に重なる第1の高抵抗ドレイン領域と、ドレイン電極層に重なる第2の高抵抗ドレイン領域は、ゲート電極層の幅にもよるが、ゲート電極層の一部とゲート絶縁層を介して重なることで、より効果的にドレイン電極層の端部近傍の電界強度を緩和させることができる。

【0039】

本明細書で開示する発明の構成の一形態は、同一基板上に第1の薄膜トランジスタを有する画素部と第2の薄膜トランジスタを有する駆動回路を有し、第1の薄膜トランジスタは、基板上にゲート電極層と、ゲート電極層上にゲート絶縁層と、ゲート絶縁層上に膜厚の薄い領域を周縁に有する酸化物半導体層と、酸化物半導体層の一部と接する第1の酸化物絶縁層と、第1の酸化物絶縁層及び酸化物半導体層上にソース電極層及びドレイン電極層と、第1の酸化物絶縁層上に画素電極層とを有し、第1の薄膜トランジスタのゲート電極層、ゲート絶縁層、酸化物半導体層、ソース電極層、ドレイン電極層、第1の酸化物絶縁層、及び画素電極層は透光性を有し、第2の薄膜トランジスタのソース電極層及びドレイン電極層は、第2の酸化物絶縁層で覆われ、第1の薄膜トランジスタのソース電極層及びドレイン電極層と材料が異なり、第1の薄膜トランジスタのソース電極層及びドレイン電極層よりも低抵抗の導電材料である半導体装置である。

【0040】

10

20

30

40

50

本明細書で開示する発明の構成の一形態は、第1のゲート電極層及び第2のゲート電極層を形成し、第1のゲート電極層及び第2のゲート電極層上にゲート絶縁層を形成し、ゲート絶縁層上に酸化物半導体膜を形成し、酸化物半導体膜を脱水化または脱水素化した後、大気に触れることなく、酸化物半導体膜への水や水素の再混入を防ぎ、酸化物半導体膜上に導電膜を形成し、酸化物半導体膜及び導電膜上にレジストマスクを形成し、レジストマスクを用いて酸化物半導体膜及び導電膜をエッチングし、レジストマスクをアッシングし、アッシングされたレジストマスクを用いて、エッチングされた酸化物半導体膜及び導電膜をエッチングして、第1のゲート電極層と重なる第1の酸化物半導体層と、第2のゲート電極層と重なる第2の酸化物半導体層、第2のソース電極層及び第2のドレイン電極層を形成し、第2の酸化物半導体層の一部と接する第2の酸化物絶縁層と、第1の酸化物半導体層の第1のゲート電極層と重なる領域に第1の酸化物絶縁層とを形成し、第1の酸化物半導体層及び第1の酸化物絶縁層上に第1のソース電極層及び第1のドレイン電極層を形成し、第1の酸化物絶縁層、第1のソース電極層、第1のドレイン電極層、及び第2の酸化物絶縁層上に保護絶縁層を形成し、保護絶縁層上に第1のドレイン電極層または第1のソース電極層と電気的に接続する画素電極層と、第2の酸化物半導体層と重なる導電層とを形成する半導体装置の作製方法である。

10

【0041】

該レジストマスクは露光マスクを用いて形成し、露光マスクとして多階調マスクを用いる。多階調マスクとしてはハーフトーンマスク、又はグレートーンマスクを用いればよい。

【0042】

上記構成において、第2の薄膜トランジスタの酸化物半導体層は、ソース電極層またはドレイン電極層と重なる領域よりも膜厚の薄い領域を有してもよい。また、第2の薄膜トランジスタの酸化物半導体層は、ソース電極層またはドレイン電極層と重なる領域よりも膜厚の薄いチャンネル形成領域を有し、チャンネル形成領域上に第2の酸化物絶縁層を介して導電層を有する構造でもよい。

20

【0043】

第1の酸化物絶縁層と第2の酸化物絶縁層は、同じ工程で形成できるため、同じ透光性を有する絶縁材料を用いることができる。

【0044】

また、第2の薄膜トランジスタのソース電極層及びドレイン電極層は、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素を主成分とする膜、若しくはそれらの合金膜、とを組み合わせた積層膜からなる金属導電膜を用いることが好ましい。

30

【0045】

一方、第1の薄膜トランジスタのソース電極層、ドレイン電極層、及び画素電極層は、酸化インジウム、酸化インジウム酸化スズ合金、酸化インジウム酸化亜鉛合金、または酸化亜鉛のような透光性導電膜を用いることが好ましい。

【0046】

上記構成において、さらに同一基板上に容量部を有し、容量部は、容量配線及び該容量配線と重なる容量電極を有し、容量配線及び容量電極は透光性を有してもよい。

【0047】

また、第2の薄膜トランジスタの酸化物半導体層は、ソース電極層またはドレイン電極層と重なる高抵抗ドレイン領域を有する構造でもよい。

40

【0048】

なお、第1、第2として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

【0049】

また、駆動回路を有する表示装置としては、液晶表示装置の他に、発光素子を用いた発光表示装置や、電気泳動表示素子を用いた電子ペーパーとも称される表示装置が挙げられる。

50

【 0 0 5 0 】

発光素子を用いた発光表示装置においては、画素部に複数の薄膜トランジスタを有し、画素部においてもある薄膜トランジスタのゲート電極と他のトランジスタのソース配線（ソース配線層ともいう）、或いはドレイン配線（ドレイン配線層ともいう）を接続させる箇所を有している。また、発光素子を用いた発光表示装置の駆動回路においては、薄膜トランジスタのゲート電極とその薄膜トランジスタのソース配線、或いはドレイン配線を接続させる箇所を有している。

【 発明の効果 】

【 0 0 5 1 】

安定した電気特性を有する薄膜トランジスタを作製し、提供することができる。よって、電気特性が良好で信頼性のよい薄膜トランジスタを有する半導体装置を提供することができる。

10

【 0 0 5 2 】

露光マスク数を削減することでフォトリソグラフィ工程を簡略化し、半導体装置を低コストで生産性よく作製することができる。

【 図面の簡単な説明 】

【 0 0 5 3 】

【 図 1 】半導体装置を説明する図。

【 図 2 】半導体装置の作製方法を説明する図。

【 図 3 】半導体装置の作製方法を説明する図。

20

【 図 4 】半導体装置の作製方法を説明する図。

【 図 5 】半導体装置の作製方法を説明する図。

【 図 6 】半導体装置の作製方法を説明する図。

【 図 7 】半導体装置を説明する図。

【 図 8 】半導体装置を説明する図。

【 図 9 】半導体装置を説明する図。

【 図 1 0 】半導体装置を説明する図。

【 図 1 1 】半導体装置を説明する図。

【 図 1 2 】半導体装置の画素等価回路を説明する図。

【 図 1 3 】半導体装置を説明する図。

30

【 図 1 4 】半導体装置のブロック図を説明する図。

【 図 1 5 】信号線駆動回路の回路図およびタイミングチャートを説明する図。

【 図 1 6 】シフトレジスタの構成を示す回路図。

【 図 1 7 】シフトレジスタの動作を説明する図。

【 図 1 8 】半導体装置を説明する図。

【 図 1 9 】半導体装置を説明する図。

【 図 2 0 】電子書籍の一例を示す外観図。

【 図 2 1 】テレビジョン装置およびデジタルフォトフレームの例を示す外観図。

【 図 2 2 】遊技機の例を示す外観図。

【 図 2 3 】携帯型のコンピュータ及び携帯電話機の一例を示す外観図。

40

【 図 2 4 】半導体装置を説明する図。

【 図 2 5 】半導体装置を説明する図。

【 図 2 6 】半導体装置を説明する図。

【 図 2 7 】半導体装置を説明する図。

【 図 2 8 】半導体装置を説明する図。

【 図 2 9 】半導体装置を説明する図。

【 図 3 0 】半導体装置を説明する図。

【 図 3 1 】半導体装置を説明する図。

【 図 3 2 】半導体装置を説明する図。

【 図 3 3 】半導体装置を説明する図。

50

【図34】半導体装置を説明する図。

【図35】半導体装置を説明する図。

【図36】半導体装置を説明する図。

【図37】半導体装置を説明する図。

【図38】半導体装置を説明する図。

【図39】多階調マスクを説明する図。

【発明を実施するための形態】

【0054】

実施の形態について、図面を用いて詳細に説明する。但し、以下の説明に限定されず、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

10

【0055】

(実施の形態1)

半導体装置及び半導体装置の作製方法の一形態を図1乃至3を用いて説明する。

【0056】

図1(A1)(A2)(B)(C)には同一基板上に作製された異なる構造の2つの薄膜トランジスタの断面構造の一例を示す。図1(A1)(A2)(B)(C)に示す薄膜トランジスタ460は、チャンネルエッチ型と呼ばれるボトムゲート構造の一つであり、薄膜トランジスタ470はチャンネル保護型(チャンネルストップ型ともいう)と呼ばれるボトムゲート構造の一つである。薄膜トランジスタ460及び薄膜トランジスタ470は逆スタガ型薄膜トランジスタともいう。

20

【0057】

図1(A1)は駆動回路に配置されるチャンネルエッチ型の薄膜トランジスタ460の平面図であり、図1(B)は図1(A1)の線G1-G2における断面図である。また、図1(C)は、図1(A1)の線G3-G4における断面図である。

【0058】

駆動回路に配置される薄膜トランジスタ460はチャンネルエッチ型の薄膜トランジスタであり、絶縁表面を有する基板450上に、ゲート電極層461、第1のゲート絶縁層452a、第2のゲート絶縁層452b、少なくともチャンネル形成領域463、第1の高抵抗ドレイン領域464a、及び第2の高抵抗ドレイン領域464bを有する酸化物半導体層462、ソース電極層465a、及びドレイン電極層465bを含む。また、薄膜トランジスタ460を覆い、チャンネル形成領域463に接する酸化物絶縁層466が設けられている。

30

【0059】

ソース電極層465aの下面に接して第1の高抵抗ドレイン領域464aが自己整合的に形成されている。また、ドレイン電極層465bの下面に接して第2の高抵抗ドレイン領域464bが自己整合的に形成されている。また、チャンネル形成領域463は、酸化物絶縁層466と接し、且つ第1の高抵抗ドレイン領域464a、及び第2の高抵抗ドレイン領域464bよりも膜厚が薄くなっており、第1の高抵抗ドレイン領域464a、及び第2の高抵抗ドレイン領域464bよりも高抵抗の領域(I型領域)とする。

40

【0060】

また、薄膜トランジスタ460は配線を低抵抗化するためにソース電極層465a、及びドレイン電極層465bとして金属材料を用いることが好ましい。

【0061】

また、液晶表示装置において、同一基板上に画素部と駆動回路を形成する場合、駆動回路において、インバータ回路、NAND回路、NOR回路、ラッチ回路といった論理ゲートを構成する薄膜トランジスタや、センスアンプ、定電圧発生回路、高電圧制御発振器(VCO)といったアナログ回路を構成する薄膜トランジスタは、ソース電極とドレイン電極

50

間に正極性のみ、もしくは負極性のみが印加される。従って、耐圧が要求される一方の第2の高抵抗ドレイン領域464bの幅をもう一方の第1の高抵抗ドレイン領域464aの幅よりも広く設計してもよい。また、第1の高抵抗ドレイン領域464a、及び第2の高抵抗ドレイン領域464bがゲート電極層と重なる幅を広くしてもよい。

【0062】

また、駆動回路に配置される薄膜トランジスタ460はシングルゲート構造の薄膜トランジスタを用いて説明したが、必要に応じて、チャンネル形成領域を複数有するマルチゲート構造の薄膜トランジスタも形成することができる。

【0063】

また、チャンネル形成領域463上方に重なる導電層467を設ける。導電層467をゲート電極層461と電氣的に接続し、同電位とすることで、ゲート電極層461と導電層467の間に配置された酸化物半導体層に上下からゲート電圧を印加することができる。また、ゲート電極層461と導電層467を異なる電位、例えば導電層406を固定電位、GND、0Vとする場合には、TFTの電気特性、例えばしきい値電圧などを制御することができる。すなわち、ゲート電極層461を第1のゲート電極層として機能させ、導電層467を第2のゲート電極層として機能させることで、薄膜トランジスタ460を4端子の薄膜トランジスタとして用いることができる。

10

【0064】

また、導電層467と酸化物絶縁層466の間には保護絶縁層453と、平坦化絶縁層454とを積層する。

20

【0065】

また、保護絶縁層453は、保護絶縁層453の下方に設ける第1のゲート絶縁層452aまたは下地となる絶縁膜と接する構成とすることが好ましく、水素イオンやOH⁻などの不純物が侵入することをブロックする。特に、保護絶縁層453と接する第1のゲート絶縁層452aまたは下地となる絶縁膜を窒化珪素膜とすると有効である。

【0066】

また、図1(A2)は画素に配置されるチャンネル保護型の薄膜トランジスタ470の平面図であり、図1(B)は図1(A2)の線H1-H2における断面図である。また、図1(C)は、図1(A2)の線H3-H4における断面図である。

【0067】

画素に配置される薄膜トランジスタ470はチャンネル保護型の薄膜トランジスタであり、絶縁表面を有する基板450上に、ゲート電極層471、第1のゲート絶縁層452a、第2のゲート絶縁層452b、チャンネル形成領域を含む酸化物半導体層472、チャンネル保護層として機能する酸化物絶縁層476、ソース電極層475a、及びドレイン電極層475bを含む。また、薄膜トランジスタ470を覆い、酸化物絶縁層476、ソース電極層475a、及びドレイン電極層475bに接して保護絶縁層453、及び平坦化絶縁層454が積層して設けられている。平坦化絶縁層454上にはドレイン電極層475bと接する画素電極層477が設けられており、薄膜トランジスタ470と電氣的に接続している。

30

【0068】

また、酸化物半導体膜の成膜以後に、不純物である水分などを低減する加熱処理(脱水化または脱水素化のための加熱処理)が行われる。脱水化または脱水素化のための加熱処理及び徐冷させた後、酸化物半導体層に接して酸化物絶縁膜の形成などを行って酸化物半導体層のキャリア濃度を低減することが、薄膜トランジスタ470の電気特性の向上及び信頼性の向上に繋がる。

40

【0069】

画素に配置される薄膜トランジスタ470のチャンネル形成領域は、酸化物半導体層472のうち、チャンネル保護層である酸化物絶縁層476に接し、且つゲート電極層471と重なる領域である。薄膜トランジスタ470は、酸化物絶縁層476によって保護されるため、ソース電極層475a、ドレイン電極層475bを形成するエッチング工程で、酸化

50

物半導体層 472 がエッチングされるのを防ぐことができる。

【0070】

また、薄膜トランジスタ 470 は透光性を有する薄膜トランジスタとして高開口率を有する表示装置を実現するためにソース電極層 475 a、ドレイン電極層 475 b は、透光性を有する導電膜を用いる。

【0071】

また、薄膜トランジスタ 470 のゲート電極層 471 も透光性を有する導電膜を用いる。

【0072】

また、薄膜トランジスタ 470 が配置される画素には、画素電極層 477、またはその他の電極層（容量電極層など）や、その他の配線層（容量配線層など）に可視光に対して透光性を有する導電膜を用い、高開口率を有する表示装置を実現する。勿論、第 1 のゲート絶縁層 452 a、第 2 のゲート絶縁層 452 b、酸化物絶縁層 476 も可視光に対して透光性を有する膜を用いることが好ましい。

10

【0073】

本明細書において、可視光に対して透光性を有する膜とは可視光の透過率が 75 ~ 100 % である膜厚を有する膜を指し、その膜が導電性を有する場合は透明の導電膜とも呼ぶ。また、ゲート電極層、ソース電極層、ドレイン電極層、画素電極層、またはその他の電極層や、その他の配線層に適用する金属酸化物として、可視光に対して半透明の導電膜を用いてもよい。可視光に対して半透明とは可視光の透過率が 50 ~ 75 % であることを指す。

20

【0074】

薄膜トランジスタ 460、470 は作製方法において、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたマスク層を用いたエッチング工程を行う。従って、酸化物半導体層 462、472 は、膜厚の薄い領域を周縁に有する形状となっている。なお、酸化物半導体層 462 周縁において膜厚の薄い領域は、酸化物絶縁層 466 に接する領域である。酸化物半導体層 462、472 が膜厚の薄い領域を周縁に有する形状であると、上に積層される酸化物絶縁層 466、又はソース電極層 475 a、ドレイン電極層 475 b の被覆性がよい。

【0075】

以下、図 2 及び図 3 (A) 乃至 (E) を用い、同一基板上に薄膜トランジスタ 460 及び薄膜トランジスタ 470 を作製する工程を説明する。

30

【0076】

まず、絶縁表面を有する基板 450 上に透光性を有する導電膜を形成した後、第 1 のフォトリソグラフィ工程によりゲート電極層 461、471 を形成する。また、画素部にはゲート電極層 461、471 と同じ透光性を有する材料を用いて、第 1 のフォトリソグラフィ工程により容量配線層を形成する。また、画素部だけでなく駆動回路に容量が必要な場合には、駆動回路にも容量配線層を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0077】

絶縁表面を有する基板 450 に使用することができる透光性を有する基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。絶縁表面を有する基板 450 にはバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

40

【0078】

また、ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が 730 以上のものを用いると良い。また、ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。なお、ホウ酸と比較して酸化バリウム (BaO) を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、 B_2O_3 より BaO を多く含むガラス基板を用いるこ

50

とが好ましい。

【0079】

なお、上記のガラス基板に代えて、セラミック基板、石英基板、サファイア基板などの絶縁体でなる透光性を有する基板を用いても良い。他にも、結晶化ガラスなどを用いることができる。

【0080】

また、下地膜となる絶縁膜を基板450とゲート電極層461、471の間に設けてもよい。下地膜は、基板450からの不純物元素の拡散を防止する機能があり、窒化珪素膜、酸化珪素膜、窒化酸化珪素膜、又は酸化窒化珪素膜から選ばれた一又は複数の膜による積層構造により形成することができる。

10

【0081】

ゲート電極層461、471の材料は、可視光に対して透光性を有する導電材料、例えばIn-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の金属酸化物を適用することができ、膜厚は50nm以上300nm以下の範囲内で適宜選択する。ゲート電極層461、471に用いる金属酸化物の成膜方法は、スパッタ法や真空蒸着法（電子ビーム蒸着法など）や、アーク放電イオンプレーティング法や、スプレー法を用いる。また、スパッタ法を用いる場合、SiO₂を2重量%以上10重量%以下含むターゲットを用いて成膜を行い、透光性を有する導電膜に結晶化を阻害するSiO_x（ $x > 0$ ）を含ませ、後の工程で行う脱水化または脱水素化のための加熱処理の際に結晶化してしまうのを抑制することが好ましい。

20

【0082】

次いで、ゲート電極層461、471上にゲート絶縁層を形成する。

【0083】

ゲート絶縁層は、プラズマCVD法又はスパッタリング法等を用いて、酸化珪素層、窒化珪素層、酸化窒化珪素層又は窒化酸化珪素層を単層で又は積層して形成することができる。例えば、成膜ガスとして、SiH₄、酸素及び窒素を用いてプラズマCVD法により酸化窒化珪素層を形成すればよい。

30

【0084】

本実施の形態では、膜厚50nm以上200nm以下の第1のゲート絶縁層452aと、膜厚50nm以上300nm以下の第2のゲート絶縁層452bの積層のゲート絶縁層とする。第1のゲート絶縁層452aとしては膜厚100nmの窒化珪素膜または窒化酸化珪素膜を用いる。また、第2のゲート絶縁層452bとしては、膜厚100nmの酸化珪素膜を用いる。

【0085】

第2のゲート絶縁層452b上に、膜厚2nm以上200nm以下の酸化物半導体膜480を形成する。酸化物半導体膜480の形成後に脱水化または脱水素化のための加熱処理を行っても酸化物半導体膜を非晶質な状態とするため、膜厚を50nm以下と薄くすることが好ましい。酸化物半導体膜の膜厚を薄くすることで酸化物半導体層の形成後に加熱処理した場合に、結晶化してしまうのを抑制することができる。

40

【0086】

なお、酸化物半導体膜480をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、第2のゲート絶縁層452bの表面に付着しているゴミを除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せず、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

【0087】

また、酸化物半導体膜480の成膜前に、ゲート絶縁層を不活性ガス雰囲気（窒素、また

50

はヘリウム、ネオン、アルゴン等)下、酸素雰囲気下、或いは減圧下において加熱処理(400以上基板の歪み点未満)を行い、層内に含まれる水素及び水などの不純物を除去したゲート絶縁層としてもよい。

【0088】

酸化物半導体膜480は、In-Ga-Zn-O系非単結晶膜、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の酸化物半導体膜を用いる。本実施の形態では、In-Ga-Zn-O系酸化物半導体ターゲットを用いてスパッタ法により成膜する。また、酸化物半導体膜480は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、又は希ガス(代表的にはアルゴン)及び酸素雰囲気下においてスパッタ法により形成することができる。また、スパッタ法を用いる場合、SiO₂を2重量%以上10重量%以下含むターゲットを用いて成膜を行い、酸化物半導体膜480に結晶化を阻害するSiO_x(x>0)を含ませ、後の工程で行う脱水化または脱水素化のための加熱処理の際に結晶化してしまうのを抑制することが好ましい。

10

【0089】

また、酸化物半導体膜は、好ましくはInを含有する酸化物半導体膜、さらに好ましくは、In、及びGaを含有する酸化物半導体膜である。酸化物半導体膜をI型(真性)とするため、脱水化または脱水素化は有効である。

【0090】

次いで、酸化物半導体膜480の脱水化または脱水素化を行う。脱水化または脱水素化を行う第1の加熱処理の温度は、350以上基板の歪み点未満、好ましくは400以上歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体膜に対して窒素雰囲気下において加熱処理を行った後、大気に触れさせないことで、酸化物半導体膜への水や水素の再混入を防ぎ、酸化物半導体膜481を得る(図2(B)参照)。本実施の形態では、酸化物半導体膜の脱水化または脱水素化を行う加熱温度Tから、再び水が入らないような十分な温度まで同じ炉を用い、具体的には加熱温度Tよりも100以上下がるまで窒素雰囲気下で徐冷する。なお脱水化または脱水素化は、窒素雰囲気に限定されず、ヘリウム、ネオン、アルゴン等の希ガス雰囲気下或いは減圧下において脱水化または脱水素化を行ってもよい。

20

30

【0091】

なお、第1の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。例えば、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0092】

また、第1の加熱処理の条件、または酸化物半導体膜の材料によっては、結晶化し、微結晶膜または多結晶膜となる場合もある。

【0093】

次いで、第1の加熱処理後に、加熱装置から基板を取り出し、酸化物半導体膜481上に金属導電膜を形成する。酸化物半導体膜481及び金属導電膜に第2のフォトリソグラフィ工程を行う。金属導電膜の材料としては、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金等がある。

40

【0094】

金属導電膜としては、チタン層上にアルミニウム層と、該アルミニウム層上にチタン層が積層された3層の積層構造、またはモリブデン層上にアルミニウム層と、該アルミニウム層上にモリブデン層を積層した3層の積層構造とすることが好ましい。勿論、金属導電膜として単層、または2層構造、または4層以上の積層構造としてもよい。

50

【0095】

ゲート絶縁層452a、452b、酸化物半導体膜481、及び金属導電膜上にレジストマスク482a、482bを形成する。

【0096】

本実施の形態では、レジストマスク482a、482bを形成するために高階調マスクを用いた露光を行う例を示す。レジストマスク482a、482bを形成するためレジストを形成する。レジストは、ポジ型レジストまたはネガ型レジストを用いることができる。ここでは、ポジ型レジストを用いて示す。レジストはスピンコート法で形成してもよいし、インクジェット法で選択的に形成してもよい。レジストをインクジェット法で選択的に形成すると、不要箇所へのレジスト形成を削減することができるので、材料の無駄を軽減することができる。

10

【0097】

次に、露光マスクとして多階調マスクを用いて、レジストに光を照射して、レジストを露光する。

【0098】

ここで、多階調マスクを用いた露光について、図39を用いて説明する。

【0099】

多階調マスクとは、露光部分、中間露光部分、及び未露光部分に3つの露光レベルを行うことが可能なマスクであり、透過した光が複数の強度となる露光マスクである。一度の露光及び現像工程により、複数(代表的には二種類)の厚さの領域を有するレジストマスクを形成することが可能である。このため、多階調マスクを用いることで、露光マスクの枚数を削減することが可能である。

20

【0100】

多階調マスクの代表例としては、図39(A)に示すようなグレートンマスク81a、図39(C)に示すようなハーフトーンマスク81bがある。

【0101】

図39(A)に示すように、グレートンマスク81aは、透光性基板83及びその上に形成される遮光部84並びに回折格子85で構成される。遮光部84においては、光の透過率が0%である。一方、回折格子85はスリット、ドット、メッシュ等の光透過部の間隔を、露光に用いる光の解像度限界以下の間隔とすることにより、光の透過率を制御することができる。なお、回折格子85は、周期的なスリット、ドット、メッシュ、または非周期的なスリット、ドット、メッシュどちらも用いることができる。

30

【0102】

透光性基板83としては、石英等の透光性基板を用いることができる。遮光部84及び回折格子85は、クロムや酸化クロム等の光を吸収する遮光材料を用いて形成することができる。

【0103】

グレートンマスク81aに露光光を照射した場合、図39(B)に示すように、遮光部84においては、光透過率86は0%であり、遮光部84及び回折格子85が設けられていない領域では光透過率86は100%である。また、回折格子85においては、10~70%の範囲で調整可能である。回折格子85における光の透過率の調整は、回折格子のスリット、ドット、またはメッシュの間隔及びピッチの調整により可能である。

40

【0104】

図39(C)に示すように、ハーフトーンマスク81bは、透光性基板83及びその上に形成される半透過部87並びに遮光部88で構成される。半透過部87は、MoSiN、MoSi、MoSiO、MoSiON、CrSiなどを用いることができる。遮光部88は、クロムや酸化クロム等の光を吸収する遮光材料を用いて形成することができる。

【0105】

ハーフトーンマスク81bに露光光を照射した場合、図39(D)に示すように、遮光部88においては、光透過率89は0%であり、遮光部88及び半透過部87が設けられて

50

いない領域では光透過率 89 は 100% である。また、半透過部 87 においては、10 ~ 70% の範囲で調整可能である。半透過部 87 に於ける光の透過率は、半透過部 87 の材料により調整可能である。

【0106】

多階調マスクを用いて露光した後、現像することで、図 2 (C) に示すように膜厚の異なる領域を有するレジストマスク 482 a を形成することができる。

【0107】

次に、レジストマスク 482 a、482 b を用いて第 1 のエッチング工程を行い、酸化物半導体膜 481、金属導電膜をエッチングし島状に加工する。この結果、酸化物半導体層 483、485、金属導電層 484、486 を形成することができる (図 2 (C) 参照)。

10

【0108】

次に、レジストマスク 482 a をアッシングする。この結果、レジストマスクの面積 (3 次元的に見ると体積) が縮小し、厚さが薄くなる。このとき、膜厚の薄い領域のレジストマスクのレジスト (ゲート電極層 461 の一部と重畳する領域) は除去され、分離されたレジストマスク 487 a を形成することができる。同様にレジストマスク 482 b もアッシングされ、レジストマスクの面積 (3 次元的に見ると体積) が縮小し、レジストマスク 487 b となる。

【0109】

レジストマスク 487 a、487 b を用いて酸化物半導体層 483、485、金属導電層 484、486 を第 2 のエッチング工程によりエッチングし、酸化物半導体層 488、489、ソース電極層 465 a、ドレイン電極層 465 b、金属電極層 490 を形成する。(図 2 (D) 参照) 。なお、酸化物半導体層 488 は一部のみがエッチングされ、溝部 (凹部) を有する酸化物半導体層となる。また、酸化物半導体層 488、489 は端部においても、一部エッチングされ露出しており、膜厚の薄い領域を周縁に有する形状となる。

20

【0110】

次いで、レジストマスク 487 a、487 b を除去し、第 3 のフォトリソグラフィ工程により酸化物半導体層 488 を覆うレジストマスク 491 を形成し、酸化物半導体層 489 上の金属電極層 490 を除去する (図 2 (E) 参照) 。

30

【0111】

なお、第 3 のフォトリソグラフィ工程で酸化物半導体層 489 と重なる金属電極層 490 を除去するため、金属電極層 490 のエッチングの際に、酸化物半導体層 489 も除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。

【0112】

酸化物半導体層 489 の上面及び側面に接し、且つ酸化物半導体層 488 の溝部 (凹部) に接する保護絶縁膜となる酸化物絶縁膜 492 を形成する。

【0113】

酸化物絶縁膜 492 は、少なくとも 1 nm 以上の膜厚とし、スパッタリング法など、酸化物絶縁膜 492 に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。本実施の形態では、酸化物絶縁膜 492 として膜厚 300 nm の酸化珪素膜をスパッタリング法を用いて成膜する。成膜時の基板温度は、室温以上 300 以下とすればよく、本実施の形態では 100 とする。酸化珪素膜のスパッタリング法による成膜は、希ガス (代表的にはアルゴン) 雰囲気下、酸素雰囲気下、または希ガス (代表的にはアルゴン) 及び酸素雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素、及び窒素雰囲気下でスパッタリング法により酸化珪素膜を形成することができる。低抵抗化した酸化物半導体層に接して形成する酸化物絶縁膜 492 は、水分や、水素イオンや、OH⁻ などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、または酸

40

50

化窒化アルミニウム膜などを用いる。

【0114】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理（好ましくは200以上400以下、例えば250以上350以下）を行う（図3（A）参照）。例えば、窒素雰囲気下で250、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層488の溝部、酸化物半導体層489の上面及び側面が酸化物絶縁膜492と接した状態で加熱される。

【0115】

以上の工程を経ることによって、成膜後の酸化物半導体膜に対して脱水化または脱水素化のための加熱処理を行って低抵抗化した後、酸化物半導体膜の一部を選択的に酸素過剰な状態とする。その結果、ゲート電極層461と重なるチャンネル形成領域463は、I型となり、ソース電極層465aに重なる第1の高抵抗ドレイン領域464aと、ドレイン電極層465bに重なる第2の高抵抗ドレイン領域464bとが自己整合的に形成される。また、ゲート電極層471と重なる酸化物半導体層472は、全体がI型となる。

10

【0116】

しかし、高抵抗化された（I型化された）酸化物半導体層472が露出している状態で、窒素、不活性ガス雰囲気下、又は減圧下で加熱処理を行うと、高抵抗化された（I型化された）酸化物半導体層472が低抵抗化してしまうため、酸化物半導体層472が露出している状態で行う加熱処理は酸素ガス、N₂Oガス雰囲気下、又は、超乾燥エア（露点が-40以下、好ましくは-60以下）で行う。

20

【0117】

ドレイン電極層465b（及びソース電極層465a）と重畳した酸化物半導体層において第2の高抵抗ドレイン領域464b（又は第1の高抵抗ドレイン領域464a）を形成することにより、駆動回路を形成した際の信頼性の向上を図ることができる。具体的には、第2の高抵抗ドレイン領域464bを形成することで、ドレイン電極層から第2の高抵抗ドレイン領域464b、チャンネル形成領域にかけて、導電性を段階的に変化させるような構造とすることができる。そのため、ドレイン電極層465bに高電源電位VDDを供給する配線に接続して動作させる場合、ゲート電極層461とドレイン電極層465bとの間に高電界が印加されても高抵抗ドレイン領域がバッファとなり局所的な高電界が印加されず、トランジスタの耐圧を向上させた構成とすることができる。

30

【0118】

また、ドレイン電極層465b（及びソース電極層465a）と重畳した酸化物半導体層において第2の高抵抗ドレイン領域464b（又は第1の高抵抗ドレイン領域464a）を形成することにより、駆動回路を形成した際のチャンネル形成領域463でのリーク電流の低減を図ることができる。

【0119】

次いで、第4のフォトリソグラフィ工程により、レジストマスク493a、493bを形成し、酸化物絶縁膜492を選択的にエッチングして、酸化物絶縁層466、476を形成する（図3（B）参照）。酸化物絶縁層476は酸化物半導体層472のチャンネル形成領域上に設けられ、チャンネル保護層として機能する。なお、本実施の形態のように、ゲート絶縁層452bとして酸化物絶縁層を用いる場合、酸化物絶縁膜492のエッチング工程により、ゲート絶縁層452bの一部もエッチングされて膜厚が薄くなる（膜減りする）場合がある。ゲート絶縁層452bとして酸化物絶縁膜492と選択比の高い窒化絶縁膜を用いる場合は、ゲート絶縁層452bが一部エッチングされるのを防ぐことができる。

40

【0120】

次いで、酸化物半導体層472及び酸化物絶縁層476上に、透光性を有する導電膜を形成した後、第5のフォトリソグラフィ工程によりソース電極層475a、及びドレイン電極層475bを形成する（図3（C）参照）。透光性を有する導電膜の成膜方法は、スパッタ法や真空蒸着法（電子ビーム蒸着法など）や、アーク放電イオンプレーティング法

50

や、スプレー法を用いる。導電膜の材料としては、可視光に対して透光性を有する導電材料、例えばIn-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の金属酸化物を適用することができ、膜厚は50nm以上300nm以下の範囲内で適宜選択する。また、スパッタ法を用いる場合、SiO₂を2重量%以上10重量%以下含むターゲットを用いて成膜を行い、透光性を有する導電膜に結晶化を阻害するSiO_x (X>0)を含ませ、後の工程で行う加熱処理の際に結晶化してしまうのを抑制することが好ましい。

【0121】

なお、ソース電極層475a、ドレイン電極層475bを形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトリソグラフィを使用しないため、製造コストを低減できる。

10

【0122】

次いで、酸化物絶縁層466、476、ソース電極層475a、ドレイン電極層475b上に保護絶縁層453を形成する。本実施の形態では、RFスパッタ法を用いて窒化珪素膜を形成する。RFスパッタ法は、量産性がよいため、保護絶縁層453の成膜方法として好ましい。保護絶縁層453は、水分や、水素イオンや、OH⁻などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、窒化珪素膜、窒化アルミニウム膜、窒化酸化珪素膜、酸化窒化アルミニウム膜などを用いる。勿論、保護絶縁層453は透光性を有する絶縁膜である。

20

【0123】

また、保護絶縁層453は、保護絶縁層453の下方に設ける第1のゲート絶縁層452aまたは下地となる絶縁膜と接する構成とすることが好ましく、基板の側面近傍からの水分や、水素イオンや、OH⁻などの不純物が侵入することをブロックする。特に、保護絶縁層453と接する第1のゲート絶縁層452aまたは下地となる絶縁膜を窒化珪素膜とすると有効である。即ち、酸化物半導体層の下面、上面、及び側面を囲むように窒化珪素膜を設けると、表示装置の信頼性が向上する。

【0124】

次いで、保護絶縁層453上に平坦化絶縁層454を形成する。平坦化絶縁層454としては、ポリイミド、アクリル樹脂、ベンゾシクロブテン系樹脂、ポリアミド、エポキシ樹脂等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料(Low-k材料)、シロキサン系樹脂、PSG(リンガラス)、BPSG(リンボロンガラス)等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁層454を形成してもよい。

30

【0125】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基(例えばアルキル基やアリール基)やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

【0126】

平坦化絶縁層454の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピンコート法、ディッピング法、スプレー塗布法、液滴吐出法(インクジェット法、スクリーン印刷、オフセット印刷等)、ロールコーティング法、カーテンコーティング法、ナイフコーティング法等を用いることができる。

40

【0127】

次に、第6のフォトリソグラフィ工程を行い、レジストマスクを形成し、平坦化絶縁層454、及び保護絶縁層453のエッチングによりドレイン電極層475bに達するコンタクトホール494を形成する(図3(D)参照。)。また、ここでのエッチングによりゲート電極層461、471に達するコンタクトホールも形成する。また、ドレイン電極層475bに達するコンタクトホールを形成するためのレジストマスクをインクジェット法

50

で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0128】

次いで、レジストマスクを除去した後、透光性を有する導電膜を成膜する。透光性を有する導電膜の材料としては、酸化インジウム (In_2O_3) や酸化インジウム酸化スズ合金 (In_2O_3 SnO_2 、ITOと略記する) などをスパッタ法や真空蒸着法などを用いて形成する。透光性を有する導電膜の他の材料として、窒素を含ませたAl-Zn-O系非単結晶膜、即ちAl-Zn-O-N系非単結晶膜や、窒素を含ませたZn-O系非単結晶膜や、窒素を含ませたSn-Zn-O系非単結晶膜を用いてもよい。なお、Al-Zn-O-N系非単結晶膜の亜鉛の組成比(原子%)は、47原子%以下とし、非単結晶膜中のアルミニウムの組成比(原子%)より大きく、非単結晶膜中のアルミニウムの組成比(原子%)は、非単結晶膜中の窒素の組成比(原子%)より大きい。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金 (In_2O_3 ZnO) を用いても良い。

10

【0129】

なお、透光性を有する導電膜の組成比の単位は原子%とし、電子線マイクロアナライザー (EPMA: Electron Probe X-ray Micro Analyzer) を用いた分析により評価するものとする。

【0130】

次に、第7のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して画素電極層477及び導電層467を形成する(図3(E)参照)。

20

【0131】

以上の工程により、7枚のマスクを用いて、同一基板上に薄膜トランジスタ460及び薄膜トランジスタ470をそれぞれ駆動回路または画素部に作り分けて作製することができる。駆動回路用の薄膜トランジスタ460は、第1の高抵抗ドレイン領域464a、第2の高抵抗ドレイン領域464b、及びチャネル形成領域463を含む酸化物半導体層462を含むチャネルエッチ型薄膜トランジスタであり、画素用の薄膜トランジスタ470は、全体がI型化した酸化物半導体層472を含むチャネル保護型薄膜トランジスタである。

30

【0132】

本実施の形態のように、多階調マスクにより形成した複数(代表的には二種類)の厚さの領域を有するレジストマスクを用いると、レジストマスクの数を減らすことができるため、工程簡略化、低コスト化が計れる。よって、半導体装置を低コストで生産性よく作製することができる。

【0133】

また、第1のゲート絶縁層452a、第2のゲート絶縁層452bを誘電体とし容量配線層と容量電極とで形成される保持容量も同一基板上に形成することができる。薄膜トランジスタ470と保持容量を個々の画素に対応してマトリクス状に配置して画素部を構成し、画素部の周辺に薄膜トランジスタ460を有する駆動回路を配置することによりアクティブマトリクス型の表示装置を作製するための一方の基板とすることができる。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

40

【0134】

なお、画素電極層477は、平坦化絶縁層454、及び保護絶縁層453に形成されたコンタクトホールを介して容量電極層と電氣的に接続する。なお、容量電極層は、ソース電極層475a、ドレイン電極層475bと同じ透光性を有する材料、同じ工程で形成することができる。

【0135】

導電層467を酸化物半導体層のチャネル形成領域463と重なる位置に設けることによ

50

って、薄膜トランジスタの信頼性を調べるためのバイアス - 熱ストレス試験（以下、BT試験という）において、BT試験前後における薄膜トランジスタ460のしきい値電圧の変化量を低減することができる。また、導電層467は、電位がゲート電極層461と同じでもよいし、異なっても良く、第2のゲート電極層として機能させることもできる。また、導電層467の電位がGND、0V、或いはフローティング状態であってもよい。

【0136】

また、画素電極層477を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

10

【0137】

（実施の形態2）

本実施の形態では、画素用薄膜トランジスタにおいて加熱処理が実施の形態1と異なる例を図4に示す。図4は、図1乃至図3と工程が一部異なる点以外は同じであるため、同じ箇所には同じ符号を用い、同じ箇所の詳細な説明は省略する。

【0138】

まず、実施の形態1に従って、実施の形態1における図3（B）の工程まで行う。図4（A）は、図3（B）の工程後、レジストマスク493a、493bを除去した状態である。

20

【0139】

絶縁表面を有する基板450上に、ゲート電極層461、471、第1のゲート絶縁層452a、第2のゲート絶縁層452bが形成され、駆動回路部においてはチャネル形成領域463、第1の高抵抗ドレイン領域464a、第2の高抵抗ドレイン領域464bを含む酸化半導体層462、ソース電極層465a、ドレイン電極層465b、酸化絶縁層466が形成され、画素部においては酸化半導体層472、酸化絶縁層476が形成されている（図4（A）参照。）。酸化半導体層472は高抵抗化されたI型である。

【0140】

本実施の形態では、少なくとも酸化半導体層472の一部が露出している状態で、窒素、不活性ガス雰囲気下、又は減圧下で加熱処理を行う。高抵抗化された（I型化された）酸化半導体層472が露出している状態で、窒素、不活性ガス雰囲気下、又は減圧下で加熱処理を行うと、酸化半導体層472において露出している高抵抗化された（I型化された）領域が低抵抗化することができる。

30

【0141】

酸化半導体層472において、高抵抗化された（I型化された）領域を低抵抗化する加熱処理は、好ましくは200以上400以下、例えば250以上350以下で行えばよい。例えば、窒素雰囲気下で250、1時間の加熱処理を行う。

【0142】

本実施の形態では、加熱処理装置の一つである電気炉に基板を導入し、酸化半導体層472に対して窒素雰囲気下において加熱処理を行った後、大気に触れることなく、加熱温度Tから、加熱温度Tよりも100以上下がるまで窒素雰囲気下で徐冷する。また、窒素雰囲気に限定されず、ヘリウム、ネオン、アルゴン等の希ガス雰囲気下或いは減圧下において脱水化または脱水素化を行う。なお、加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上、（即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。

40

【0143】

酸化半導体層472に対する窒素、不活性ガス雰囲気下、又は減圧下での加熱処理によって、酸化半導体層472の露出領域は低抵抗化し、抵抗の異なる領域（図4（B）に

50

おいては斜線領域及び白地領域で示す)を有する酸化物半導体層495となる。

【0144】

次いで、酸化物半導体層495及び酸化物絶縁層476上に、透光性を有する導電膜を形成した後、第5のフォトリソグラフィ工程によりソース電極層475a、及びドレイン電極層475bを形成する(図4(C)参照。)。

【0145】

次いで、酸化物絶縁層466、476、ソース電極層475a、ドレイン電極層475b上に保護絶縁層453、平坦化絶縁層454を積層して形成する。

【0146】

次に、第6のフォトリソグラフィ工程を行い、レジストマスクを形成し、平坦化絶縁層454、及び保護絶縁層453のエッチングによりドレイン電極層475bに達するコンタクトホール494を形成する(図4(D)参照。)。

【0147】

次いで、レジストマスクを除去した後、透光性を有する導電膜を成膜する。

【0148】

次に、第7のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して画素電極層477及び導電層467を形成する(図4(E)参照。)。

【0149】

以上の工程により、7枚のマスクを用いて、同一基板上に薄膜トランジスタ460及び薄膜トランジスタ498をそれぞれ駆動回路または画素部に作り分けて作製することができる。駆動回路用の薄膜トランジスタ460は、第1の高抵抗ドレイン領域464a、第2の高抵抗ドレイン領域464b、及びチャネル形成領域463を含む酸化物半導体層462を含むチャネルエッチ型薄膜トランジスタであり、画素用の薄膜トランジスタ498も、第1の高抵抗ドレイン領域474a、第2の高抵抗ドレイン領域474b、及びチャネル形成領域473を含む酸化物半導体層495を含むチャネル保護型薄膜トランジスタである。よって、薄膜トランジスタ460、498は、高電界が印加されても高抵抗ドレイン領域がパuffaとなり局所的な高電界が印加されず、トランジスタの耐圧を向上させた構成となっている。

【0150】

本実施の形態のように、多階調マスクにより形成した複数(代表的には二種類)の厚さの領域を有するレジストマスクを用いると、レジストマスクの数を減らすことができるため、工程簡略化、低コスト化が計れる。よって、半導体装置を低コストで生産性よく作製することができる。

【0151】

また、第1のゲート絶縁層452a、第2のゲート絶縁層452bを誘電体とし容量配線層と容量電極とで形成される保持容量も同一基板上に形成することができる。薄膜トランジスタ498と保持容量を個々の画素に対応してマトリクス状に配置して画素部を構成し、画素部の周辺に薄膜トランジスタ460を有する駆動回路を配置することによりアクティブマトリクス型の表示装置を作製するための一方の基板とすることができる。

【0152】

導電層467を酸化物半導体層462のチャネル形成領域と重なる位置に設けることによって、薄膜トランジスタの信頼性を調べるためのバイアス-熱ストレス試験(以下、BT試験という)において、BT試験前後における薄膜トランジスタ460のしきい値電圧の変化量を低減することができる。また、導電層467は、電位がゲート電極層461と同じでもよいし、異なっても良く、第2のゲート電極層として機能させることもできる。また、導電層467の電位がGND、0V、或いはフローティング状態であってもよい。

【0153】

(実施の形態3)

10

20

30

40

50

本実施の形態では、第1の加熱処理が実施の形態1と異なる例を図5に示す。図5は、図1乃至図3と工程が一部異なる点以外は同じであるため、同じ箇所には同じ符号を用い、同じ箇所の詳細な説明は省略する。

【0154】

まず、実施の形態1に従って、絶縁表面を有する基板450上に透光性を有する導電膜を形成した後、第1のフォトリソグラフィ工程によりゲート電極層461、471を形成する。

【0155】

次いで、ゲート電極層461、471上に第1のゲート絶縁層452aと第2のゲート絶縁層452bの積層を形成する。

10

【0156】

次いで、第2のゲート絶縁層452b上に、膜厚2nm以上200nm以下の酸化物半導体膜480を形成する(図5(A)参照。)。なお、ここまでの工程は、実施の形態1と同一であり、図5(A)は図2(A)と対応している。

【0157】

次いで、不活性ガス雰囲気下または減圧下において、酸化物半導体膜480の脱水化または脱水素化を行う。脱水化または脱水素化を行う第1の加熱処理の温度は、350以上基板の歪み点未満、好ましくは400以上とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体膜480に対して窒素雰囲気下において加熱処理を行った後、酸化物半導体膜480を大気に触れさせないことで、酸化物半導体膜480への水や水素の再混入を防ぎ、酸化物半導体膜480を酸素欠乏型として低抵抗化、即ちN型化(N⁻など)させる。その後、同じ炉に高純度の酸素ガス、高純度のN₂Oガス、又は超乾燥エア(露点が-40以下、好ましくは-60以下)を導入して冷却を行う。酸素ガスまたはN₂Oガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する酸素ガスまたはN₂Oガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち酸素ガスまたはN₂Oガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

20

【0158】

また、脱水化または脱水素化を行う第1の加熱処理後に200以上400以下、好ましくは200以上300以下の温度で酸素ガスまたはN₂Oガス雰囲気下での加熱処理を行ってもよい。

30

【0159】

以上の工程を経ることによって膜全体を酸素過剰な状態とすることで、高抵抗化、即ちI型化させた酸化物半導体膜496を得る(図5(B)参照。)

【0160】

この結果、後に形成される薄膜トランジスタの信頼性を高めることができる。

【0161】

しかし、高抵抗化された(I型化された)酸化物半導体膜496が露出している状態で、窒素、不活性ガス雰囲気下、又は減圧下で加熱処理を行うと、高抵抗化された(I型化された)酸化物半導体膜496が低抵抗化してしまうため、酸化物半導体膜496が露出している状態で行う加熱処理は酸素ガス、N₂Oガス雰囲気下、又は超乾燥エア(露点が-40以下、好ましくは-60以下)で行う。

40

【0162】

後は、実施の形態1における図2(C)乃至(E)及び図3(A)乃至(E)と同様に、酸化物半導体膜496上に金属導電膜を形成し、酸化物半導体膜496及び金属導電膜に多階調マスクを用いたフォトリソグラフィ工程を行って、島状の酸化物半導体層及び金属導電層を形成する。さらに、周辺駆動回路部においては、酸化物半導体層の一部のみをエッチングして、溝部(凹部)を有する酸化物半導体層497を形成し、金属導電層であるソース電極層465a、ドレイン電極層465b、酸化物半導体層497に接する酸化物絶縁層466を形成して、駆動回路用の薄膜トランジスタ499を作製する。一方、画素

50

部においては、多階調マスクを用いたフォトリソグラフィ工程により形成された酸化物半導体層 472 のチャンネル形成領域上に酸化物絶縁層 476 を形成し、透光性を有する導電層であるソース電極層 475 a、ドレイン電極層 475 b を形成し、画素用の薄膜トランジスタ 470 を作製する。

【0163】

なお、図 5 (C) における酸化物半導体層 472 は、図 3 (A) における酸化物半導体層 472 と同じ高抵抗化された (I 型化された) 酸化物半導体層なので同じ符号を付している。同様に本明細書では異なる方法を用いて形成された薄膜であっても、同等な機能や特性 (例えば抵抗など) を有する薄膜に同じ符号を付す場合がある。

【0164】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第 2 の加熱処理 (好ましくは 200 以上 400 以下、例えば 250 以上 350 以下) を行う。例えば、窒素雰囲気下で 250、1 時間の第 2 の加熱処理を行う。

【0165】

次いで、薄膜トランジスタ 499、470 を覆い、酸化物絶縁層 466、476、ソース電極層 475 a、及びドレイン電極層 475 b に接して保護絶縁層 453、及び平坦化絶縁層 454 を積層して形成する。保護絶縁層 453、及び平坦化絶縁層 454 にドレイン電極層 475 b に達するコンタクトホールを形成し、コンタクトホール及び平坦化絶縁層 454 上に透光性を有する導電膜を成膜する。透光性を有する導電膜を選択的にエッチングして薄膜トランジスタ 470 と電氣的に接続する画素電極層 477、及び導電層 467 を形成する。

【0166】

以上の工程により、7 枚のマスクを用いて、同一基板上に薄膜トランジスタ 499 及び薄膜トランジスタ 470 をそれぞれ駆動回路または画素部に作り分けて作製することができる。駆動回路用の薄膜トランジスタ 499 は、全体が I 型化した酸化物半導体層 497 を含むチャンネルエッチ型薄膜トランジスタであり、画素用の薄膜トランジスタ 470 も、全体が I 型化した酸化物半導体層 472 を含むチャンネル保護型薄膜トランジスタである。

【0167】

本実施の形態のように、多階調マスクにより形成した複数 (代表的には二種類) の厚さの領域を有するレジストマスクを用いると、レジストマスクの数を減らすことができるため、工程簡略化、低コスト化が計れる。よって、半導体装置を低コストで生産性よく作製することができる。

【0168】

また、第 1 のゲート絶縁層 452 a、第 2 のゲート絶縁層 452 b を誘電体とし容量配線層と容量電極とで形成される保持容量も同一基板上に形成することができる。薄膜トランジスタ 470 と保持容量を個々の画素に対応してマトリクス状に配置して画素部を構成し、画素部の周辺に薄膜トランジスタ 499 を有する駆動回路を配置することによりアクティブマトリクス型の表示装置を作製するための一方の基板とすることができる。

【0169】

導電層 467 を酸化物半導体層 497 のチャンネル形成領域と重なる位置に設けることによって、薄膜トランジスタの信頼性を調べるためのバイアス - 熱ストレス試験 (以下、BT 試験という) において、BT 試験前後における薄膜トランジスタ 499 のしきい値電圧の変化量を低減することができる。また、導電層 467 は、電位がゲート電極層 461 と同じでもよいし、異なっても良く、第 2 のゲート電極層として機能させることもできる。また、導電層 467 の電位が GND、0 V、或いはフローティング状態であってもよい。

【0170】

(実施の形態 4)

本実施の形態では、画素用薄膜トランジスタにおいて第 1 の加熱処理が実施の形態 3 と異なる例を図 6 に示す。図 6 は、図 1 乃至図 5 と工程が一部異なる点以外は同じであるため

10

20

30

40

50

、同じ箇所には同じ符号を用い、同じ箇所の詳細な説明は省略する。

【0171】

まず、実施の形態3に従って、実施の形態3における図5(B)の工程まで行う。図6(A)は、図5(B)の工程と同一である。

【0172】

絶縁表面を有する基板450上に、ゲート電極層461、471、第1のゲート絶縁層452a、第2のゲート絶縁層452bが形成され、第2のゲート絶縁層452b上に酸化物半導体膜496が形成されている(図6(A)参照。)。酸化物半導体膜496は高抵抗化されたI型である。

【0173】

酸化物半導体膜496上に金属導電膜を形成し、酸化物半導体膜496及び金属導電膜に、実施の形態1に示したレジストマスク482a、482bによるフォトリソグラフィ工程と同様に、多階調マスクを用いて形成されたレジストマスクを用いたフォトリソグラフィ工程を行う。

【0174】

周辺駆動回路部においては、島状の酸化物半導体層を形成し、酸化物半導体層の一部のみをエッチングして、溝部(凹部)を有する酸化物半導体層497を形成し、金属導電層であるソース電極層465a、ドレイン電極層465b、酸化物半導体層497に接する酸化物絶縁層466を形成して、駆動回路用の薄膜トランジスタ499を作製する。一方、画素部においては、酸化物半導体層472のチャンネル形成領域上に酸化物絶縁層476を形成する(図6(B)参照。)

【0175】

本実施の形態でも実施の形態2と同様に、少なくとも酸化物半導体層472の一部が露出している状態で、窒素、不活性ガス雰囲気下、又は減圧下で加熱処理を行う。高抵抗化された(I型化された)酸化物半導体層472が露出している状態で、窒素、不活性ガス雰囲気下、又は減圧下で加熱処理を行うと、酸化物半導体層472において露出している高抵抗化された(I型化された)領域が低抵抗化することができる。

【0176】

酸化物半導体層472において、高抵抗化された(I型化された)領域を低抵抗化する加熱処理は、好ましくは200以上400以下、例えば250以上350以下で行えばよい。例えば、窒素雰囲気下で250、1時間の加熱処理を行う。

【0177】

本実施の形態では、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層472に対して窒素雰囲気下において加熱処理を行った後、大気に触れることなく、加熱温度Tから、加熱温度Tよりも100以上下がるまで窒素雰囲気下で徐冷する。また、窒素雰囲気下に限定されず、ヘリウム、ネオン、アルゴン等の希ガス雰囲気下或いは減圧下において脱水化または脱水素化を行う。なお、加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0178】

酸化物半導体層472に対する窒素、不活性ガス雰囲気下、又は減圧下での加熱処理によって、酸化物半導体層472の露出領域は低抵抗化し、抵抗の異なる領域(図6(C)においては斜線領域及び白地領域で示す)を有する酸化物半導体層495となる。

【0179】

次いで、酸化物半導体層495及び酸化物絶縁層476上に、透光性を有する導電膜を形成した後、第5のフォトリソグラフィ工程によりソース電極層475a、及びドレイン電極層475bを形成する。

【0180】

10

20

30

40

50

次いで、酸化物絶縁層 4 6 6、4 7 6、ソース電極層 4 7 5 a、ドレイン電極層 4 7 5 b 上に保護絶縁層 4 5 3、平坦化絶縁層 4 5 4 を積層して形成する。

【0181】

保護絶縁層 4 5 3、及び平坦化絶縁層 4 5 4 にドレイン電極層 4 7 5 b に達するコンタクトホールを形成し、コンタクトホール及び平坦化絶縁層 4 5 4 上に透光性を有する導電膜を成膜する。透光性を有する導電膜を選択的にエッチングして薄膜トランジスタ 4 9 8 と電氣的に接続する画素電極層 4 7 7、及び導電層 4 6 7 を形成する（図 6（D）参照。）

【0182】

以上の工程により、7枚のマスクを用いて、同一基板上に薄膜トランジスタ 4 9 9 及び薄膜トランジスタ 4 9 8 をそれぞれ駆動回路または画素部に作り分けて作製することができる。駆動回路用の薄膜トランジスタ 4 9 9 は、全体が I 型化した酸化物半導体層 4 9 7 を含むチャネルエッチ型薄膜トランジスタであり、画素用の薄膜トランジスタ 4 9 8 は、第 1 の高抵抗ドレイン領域 4 7 4 a、第 2 の高抵抗ドレイン領域 4 7 4 b、及びチャネル形成領域 4 7 3 を含む酸化物半導体層 4 9 5 を含むチャネル保護型薄膜トランジスタである。薄膜トランジスタ 4 9 8 は、高電界が印加されても高抵抗ドレイン領域がバッファとなり局所的な高電界が印加されず、トランジスタの耐圧を向上させた構成となっている。

【0183】

本実施の形態のように、多階調マスクにより形成した複数（代表的には二種類）の厚さの領域を有するレジストマスクを用いると、レジストマスクの数を減らすことができるため、工程簡略化、低コスト化が計れる。よって、半導体装置を低コストで生産性よく作製することができる。

【0184】

また、第 1 のゲート絶縁層 4 5 2 a、第 2 のゲート絶縁層 4 5 2 b を誘電体とし容量配線層と容量電極とで形成される保持容量も同一基板上に形成することができる。薄膜トランジスタ 4 9 8 と保持容量を個々の画素に対応してマトリクス状に配置して画素部を構成し、画素部の周辺に薄膜トランジスタ 4 9 9 を有する駆動回路を配置することによりアクティブマトリクス型の表示装置を作製するための一方の基板とすることができる。

【0185】

導電層 4 6 7 を酸化物半導体層 4 9 7 のチャネル形成領域と重なる位置に設けることによって、薄膜トランジスタの信頼性を調べるためのバイアス - 熱ストレス試験（以下、BT 試験という）において、BT 試験前後における薄膜トランジスタ 4 9 9 のしきい値電圧の変化量を低減することができる。また、導電層 4 6 7 は、電位がゲート電極層 4 6 1 と同じでもよいし、異なっても良く、第 2 のゲート電極層として機能させることもできる。また、導電層 4 6 7 の電位が GND、0 V、或いはフローティング状態であってもよい。

【0186】

（実施の形態 5）

本実施の形態では、実施の形態 1 に示したアクティブマトリクス基板を用いて、アクティブマトリクス型の液晶表示装置を作製する一例を示す。なお、本実施の形態は実施の形態 2 乃至 4 で示したアクティブマトリクス基板にも適用することができる。

【0187】

アクティブマトリクス基板の断面構造の一例を図 7（A）に示す。

【0188】

実施の形態 1 では、同一基板上に駆動回路の薄膜トランジスタと画素部の薄膜トランジスタを図示したが、本実施の形態では、それら薄膜トランジスタに加え、保持容量、ゲート配線、ソース配線の端子部も図示して説明する。容量、ゲート配線、ソース配線の端子部は、実施の形態 1 に示す作製工程と同じ工程で形成することができ、フォトリソマスク枚数の増加や、工程数の増加することなく作製することができる。また、画素部の表示領域となる部分においては、ゲート配線、ソース配線、及び容量配線層は全て透光性を有する導電

10

20

30

40

50

膜で形成されており、高い開口率を実現している。また、表示領域でない部分のソース配線層は、配線抵抗を低抵抗とするため金属配線を用いることができる。

【0189】

図7(A)において、薄膜トランジスタ210は、駆動回路に設けられるチャンネルエッチ型の薄膜トランジスタであり、本実施の形態では、実施の形態1の薄膜トランジスタ460と同じ構造を用いる。画素電極層227と電氣的に接続する薄膜トランジスタ220は、画素部に設けられるチャンネル保護型の薄膜トランジスタであり、本実施の形態では、実施の形態1の薄膜トランジスタ470と同じ構造を用いる。

【0190】

薄膜トランジスタ220のゲート電極層と同じ透光性を有する材料、及び同じ工程で形成される容量配線層230は、誘電体となる第1のゲート絶縁層202a、第2のゲート絶縁層202bを介して容量電極231と重なり、保持容量を形成する。なお、容量電極231は、薄膜トランジスタ220のソース電極層またはドレイン電極層と同じ透光性を有する材料、及び同じ工程で形成される。従って、薄膜トランジスタ220が透光性を有していることに加え、それぞれの保持容量も透光性を有するため、開口率を向上させることができる。

10

【0191】

保持容量が透光性を有することは、開口率を向上させる上で重要である。特に10インチ以下の小型の液晶表示パネルにおいて、ゲート配線の本数を増やすなどして表示画像の高精細化を図るため、画素寸法を微細化しても、高い開口率を実現することができる。また、薄膜トランジスタ220及び保持容量の構成部材に透光性を有する膜を用いることで、広視野角を実現するため、1画素を複数のサブピクセルに分割しても高い開口率を実現することができる。即ち、高密度の薄膜トランジスタ群を配置しても開口率を大きくとることができ、表示領域の面積を十分に確保することができる。例えば、一つの画素内に2~4個のサブピクセル及び保持容量を有する場合、薄膜トランジスタが透光性を有していることに加え、それぞれの保持容量も透光性を有するため、開口率を向上させることができる。

20

【0192】

なお、保持容量は、画素電極層227の下方に設けられ、容量電極231が画素電極層227と電氣的に接続される。

30

【0193】

本実施の形態では、容量電極231、及び容量配線層230を用いて保持容量を形成する例を示したが、保持容量を形成する構造については特に限定されない。例えば、容量配線層を設けず、画素電極層を隣り合う画素のゲート配線と平坦化絶縁層、保護絶縁層、及び第1のゲート絶縁層及び第2のゲート絶縁層を介して重ねて保持容量を形成してもよい。

【0194】

また、ゲート配線、ソース配線、及び容量配線層は画素密度に応じて複数本設けられるものである。また、端子部においては、ゲート配線と同電位の第1の端子電極、ソース配線と同電位の第2の端子電極、容量配線層と同電位の第3の端子電極などが複数並べられて配置される。それぞれの端子電極の数は、それぞれ任意な数で設ければ良いものとし、実施者が適宜決定すれば良い。

40

【0195】

端子部において、ゲート配線と同電位の第1の端子電極は、画素電極層227と同じ透光性を有する材料で形成することができる。第1の端子電極は、ゲート配線に達するコンタクトホールを介してゲート配線と電氣的に接続される。ゲート配線に達するコンタクトホールは、薄膜トランジスタ220のドレイン電極層と、画素電極層227とを電氣的に接続するためのコンタクトホールと同じフォトマスクを用い、平坦化絶縁層204、保護絶縁層203、酸化物絶縁層216、第2のゲート絶縁層202b、及び第1のゲート絶縁層202aを選択的にエッチングして形成する。

【0196】

50

また、駆動回路の薄膜トランジスタ 210 のゲート電極層は、酸化物半導体層の上方に設けられた導電層 217 と電氣的に接続させる構造としてもよい。その場合には、薄膜トランジスタ 220 のドレイン電極層と、画素電極層 227 とを電氣的に接続するためのコンタクトホールと同じフォトマスクを用い、平坦化絶縁層 204、保護絶縁層 203、酸化物絶縁層 216、第 2 のゲート絶縁層 202 b、及び第 1 のゲート絶縁層 202 a を選択的にエッチングしてコンタクトホールを形成する。このコンタクトホールを介して導電層 217 と駆動回路の薄膜トランジスタ 210 のゲート電極層とを電氣的に接続する。

【0197】

また、駆動回路のソース配線 234 と同電位の第 2 の端子電極 235 は、画素電極層 227 と同じ透光性を有する材料で形成することができる。第 2 の端子電極 235 は、ソース配線 234 に達するコンタクトホールを介してソース配線と電氣的に接続される。ソース配線は金属配線であり、薄膜トランジスタ 210 のソース電極層と同じ材料、同じ工程で形成され、同電位である。

10

【0198】

ソース配線 234 は、酸化物半導体層 239 上に積層されており、ソース配線 234 及び酸化物半導体層 239 は、多階調マスクを用いて形成されたレジストマスクによるフォトリソグラフィ工程によって形成される。

【0199】

また、容量配線層 230 と同電位の第 3 の端子電極は、画素電極層 227 と同じ透光性を有する材料で形成することができる。また、容量配線層 230 に達するコンタクトホールは、容量電極 231 が画素電極層 227 と電氣的に接続するためのコンタクトホールと同じフォトマスク、同じ工程で形成することができる。

20

【0200】

また、アクティブマトリクス型の液晶表示装置を作製する場合には、アクティブマトリクス基板と、対向電極（対向電極層ともいう）が設けられた対向基板との間に液晶層を設け、アクティブマトリクス基板と対向基板とを固定する。なお、対向基板に設けられた対向電極と電氣的に接続する共通電極をアクティブマトリクス基板上に設け、共通電極と電氣的に接続する第 4 の端子電極を端子部に設ける。この第 4 の端子電極は、共通電極を固定電位、例えば GND、0V などに設定するための端子である。第 4 の端子電極は、画素電極層 227 と同じ透光性を有する材料で形成することができる。

30

【0201】

また、薄膜トランジスタ 220 のソース電極層と薄膜トランジスタ 210 のソース電極層とを電氣的に接続する構成は特に限定されず、例えば、薄膜トランジスタ 220 のソース電極層と薄膜トランジスタ 210 のソース電極層を接続する接続電極を画素電極層 227 と同じ工程で形成してもよい。また、表示領域でない部分において、薄膜トランジスタ 220 のソース電極層と薄膜トランジスタ 210 のソース電極層を接触して重ねる構成としてもよい。

【0202】

なお、駆動回路のゲート配線 232 の断面構造を図 7 (A) に示している。本実施の形態は、10 インチ以下の小型の液晶表示パネルの例であるため、駆動回路のゲート配線 232 は、薄膜トランジスタ 220 のゲート電極層と同じ透光性を有する材料を用いている。

40

【0203】

また、ゲート電極層、ソース電極層、ドレイン電極層、画素電極層、またはその他の電極層や、その他の配線層に同じ材料を用いれば共通のスパッターゲットや共通の製造装置を用いることができ、その材料コスト及びエッチング時に使用するエッチャント（またはエッチングガス）に要するコストを低減することができ、結果として製造コストを削減することができる。

【0204】

また、図 7 (A) の構造において、平坦化絶縁層 204 として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

50

【0205】

また、図7(B)に、図7(A)とは一部異なる断面構造を示す。図7(B)は、図7(A)と平坦化絶縁層204が存在しない点以外は同じであるため、同じ箇所には同じ符号を用い、同じ箇所の詳細な説明は省略する。図7(B)では、保護絶縁層203上に接して画素電極層227、導電層217、及び第2の端子電極235を形成する。

【0206】

図7(B)の構造とすると、平坦化絶縁層204の工程を省略することができる。

【0207】

本実施の形態は実施の形態1乃至4と自由に組み合わせることができる。

【0208】

(実施の形態6)

本実施の形態では、液晶表示パネルのサイズが10インチを超え、60インチ、さらには120インチとする場合には透光性を有する配線の配線抵抗が問題となる恐れがあるため、ゲート配線の一部を金属配線として配線抵抗を低減する例を示す。

【0209】

なお、図8(A)は図7(A)と同じ箇所には同じ符号を用い、同じ箇所の詳細な説明は省略する。なお、本実施の形態は実施の形態1乃至4で示したアクティブマトリクス基板に適用することができる。

【0210】

図8(A)は、駆動回路のゲート配線の一部を金属配線とし、薄膜トランジスタ210のゲート電極層と同じ透光性を有する配線と接して形成する例である。なお、金属配線を形成するため、実施の形態1に比べ、フォトマスクの数は増える。

【0211】

まず、基板200上に脱水化または脱水素化のための第1の加熱処理に耐えることのできる耐熱性導電性材料膜(膜厚100nm以上500nm以下)を形成する。

【0212】

本実施の形態では、第1の金属配線層236となる膜厚370nmのタングステン膜と第2の金属配線層237となる膜厚50nmの窒化タンタル膜を形成する。ここでは導電膜を窒化タンタル膜とタングステン膜との積層としたが、特に限定されず、Ta、W、Ti、Mo、Al、Cuから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金、または上述した元素を成分とする窒化物で形成する。耐熱性導電性材料膜は、上述した元素を含む単層に限定されず、二層以上の積層を用いることができる。

【0213】

第1のフォトリソグラフィ工程により金属配線を形成し、第1の金属配線層236と第2の金属配線層237を形成する。タングステン膜及び窒化タンタル膜のエッチングにはICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用いると良い。ICPエッチング法を用い、エッチング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)を適宜調節することによって所望のテーパ形状に膜をエッチングすることができる。第1の金属配線層236と第2の金属配線層237をテーパ形状とすることで上に接して形成する透光性を有する導電膜の成膜不良を低減することができる。

【0214】

次いで、透光性を有する導電膜を形成した後、第2のフォトリソグラフィ工程によりゲート配線層238、薄膜トランジスタ210のゲート電極層、薄膜トランジスタ220のゲート電極層を形成する。透光性を有する導電膜は、実施の形態1に記載の可視光に対して透光性を有する導電材料を用いる。

【0215】

なお、透光性を有する導電膜の材料によっては、例えば、ゲート配線層238が第1の金属配線層236または第2の金属配線層237に接する界面があると、その界面で後の熱

10

20

30

40

50

処理などによって酸化膜が形成され、接触抵抗が高くなる恐れがあるため、第2の金属配線層237は第1の金属配線層236の酸化を防ぐ窒化金属膜を用いることが好ましい。

【0216】

次いで、実施の形態1と同じ工程でゲート絶縁層、酸化物半導体層などを形成する。以降の工程は、実施の形態1に従ってアクティブマトリクス基板を作製する。

【0217】

また、本実施の形態では、平坦化絶縁層204を形成した後、フォトリソを用いて端子部の平坦化絶縁層を選択的に除去する例を示す。端子部においては、平坦化絶縁層が存在しないほうが、FPCとの良好な接続を行う上で好ましい。

【0218】

図8(A)では、第2の端子電極235は、保護絶縁層203上に形成される。また、図8(A)では、第2の金属配線層237の一部と重なるゲート配線層238を示したが、第1の金属配線層236及び第2の金属配線層237の全部を覆うゲート配線層としてもよい。即ち、第1の金属配線層236及び第2の金属配線層237は、ゲート配線層238を低抵抗化するための補助配線と呼ぶことができる。

【0219】

また、端子部において、ゲート配線と同電位の第1の端子電極は、保護絶縁層203上に形成され、第2の金属配線層237と電氣的に接続する。端子部から引き回す配線も金属配線で形成する。

【0220】

また、表示領域でない部分のゲート配線層、容量配線層は、配線抵抗を低抵抗とするため金属配線、即ち、第1の金属配線層236及び第2の金属配線層237を補助配線として用いることもできる。

【0221】

また、図8(B)に、図8(A)とは一部異なる断面構造を示す。図8(B)は、図8(A)と駆動回路の薄膜トランジスタのゲート電極層の材料が異なる点以外は同じであるため、同じ箇所には同じ符号を用い、同じ箇所の詳細な説明は省略する。

【0222】

図8(B)は、駆動回路の薄膜トランジスタのゲート電極層を金属配線とする例である。駆動回路においては、ゲート電極層は透光性を有する材料に限定されない。

【0223】

図8(B)において、駆動回路の薄膜トランジスタ240は第1の金属配線層242上に第2の金属配線層241が積層されたゲート電極層とする。なお、第1の金属配線層242は、第1の金属配線層236と同じ材料、同じ工程で形成することができる。また、第2の金属配線層241は、第2の金属配線層237と同じ材料、同じ工程で形成することができる。

【0224】

また、第1の金属配線層242を導電層217と電氣的に接続する場合、第1の金属配線層242の酸化を防ぐための第2の金属配線層241が窒化金属膜であることが好ましい。

【0225】

本実施の形態では、金属配線を一部用いて配線抵抗を低減し、液晶表示パネルのサイズが10インチを超え、60インチ、さらには120インチとする場合であっても表示画像の高精細化を図り、高い開口率を実現することができる。

【0226】

(実施の形態7)

本実施の形態では、保持容量の構成について、実施の形態5と異なる例を図9(A)及び図9(B)に示す。図9(A)は、図7(A)と保持容量の構成が異なる点以外は同じであるため、同じ箇所には同じ符号を用い、同じ箇所の詳細な説明は省略する。なお、図9(A)では画素部の薄膜トランジスタ220と保持容量の断面構造を示す。

10

20

30

40

50

【 0 2 2 7 】

図 9 (A) は、誘電体を酸化物絶縁層 2 1 6、保護絶縁層 2 0 3、及び平坦化絶縁層 2 0 4 とし、画素電極層 2 2 7 と、該画素電極層 2 2 7 と重なる容量配線層 2 5 0 とで保持容量を形成する例である。容量配線層 2 5 0 は、画素部の薄膜トランジスタ 2 2 0 のソース電極層と同じ透光性を有する材料、及び同じ工程で形成されるため、薄膜トランジスタ 2 2 0 のソース配線層と重ならないようにレイアウトされる。

【 0 2 2 8 】

図 9 (A) に示す保持容量は、一对の電極及び誘電体が透光性を有しており、保持容量全体として透光性を有する。

【 0 2 2 9 】

また、図 9 (B) は、図 9 (A) と異なる保持容量の構成の例である。図 9 (B) も、図 7 (A) と保持容量の構成が異なる点以外は同じであるため、同じ箇所には同じ符号を用い、同じ箇所の詳細な説明は省略する。

【 0 2 3 0 】

図 9 (B) は、誘電体を第 1 のゲート絶縁層 2 0 2 a 及び第 2 のゲート絶縁層 2 0 2 b とし、容量配線層 2 3 0 と、該容量配線層 2 3 0 と重なる酸化物半導体層 2 5 1 と容量電極 2 3 1 との積層で保持容量を形成する例である。また、酸化物半導体層 2 5 1 上に容量電極 2 3 1 は接して積層されており、保持容量の一方の電極として機能する。なお、酸化物半導体層 2 5 1 は、薄膜トランジスタ 2 2 0 のソース電極層またはドレイン電極層と同じ透光性を有する材料、同じ工程で形成する。また、容量配線層 2 3 0 は、薄膜トランジスタ 2 2 0 のゲート電極層と同じ透光性を有する材料、同じ工程で形成されるため、薄膜トランジスタ 2 2 0 のゲート配線層と重ならないようにレイアウトされる。

【 0 2 3 1 】

また、容量電極 2 3 1 は画素電極層 2 2 7 と電気的に接続されている。

【 0 2 3 2 】

図 9 (B) に示す保持容量も、一对の電極及び誘電体が透光性を有しており、保持容量全体として透光性を有する。

【 0 2 3 3 】

図 9 (A) 及び図 9 (B) に示す保持容量は、透光性を有しており、ゲート配線の本数を増やすなどして表示画像の高精細化を図るため、画素寸法を微細化しても、十分な容量を得ることができ、且つ、高い開口率を実現することができる。

【 0 2 3 4 】

本実施の形態は他の実施の形態と自由に組み合わせることができる。

【 0 2 3 5 】

(実施の形態 8)

本実施の形態では、同一基板上に少なくとも駆動回路の一部と、画素部に配置する薄膜トランジスタを作製する例について以下に説明する。

【 0 2 3 6 】

画素部に配置する薄膜トランジスタは、実施の形態 1 乃至 4 に従って形成する。また、実施の形態 1 乃至 4 に示す薄膜トランジスタは n チャネル型 T F T であるため、駆動回路のうち、n チャネル型 T F T で構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成する。

【 0 2 3 7 】

アクティブマトリクス型表示装置のブロック図の一例を図 1 4 (A) に示す。表示装置の基板 5 3 0 0 上には、画素部 5 3 0 1、第 1 の走査線駆動回路 5 3 0 2、第 2 の走査線駆動回路 5 3 0 3、信号線駆動回路 5 3 0 4 を有する。画素部 5 3 0 1 には、複数の信号線が信号線駆動回路 5 3 0 4 から延伸して配置され、複数の走査線が第 1 の走査線駆動回路 5 3 0 2、及び第 2 の走査線駆動回路 5 3 0 3 から延伸して配置されている。なお走査線と信号線との交差領域には、各々、表示素子を有する画素がマトリクス状に配置されている。また、表示装置の基板 5 3 0 0 は F P C (F l e x i b l e P r i n t e d C i

10

20

30

40

50

rcuit)等の接続部を介して、タイミング制御回路5305(コントローラ、制御ICともいう)に接続されている。

【0238】

図14(A)では、第1の走査線駆動回路5302、第2の走査線駆動回路5303、信号線駆動回路5304は、画素部5301と同じ基板5300上に形成される。そのため、外部に設ける駆動回路等の部品の数が減るので、コストの低減を図ることができる。また、基板5300外部に駆動回路を設けた場合の配線を延伸させることによる接続部での接続数を減らすことができ、信頼性の向上、又は歩留まりの向上を図ることができる。

【0239】

なお、タイミング制御回路5305は、第1の走査線駆動回路5302に対し、一例として、第1の走査線駆動回路用スタート信号(GSP1)(スタート信号はスタートパルスともいう)、走査線駆動回路用クロック信号(GCK1)を供給する。また、タイミング制御回路5305は、第2の走査線駆動回路5303に対し、一例として、第2の走査線駆動回路用スタート信号(GSP2)、走査線駆動回路用クロック信号(GCK2)を供給する。信号線駆動回路5304に、信号線駆動回路用スタート信号(SSP)、信号線駆動回路用クロック信号(SCK)、ビデオ信号用データ(DATA)(単にビデオ信号ともいう)、ラッチ信号(LAT)を供給するものとする。なお各クロック信号は、周期のずれた複数のクロック信号でもよいし、クロック信号を反転させた信号(CKB)とともに供給されるものであってもよい。なお、第1の走査線駆動回路5302と第2の走査線駆動回路5303との一方を省略することが可能である。

10

20

【0240】

図14(B)では、第1の走査線駆動回路5302、第2の走査線駆動回路5303を画素部5301と同じ基板5300に形成し、信号線駆動回路5304を画素部5301とは別の基板に形成する構成について示している。

【0241】

また、実施の形態1乃至4に示す薄膜トランジスタは、nチャンネル型TFTである。図15(A)、図15(B)ではnチャンネル型TFTで構成する信号線駆動回路の構成、動作について一例を示し説明する。

【0242】

信号線駆動回路は、シフトレジスタ5601、及びスイッチング回路5602を有する。スイッチング回路5602は、スイッチング回路5602_1~5602_N(Nは自然数)という複数の回路を有する。スイッチング回路5602_1~5602_Nは、各々、薄膜トランジスタ5603_1~5603_k(kは自然数)という複数のトランジスタを有する。薄膜トランジスタ5603_1~5603_kが、Nチャンネル型TFTである例を説明する。

30

【0243】

信号線駆動回路の接続関係について、スイッチング回路5602_1を例にして説明する。薄膜トランジスタ5603_1~5603_kの第1端子は、各々、配線5604_1~5604_kと接続される。薄膜トランジスタ5603_1~5603_kの第2端子は、各々、信号線S1~Skと接続される。薄膜トランジスタ5603_1~5603_kのゲートは、配線5605_1と接続される。

40

【0244】

シフトレジスタ5601は、配線5605_1~5605_Nに順番にHレベル(H信号、高電源電位レベル、ともいう)の信号を出力し、スイッチング回路5602_1~5602_Nを順番に選択する機能を有する。

【0245】

スイッチング回路5602_1は、配線5604_1~5604_kと信号線S1~Skとの導通状態(第1端子と第2端子との間の導通)を制御する機能、即ち配線5604_1~5604_kの電位を信号線S1~Skに供給するか否かを制御する機能を有する。このように、スイッチング回路5602_1は、セレクタとしての機能を有する。また薄

50

膜トランジスタ 5603__1 ~ 5603__k は、各々、配線 5604__1 ~ 5604__k と信号線 S1 ~ Sk との導通状態を制御する機能、即ち配線 5604__1 ~ 5604__k の電位を信号線 S1 ~ Sk に供給する機能を有する。このように、薄膜トランジスタ 5603__1 ~ 5603__k は、各々、スイッチとしての機能を有する。

【0246】

なお、配線 5604__1 ~ 5604__k には、各々、ビデオ信号用データ (DATA) が入力される。ビデオ信号用データ (DATA) は、画像情報又は画像信号に応じたアナログ信号である場合が多い。

【0247】

次に、図15(A)の信号線駆動回路の動作について、図15(B)のタイミングチャートを参照して説明する。図15(B)には、信号 Sout__1 ~ Sout__N、及び信号 Vdata__1 ~ Vdata__k の一例を示す。信号 Sout__1 ~ Sout__N は、各々、シフトレジスタ 5601 の出力信号の一例であり、信号 Vdata__1 ~ Vdata__k は、各々、配線 5604__1 ~ 5604__k に入力される信号の一例である。なお、信号線駆動回路の1動作期間は、表示装置における1ゲート選択期間に対応する。1ゲート選択期間は、一例として、期間 T1 ~ 期間 TN に分割される。期間 T1 ~ TN は、各々、選択された行に属する画素にビデオ信号用データ (DATA) を書き込むための期間である。

10

【0248】

なお、本実施の形態の図面等において示す各構成の、信号波形のなまり等は、明瞭化のために誇張して表記している場合がある。よって、必ずしもそのスケールに限定されないものであることを付記する。

20

【0249】

期間 T1 ~ 期間 TN において、シフトレジスタ 5601 は、Hレベルの信号を配線 5605__1 ~ 5605__N に順番に出力する。例えば、期間 T1 において、シフトレジスタ 5601 は、Hレベルの信号を配線 5605__1 に出力する。すると、薄膜トランジスタ 5603__1 ~ 5603__k はオンになるので、配線 5604__1 ~ 5604__k と、信号線 S1 ~ Sk とが導通状態になる。このとき、配線 5604__1 ~ 5604__k には、Data(S1) ~ Data(Sk) が入力される。Data(S1) ~ Data(Sk) は、各々、薄膜トランジスタ 5603__1 ~ 5603__k を介して、選択される行に属する画素のうち、1列目 ~ k列目の画素に書き込まれる。こうして、期間 T1 ~ TN において、選択された行に属する画素に、k列ずつ順番にビデオ信号用データ (DATA) が書き込まれる。

30

【0250】

以上のように、ビデオ信号用データ (DATA) が複数の列ずつ画素に書き込まれることによって、ビデオ信号用データ (DATA) の数、又は配線の数減らすことができる。よって、外部回路との接続数を減らすことができる。また、ビデオ信号が複数の列ずつ画素に書き込まれることによって、書き込み時間を長くことができ、ビデオ信号の書き込み不足を防止することができる。

【0251】

なお、シフトレジスタ 5601 及びスイッチング回路 5602 としては、実施の形態 1 乃至 4 に示す薄膜トランジスタで構成される回路を用いることが可能である。この場合、シフトレジスタ 5601 が有する全てのトランジスタの極性を Nチャネル型のみで構成することができる。

40

【0252】

走査線駆動回路及び/または信号線駆動回路の一部に用いるシフトレジスタの一形態について図16及び図17を用いて説明する。

【0253】

走査線駆動回路は、シフトレジスタを有している。また場合によってはレベルシフタやバッファ等を有していても良い。走査線駆動回路において、シフトレジスタにクロック信号

50

(CLK)及びスタートパルス信号(SP)が入力されることによって、選択信号が生成される。生成された選択信号はバッファにおいて緩衝増幅され、対応する走査線に供給される。走査線には、1ライン分の画素のトランジスタのゲート電極が接続されている。そして、1ライン分の画素のトランジスタを一斉にONにしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

【0254】

シフトレジスタは、第1のパルス出力回路10__1乃至第Nのパルス出力回路10__N(Nは3以上の自然数)を有している(図16(A)参照)。図16(A)に示すシフトレジスタの第1のパルス出力回路10__1乃至第Nのパルス出力回路10__Nには、第1の配線11より第1のクロック信号CK1、第2の配線12より第2のクロック信号CK2、第3の配線13より第3のクロック信号CK3、第4の配線14より第4のクロック信号CK4が供給される。また第1のパルス出力回路10__1では、第5の配線15からのスタートパルスSP1(第1のスタートパルス)が入力される。また2段目以降の第nのパルス出力回路10__n(nは、2以上N以下の自然数)では、一段前段のパルス出力回路からの信号(前段信号OUT(n-1)という)が入力される。また第1のパルス出力回路10__1では、2段後段の第3のパルス出力回路10__3からの信号が入力される。同様に2段目以降の第nのパルス出力回路10__nでは、2段後段の第(n+2)のパルス出力回路10__(n+2)からの信号(後段信号OUT(n+2)という)が入力される。従って、各段のパルス出力回路からは、後段及び/または2段前段のパルス出力回路に入力するための第1の出力信号(OUT(1)(SR)~OUT(N)(SR))、別の配線等に入力される第2の出力信号(OUT(1)~OUT(N))が出力される。なお、図16(A)に示すように、シフトレジスタの最終段の2つの段には、後段信号OUT(n+2)が入力されないため、一例としては、別途第2のスタートパルスSP2、第3のスタートパルスSP3をそれぞれ入力する構成とすればよい。

10

20

【0255】

なお、クロック信号(CK)は、一定の間隔でHレベルとLレベル(L信号、低電源電位レベル、ともいう)を繰り返す信号である。ここで、第1のクロック信号(CK1)~第4のクロック信号(CK4)は、順に1/4周期分遅延している。本実施の形態では、第1のクロック信号(CK1)~第4のクロック信号(CK4)を利用して、パルス出力回路の駆動の制御等を行う。なお、クロック信号は、入力される駆動回路に応じて、GCK、SCKということもあるが、ここではCKとして説明を行う

30

【0256】

図16(B)に図16(A)で示したパルス出力回路10__nの一つを示す。第1の入力端子21、第2の入力端子22及び第3の入力端子23は、第1の配線11~第4の配線14のいずれかと電氣的に接続されている。例えば、図16(A)において、第1のパルス出力回路10__1は、第1の入力端子21が第1の配線11と電氣的に接続され、第2の入力端子22が第2の配線12と電氣的に接続され、第3の入力端子23が第3の配線13と電氣的に接続されている。また、第2のパルス出力回路10__2は、第1の入力端子21が第2の配線12と電氣的に接続され、第2の入力端子22が第3の配線13と電氣的に接続され、第3の入力端子23が第4の配線14と電氣的に接続されている。

40

【0257】

第1のパルス出力回路10__1~第Nのパルス出力回路10__Nの各々は、第1の入力端子21、第2の入力端子22、第3の入力端子23、第4の入力端子24、第5の入力端子25、第1の出力端子26、第2の出力端子27を有しているとする(図16(B)参照)。第1のパルス出力回路10__1において、第1の入力端子21に第1のクロック信号CK1が入力され、第2の入力端子22に第2のクロック信号CK2が入力され、第3の入力端子23に第3のクロック信号CK3が入力され、第4の入力端子24にスタートパルスが入力され、第5の入力端子25に後段信号OUT(3)が入力され、第1の出力端子26より第1の出力信号OUT(1)(SR)が出力され、第2の出力端子27より第2の出力信号OUT(1)が出力されていることとなる。

50

【0258】

なお第1のプル出力回路10__1～第Nのプル出力回路10__Nは、3端子の薄膜トランジスタ(TFT:Thin Film Transistorともいう)の他に、上記実施の形態で説明した4端子の薄膜トランジスタを用いることができる。図16(C)に上記実施の形態で説明した4端子の薄膜トランジスタ28のシンボルについて示す。図16(C)に示す薄膜トランジスタ28のシンボルは、上記実施の形態1乃至5のいずれか一で説明した4端子の薄膜トランジスタを意味し、図面等で以下用いることとする。なお、本明細書において、薄膜トランジスタが半導体層を介して二つのゲート電極を有する場合、半導体層より下方のゲート電極を下方のゲート電極、半導体層に対して上方のゲート電極を上方のゲート電極とも呼ぶ。薄膜トランジスタ28は、下方のゲート電極に入力される第1の制御信号G1及び上方のゲート電極に入力される第2の制御信号G2によって、In端子とOut端子間の電氣的な制御を行うことのできる素子である。

10

【0259】

酸化物半導体を薄膜トランジスタのチャネル形成領域を含む半導体層に用いた場合、製造工程により、しきい値電圧がマイナス側、或いはプラス側にシフトすることがある。そのため、チャネル形成領域を含む半導体層に酸化物半導体を用いた薄膜トランジスタでは、しきい値電圧の制御を行うことのできる構成が好適である。4端子の薄膜トランジスタのしきい値電圧は、上方及び/または下方のゲート電極の電位を制御することにより所望の値に制御することができる。

20

【0260】

次に、図16(B)に示したプル出力回路の具体的な回路構成の一例について、図16(D)で説明する。

【0261】

図16(D)に示したプル出力回路は、第1のトランジスタ31～第13のトランジスタ43を有している。また、上述した第1の入力端子21～第5の入力端子25に加え、第1の高電源電位VDDが供給される電源線51、第2の高電源電位VCCが供給される電源線52、低電源電位VSSが供給される電源線53から、第1のトランジスタ31～第13のトランジスタ43に信号、または電源電位が供給される。また、第1の出力端子26及び第2の出力端子27へ信号等が出力される。ここで図16(D)における各電源線の電源電位の大小関係は、第1の電源電位VDDは第2の電源電位VCC以上の電位とし、第2の電源電位VCCは第3の電源電位VSSより大きい電位とする。なお、第1のクロック信号(CK1)～第4のクロック信号(CK4)は、一定の間隔でHレベルとLレベルを繰り返す信号であるが、HレベルのときVDD、LレベルのときVSSであるとする。なお電源線51の電位VDDを、電源線52の電位VCCより高くすることにより、動作に影響を与えることなく、トランジスタのゲート電極に印加される電位を低く抑えることができ、トランジスタのしきい値のシフトを低減し、劣化を抑制することができる。なお、第1のトランジスタ31～第13のトランジスタ43のうち、第1のトランジスタ31、第6のトランジスタ36乃至第9のトランジスタ39には、4端子の薄膜トランジスタを用いることが好ましい。第1のトランジスタ31、第6のトランジスタ36乃至第9のトランジスタ39は、ソースまたはドレインとなる電極の一方が接続されたノードの電位を、ゲート電極の制御信号によって切り替えることが求められるトランジスタであり、ゲート電極に入力される制御信号に対する応答が速い(オン電流の立ち上がりが急峻)ことでよりプル出力回路の誤動作を低減することができるトランジスタである。そのため、4端子の薄膜トランジスタを用いることによりしきい値電圧を制御することができ、誤動作がより低減できるプル出力回路とすることができる。

30

40

【0262】

図16(D)において、第1のトランジスタ31は、第1端子が電源線51に電氣的に接続され、第2端子が第9のトランジスタ39の第1端子に電氣的に接続され、ゲート電極(下方のゲート電極及び上方のゲート電極)が第4の入力端子24に電氣的に接続されている。第2のトランジスタ32は、第1端子が電源線53に電氣的に接続され、第2端子

50

が第9のトランジスタ39の第1端子に電氣的に接続され、ゲート電極が第4のトランジスタ34のゲート電極に電氣的に接続されている。第3のトランジスタ33は、第1端子が第1の入力端子21に電氣的に接続され、第2端子が第1の出力端子26に電氣的に接続されている。第4のトランジスタ34は、第1端子が電源線53に電氣的に接続され、第2端子が第1の出力端子26に電氣的に接続されている。第5のトランジスタ35は、第1端子が電源線53に電氣的に接続され、第2端子が第2のトランジスタ32のゲート電極及び第4のトランジスタ34のゲート電極に電氣的に接続され、ゲート電極が第4の入力端子24に電氣的に接続されている。第6のトランジスタ36は、第1端子が電源線52に電氣的に接続され、第2端子が第2のトランジスタ32のゲート電極及び第4のトランジスタ34のゲート電極に電氣的に接続され、ゲート電極（下方のゲート電極及び上方のゲート電極）が第5の入力端子25に電氣的に接続されている。第7のトランジスタ37は、第1端子が電源線52に電氣的に接続され、第2端子が第8のトランジスタ38の第2端子に電氣的に接続され、ゲート電極（下方のゲート電極及び上方のゲート電極）が第3の入力端子23に電氣的に接続されている。第8のトランジスタ38は、第1端子が第2のトランジスタ32のゲート電極及び第4のトランジスタ34のゲート電極に電氣的に接続され、ゲート電極（下方のゲート電極及び上方のゲート電極）が第2の入力端子22に電氣的に接続されている。第9のトランジスタ39は、第1端子が第1のトランジスタ31の第2端子及び第2のトランジスタ32の第2端子に電氣的に接続され、第2端子が第3のトランジスタ33のゲート電極及び第10のトランジスタ40のゲート電極に電氣的に接続され、ゲート電極（下方のゲート電極及び上方のゲート電極）が電源線52に電氣的に接続されている。第10のトランジスタ40は、第1端子が第1の入力端子21に電氣的に接続され、第2端子が第2の出力端子27に電氣的に接続され、ゲート電極が第9のトランジスタ39の第2端子に電氣的に接続されている。第11のトランジスタ41は、第1端子が電源線53に電氣的に接続され、第2端子が第2の出力端子27に電氣的に接続され、ゲート電極が第2のトランジスタ32のゲート電極及び第4のトランジスタ34のゲート電極に電氣的に接続されている。第12のトランジスタ42は、第1端子が電源線53に電氣的に接続され、第2端子が第2の出力端子27に電氣的に接続され、ゲート電極が第7のトランジスタ37のゲート電極（下方のゲート電極及び上方のゲート電極）に電氣的に接続されている。第13のトランジスタ43は、第1端子が電源線53に電氣的に接続され、第2端子が第1の出力端子26に電氣的に接続され、ゲート電極が第7のトランジスタ37のゲート電極（下方のゲート電極及び上方のゲート電極）に電氣的に接続されている。

10

20

30

40

50

【0263】

図16(D)において、第3のトランジスタ33のゲート電極、第10のトランジスタ40のゲート電極、及び第9のトランジスタ39の第2端子の接続箇所をノードAとする。また、第2のトランジスタ32のゲート電極、第4のトランジスタ34のゲート電極、第5のトランジスタ35の第2端子、第6のトランジスタ36の第2端子、第8のトランジスタ38の第1端子、及び第11のトランジスタ41のゲート電極の接続箇所をノードBとする。

【0264】

図17(A)に、図16(D)で説明したパルス出力回路を第1のパルス出力回路10_1に適用した場合に、第1の入力端子21乃至第5の入力端子25と第1の出力端子26及び第2の出力端子27に入力または出力される信号を示している。

【0265】

具体的には、第1の入力端子21に第1のクロック信号CK1が入力され、第2の入力端子22に第2のクロック信号CK2が入力され、第3の入力端子23に第3のクロック信号CK3が入力され、第4の入力端子24にスタートパルスが入力され、第5の入力端子25に後段信号OUT(3)が入力され、第1の出力端子26より第1の出力信号OUT(1)(SR)が出力され、第2の出力端子27より第2の出力信号OUT(1)が出力される。

【0266】

なお、薄膜トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。また、ゲートと重畳した領域にチャネル領域が形成される半導体を有しており、ゲートの電位を制御することで、チャネル領域を介してドレインとソースの間に流れる電流を制御することが出来る。ここで、ソースとドレインとは、薄膜トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第1端子、第2端子と表記する場合がある。

【0267】

なお図16(D)、図17(A)において、ノードAを浮遊状態とすることによりブートストラップ動作を行うための、容量素子を別途設けても良い。またノードBの電位を保持するため、一方の電極をノードBに電氣的に接続した容量素子を別途設けてもよい。

10

【0268】

ここで、図17(A)に示したパルス出力回路を複数具備するシフトレジスタのタイミングチャートについて図17(B)に示す。なおシフトレジスタが走査線駆動回路である場合、図17(B)中の期間61は垂直帰線期間であり、期間62はゲート選択期間に相当する。

【0269】

なお、図17(A)に示すように、ゲートに第2の電源電位VCCが印加される第9のトランジスタ39を設けておくことにより、ブートストラップ動作の前後において、以下のような利点がある。

20

【0270】

ゲート電極に第2の電源電位VCCが印加される第9のトランジスタ39がない場合、ブートストラップ動作によりノードAの電位が上昇すると、第1のトランジスタ31の第2端子であるソースの電位が上昇していき、第1の電源電位VDDより大きくなる。そして、第1のトランジスタ31のソースが第1端子側、即ち電源線51側に切り替わる。そのため、第1のトランジスタ31においては、ゲートとソースの間、ゲートとドレインの間ともに、大きなバイアス電圧が印加されるために大きなストレスがかかり、トランジスタの劣化の要因となりうる。そこで、ゲート電極に第2の電源電位VCCが印加される第9のトランジスタ39を設けておくことにより、ブートストラップ動作によりノードAの電位は上昇するものの、第1のトランジスタ31の第2端子の電位の上昇を生じないようにすることができる。つまり、第9のトランジスタ39を設けることにより、第1のトランジスタ31のゲートとソースの間に印加される負のバイアス電圧の値を小さくすることができる。よって、本実施の形態の回路構成とすることにより、第1のトランジスタ31のゲートとソースの間に印加される負のバイアス電圧も小さくできるため、ストレスによる第1のトランジスタ31の劣化を抑制することができる。

30

【0271】

なお、第9のトランジスタ39を設ける箇所については、第1のトランジスタ31の第2端子と第3のトランジスタ33のゲートとの間に第1端子と第2端子を介して接続されるように設ける構成であればよい。なお、本実施形態でのパルス出力回路を複数具備するシフトレジスタの場合、走査線駆動回路より段数の多い信号線駆動回路では、第9のトランジスタ39を省略してもよく、トランジスタ数を削減することが利点がある。

40

【0272】

なお第1のトランジスタ31乃至第13のトランジスタ43の半導体層として、酸化物半導体を用いることにより、薄膜トランジスタのオフ電流を低減すると共に、オン電流及び電界効果移動度を高めることが出来ると共に、劣化の度合いを低減することが出来るため、回路内の誤動作を低減することができる。また酸化物半導体を用いたトランジスタ、アモルファスシリコンを用いたトランジスタに比べ、ゲート電極に高電位が印加されることによるトランジスタの劣化の程度が小さい。そのため、第2の電源電位VCCを供給する

50

電源線に、第 1 の電源電位 V D D を供給しても同様の動作が得られ、且つ回路間を引き回す電源線の数を低減することができるため、回路の小型化を図ることが出来る。

【 0 2 7 3 】

なお、第 7 のトランジスタ 3 7 のゲート電極（下方のゲート電極及び上方のゲート電極）に第 3 の入力端子 2 3 によって供給されるクロック信号、第 8 のトランジスタ 3 8 のゲート電極（下方のゲート電極及び上方のゲート電極）に第 2 の入力端子 2 2 によって供給されるクロック信号は、第 7 のトランジスタ 3 7 のゲート電極（下方のゲート電極及び上方のゲート電極）に第 2 の入力端子 2 2 によって供給されるクロック信号、第 8 のトランジスタ 3 8 のゲート電極（下方のゲート電極及び上方のゲート電極）に第 3 の入力端子 2 3 によって供給されるクロック信号となるように、結線関係を入れ替えても同様の作用を奏する。なお、図 1 7 (A) に示すシフトレジスタにおいて、第 7 のトランジスタ 3 7 及び第 8 のトランジスタ 3 8 が共にオンの状態から、第 7 のトランジスタ 3 7 がオフ、第 8 のトランジスタ 3 8 がオンの状態、次いで第 7 のトランジスタ 3 7 がオフ、第 8 のトランジスタ 3 8 がオフの状態とすることによって、第 2 の入力端子 2 2 及び第 3 の入力端子 2 3 の電位が低下することで生じる、ノード B の電位の低下が第 7 のトランジスタ 3 7 のゲート電極の電位の低下、及び第 8 のトランジスタ 3 8 のゲート電極の電位の低下に起因して 2 回生じることとなる。一方、図 1 7 (A) に示すシフトレジスタを図 1 7 (B) の期間のように、第 7 のトランジスタ 3 7 及び第 8 のトランジスタ 3 8 が共にオンの状態から、第 7 のトランジスタ 3 7 がオン、第 8 のトランジスタ 3 8 がオフの状態、次いで、第 7 のトランジスタ 3 7 がオフ、第 8 のトランジスタ 3 8 がオフの状態とすることによって、第 2 の入力端子 2 2 及び第 3 の入力端子 2 3 の電位が低下することで生じるノード B の電位の低下を、第 8 のトランジスタ 3 8 のゲート電極の電位の低下による一回に低減することができる。そのため、第 7 のトランジスタ 3 7 のゲート電極（下方のゲート電極及び上方のゲート電極）に第 3 の入力端子 2 3 からクロック信号 C K 3 が供給され、第 8 のトランジスタ 3 8 のゲート電極（下方のゲート電極及び上方のゲート電極）に第 2 の入力端子 2 2 からクロック信号 C K 2 が供給される結線関係とすることが好適である。なぜなら、ノード B の電位の変動回数が低減され、またノイズを低減することが出来るからである。

10

20

【 0 2 7 4 】

このように、第 1 の出力端子 2 6 及び第 2 の出力端子 2 7 の電位を L レベルに保持する期間に、ノード B に定期的に H レベルの信号が供給される構成とすることにより、パルス出力回路の誤動作を抑制することができる。

30

【 0 2 7 5 】

（実施の形態 9）

薄膜トランジスタを作製し、該薄膜トランジスタを画素部、さらには駆動回路に用いて表示機能を有する半導体装置（表示装置ともいう）を作製することができる。また、薄膜トランジスタを有する駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

【 0 2 7 6 】

表示装置は表示素子を含む。表示素子としては液晶素子（液晶表示素子ともいう）、発光素子（発光表示素子ともいう）を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子とその範疇に含んでおり、具体的には無機 E L (E l e c t r o L u m i n e s c e n c e) 素子、有機 E L 素子等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。

40

【 0 2 7 7 】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含む I C 等を実装した状態にあるモジュールとを含む。さらに、該表示装置を作製する過程における、表示素子が完成する前の一形態に相当する素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があて

50

はまる。

【0278】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源（照明装置含む）を指す。また、コネクタ、例えばFPC（Flexible printed circuit）もしくはTAB（Tape Automated Bonding）テープもしくはTCP（Tape Carrier Package）が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG（Chip On Glass）方式によりIC（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。

【0279】

半導体装置の一形態に相当する液晶表示パネルの外観及び断面について、図10を用いて説明する。図10（A1）（A2）は、薄膜トランジスタ4010、4011、及び液晶素子4013を、第1の基板4001と第2の基板4006との間にシール材4005によって封止した、パネルの平面図であり、図10（B）は、図10（A1）（A2）のM-Nにおける断面図に相当する。

【0280】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。

【0281】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。図10（A1）は、COG方法により信号線駆動回路4003を実装する例であり、図10（A2）は、TAB方法により信号線駆動回路4003を実装する例である。

【0282】

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図10（B）では、画素部4002に含まれる薄膜トランジスタ4010と、走査線駆動回路4004に含まれる薄膜トランジスタ4011とを例示している。薄膜トランジスタ4010、4011上には絶縁層4041、4042、4020、4021が設けられている。

【0283】

薄膜トランジスタ4010、4011は、実施の形態1乃至4で示した酸化物半導体層を含む信頼性の高い薄膜トランジスタを適用することができる。駆動回路用の薄膜トランジスタ4011としては、実施の形態1乃至4で示した薄膜トランジスタ460、499、画素用の薄膜トランジスタ4010としては、薄膜トランジスタ470、498を用いることができる。本実施の形態において、薄膜トランジスタ4010、4011はnチャネル型薄膜トランジスタである。

【0284】

絶縁層4021上において、駆動回路用の薄膜トランジスタ4011の酸化物半導体層のチャネル形成領域と重なる位置に導電層4040が設けられている。導電層4040を酸化物半導体層のチャネル形成領域と重なる位置に設けることによって、BT試験前後における薄膜トランジスタ4011のしきい値電圧の変化量を低減することができる。また、導電層4040は、電位が薄膜トランジスタ4011のゲート電極層と同じでもよいし、異なっても良く、第2のゲート電極層として機能させることもできる。また、導電層4040の電位がGND、0V、或いはフローティング状態であってもよい。

【0285】

10

20

30

40

50

また、液晶素子4013が有する画素電極層4030は、薄膜トランジスタ4010と電氣的に接続されている。そして液晶素子4013の対向電極層4031は第2の基板4006上に形成されている。画素電極層4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極層4030、対向電極層4031はそれぞれ配向膜として機能する絶縁層4032、4033が設けられ、絶縁層4032、4033を介して液晶層4008を挟持している。

【0286】

なお、第1の基板4001、第2の基板4006としては、透光性基板を用いることができ、ガラス、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP(Fiber glass - Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。

10

【0287】

また4035は絶縁膜を選択的にエッチングすることで得られる柱状のスペーサ4035であり、画素電極層4030と対向電極層4031との間の距離(セルギャップ)を制御するために設けられている。なお球状のスペーサを用いても良い。また、対向電極層4031は、薄膜トランジスタ4010と同一基板上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して対向電極層4031と共通電位線とを電氣的に接続することができる。なお、導電性粒子はシール材4005に含有させる。

20

【0288】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が1msec以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

【0289】

なお透過型液晶表示装置の他に、半透過型液晶表示装置でも適用できる。

【0290】

また、液晶表示装置では、基板の外側(視認側)に偏光板を設け、内側に着色層(カラーフィルタ)、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、表示部以外にブラックマトリクスとして機能する遮光膜を設けてもよい。

30

【0291】

薄膜トランジスタ4011は、保護絶縁膜としてチャンネル形成領域を含む半導体層に接して絶縁層4041が形成され、薄膜トランジスタ4010はチャンネル保護層として絶縁層4042が形成されている。絶縁層4041、4042は実施の形態1で示した酸化物絶縁層466、476と同様な材料及び方法で形成すればよい。また、薄膜トランジスタの表面凹凸を低減するため平坦化絶縁膜として機能する絶縁層4021で覆う構成となっている。ここでは、絶縁層4041、4042として、実施の形態1を用いてスパッタ法により酸化珪素膜を形成する。

40

【0292】

また、絶縁層4041、4042上に絶縁層4020が形成されている。絶縁層4020は実施の形態1で示した保護絶縁層453と同様な材料及び方法で形成すればよい。ここでは、絶縁層4020として、RFスパッタ法により窒化珪素膜を形成する。

【0293】

また、平坦化絶縁膜として絶縁層4021を形成する。絶縁層4021としては、実施の形態1で示した平坦化絶縁層454と同様な材料及び方法で形成すればよく、ポリイミド

50

、アクリル樹脂、ベンゾシクロブテン系樹脂、ポリアミド、エポキシ樹脂等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層4021を形成してもよい。

【0294】

本実施の形態では、画素部の複数の薄膜トランジスタをまとめて窒化物絶縁膜で囲む構成としてもよい。絶縁層4020とゲート絶縁層とに窒化物絶縁膜を用いて、図10に示すように少なくともアクティブマトリクス基板の画素部の周縁を囲むように絶縁層4020とゲート絶縁層とが接する領域を設ける構成とすればよい。この製造プロセスでは、外部からの水分の侵入を防ぐことができる。また、半導体装置、例えば表示装置としてデバイスが完成した後にも長期的に、外部からの水分の侵入を防ぐことができデバイスの長期信頼性を向上することができる。

10

【0295】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

【0296】

絶縁層4021の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピンコート法、ディッピング法、スプレー塗布法、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ロールコーティング法、カーテンコーティング法、ナイフコーティング法等を用いることができる。絶縁層4021の焼成工程と半導体層のアニールを兼ねることで効率よく半導体装置を作製することが可能となる。

20

【0297】

画素電極層4030、対向電極層4031は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

30

【0298】

また、画素電極層4030、対向電極層4031として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が10000 / 以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が0.1・cm以下であることが好ましい。

【0299】

導電性高分子としては、いわゆる電子共役系導電性高分子を用いることができる。例えば、ポリアニンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

40

【0300】

また別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

【0301】

接続端子電極4015が、液晶素子4013が有する画素電極層4030と同じ導電膜から形成され、端子電極4016は、薄膜トランジスタ4010、4011のソース電極層及びドレイン電極層と同じ導電膜で形成されている。

【0302】

接続端子電極4015は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

50

【0303】

また図10においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているがこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【0304】

図19は、本明細書に開示する作製方法により作製されるTFT基板2600を用いて半導体装置として液晶表示モジュールを構成する一例を示している。

【0305】

図19は液晶表示モジュールの一例であり、TFT基板2600と対向基板2601がシール材2602により固着され、その間にTFT等を含む画素部2603、液晶層を含む表示素子2604、着色層2605が設けられ表示領域を形成している。着色層2605はカラー表示を行う場合に必要であり、RGB方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。TFT基板2600と対向基板2601の外側には偏光板2606、偏光板2607、拡散板2613が配設されている。光源は冷陰極管2610と反射板2611により構成され、回路基板2612は、フレキシブル配線基板2609によりTFT基板2600の配線回路部2608と接続され、コントロール回路や電源回路などの外部回路が組みこまれている。また偏光板と、液晶層との間に位相差板を有した状態で積層してもよい。

10

【0306】

液晶表示モジュールには、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、MVA (Multi-domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モードなどを用いることができる。

20

【0307】

以上の工程により、半導体装置として信頼性の高い液晶表示パネルを作製することができる。

30

【0308】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0309】

(実施の形態10)

半導体装置の一形態として電子ペーパーの例を示す。

【0310】

スイッチング素子と電氣的に接続する素子を利用して電子インクを駆動させる電子ペーパーに用いてもよい。電子ペーパーは、電気泳動表示装置(電気泳動ディスプレイ)も呼ばれており、紙と同じ読みやすさ、他の表示装置に比べ低消費電力、薄くて軽い形状とすることが可能という利点を有している。

40

【0311】

電気泳動ディスプレイは、様々な形態が考えられ得るが、プラスの電荷を有する第1の粒子と、マイナスの電荷を有する第2の粒子とを含むマイクロカプセルが溶媒または溶質に複数分散されたものであり、マイクロカプセルに電界を印加することによって、マイクロカプセル中の粒子を互いに反対方向に移動させて一方側に集合した粒子の色のみを表示するものである。なお、第1の粒子または第2の粒子は染料を含み、電界がない場合において移動しないものである。また、第1の粒子の色と第2の粒子の色は異なるもの(無色を

50

含む)とする。

【0312】

このように、電気泳動ディスプレイは、誘電定数の高い物質が高い電界領域に移動する、いわゆる誘電泳動的効果を利用したディスプレイである。電気泳動ディスプレイは、液晶表示装置には必要な偏光板が必要ない。

【0313】

上記マイクロカプセルを溶媒中に分散させたものが電子インクと呼ばれるものであり、この電子インクはガラス、プラスチック、布、紙などの表面に印刷することができる。また、カラーフィルタや色素を有する粒子を用いることによってカラー表示も可能である。

【0314】

また、アクティブマトリクス基板上に適宜、二つの電極の間に挟まれるように上記マイクロカプセルを複数配置すればアクティブマトリクス型の表示装置が完成し、マイクロカプセルに電界を印加すれば表示を行うことができる。例えば、実施の形態1乃至4の薄膜トランジスタによって得られるアクティブマトリクス基板を用いることができる。

【0315】

なお、マイクロカプセル中の第1の粒子および第2の粒子は、導電体材料、絶縁体材料、半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁気泳動材料から選ばれた一種の材料、またはこれらの複合材料を用いればよい。

【0316】

図18は、半導体装置の例としてアクティブマトリクス型の電子ペーパーを示す。半導体装置に用いられる薄膜トランジスタ581としては、実施の形態1で示す薄膜トランジスタと同様に作製でき、酸化物半導体層を含む信頼性の高い薄膜トランジスタである。また、実施の形態2乃至4で示す薄膜トランジスタも本実施の薄膜トランジスタ581として適用することもできる。

【0317】

図18の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層である第1の電極層及び第2の電極層の間に配置し、第1の電極層及び第2の電極層に電位差を生じさせての球形粒子の向きを制御することにより、表示を行う方法である。

【0318】

基板580上に形成された薄膜トランジスタ581はボトムゲート構造の薄膜トランジスタであり、半導体層と接する絶縁膜583に覆われている。薄膜トランジスタ581のソース電極層又はドレイン電極層は第1の電極層587と、絶縁膜583及び絶縁層585に形成する開口で接しており電氣的に接続している。第1の電極層587と基板596上に形成された第2の電極層588との間には黒色領域590a及び白色領域590bを有し、周りに液体で満たされているキャピティ594を含む球形粒子589が設けられており、球形粒子589の周囲は樹脂等の充填材595で充填されている。第1の電極層587が画素電極に相当し、第2の電極層588が共通電極に相当する。第2の電極層588は、薄膜トランジスタ581と同一基板上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して第2の電極層588と共通電位線とを電氣的に接続することができる。

【0319】

また、ツイストボールを用いた素子の代わりに、電気泳動素子を用いることも可能である。透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径10 μ m~200 μ m程度のマイクロカプセルを用いる。第1の電極層と第2の電極層との間に設けられるマイクロカプセルは、第1の電極層と第2の電極層によって、電場が与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、電気泳動表示素子を用いたデバイスは一般的に電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素

10

20

30

40

50

子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電源から表示機能付き半導体装置（単に表示装置、又は表示装置を具備する半導体装置ともいう）を切断した場合であっても、表示された像を保存しておくことが可能となる。

【0320】

以上の工程により、半導体装置として信頼性の高い電子ペーパーを作製することができる。

【0321】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせる実施することが可能である。

10

【0322】

（実施の形態11）

半導体装置として発光表示装置の例を示す。表示装置の有する表示素子としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

【0323】

有機EL素子は、発光素子に電圧を印加することにより、一对の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

20

【0324】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機EL素子を用いて説明する。

30

【0325】

図12は、半導体装置の例としてデジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

【0326】

デジタル時間階調駆動を適用可能な画素の構成及び画素の動作について説明する。ここでは酸化物半導体層をチャンネル形成領域に用いるnチャンネル型のトランジスタを1つの画素に2つ用いる例を示す。

【0327】

画素6400は、スイッチング用トランジスタ6401、発光素子の駆動用トランジスタ6402、発光素子6404及び容量素子6403を有している。スイッチング用トランジスタ6401はゲートが走査線6406に接続され、第1電極（ソース電極及びドレイン電極の一方）が信号線6405に接続され、第2電極（ソース電極及びドレイン電極の他方）が発光素子の駆動用トランジスタ6402のゲートに接続されている。発光素子の駆動用トランジスタ6402は、ゲートが容量素子6403を介して電源線6407に接続され、第1電極が電源線6407に接続され、第2電極が発光素子6404の第1電極（画素電極）に接続されている。発光素子6404の第2電極は共通電極6408に相当する。共通電極6408は、同一基板上に形成される共通電位線と電氣的に接続される。

40

【0328】

なお、発光素子6404の第2電極（共通電極6408）には低電源電位が設定されてい

50

る。なお、低電源電位とは、電源線 6 4 0 7 に設定される高電源電位を基準にして低電源電位 < 高電源電位を満たす電位であり、低電源電位としては例えば GND、0 V などが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子 6 4 0 4 に印加して、発光素子 6 4 0 4 に電流を流して発光素子 6 4 0 4 を発光させるため、高電源電位と低電源電位との電位差が発光素子 6 4 0 4 の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

【0329】

なお、容量素子 6 4 0 3 は発光素子の駆動用トランジスタ 6 4 0 2 のゲート容量を代用して省略することも可能である。発光素子の駆動用トランジスタ 6 4 0 2 のゲート容量については、チャンネル領域とゲート電極との間で容量が形成されていてもよい。

10

【0330】

ここで、電圧入力電圧駆動方式の場合には、発光素子の駆動用トランジスタ 6 4 0 2 のゲートには、発光素子の駆動用トランジスタ 6 4 0 2 が十分にオンするか、オフするかの二つの状態となるようなビデオ信号を入力する。つまり、発光素子の駆動用トランジスタ 6 4 0 2 は線形領域で動作させる。発光素子の駆動用トランジスタ 6 4 0 2 は線形領域で動作させるため、電源線 6 4 0 7 の電圧よりも高い電圧を発光素子の駆動用トランジスタ 6 4 0 2 のゲートにかける。なお、信号線 6 4 0 5 には、(電源線電圧 + 発光素子の駆動用トランジスタ 6 4 0 2 の V_{th}) 以上の電圧をかける。

【0331】

また、デジタル時間階調駆動に代えて、アナログ階調駆動を行う場合、信号の入力を異ならせることで、図 1 2 と同じ画素構成を用いることができる。

20

【0332】

アナログ階調駆動を行う場合、発光素子の駆動用トランジスタ 6 4 0 2 のゲートに発光素子 6 4 0 4 の順方向電圧 + 発光素子の駆動用トランジスタ 6 4 0 2 の V_{th} 以上の電圧をかける。発光素子 6 4 0 4 の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧よりも大きい。なお、発光素子の駆動用トランジスタ 6 4 0 2 が飽和領域で動作するようなビデオ信号を入力することで、発光素子 6 4 0 4 に電流を流すことができる。発光素子の駆動用トランジスタ 6 4 0 2 を飽和領域で動作させるため、電源線 6 4 0 7 の電位は、発光素子の駆動用トランジスタ 6 4 0 2 のゲート電位よりも高くする。ビデオ信号をアナログとすることで、発光素子 6 4 0 4 にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

30

【0333】

なお、図 1 2 に示す画素構成は、これに限定されない。例えば、図 1 2 に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。

【0334】

次に、発光素子の構成について、図 1 3 を用いて説明する。ここでは、駆動用 T F T が n 型の場合を例に挙げて、画素の断面構造について説明する。図 1 3 (A) (B) (C) の半導体装置に用いられる駆動用 T F T である T F T 7 0 0 1、7 0 1 1、7 0 2 1 は、実施の形態 1 で示す薄膜トランジスタと同様に作製でき、酸化物半導体層を含む信頼性の高い薄膜トランジスタである。また、実施の形態 2 乃至 4 で示す薄膜トランジスタを T F T 7 0 0 1、7 0 1 1、7 0 2 1 として適用することもできる。

40

【0335】

発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、画素構成はどの射出構造の発光素子にも適用することができる。

【0336】

上面射出構造の発光素子について図 1 3 (A) を用いて説明する。

【0337】

50

図13(A)に、駆動用TFTであるTFT7001がn型で、発光素子7002から発せられる光が陽極7005側に抜ける場合の、画素の断面図を示す。図13(A)では、発光素子7002の陰極7003と駆動用TFTであるTFT7001が電氣的に接続されており、陰極7003上に発光層7004、陽極7005が順に積層されている。陰極7003は仕事関数が小さく、なおかつ光を反射する導電膜であれば様々の材料を用いることができる。例えば、Ca、Al、MgAg、AlLi等が望ましい。そして発光層7004は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極7003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極7005は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物(以下、ITOと示す。)、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電膜を用いても良い。

10

20

30

40

50

【0338】

また、陰極7003と隣り合う画素の陰極7008の間に、それぞれの端部を覆って隔壁7009を設ける。隔壁7009は、ポリイミド、アクリル樹脂、ポリアミド、エポキシ樹脂等の有機樹脂膜、無機絶縁膜またはポリシロキサンを用いて形成する。隔壁7009は、特に感光性の樹脂材料を用い、隔壁7009の側面が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁7009として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

【0339】

陰極7003及び陽極7005で発光層7004を挟んでいる領域が発光素子7002に相当する。図13(A)に示した画素の場合、発光素子7002から発せられる光は、矢印で示すように陽極7005側に射出する。

【0340】

次に、下面射出構造の発光素子について図13(B)を用いて説明する。駆動用TFT7011がn型で、発光素子7012から発せられる光が陰極7013側に射出する場合の、画素の断面図を示す。図13(B)では、駆動用TFT7011と電氣的に接続された透光性を有する導電膜7017上に、発光素子7012の陰極7013が成膜されており、陰極7013上に発光層7014、陽極7015が順に積層されている。なお、陽極7015が透光性を有する場合、陽極上を覆うように、光を反射または遮蔽するための遮蔽膜7016が成膜されていてもよい。陰極7013は、図13(A)の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度(好ましくは、5nm~30nm程度)とする。例えば20nmの膜厚を有するアルミニウム膜を、陰極7013として用いることができる。そして発光層7014は、図13(A)と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極7015は光を透過する必要はないが、図13(A)と同様に、透光性を有する導電性材料を用いて形成することができる。そして遮蔽膜7016は、例えば光を反射する金属等を用いることができるが、金属膜に限定されない。例えば黒の顔料を添加した樹脂等を用いることもできる。

【0341】

また、導電膜7017と隣り合う画素の導電膜7018の間に、それぞれの端部を覆って隔壁7019を設ける。隔壁7019は、ポリイミド、アクリル樹脂、ポリアミド、エポキシ樹脂等の有機樹脂膜、無機絶縁膜またはポリシロキサンを用いて形成する。隔壁7019は、特に感光性の樹脂材料を用い、隔壁7019の側面が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁7019として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

【0342】

陰極7013及び陽極7015で、発光層7014を挟んでいる領域が発光素子7012

に相当する。図 1 3 (B) に示した画素の場合、発光素子 7 0 1 2 から発せられる光は、矢印で示すように陰極 7 0 1 3 側に射出する。

【 0 3 4 3 】

次に、両面射出構造の発光素子について、図 1 3 (C) を用いて説明する。図 1 3 (C) では、駆動用 T F T 7 0 2 1 と電氣的に接続された透光性を有する導電膜 7 0 2 7 上に、発光素子 7 0 2 2 の陰極 7 0 2 3 が成膜されており、陰極 7 0 2 3 上に発光層 7 0 2 4、陽極 7 0 2 5 が順に積層されている。陰極 7 0 2 3 は、図 1 3 (A) の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば 2 0 n m の膜厚を有する A 1 を、陰極 7 0 2 3 として用いることができる。そして発光層 7 0 2 4 は、図 1 3 (A) と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極 7 0 2 5 は、図 1 3 (A) と同様に、光を透過する透光性を有する導電性材料を用いて形成することができる。

10

【 0 3 4 4 】

また、導電膜 7 0 2 7 と隣り合う画素の導電膜 7 0 2 8 の間に、それぞれの端部を覆って隔壁 7 0 2 9 を設ける。隔壁 7 0 2 9 は、ポリイミド、アクリル樹脂、ポリアミド、エポキシ樹脂等の有機樹脂膜、無機絶縁膜またはポリシロキサンを用いて形成する。隔壁 7 0 2 9 は、特に感光性の樹脂材料を用い、隔壁 7 0 2 9 の側面が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁 7 0 2 9 として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

20

【 0 3 4 5 】

陰極 7 0 2 3 と、発光層 7 0 2 4 と、陽極 7 0 2 5 とが重なっている部分が発光素子 7 0 2 2 に相当する。図 1 3 (C) に示した画素の場合、発光素子 7 0 2 2 から発せられる光は、矢印で示すように陽極 7 0 2 5 側と陰極 7 0 2 3 側の両方に射出する。

【 0 3 4 6 】

なお、ここでは、発光素子として有機 E L 素子について述べたが、発光素子として無機 E L 素子を設けることも可能である。

【 0 3 4 7 】

なお、発光素子の駆動を制御する薄膜トランジスタ（駆動用 T F T ）と発光素子が電氣的に接続されている例を示したが、駆動用 T F T と発光素子との間に電流制御用 T F T が接続されている構成であってもよい。

30

【 0 3 4 8 】

なお半導体装置は、図 1 3 に示した構成に限定されるものではなく、本明細書に開示する技術的思想に基づく各種の変形が可能である。

【 0 3 4 9 】

次に、半導体装置の一形態に相当する発光表示パネル（発光パネルともいう）の外観及び断面について、図 1 1 を用いて説明する。図 1 1 (A) は、第 1 の基板上に形成された薄膜トランジスタ及び発光素子を、第 2 の基板との間にシール材によって封止した、パネルの平面図であり、図 1 1 (B) は、図 1 1 (A) の H - I における断面図に相当する。

40

【 0 3 5 0 】

第 1 の基板 4 5 0 1 上に設けられた画素部 4 5 0 2、信号線駆動回路 4 5 0 3 a、4 5 0 3 b、及び走査線駆動回路 4 5 0 4 a、4 5 0 4 b を囲むようにして、シール材 4 5 0 5 が設けられている。また画素部 4 5 0 2、信号線駆動回路 4 5 0 3 a、4 5 0 3 b、及び走査線駆動回路 4 5 0 4 a、4 5 0 4 b の上に第 2 の基板 4 5 0 6 が設けられている。よって画素部 4 5 0 2、信号線駆動回路 4 5 0 3 a、4 5 0 3 b、及び走査線駆動回路 4 5 0 4 a、4 5 0 4 b は、第 1 の基板 4 5 0 1 とシール材 4 5 0 5 と第 2 の基板 4 5 0 6 とによって、充填材 4 5 0 7 と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

【 0 3 5 1 】

50

また第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、薄膜トランジスタを複数有しており、図11(B)では、画素部4502に含まれる薄膜トランジスタ4510と、信号線駆動回路4503aに含まれる薄膜トランジスタ4509とを例示している。

【0352】

薄膜トランジスタ4509、4510は、実施の形態1乃至4で示した酸化物半導体層を含む信頼性の高い薄膜トランジスタを適用することができる。駆動回路用の薄膜トランジスタ4509としては、実施の形態1乃至4で示した薄膜トランジスタ460、499、画素用の薄膜トランジスタ4510としては、薄膜トランジスタ470、498を用いることができる。本実施の形態において、薄膜トランジスタ4509、4510はnチャネル型薄膜トランジスタである。

10

【0353】

絶縁層4544上において駆動回路用の薄膜トランジスタ4509の酸化物半導体層のチャネル形成領域と重なる位置に導電層4540が設けられている。導電層4540を酸化物半導体層のチャネル形成領域と重なる位置に設けることによって、BT試験前後における薄膜トランジスタ4509のしきい値電圧の変化量を低減することができる。また、導電層4540は、電位が薄膜トランジスタ4509のゲート電極層と同じでもよいし、異なっても良く、第2のゲート電極層として機能させることもできる。また、導電層4540の電位がGND、0V、或いはフローティング状態であってもよい。

20

【0354】

薄膜トランジスタ4509は、保護絶縁膜としてチャネル形成領域を含む半導体層に接して絶縁層4541が形成され、薄膜トランジスタ4510はチャネル保護層として絶縁層4542が形成されている。絶縁層4541、4542は実施の形態1で示した酸化物絶縁層466、476と同様な材料及び方法で形成すればよい。また、薄膜トランジスタの表面凹凸を低減するため平坦化絶縁膜として機能する絶縁層4544で覆う構成となっている。ここでは、絶縁層4541、4542として、実施の形態1を用いてスパッタ法により酸化珪素膜を形成する。

【0355】

また、絶縁層4541、4542上に絶縁層4543が形成されている。絶縁層4543は実施の形態1で示した保護絶縁層453と同様な材料及び方法で形成すればよい。ここでは、絶縁層4543として、RFスパッタ法により窒化珪素膜を形成する。

30

【0356】

また、平坦化絶縁膜として絶縁層4544を形成する。絶縁層4544としては、実施の形態1で示した平坦化絶縁層454と同様な材料及び方法で形成すればよい。ここでは、絶縁層4544としてアクリル樹脂を用いる。

【0357】

本実施の形態では、画素部の複数の薄膜トランジスタをまとめて窒化物絶縁膜で囲む構成としてもよい。絶縁層4543とゲート絶縁層とに窒化物絶縁膜を用いて、図11に示すように少なくともアクティブマトリクス基板の画素部の周縁を囲むように絶縁層4543とゲート絶縁層とが接する領域を設ける構成とすればよい。この製造プロセスでは、外部からの水分の侵入を防ぐことができる。また、半導体装置、例えば表示装置としてデバイスが完成した後にも長期的に、外部からの水分の侵入を防ぐことができデバイスの長期信頼性を向上することができる。

40

【0358】

また4511は発光素子に相当し、発光素子4511が有する画素電極である第1の電極層4517は、薄膜トランジスタ4510のソース電極層またはドレイン電極層と電氣的に接続されている。なお発光素子4511の構成は、第1の電極層4517、電界発光層4512、第2の電極層4513の積層構造であるが、示した構成に限定されない。発光素子4511から取り出す光の方向などに合わせて、発光素子4511の構成は適宜変えることができる。

50

【0359】

隔壁4520は、有機樹脂膜、無機絶縁膜またはポリシロキサンを用いて形成する。特に感光性の材料を用い、第1の電極層4517上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0360】

電界発光層4512は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【0361】

発光素子4511に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の電極層4513及び隔壁4520上に保護膜を形成してもよい。保護膜としては、窒化珪素膜、窒化酸化珪素膜、DLC膜等を形成することができる。

10

【0362】

また、信号線駆動回路4503a、4503b、走査線駆動回路4504a、4504b、または画素部4502に与えられる各種信号及び電位は、FPC4518a、4518bから供給されている。

【0363】

接続端子電極4515が、発光素子4511が有する第1の電極層4517と同じ導電膜から形成され、端子電極4516は、薄膜トランジスタ4509、4510が有するソース電極層及びドレイン電極層と同じ導電膜から形成されている。

【0364】

接続端子電極4515は、FPC4518aが有する端子と、異方性導電膜4519を介して電氣的に接続されている。

20

【0365】

発光素子4511からの光の取り出し方向に位置する基板には、第2の基板は透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【0366】

また、充填材4507としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル樹脂、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンとビニルアセテートの共重合体）を用いることができる。例えば充填材として窒素を用いればよい。

30

【0367】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板（楕円偏光板を含む）、位相差板（ $\lambda/4$ 板、 $\lambda/2$ 板）、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【0368】

また、信号線駆動回路のみ、或いは一部、又は走査線駆動回路のみ、或いは一部のみを別途形成して実装しても良く、図11の構成に限定されない。

40

【0369】

以上の工程により、半導体装置として信頼性の高い発光表示装置（表示パネル）を作製することができる。

【0370】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0371】

（実施の形態12）

本明細書に開示する半導体装置は、電子ペーパーとして適用することができる。電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である

50

。例えば、電子ペーパーを用いて、電子書籍（電子ブック）、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図20に示す。

【0372】

図20は、電子書籍2700を示している。例えば、電子書籍2700は、筐体2701および筐体2703の2つの筐体で構成されている。筐体2701および筐体2703は、軸部2711により一体とされており、該軸部2711を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

【0373】

筐体2701には表示部2705が組み込まれ、筐体2703には表示部2707が組み込まれている。表示部2705および表示部2707は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部（図20では表示部2705）に文章を表示し、左側の表示部（図20では表示部2707）に画像を表示することができる。

10

【0374】

また、図20では、筐体2701に操作部などを備えた例を示している。例えば、筐体2701において、電源2721、操作キー2723、スピーカ2725などを備えている。操作キー2723により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍2700は、電子辞書としての機能を持たせた構成としてもよい。

20

【0375】

また、電子書籍2700は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0376】

（実施の形態13）

本明細書に開示する半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラなどのカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

30

【0377】

図21(A)は、テレビジョン装置9600を示している。テレビジョン装置9600は、筐体9601に表示部9603が組み込まれている。表示部9603により、映像を表示することが可能である。また、ここでは、スタンド9605により筐体9601を支持した構成を示している。

40

【0378】

テレビジョン装置9600の操作は、筐体9601が備える操作スイッチや、別体のリモコン操作機9610により行うことができる。リモコン操作機9610が備える操作キー9609により、チャンネルや音量の操作を行うことができ、表示部9603に表示される映像を操作することができる。また、リモコン操作機9610に、当該リモコン操作機9610から出力する情報を表示する表示部9607を設ける構成としてもよい。

【0379】

なお、テレビジョン装置9600は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向

50

(送信者と受信者間、あるいは受信者間同士など)の情報通信を行うことも可能である。

【0380】

図21(B)は、デジタルフォトフレーム9700を示している。例えば、デジタルフォトフレーム9700は、筐体9701に表示部9703が組み込まれている。表示部9703は、各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

【0381】

なお、デジタルフォトフレーム9700は、操作部、外部接続用端子(USB端子、USBケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレーム9700の記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部9703に表示させることができる。

【0382】

また、デジタルフォトフレーム9700は、無線で情報を送受信できる構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

【0383】

図22(A)は携帯型遊技機であり、筐体9881と筐体9891の2つの筐体で構成されており、連結部9893により、開閉可能に連結されている。筐体9881には表示部9882が組み込まれ、筐体9891には表示部9883が組み込まれている。また、図22(A)に示す携帯型遊技機は、その他、スピーカ部9884、記録媒体挿入部9886、LEDランプ9890、入力手段(操作キー9885、接続端子9887、センサ9888(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの)、マイクロフォン9889)等を備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも本明細書に開示する半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。図22(A)に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図22(A)に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

【0384】

図22(B)は大型遊技機であるスロットマシン9900を示している。スロットマシン9900は、筐体9901に表示部9903が組み込まれている。また、スロットマシン9900は、その他、スタートレバーやストップスイッチなどの操作手段、コイン投入口、スピーカなどを備えている。もちろん、スロットマシン9900の構成は上述のものに限定されず、少なくとも本明細書に開示する半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。

【0385】

図23(A)は携帯型のコンピュータの一例を示す斜視図である。

【0386】

図23(A)の携帯型のコンピュータは、上部筐体9301と下部筐体9302とを接続するヒンジユニットを閉状態として表示部9303を有する上部筐体9301と、キーボード9304を有する下部筐体9302とを重ねた状態とすることができ、持ち運ぶことが便利であるとともに、使用者がキーボード入力する場合には、ヒンジユニットを開状態として、表示部9303を見て入力操作を行うことができる。

【0387】

また、下部筐体9302はキーボード9304の他に入力操作を行うポインティングデバイス9306を有する。また、表示部9303をタッチパネルとすれば、表示部の一部に

10

20

30

40

50

触れることで入力操作を行うこともできる。また、下部筐体 9302 は CPU やハードディスク等の演算機能部を有している。また、下部筐体 9302 は他の機器、例えば USB の通信規格に準拠した通信ケーブルが差し込まれる外部接続ポート 9305 を有している。

【0388】

上部筐体 9301 には更に上部筐体 9301 内部にスライドさせて収納可能な表示部 9307 を有しており、広い表示画面を実現することができる。また、収納可能な表示部 9307 の画面の向きを使用者は調節できる。また、収納可能な表示部 9307 をタッチパネルとすれば、収納可能な表示部の一部に触れることで入力操作を行うこともできる。

【0389】

表示部 9303 または収納可能な表示部 9307 は、液晶表示パネル、有機発光素子または無機発光素子などの発光表示パネルなどの映像表示装置を用いる。

【0390】

また、図 23 (A) の携帯型のコンピュータは、受信機などを備えた構成として、テレビ放送を受信して映像を表示部または表示部に表示することができる。また、上部筐体 9301 と下部筐体 9302 とを接続するヒンジユニットを閉状態としたまま、表示部 9307 をスライドさせて画面全面を露出させ、画面角度を調節して使用者がテレビ放送を見ることが出来る。この場合には、ヒンジユニットを開状態として表示部 9303 を表示させず、さらにテレビ放送を表示するだけの回路の起動のみを行うため、最小限の消費電力とすることができ、バッテリー容量の限られている携帯型のコンピュータにおいて有用である。

【0391】

また、図 23 (B) は、腕時計のように使用者の腕に装着可能な形態を有している携帯電話の一例を示す斜視図である。

【0392】

この携帯電話は、少なくとも電話機能を有する通信装置及びバッテリーを有する本体、本体を腕に装着するためのバンド部 9204、腕に対するバンド部 9204 の固定状態を調節する調節部 9205、表示部 9201、スピーカ 9207、及びマイク 9208 から構成されている。

【0393】

また、本体は、操作スイッチ 9203 を有し、電源入力スイッチや、表示切り替えスイッチや、撮像開始指示スイッチの他、例えばスイッチを押すとインターネット用のプログラムが起動されるなど、各ファンクションに対応づけることができる。

【0394】

この携帯電話の入力操作は、表示部 9201 に指や入力ペンなどで触れること、又は操作スイッチ 9203 の操作、またはマイク 9208 への音声入力により行われる。なお、図 23 (B) では、表示部 9201 に表示された表示ボタン 9202 を図示しており、指などで触れることにより入力を行うことができる。

【0395】

また、本体は、撮影レンズを通して結像される被写体像を電子画像信号に変換する撮像手段を有するカメラ部 9206 を有する。なお、特にカメラ部は設けなくともよい。

【0396】

また、図 23 (B) に示す携帯電話は、テレビ放送の受信機などを備えた構成として、テレビ放送を受信して映像を表示部 9201 に表示することができ、さらにメモリーなどの記憶装置などを備えた構成として、テレビ放送をメモリーに録画できる。また、図 23 (B) に示す携帯電話は、GPS などの位置情報を収集できる機能を有していてもよい。

【0397】

表示部 9201 は、液晶表示パネル、有機発光素子または無機発光素子などの発光表示パネルなどの映像表示装置を用いる。図 23 (B) に示す携帯電話は、小型、且つ、軽量であるため、バッテリー容量が限られており、表示部 9201 に用いる表示装置は低消費電

10

20

30

40

50

力で駆動できるパネルを用いることが好ましい。

【0398】

なお、図23(B)では”腕”に装着するタイプの電子機器を図示したが、特に限定されず、携行できる形状を有しているものであればよい。

【0399】

(実施の形態14)

本実施の形態では、半導体装置の一形態として、実施の形態1乃至4で示す薄膜トランジスタを有する表示装置の例を図24乃至図37を用いて説明する。本実施の形態は、表示素子として液晶素子を用いた液晶表示装置の例を図24乃至図37を用いて説明する。図24乃至図37の液晶表示装置に用いられるTFT628、629は、実施の形態1乃至4で示す薄膜トランジスタを適用することができ、実施の形態1乃至4で示す工程で同様に作製できる電気特性及び信頼性の高い薄膜トランジスタである。TFT628はチャンネル保護層608を、TFT629はチャンネル保護層611をそれぞれ有し、酸化物半導体層をチャンネル形成領域とする逆スタガ薄膜トランジスタである。

10

【0400】

はじめにVA(Vertical Alignment)型の液晶表示装置について示す。VA型の液晶表示装置とは、液晶表示パネルの液晶分子の配列を制御する方式の一種である。VA型の液晶表示装置は、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。本実施の形態では、特に画素(ピクセル)をいくつかの領域(サブピクセル)に分け、それぞれ別の方向に液晶分子を倒すよう工夫されている。これをマルチドメイン化あるいはマルチドメイン設計という。以下の説明では、マルチドメイン設計が考慮された液晶表示装置について説明する。

20

【0401】

図25及び図26は、それぞれ画素電極及び対向電極を示している。なお、図25は画素電極が形成される基板側の平面図であり、図中に示す切断線E-Fに対応する断面構造を図24に表している。また、図26は対向電極が形成される基板側の平面図である。以下の説明ではこれらの図を参照して説明する。

【0402】

図24は、TFT628とそれに接続する画素電極層624、及び保持容量部630が形成された基板600と、対向電極層640等が形成される対向基板601とが重ね合わせられ、液晶が注入された状態を示している。

30

【0403】

対向基板601は、着色膜636、対向電極層640が形成され、対向電極層640上に突起644が形成されている。画素電極層624上には配向膜648が形成され、同様に対向電極層640及び突起644上にも配向膜646が形成されている。基板600と対向基板601の間に液晶層650が形成されている。

【0404】

基板600上には、TFT628とそれに接続する画素電極層624、及び保持容量部630が形成される。画素電極層624は、TFT628、配線616、及び保持容量部630を覆う絶縁膜620、絶縁膜620を覆う絶縁膜622をそれぞれ貫通するコンタクトホール623で、配線618と接続する。TFT628は実施の形態1乃至4で示す薄膜トランジスタを適宜用いることができる。また、保持容量部630は、TFT628のゲート配線602と同時に形成した容量配線604と、ゲート絶縁膜606と、配線616、618と同時に形成した容量配線617で構成される。

40

【0405】

画素電極層624と液晶層650と対向電極層640が重なり合うことで、液晶素子が形成されている。

【0406】

図25に基板600上の平面構造を示す。画素電極層624は実施の形態1で示した材料を用いて形成する。画素電極層624にはスリット625を設ける。スリット625は液

50

晶の配向を制御するためのものである。

【0407】

図25に示すTFT629とそれに接続する画素電極層626及び保持容量部631は、それぞれTFT628、画素電極層624及び保持容量部630と同様に形成することができる。TFT628とTFT629は共に配線616と接続している。この液晶表示パネルの画素（ピクセル）は、画素電極層624と画素電極層626により構成されている。画素電極層624と画素電極層626はサブピクセルである。

【0408】

図26に対向基板側の平面構造を示す。遮光膜632上に対向電極層640が形成されている。対向電極層640は、画素電極層624と同様の材料を用いて形成することが好ましい。対向電極層640上には液晶の配向を制御する突起644が形成されている。なお、図26に基板600上に形成される画素電極層624及び画素電極層626を破線で示し、対向電極層640と、画素電極層624及び画素電極層626が重なり合っ

10

【0409】

この画素構造の等価回路を図27に示す。TFT628とTFT629は、共にゲート配線602、配線616と接続している。この場合、容量配線604と容量配線605の電位を異ならせることで、液晶素子651と液晶素子652の動作を異ならせることができる。すなわち、容量配線604と容量配線605の電位を個別に制御することにより液晶の配向を精密に制御して視野角を広げている。

20

【0410】

スリット625を設けた画素電極層624に電圧を印加すると、スリット625の近傍には電界の歪み（斜め電界）が発生する。このスリット625と、対向基板601側の突起644とを交互に咬み合うように配置することで、斜め電界を効果的に発生させて液晶の配向を制御することで、液晶が配向する方向を場所によって異ならせている。すなわち、マルチドメイン化して液晶表示パネルの視野角を広げている。

【0411】

次に、上記とは異なるVA型の液晶表示装置について、図28乃至図31を用いて説明する。

【0412】

図28と図29は、VA型液晶表示パネルの画素構造を示している。図29は基板600の平面図であり、図中に示す切断線Y-Zに対応する断面構造を図28に表している。

30

【0413】

この画素構造は、一つの画素に複数の画素電極が有り、それぞれの画素電極にTFTが接続されている。各TFTは、異なるゲート信号で駆動されるように構成されている。すなわち、マルチドメイン設計された画素において、個々の画素電極に印加する信号を、独立して制御する構成を有している。

【0414】

画素電極層624は、絶縁膜620及び絶縁膜622をそれぞれ貫通するコンタクトホール623において、配線618でTFT628と接続している。また、画素電極層626は、絶縁膜620及び絶縁膜622をそれぞれ貫通するコンタクトホール627において、配線619でTFT629と接続している。TFT628のゲート配線602と、TFT629のゲート配線603には、異なるゲート信号を与えることができるように分離されている。一方、データ線として機能する配線616は、TFT628とTFT629で共通に用いられている。TFT628とTFT629は実施の形態1乃至4で示す薄膜トランジスタを適宜用いることができる。なお、ゲート配線602、ゲート配線603及び容量配線690上にはゲート絶縁膜606が形成されている。

40

【0415】

画素電極層624と画素電極層626の形状は異なっている。V字型に広がる画素電極層624の外側を囲むように画素電極層626が形成されている。画素電極層624と画素

50

電極層 6 2 6 に印加する電圧を、T F T 6 2 8 及び T F T 6 2 9 により異ならせることで、液晶の配向を制御している。この画素構造の等価回路を図 3 1 に示す。T F T 6 2 8 はゲート配線 6 0 2 と接続し、T F T 6 2 9 はゲート配線 6 0 3 と接続している。また、T F T 6 2 8 と T F T 6 2 9 は、共に配線 6 1 6 と接続している。ゲート配線 6 0 2 とゲート配線 6 0 3 に異なるゲート信号を与えることで、液晶素子 6 5 1 と液晶素子 6 5 2 の動作を異ならせることができる。すなわち、T F T 6 2 8 と T F T 6 2 9 の動作を個別に制御することにより、液晶素子 6 5 1 と液晶素子 6 5 2 の液晶の配向を精密に制御して視野角を広げることができる。

【0416】

対向基板 6 0 1 には、着色膜 6 3 6、対向電極層 6 4 0 が形成されている。また、着色膜 6 3 6 と対向電極層 6 4 0 の間には平坦化膜 6 3 7 が形成され、液晶の配向乱れを防いでいる。図 3 0 に対向基板側の構造を示す。対向電極層 6 4 0 は異なる画素間で共通化されている電極であるが、スリット 6 4 1 が形成されている。このスリット 6 4 1 と、画素電極層 6 2 4 及び画素電極層 6 2 6 側のスリット 6 2 5 とを交互に咬み合うように配置することで、斜め電界を効果的に発生させて液晶の配向を制御することができる。これにより、液晶が配向する方向を場所によって異ならせることができ、視野角を広げている。なお、図 3 0 に基板 6 0 0 上に形成される画素電極層 6 2 4 及び画素電極層 6 2 6 を破線で示し、対向電極層 6 4 0 と、画素電極層 6 2 4 及び画素電極層 6 2 6 が重なり合って配置されている様子を示している。

10

【0417】

画素電極層 6 2 4 及び画素電極層 6 2 6 上には配向膜 6 4 8 が形成され、同様に対向電極層 6 4 0 上にも配向膜 6 4 6 が形成されている。基板 6 0 0 と対向基板 6 0 1 の間に液晶層 6 5 0 が形成されている。また、画素電極層 6 2 4 と液晶層 6 5 0 と対向電極層 6 4 0 が重なり合うことで、第 1 の液晶素子が形成されている。また、画素電極層 6 2 6 と液晶層 6 5 0 と対向電極層 6 4 0 が重なり合うことで、第 2 の液晶素子が形成されている。図 2 8 乃至図 3 1 で説明する表示パネルの画素構造は、一画素に第 1 の液晶素子と第 2 の液晶素子が設けられたマルチドメイン構造となっている。

20

【0418】

次に、横電界方式の液晶表示装置について示す。横電界方式は、セル内の液晶分子に対して水平方向に電界を加えることで液晶を駆動して階調表現する方式である。この方式によれば、視野角を約 1 8 0 度にまで広げることができる。以下の説明では、横電界方式を採用する液晶表示装置について説明する。

30

【0419】

図 3 2 は、電極層 6 0 7、T F T 6 2 8 に接続する画素電極層 6 2 4 が形成された基板 6 0 0 と、対向基板 6 0 1 を重ね合わせ、液晶を注入した状態を示している。対向基板 6 0 1 には、着色膜 6 3 6、平坦化膜 6 3 7 などが形成されている。なお、対向基板 6 0 1 側に対向電極は設けられていない。また、基板 6 0 0 と対向基板 6 0 1 の間に、配向膜 6 4 6 及び配向膜 6 4 8 を介して液晶層 6 5 0 が形成されている。

【0420】

基板 6 0 0 上には、電極層 6 0 7 及び電極層 6 0 7 に接続する容量配線 6 0 4、並びに T F T 6 2 8 が形成される。容量配線 6 0 4 は T F T 6 2 8 のゲート配線 6 0 2 と同時に形成することができる。T F T 6 2 8 としては、実施の形態 1 乃至 4 で示した薄膜トランジスタを適用することができる。電極層 6 0 7 は、実施の形態 1 乃至 4 で示す画素電極層と同様の材料を用いることができる。また、電極層 6 0 7 は略画素の形状に区画化した形状で形成する。なお、電極層 6 0 7 及び容量配線 6 0 4 上にはゲート絶縁膜 6 0 6 が形成される。

40

【0421】

T F T 6 2 8 の配線 6 1 6、配線 6 1 8 がゲート絶縁膜 6 0 6 上に形成される。配線 6 1 6 は液晶表示パネルにおいてビデオ信号をのせるデータ線であり一方向に伸びる配線であると同時に、T F T 6 2 8 のソース領域又はドレイン領域と接続し、ソース及びドレイン

50

の一方の電極となる。配線 6 1 8 はソース及びドレインの他方の電極となり、画素電極層 6 2 4 と接続する配線である。

【 0 4 2 2 】

配線 6 1 6、配線 6 1 8 上に絶縁膜 6 2 0 が形成される。また、絶縁膜 6 2 0 上には、絶縁膜 6 2 0 に形成されるコンタクトホールにおいて、配線 6 1 8 に接続する画素電極層 6 2 4 が形成される。画素電極層 6 2 4 は実施の形態 1 で示した画素電極層と同様の材料を用いて形成する。

【 0 4 2 3 】

このようにして、基板 6 0 0 上に T F T 6 2 8 とそれに接続する画素電極層 6 2 4 が形成される。なお、保持容量は電極層 6 0 7 と画素電極層 6 2 4 の間で形成している。

10

【 0 4 2 4 】

図 3 3 は、画素電極の構成を示す平面図である。図 3 3 に示す切断線 O - P に対応する断面構造を図 3 2 に表している。画素電極層 6 2 4 にはスリット 6 2 5 が設けられる。スリット 6 2 5 は液晶の配向を制御するためのものである。この場合、電界は電極層 6 0 7 と画素電極層 6 2 4 の間で発生する。電極層 6 0 7 と画素電極層 6 2 4 の間にはゲート絶縁膜 6 0 6 が形成されているが、ゲート絶縁膜 6 0 6 の厚さは 5 0 ~ 2 0 0 n m であり、2 ~ 1 0 μ m である液晶層の厚さと比較して十分薄いので、実質的に基板 6 0 0 と平行な方向（水平方向）に電界が発生する。この電界により液晶の配向が制御される。この基板と略平行な方向の電界を利用して液晶分子を水平に回転させる。この場合、液晶分子はどの状態でも水平であるため、見る角度によるコントラストなどの影響は少なく、視野角が広がることとなる。また、電極層 6 0 7 と画素電極層 6 2 4 は共に透光性の電極であるので、開口率を向上させることができる。

20

【 0 4 2 5 】

次に、横電界方式の液晶表示装置の他の一例について示す。

【 0 4 2 6 】

図 3 4 と図 3 5 は、I P S 型の液晶表示装置の画素構造を示している。図 3 5 は平面図であり、図中に示す切断線 V - W に対応する断面構造を図 3 4 に表している。以下の説明ではこの両図を参照して説明する。

【 0 4 2 7 】

図 3 4 は、T F T 6 2 8 とそれに接続する画素電極層 6 2 4 が形成された基板 6 0 0 と、対向基板 6 0 1 を重ね合わせ、液晶を注入した状態を示している。対向基板 6 0 1 には、着色膜 6 3 6、平坦化膜 6 3 7 などが形成されている。なお、対向基板 6 0 1 側に対向電極は設けられていない。基板 6 0 0 と対向基板 6 0 1 の間に、配向膜 6 4 6 及び配向膜 6 4 8 を介して液晶層 6 5 0 が形成されている。

30

【 0 4 2 8 】

基板 6 0 0 上には、共通電位線 6 0 9、及び T F T 6 2 8 が形成される。共通電位線 6 0 9 は T F T 6 2 8 のゲート配線 6 0 2 と同時に形成することができる。T F T 6 2 8 としては、実施の形態 1 乃至 4 で示した薄膜トランジスタを適用することができる。

【 0 4 2 9 】

T F T 6 2 8 の配線 6 1 6、配線 6 1 8 がゲート絶縁膜 6 0 6 上に形成される。配線 6 1 6 は液晶表示パネルにおいてビデオ信号をのせるデータ線であり一方向に伸びる配線であると同時に、T F T 6 2 8 のソース領域又はドレイン領域と接続し、ソース及びドレインの一方の電極となる。配線 6 1 8 はソース及びドレインの他方の電極となり、画素電極層 6 2 4 と接続する配線である。

40

【 0 4 3 0 】

配線 6 1 6、配線 6 1 8 上に絶縁膜 6 2 0 が形成される。また、絶縁膜 6 2 0 上には、絶縁膜 6 2 0 に形成されるコンタクトホール 6 2 3 を介して、配線 6 1 8 に接続する画素電極層 6 2 4 が形成される。画素電極層 6 2 4 は実施の形態 1 で示した画素電極層と同様の材料を用いて形成する。なお、図 3 5 に示すように、画素電極層 6 2 4 は、共通電位線 6 0 9 と同時に形成した櫛形の電極と横電界が発生するように形成される。また、画素電極

50

層 6 2 4 の櫛歯の部分が共通電位線 6 0 9 と同時に形成した櫛形の電極と交互に咬み合うように形成される。

【 0 4 3 1 】

画素電極層 6 2 4 に印加される電位と共通電位線 6 0 9 の電位との間に電界が生じると、この電界により液晶の配向が制御される。この基板と略平行な方向の電界を利用して液晶分子を水平に回転させる。この場合、液晶分子はどの状態でも水平であるため、見る角度によるコントラストなどの影響は少なく、視野角が広がることとなる。

【 0 4 3 2 】

このようにして、基板 6 0 0 上に T F T 6 2 8 とそれに接続する画素電極層 6 2 4 が形成される。保持容量は共通電位線 6 0 9 と容量電極層 6 1 5 の間にゲート絶縁膜 6 0 6 を設け、それにより形成している。容量電極層 6 1 5 と画素電極層 6 2 4 はコンタクトホール 6 3 3 を介して接続されている。

10

【 0 4 3 3 】

次に、T N 型の液晶表示装置の形態について示す。

【 0 4 3 4 】

図 3 6 と図 3 7 は、T N 型の液晶表示装置の画素構造を示している。図 3 7 は平面図であり、図中に示す切断線 K - L に対応する断面構造を図 3 6 に表している。以下の説明ではこの両図を参照して説明する。

【 0 4 3 5 】

画素電極層 6 2 4 は、絶縁膜 6 2 0 に形成されるコンタクトホール 6 2 3 及び配線 6 1 8 を介して T F T 6 2 8 と接続している。データ線として機能する配線 6 1 6 は、T F T 6 2 8 と接続している。T F T 6 2 8 は実施の形態 1 乃至 4 に示す T F T のいずれかを適用することができる。

20

【 0 4 3 6 】

対向基板 6 0 1 には、着色膜 6 3 6、対向電極層 6 4 0 が形成されている。また、着色膜 6 3 6 と対向電極層 6 4 0 の間には平坦化膜 6 3 7 が形成され、液晶の配向乱れを防いでいる。液晶層 6 5 0 は画素電極層 6 2 4 と対向電極層 6 4 0 の間に配向膜 6 4 8 及び配向膜 6 4 6 を介して形成されている。

【 0 4 3 7 】

画素電極層 6 2 4 と液晶層 6 5 0 と対向電極層 6 4 0 が重なり合うことで、液晶素子が形成されている。

30

【 0 4 3 8 】

また、着色膜 6 3 6 は、基板 6 0 0 側に形成されていても良い。また、基板 6 0 0 の薄膜トランジスタが形成されている面とは逆の面に偏光板を貼り合わせ、また対向基板 6 0 1 の対向電極層 6 4 0 が形成されている面とは逆の面に、偏光板を貼り合わせておく。

【 0 4 3 9 】

以上の工程により、表示装置として液晶表示装置を作製することができる。本実施の形態の液晶表示装置は、開口率が高い液晶表示装置である。

【 0 4 4 0 】

(実施の形態 1 5)

40

本実施の形態では、断面から見て酸化物半導体層を窒化物絶縁膜で囲む例を図 3 8 に示す。図 3 8 は、酸化物絶縁層 4 6 6 の上面形状及び端部の位置が図 1 と異なる点、ゲート絶縁層の構成が異なる点以外は同じであるため、同じ箇所には同じ符号を用い、同じ箇所の詳細な説明は省略する。

【 0 4 4 1 】

駆動回路に配置される薄膜トランジスタ 4 6 0 はチャネルエッチ型の薄膜トランジスタであり、絶縁表面を有する基板 4 5 0 上に、ゲート電極層 4 6 1、窒化物絶縁膜からなるゲート絶縁層 4 5 2、少なくともチャネル形成領域 4 6 3、第 1 の高抵抗ドレイン領域 4 6 4 a、及び第 2 の高抵抗ドレイン領域 4 6 4 b を有する酸化物半導体層、ソース電極層 4 6 5 a、及びドレイン電極層 4 6 5 b を含む。また、薄膜トランジスタ 4 6 0 を覆い、チ

50

チャンネル形成領域 4 6 3 に接する酸化物絶縁層 4 6 6 が設けられている。

【 0 4 4 2 】

酸化物絶縁層 4 6 6 は、画素に配置される薄膜トランジスタ 4 7 0 のチャンネル保護層として機能する酸化物絶縁層 4 7 6 をフォトリソグラフィ工程で形成する際に薄膜トランジスタ 4 6 0 の外側のゲート絶縁層 4 5 2 が露出するように加工する。少なくとも酸化物絶縁層 4 6 6 の上面形状は、酸化物半導体層の上面形状よりも広く、薄膜トランジスタ 4 6 0 を覆う上面形状とすることが好ましい。

【 0 4 4 3 】

さらに酸化物絶縁層 4 6 6 の上面及び側面を覆うように窒化物絶縁膜からなる保護絶縁層 4 5 3 を形成する。

【 0 4 4 4 】

また、ソース電極層 4 6 5 a の下面に接して第 1 の高抵抗ドレイン領域 4 6 4 a が自己整合的に形成されている。また、ドレイン電極層 4 6 5 b の下面に接して第 2 の高抵抗ドレイン領域 4 6 4 b が自己整合的に形成されている。また、チャンネル形成領域 4 6 3 は、酸化物絶縁層 4 6 6 と接し、且つ膜厚が薄くなっており、第 1 の高抵抗ドレイン領域 4 6 4 a、及び第 2 の高抵抗ドレイン領域 4 6 4 b よりも高抵抗の領域（I 型領域）とする。

【 0 4 4 5 】

また、チャンネル形成領域 4 6 3、第 1 の高抵抗ドレイン領域 4 6 4 a、及び第 2 の高抵抗ドレイン領域 4 6 4 b の下面に接して窒化物絶縁膜からなるゲート絶縁層 4 5 2 が形成されている。

【 0 4 4 6 】

窒化物絶縁膜からなる保護絶縁層 4 5 3 は、スパッタ法で得られる窒化珪素膜、酸化窒化珪素膜、窒化アルミニウム膜、酸化窒化アルミニウム膜などの水分や、水素イオンや、OH⁻などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用いる。

【 0 4 4 7 】

本実施の形態では、窒化物絶縁膜からなる保護絶縁層 4 5 3 として、酸化物半導体層 4 6 2 の上面、及び側面を囲むように RF スパッタ法を用い、膜厚 1 0 0 nm の窒化珪素膜を設ける。また、保護絶縁層 4 5 3 を窒化物絶縁膜からなるゲート絶縁層 4 5 2 と接する構成とする。

【 0 4 4 8 】

図 3 8 に示す構造とすることで、窒化物絶縁膜からなる保護絶縁層 4 5 3 の形成後の製造プロセスにおいて、外部からの水分の侵入を防ぐことができる。また、半導体装置、例えば液晶表示装置としてデバイスが完成した後にも長期的に、外部からの水分の侵入を防ぐことができデバイスの長期信頼性を向上することができる。

【 0 4 4 9 】

また、薄膜トランジスタ 4 7 0 も同様に、窒化物絶縁膜からなる保護絶縁層 4 5 3 として、酸化物半導体層 4 7 2 の上面、及び側面を囲むように RF スパッタ法で形成された膜厚 1 0 0 nm の窒化珪素膜を用いる。また、保護絶縁層 4 5 3 を窒化物絶縁膜からなるゲート絶縁層 4 5 2 と接する構成とする。

【 0 4 5 0 】

また、本実施の形態では一つの薄膜トランジスタを窒化物絶縁膜で囲む構成を示したが特に限定されず、複数の薄膜トランジスタを窒化物絶縁膜で囲む構成としてもよいし、画素部の複数の薄膜トランジスタをまとめて窒化物絶縁膜で囲む構成としてもよい。少なくともアクティブマトリクス基板の画素部の周縁を囲むように保護絶縁層 4 5 3 とゲート絶縁層 4 5 2 とが接する領域を設ける構成とすればよい。

【 0 4 5 1 】

本実施の形態は他の実施の形態と自由に組み合わせることができる。

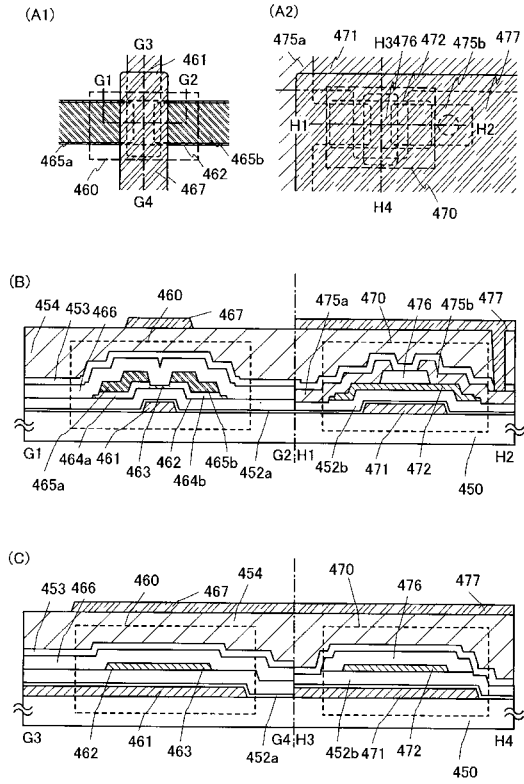
10

20

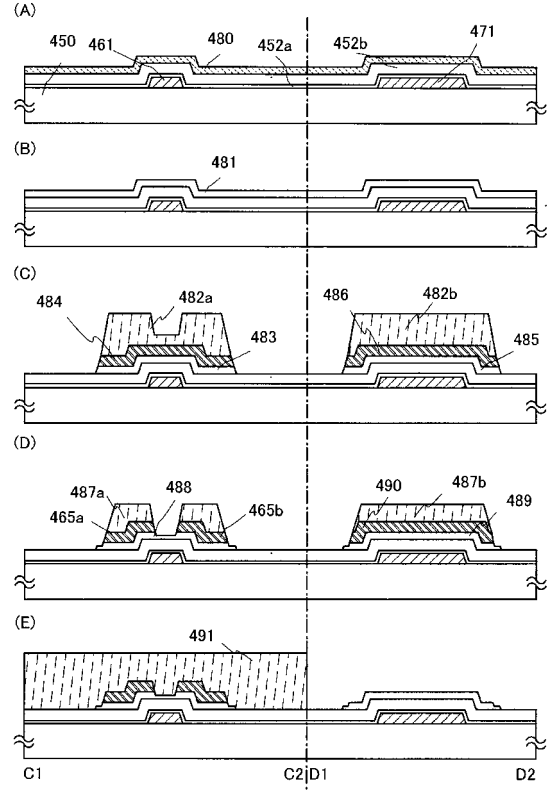
30

40

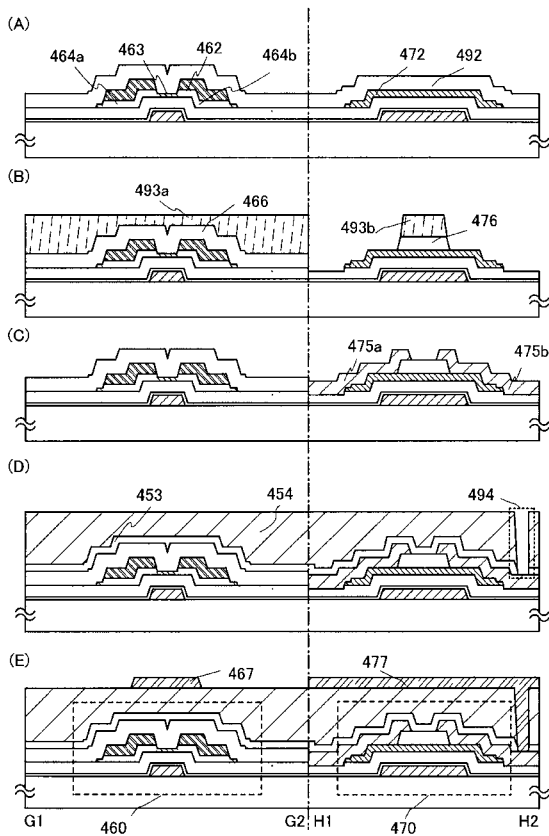
【図1】



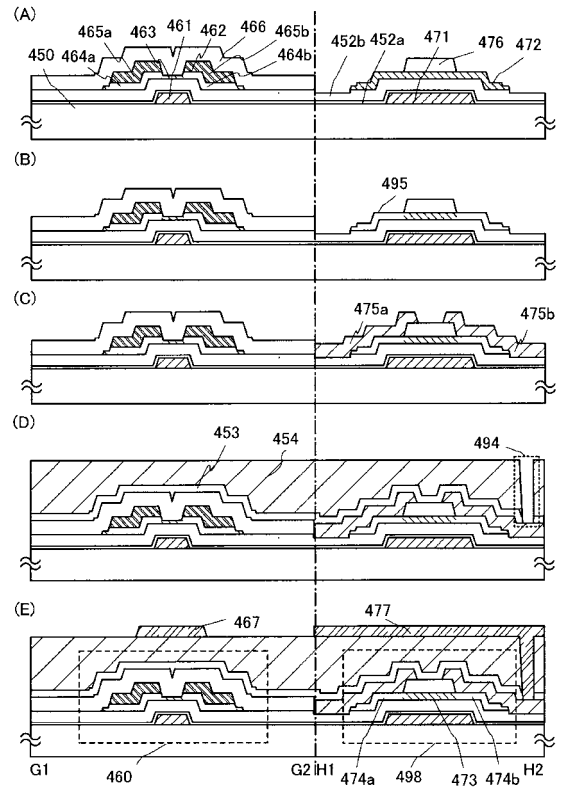
【図2】



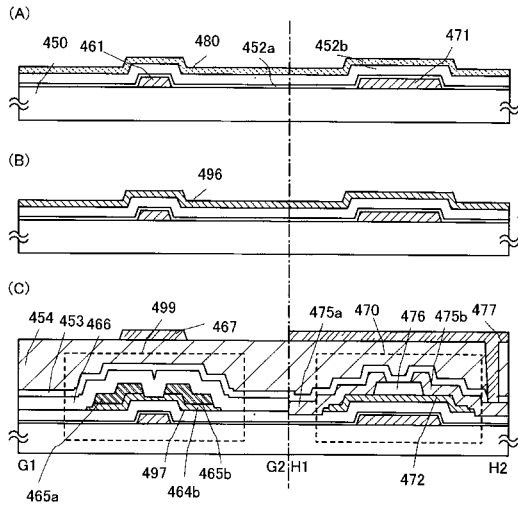
【図3】



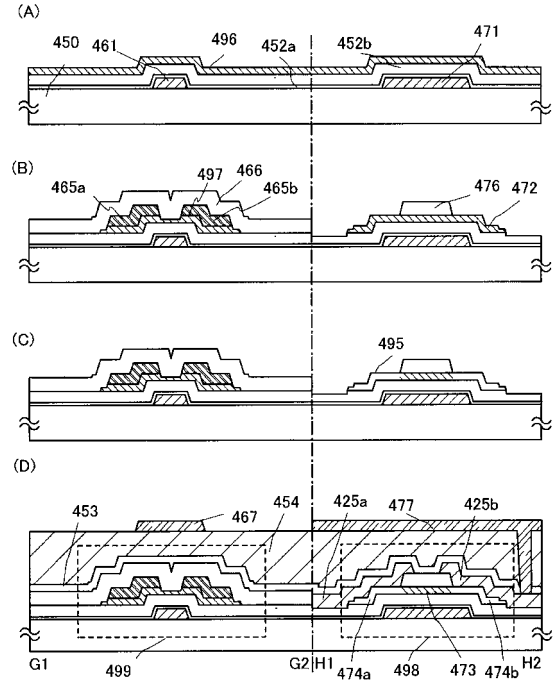
【図4】



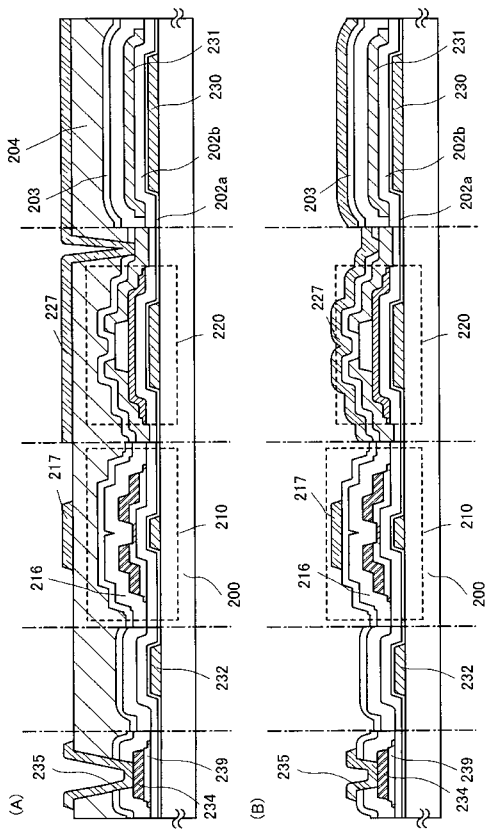
【 図 5 】



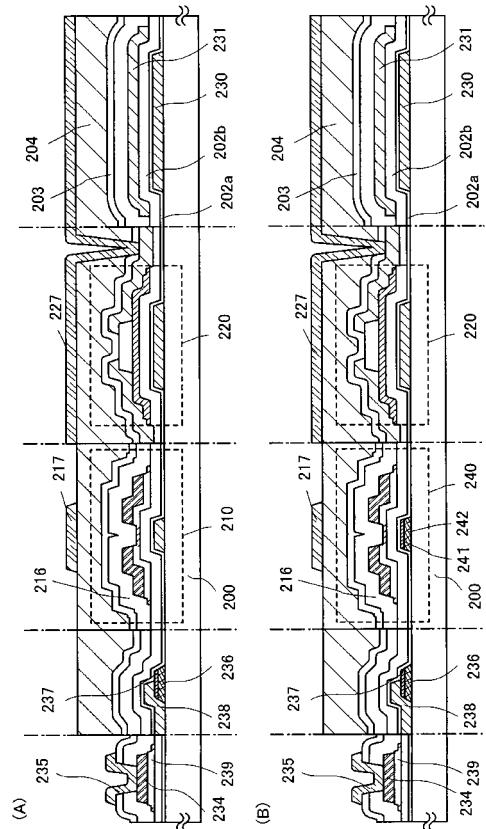
【 図 6 】



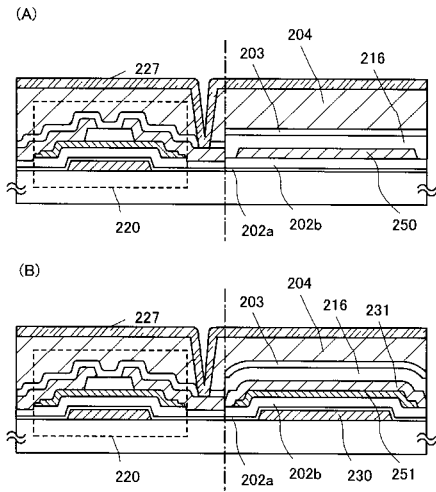
【 図 7 】



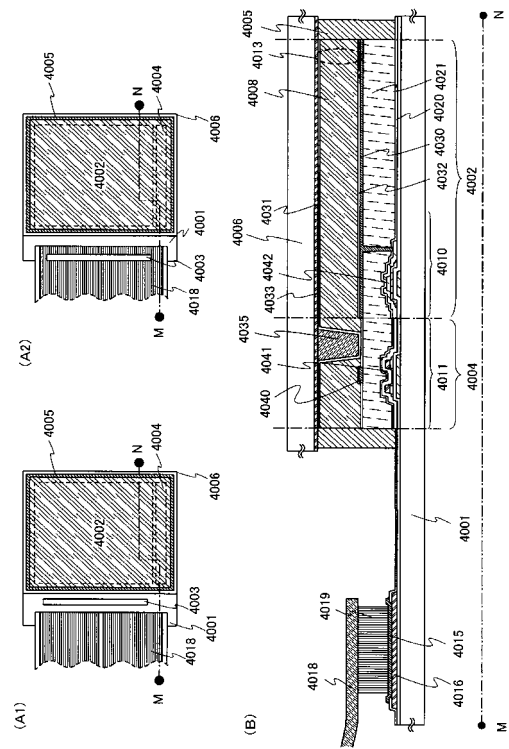
【 図 8 】



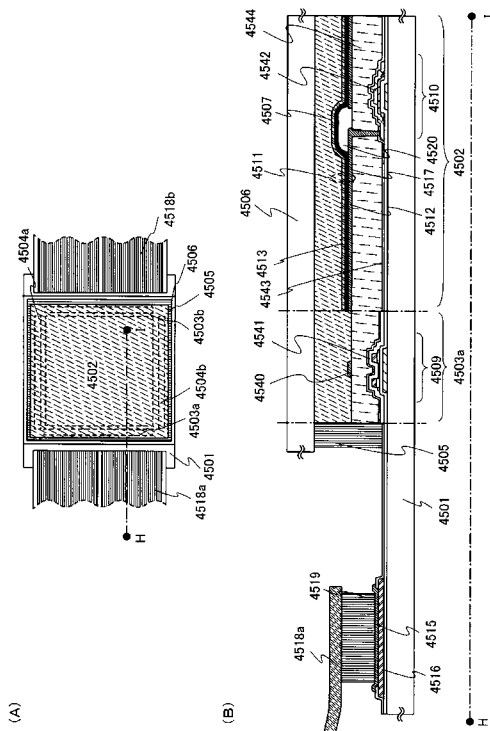
【 図 9 】



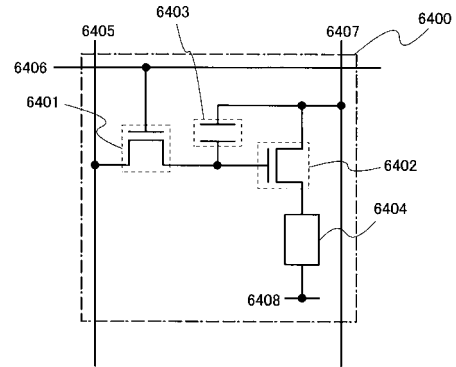
【 図 10 】



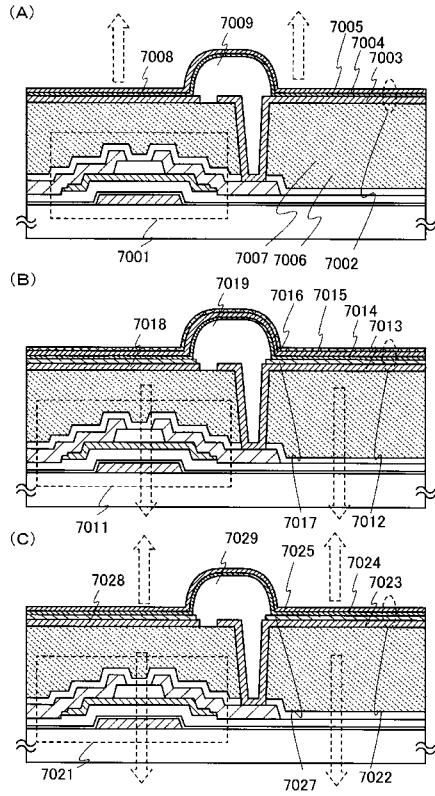
【 図 11 】



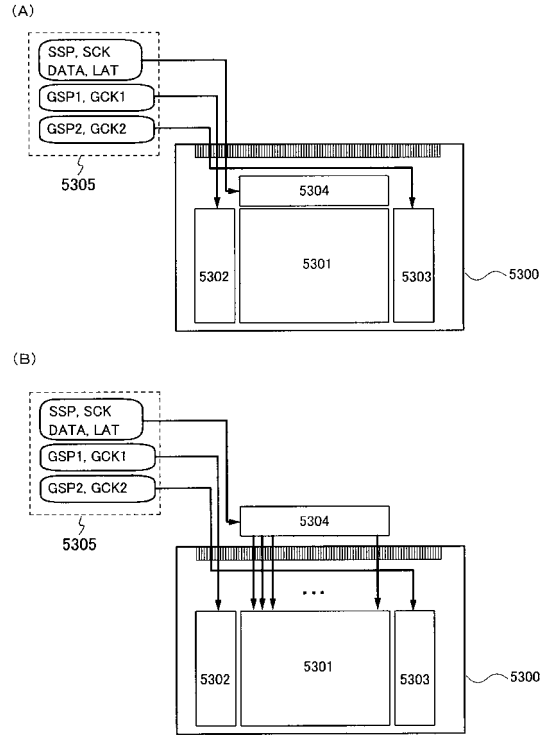
【 図 12 】



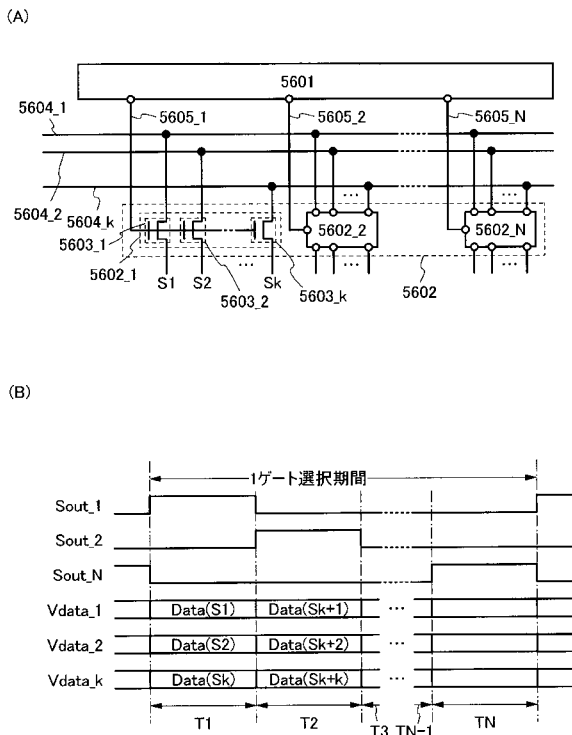
【図13】



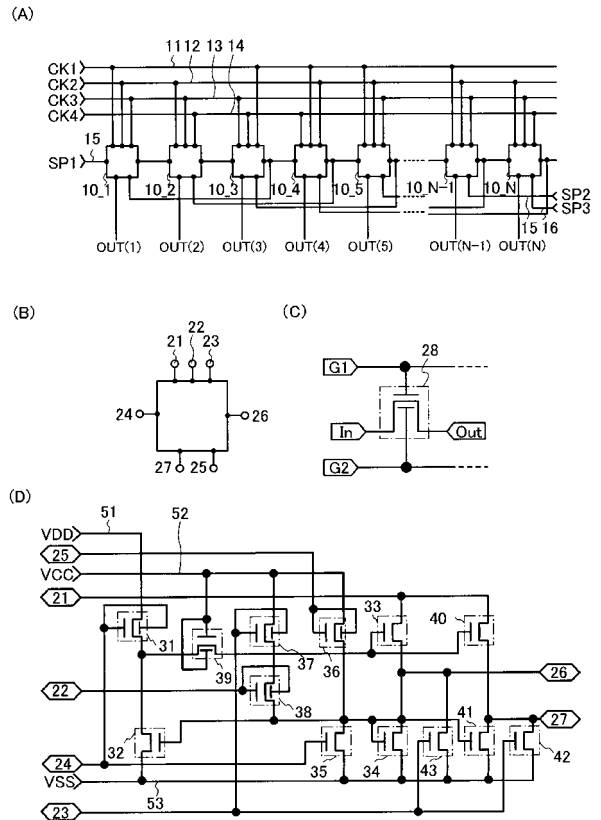
【図14】



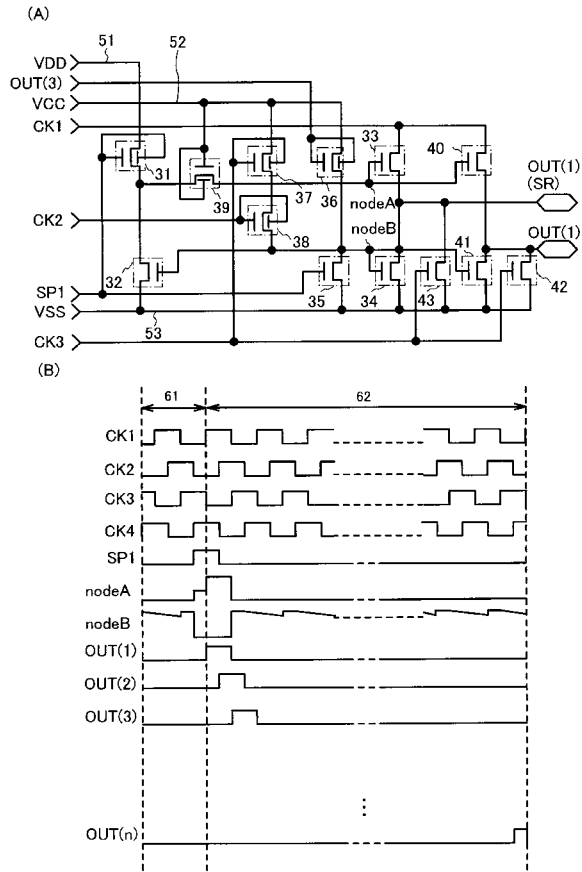
【図15】



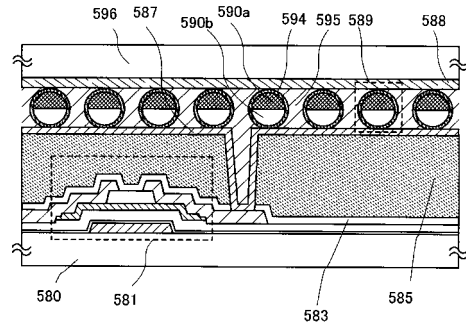
【図16】



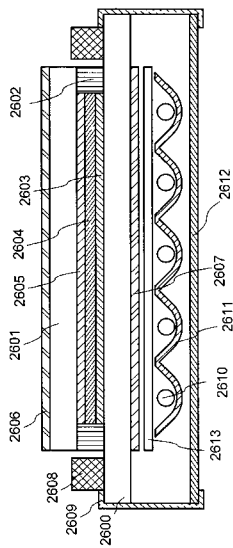
【 図 1 7 】



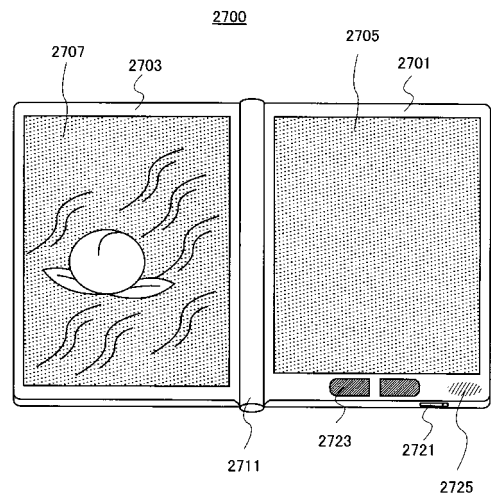
【 図 1 8 】



【 図 1 9 】

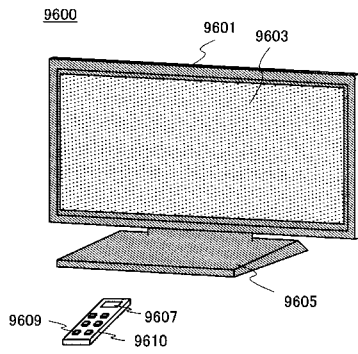


【 図 2 0 】

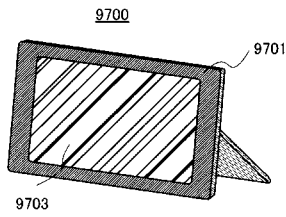


【 図 2 1 】

(A)

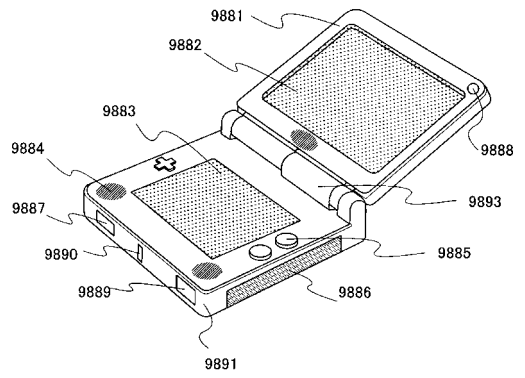


(B)

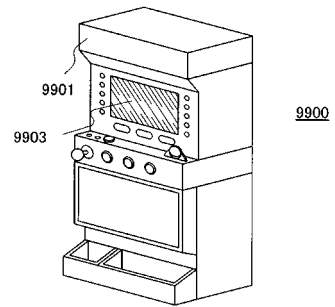


【 図 2 2 】

(A)

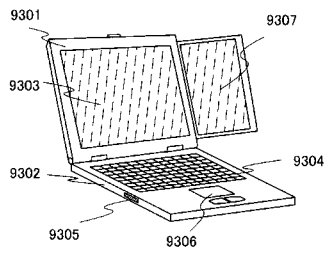


(B)

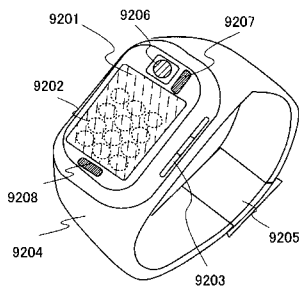


【 図 2 3 】

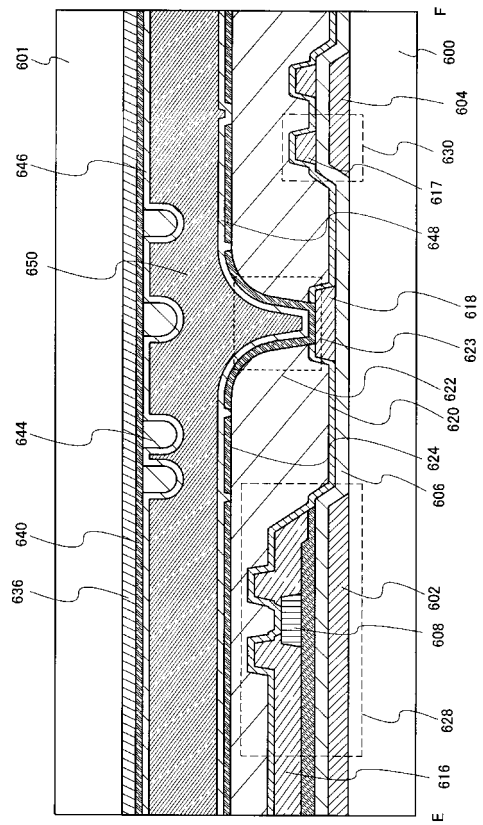
(A)



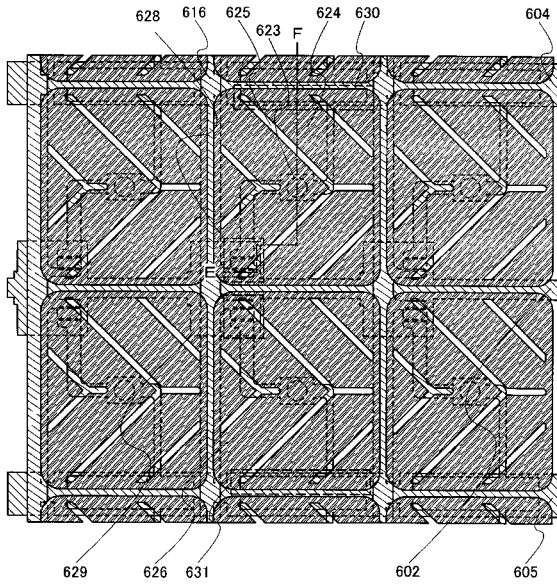
(B)



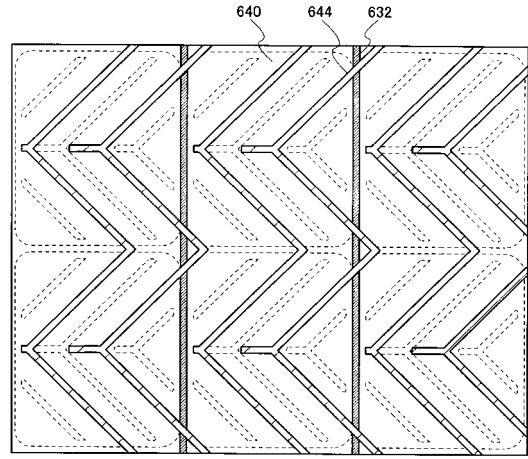
【 図 2 4 】



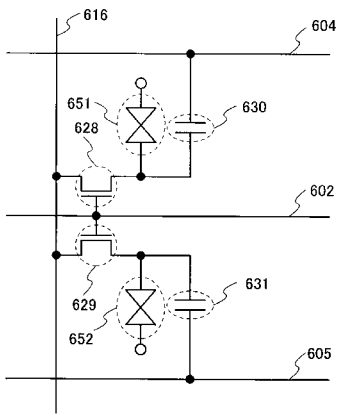
【 図 2 5 】



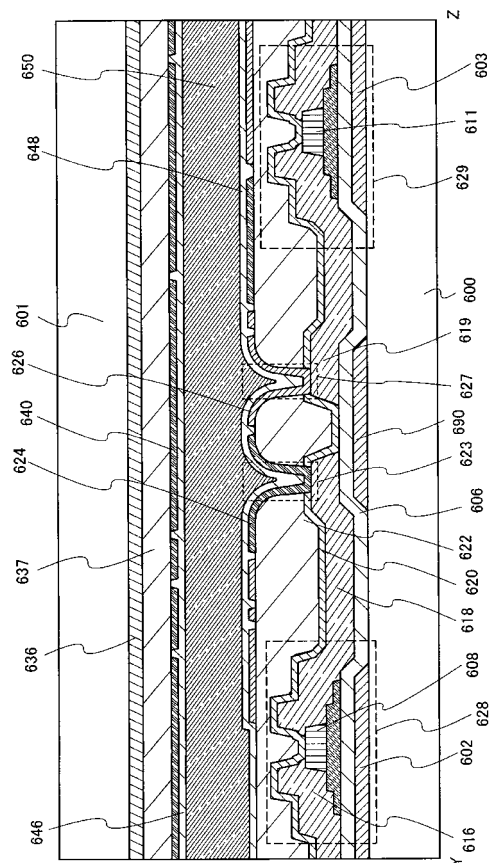
【 図 2 6 】



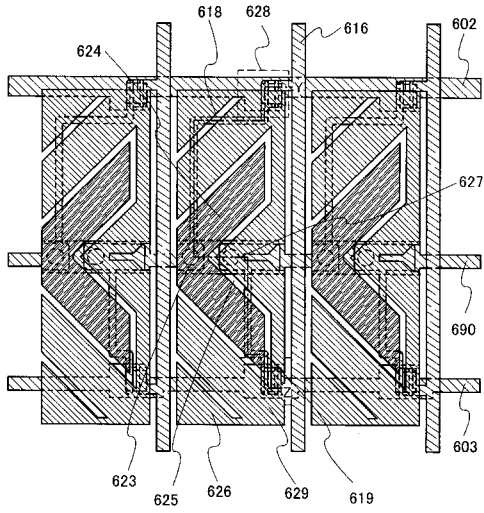
【 図 2 7 】



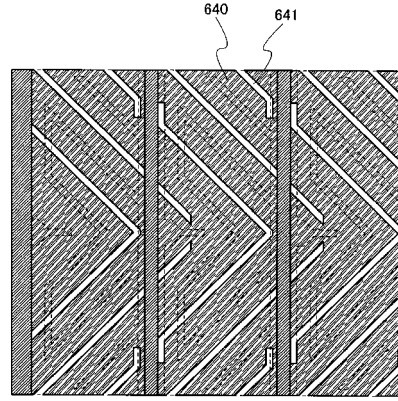
【 図 2 8 】



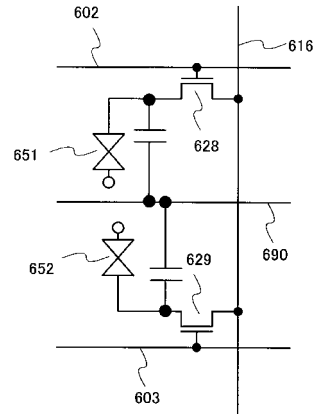
【 図 2 9 】



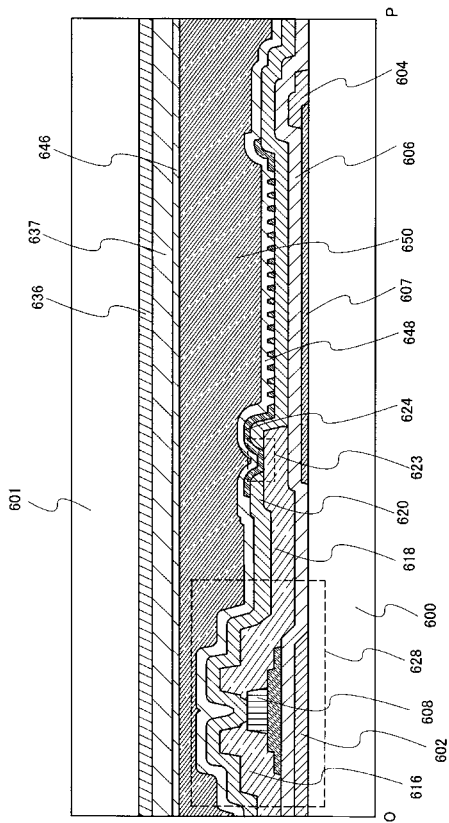
【 図 3 0 】



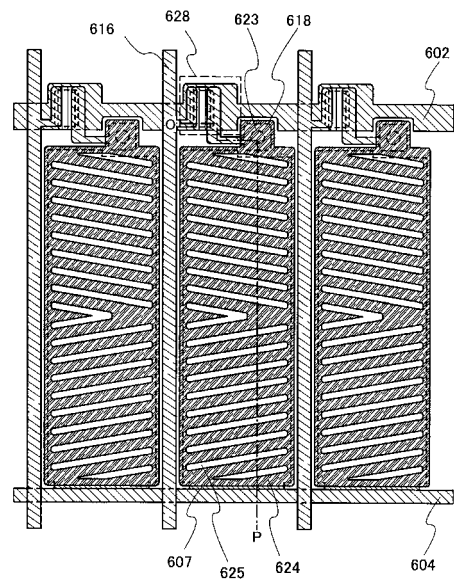
【 図 3 1 】



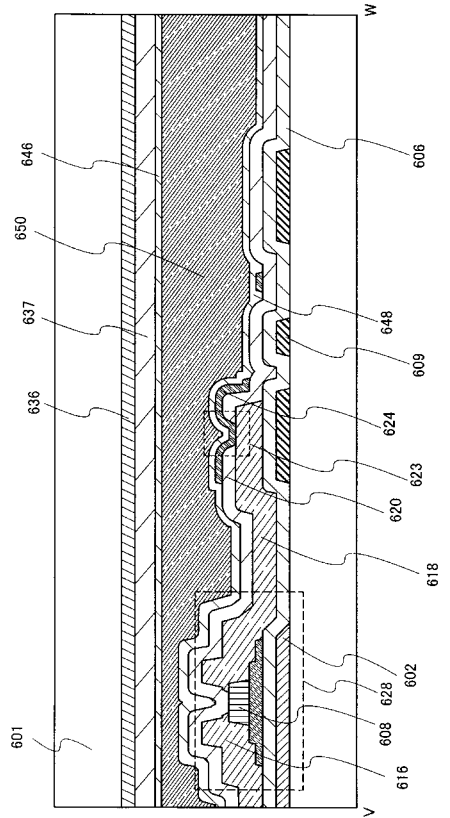
【 図 3 2 】



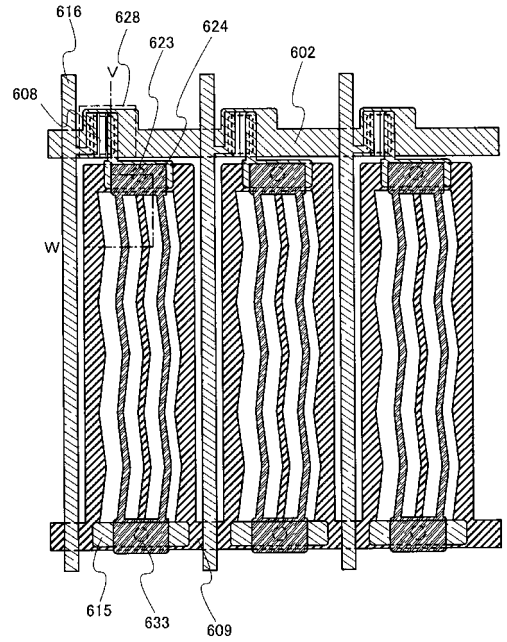
【 図 3 3 】



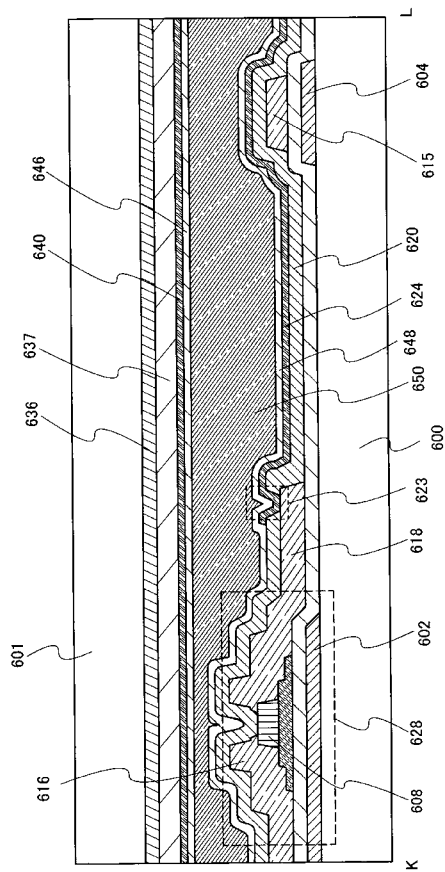
【 図 3 4 】



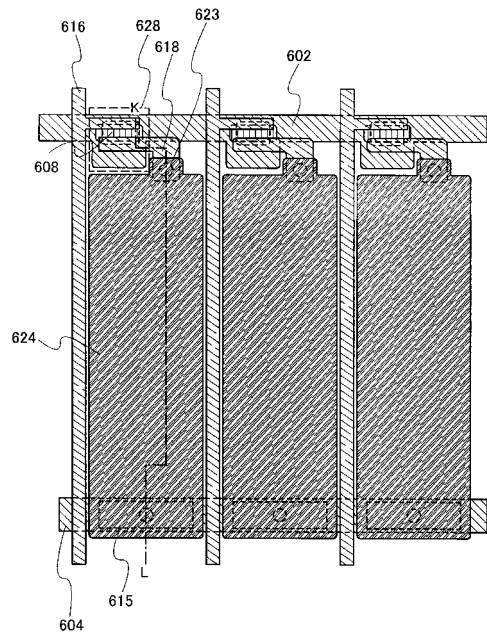
【 図 3 5 】



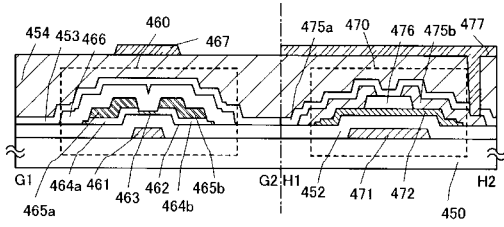
【 図 3 6 】



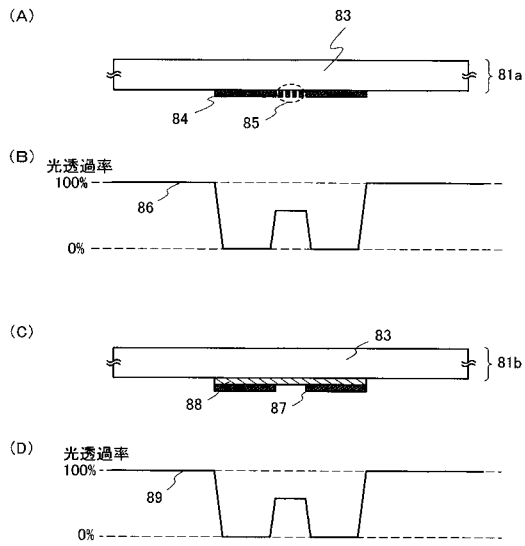
【 図 3 7 】



【 図 3 8 】



【 図 3 9 】



フロントページの続き

(51)Int.Cl.	F I			テーマコード(参考)
H 0 1 L 51/50 (2006.01)	H 0 1 L	27/08	3 3 1 E	
H 0 5 B 33/14 (2006.01)	G 0 2 F	1/1368		
G 0 9 F 9/30 (2006.01)	H 0 5 B	33/14	A	
	H 0 5 B	33/14	Z	
	G 0 9 F	9/30	3 3 8	
	H 0 1 L	29/78	6 1 7 K	

(72)発明者 川俣 郁子

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

F ターム(参考) 2H192 AA24 BA25 BB02 BB13 BC24 BC26 BC31 CB05 CB08 CB37
 CB71 CB83 DA12 DA42 DA62 EA67 FA65 FA73 FB15 FB27
 FB33 GA03 HA44 JA06 JA13 JA33
 3K107 AA01 AA07 AA08 AA09 BB01 CC33 CC35 CC36 CC45 EE04
 FF14 FF15 HH02 HH05
 5C094 AA05 AA10 AA21 AA44 BA03 BA27 BA43 BA75 CA19 DA13
 EA04 EA10 FA01 FB02 FB12 FB14
 5F048 AB10 AC01 AC10 BA14 BA16 BB02 BB03 BB09 BB11 BB14
 BD10 BF02 BF07
 5F110 AA16 BB02 CC07 DD01 DD02 DD03 DD04 DD13 DD14 DD15
 DD17 EE07 EE24 EE25 EE27 EE30 EE43 EE44 FF02 FF03
 FF04 FF09 FF28 FF30 GG01 GG22 GG25 GG43 GG57 GG58
 HK02 HK03 HK04 HK06 HK07 HK21 HK22 HL07 HL22 HL23
 NN03 NN12 NN22 NN23 NN24 NN25 NN27 NN33 NN34 NN36
 NN40 NN71 NN72 NN73 NN78 QQ02 QQ19