

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2023년 5월 11일 (11.05.2023) WIPO | PCT



(10) 국제공개번호
WO 2023/080433 A1

(51) 국제특허분류:
G05F 3/26 (2006.01) H03F 1/32 (2006.01)
G06N 3/063 (2006.01) H03F 3/45 (2006.01)

(21) 국제출원번호: PCT/KR2022/013961

(22) 국제출원일: 2022년 9월 19일 (19.09.2022)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2021-0150804 2021년 11월 4일 (04.11.2021) KR
10-2022-0072160 2022년 6월 14일 (14.06.2022) KR

(71) 출원인: 서울대학교산학협력단 (SEOUL NATIONAL UNIVERSITY R&DB FOUNDATION) [KR/KR]; 08826 서울특별시 관악구 관악로 1 (신림동), Seoul (KR).

(72) 발명자: 박병국 (PARK, Byung-Gook); 08826 서울특별시 관악구 관악로 1, 301동 1003호 (신림동, 서울대학교), Seoul (KR). 박종혁 (PARK, Jong Hyuk); 08826 서울특별시 관악구 관악로 1, 301동 1015호 (신림동, 서울대학교), Seoul (KR).

(74) 대리인: 특허법인 엠에이피에스 (MAPS INTELLECTUAL PROPERTY LAW FIRM); 06239 서울특별시 강남구 테헤란로8길 37, 8층 (역삼동, 한동빌딩), Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD,

ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

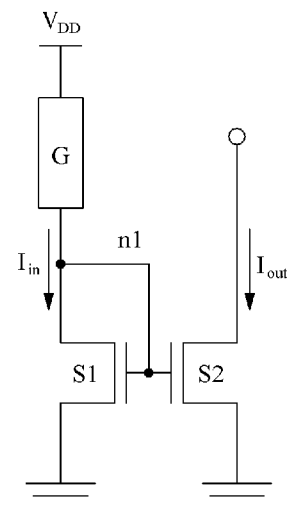
(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(54) Title: CURRENT MIRROR CIRCUIT AND NEUROMORPHIC DEVICE COMPRISING SAME

(54) 발명의 명칭: 커런트 미러 회로 및 이를 포함하는 뉴로모픽 장치



(57) Abstract: One embodiment of the present disclosure relates to a current mirror circuit and a neuromorphic device comprising same, and provides a current mirror circuit and a neuromorphic device comprising same, which may enable an ideal current value to flow in the current mirror circuit by using a compensation circuit, and improve linearity of the current mirror circuit even when voltage of an input node increases.

(57) 요약서: 본 개시의 일 실시예는 커런트 미러 회로 및 이를 포함하는 뉴로모픽 장치에 관한 것으로서, 보상 회로를 이용하여 커런트 미러 회로에 이상적인 전류값을 흐르게 하며, 입력 노드의 전압이 증가하여도 커런트 미러 회로의 선형성을 향상시킬 수 있는 커런트 미러 회로 및 이를 포함하는 뉴로모픽 장치를 제공한다.

WO 2023/080433 A1

명세서

발명의 명칭: 커런트 미러 회로 및 이를 포함하는 뉴로모픽 장치 기술분야

- [1] 본 개시의 실시예는 커런트 미러 회로에 관한 것으로서, 보다 상세하게는 뉴로모픽 장치에 적용될 수 있는 커런트 미러 회로에 관한 것이다.

배경기술

- [2] 최근 인공지능망에 기반한 컴퓨팅 기술이 발전함과 더불어, 스파이킹 뉴럴 네트워크(Spiking Neural Network, SNN)에 대한 연구 개발도 활발하게 이루어지고 있다. 스파이킹 뉴럴 네트워크는 실제 생물학적 신경계의 모방(기억, 학습, 추론에 대한 개념)으로부터 시작되었지만, 유사한 네트워크 구조를 채택할 뿐, 신호 전달 및 정보 표현 방법, 학습 방법 등 다양한 측면에서 실제 생물학적 신경계와는 차이점이 있다.
- [3] 한편, 실제 신경계와 거의 동일하게 동작하는 하드웨어 기반 SNN은 아직 기존의 뉴럴 네트워크를 뛰어넘는 성능을 보이는 학습 방법이 개발되지 않아, 실제 산업에서 사용되고 있는 사례는 드물다. 하지만 기존 뉴럴 네트워크를 사용하여 시냅스 가중치를 도출하고 이를 활용해 SNN 방식으로 추론한다면, 높은 정확도와 동시에 초저전력 컴퓨팅 시스템을 구현할 수 있어, 이에 대한 연구가 활발히 진행되고 있다.
- [4] 이러한 SNN을 비롯한 뉴럴 네트워크를 하드웨어로 구현하기 위해, 커런트 미러(Current mirror) 회로가 사용될 수 있다. 도 1에 도시된 바와 같이, 종래의 커런트 미러 회로는 모스펫(MOSFET) 2개를 이용하여 구현된다. 종래의 커런트 미러 회로는 흘러줘야 하는 전류의 값이 증가할수록, 입력 노드의 전압이 올라가게 된다.
- [5] 커런트 미러 회로의 입력 노드 전압이 증가함에 따라, 커런트 미러 회로에서 생성되어야 하는 이상적인 전류값보다 작은 전류값이 생성되게 된다. 따라서, 종래의 커런트 미러 회로의 경우, 입력 노드의 전압이 증가함에 따라 선형성이 나빠지게 된다. 이에 따라, 뉴럴 네트워크를 하드웨어적으로 구현한 뉴로모픽 장치에 일반적인 커런트 미러 회로를 적용하기에는 어려움이 있다.

발명의 상세한 설명

기술적 과제

- [6] 본 개시의 실시예에 따른 커런트 미러 회로 및 이를 포함하는 뉴로모픽 장치는 입력 노드의 전압이 증가하여도 커런트 미러 회로의 선형성을 향상시키기 위한 것이다.
- [7] 다만, 본 실시예가 이루고자 하는 기술적 과제는 상기된 바와 같은 기술적 과제로 한정되지 않으며, 또 다른 기술적 과제들이 존재할 수 있다.

과제 해결 수단

[8] 상술한 기술적 과제를 달성하기 위한 기술적 수단으로서, 본 개시의 실시예에 따른 커런트 미러 회로는, 제1 단자에 전원 전압이 인가되고, 제2 단자는 접지되며, 상기 제1 단자와 다이오드 접속된 제3 단자를 포함하는 제1 스위칭 소자, 제2 단자가 접지되고, 제3 단자가 상기 제1 스위칭 소자의 제3 단자와 접속되는 제2 스위칭 소자 및 상기 제2 스위칭 소자에 병렬 접속된 보상회로를 포함하되, 상기 보상 회로는, 상기 전원 전압에 대응하는 커런트 미러 회로의 이상적인 전류값과 커런트 미러 회로에 흐르는 실제 전류값의 차이값만큼의 전류를 보상하여, 커런트 미러 회로에 상기 전원 전압에 대응하는 이상적인 전류값이 흐르도록 한다.

[9] 또한, 본 개시의 실시예에 따른 보상회로는, 제1 단자가 상기 제2 스위칭 소자의 제1 단자와 접속되고, 제2 단자는 접지되며, 제3 단자는 상기 제1 스위칭 소자의 제3 단자와 상기 제2 스위칭 소자의 제3 단자의 접속노드에 접속되는 하나 이상의 제3 스위칭 소자를 포함한다.

발명의 효과

[10] 본 개시의 실시예에 따른 커런트 미러 회로 및 이를 포함하는 뉴로모픽 장치는 입력 노드의 전압이 증가하여도 커런트 미러 회로의 선형성을 향상시킬 수 있다.

도면의 간단한 설명

[11] 도 1은 종래의 커런트 미러 회로의 회로도이다.

[12] 도 2는 본 개시의 실시예에 따른 커런트 미러 회로의 개념도이다.

[13] 도 3은 본 개시의 실시예에 따른 커런트 미러 회로의 회로도이다.

[14] 도 4는 본 개시의 실시예에 따른 커런트 미러 회로의 특성 그래프이다.

[15] 도 5는 본 개시의 실시예에 따른 보상 회로의 보상 전류 그래프이다.

[16] 도 6는 본 개시의 실시예에 따른 커런트 미러 회로가 적용된 뉴로모픽 장치의 회로도이다.

발명의 실시를 위한 최선의 형태

[17] 아래에서는 첨부한 도면을 참조하여 본 개시가 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 개시의 실시예를 상세히 설명한다. 그러나 본 개시는 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 개시를 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

[18] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

- [19] 본원 명세서 전체에서, 어떤 부제가 다른 부제 “상에” 위치하고 있다고 할 때, 이는 어떤 부제가 다른 부제에 접해 있는 경우뿐 아니라 두 부제 사이에 또 다른 부제가 존재하는 경우도 포함한다.
- [20] 또한, 첨부된 도면은 본 명세서에 개시된 실시예를 쉽게 이해할 수 있도록 하기 위한 것일 뿐, 첨부된 도면에 의해 본 명세서에 개시된 기술적 사상이 제한되지 않으며, 본 개시의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [21] 제1, 제2 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되지는 않는다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [22] 어떤 구성요소가 다른 구성요소에 “연결되어” 있다거나 “접속되어” 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 “직접 연결되어” 있다거나 “직접 접속되어” 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다.
- [23] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [24] 본 출원에서, “포함한다” 또는 “가지다” 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [25] 이하, 도 2 및 도 3을 참조하여 본 개시의 실시예에 따른 커런트 미러 회로를 설명한다.
- [26] 도 2에 도시된 바와 같이 본 개시의 실시예에 따른 커런트 미러 회로(1)는 종래의 커런트 미러(100)에 보상 회로(200)가 추가된 구조를 가진다. 보상 회로(200)는 커런트 미러(100)와 병렬 연결되며, 입력 노드(n1)의 전압 변화에 따라 왜곡되는 커런트 미러(100)의 전류량(이상적인 전류 값- 실제 흐르는 전류 값)만큼의 보상 전류를 흘려주어 커런트 미러(100)의 선형성을 향상시킨다.
- [27] 커런트 미러(100)에서, 컨덕턴스부(G, 110)는 제1 노드(n1)에 연결된 구성의 컨덕턴스 값에 대응될 수 있다. 따라서, 컨덕턴스부 (110)는 제1 노드에 연결된 회로, 장치의 컨덕턴스 값을 의미할 수 있다.
- [28] 본 개시의 실시예에 따른 커런트 미러 회로(1)는 제1 스위칭 소자(S1)와 제2 스위칭 소자(S2) 및 보상 회로를 포함한다. 제1 스위칭 소자(S1)는 제1 단자에 전원 전압이 인가되고, 제2 단자는 접지되며, 상기 제1 단자와 다이오드 접속된 제3 단자를 포함한다. 제2 스위칭 소자(S2)는 제2 단자가 접지되고, 제3 단자가

상기 제1 스위칭 소자의 제3 단자와 접속된다.

[29] 제1 스위칭 소자(S1) 및 제2 스위칭 소자(S2)는 모스펫(MOSFET) 소자 또는 NMOS소자를 이용할 수 있다. 하지만, 본 개시가 이에 제한되는 것은 아니며 다른 형태의 스위칭 소자를 사용하는 것도 가능하다.

[30] 제1 스위칭 소자(S1) 및 제2 스위칭 소자(S2)로 NMOS가 사용되는 경우, 제1 스위칭 소자(S1)는, 제1 노드(n1)에 연결된 드레인, 제1 노드(n1)에 연결된 게이트, 및 접지에 연결된 소스를 포함한다. 제2 스위칭 소자(S2)는 제1 노드(n1)에 연결되는 게이트, 제2 노드(n2)에 연결되는 드레인, 및 접지에 연결된 소스를 포함한다.

[31] 이와 같이, 제1 스위칭 소자(S1)와 제2 스위칭 소자(S2)는 각각의 게이트와 소스가 동일한 전압값을 가지게 된다. 따라서, 제1 스위칭 소자(S1)와 제2 스위칭 소자(S2)의 W(채널 폭)의 비에 따라 전류를 복사하게 된다.

[32] 하지만, 본 개시의 실시예에 따른 커런트 미러(100)의 구체적인 회로 구성은 예시적인 것으로서, 종래에 알려진 다른 형태의 회로를 통해서도 구현될 수 있다.

[33] 보상 회로(200)는 제2 스위칭 소자(S2)에 병렬 접속된 것으로서, 전원 전압에 대응하는 커런트 미러(100)의 이상적인 전류값과 커런트 미러(100)에 흐르는 실제 전류값의 차이값만큼의 전류를 보상하여, 커런트 미러(100)에 전원 전압에 대응하는 이상적인 전류값이 흐르도록 한다.

[34] 보상 회로(200)는 제2 스위칭 소자(S2)에 병렬로 연결되는 제3 스위칭 소자(S3)를 포함할 수 있다. 제3 스위칭 소자(S3)는 제1 단자가 상기 제2 스위칭 소자의 제1 단자와 접속되고, 제2 단자는 접지되며, 제3 단자는 상기 제1 스위칭 소자의 제3 단자와 상기 제2 스위칭 소자의 제3 단자의 접속노드에 접속된다.

[35] 제3 스위칭 소자(S3)는 모스펫(MOSFET) 소자 또는 NMOS를 이용할 수 있다. 하지만, 본 개시가 이에 제한되는 것은 아니며 다른 형태의 스위칭 소자를 사용하는 것도 가능하다.

[36] 보상 회로(200)가 NMOS 소자를 이용하는 경우, 제3 스위칭 소자(S3)는 제1 노드(n1)에 연결된 게이트, 제2 노드(n2)에 연결된 드레인, 및 접지에 연결된 소스를 포함한다.

[37] 이 때, 커런트 미러(100)를 구성하는 제1 스위칭 소자(S1)와 제2 제 스위칭 소자(S2)는 숏 채널(Short Channel)을 가지며, 제3 스위칭 소자(S3)는 롱 채널(Long Channel)을 가질 수 있다.

[38] 또한, 보상 회로(200)는 커런트 미러(100)에 1개의 스위칭 소자가 병렬로 연결되는 구조 이외에도, 커런트 미러(100)에 복수개의 스위칭 소자가 병렬로 연결되는 구조를 포함할 수 있다. 따라서, 제3 스위칭 소자(S3)는 복수개의 스위칭 소자를 의미할 수 있다.

[39] 커런트 미러(100)로 입력되는 전류(I_m)의 값이 증가하는 경우, 제1 노드(n1)의 전압이 상승한다. 제1 노드(n1)의 전압이 상승하는 경우에도 보상 회로(200)가

전류의 왜곡 값을 추가로 흘려주기 때문에 커런트 미러 회로(1)의 선형성을 향상시킬 수 있다.

- [40] 즉, 보상 회로는 전원 전압에 대응하는 커런트 미러 회로의 이상적인 전류값과 커런트 미러 회로에 흐르는 실제 전류값의 차이값만큼의 전류를 보상하여, 커런트 미러 회로에 전원 전압에 대응하는 이상적인 전류값이 흐르도록 한다.
- [41] 따라서, 본 개시의 실시예에 따른 커런트 미러 회로(1)는 전원 전압에 대응하는 이상적인 전류값을 생성하기 때문에, 전력 소모 측면에서도 이상적인 전력 소모가 가능하다.
- [42] 이하, 도 4를 참조하여 본 개시의 실시예에 따른 커런트 미러 회로(1)의 선형성을 설명한다.
- [43] 도 4는, 커런트 미러 회로의 이상적인 전류 특성(Ideal), 본 개시의 실시예에 따른 커런트 미러 회로(1)의 전류 특성(Compensated), 종래 커런트 미러 회로(100)의 전류 특성(Uncompensated)을 나타낸다.
- [44] 도 4에 도시된 바와 같이, 종래의 커런트 미러 회로(100)는 이상적인 전류(Ideal Current)의 값이 증가하는 경우, 이상적인 전류(Ideal Current)와 생성되는 전류(Drain Current)의 값 사이의 선형성이 감소하게 된다.
- [45] 본 개시의 실시예에 따른 커런트 미러 회로(1)는 보상 회로(200)가 연결되어 왜곡된 전류의 값을 보상할 수 있다. 따라서, 이상적인 전류(Ideal Current)의 값이 증가하는 경우에도, 이상적인 전류(Ideal Current)와 생성되는 전류(Drain Current)의 값 사이의 선형성이 유지된다.
- [46] 이하, 도 5를 참조하여, 본 개시의 실시예에 따른 보상 회로(200)의 보상 전류를 나타낸다.
- [47] 도 5에 도시된 바와 같이, 제1 노드(n1)의 전압은 0.3V 에서 0.8V 범위로 조절될 수 있다. 도 5의 그래프는 제1 노드(n1)의 전압에 따른 커런트 미러 회로의 이상적인 전류값과 실제 전류값의 차이를 나타낸다. 즉, 제1 노드(n1)의 전압이 증가하는 경우 커런트 미러 회로(100)의 이상적인 전류값과 실제 전류 값의 차이는 증가한다.
- [48] 따라서, 보상 회로(200)는 도 5에 도시된 이상적인 전류값과 실제 전류 값의 차이만큼의 보상 전류를 흐르게 한다. 즉, 보상 회로(200)는 제1 노드(n1)의 전압값이 증가할수록 더 많은 보상 전류를 흐르게 하여 커런트 미러 회로(1)의 선형성을 향상시킬 수 있다.
- [49] 구체적으로, 본 개시의 실시예에 따른 커런트 미러 회로(1)의 동작은 아래의 수학적식을 이용하여 표현될 수 있다. 먼저, 수학적식 1을 이용하여 커런트 미러(100)에 흘러야 하는 이상적인 전류값을 도출할 수 있다. 그리고, 수학적식 2를 이용하여 커런트 미러(100)에 흐르는 실제 전류값을 도출할 수 있다.
- [50] [수학적식 1]
- [51]
$$I_{in,ideal} = G(V_{DD} - V_{th})$$

- [52] 여기서, $I_{in, ideal}$ 은 커런트 미러 회로(100)의 입력단에 흘러야 하는 이상적인 전류값, V_{DD} 는 전원 전압값, V_{th} 은 제1 스위칭 소자(S1) 및 제2 스위칭 소자(S2)의 문턱 전압값(Threshold voltage), G 는 제1 노드에 연결된 장치 또는 회로의 컨덕턴스 값을 의미한다.
- [53] [수학식 2]
- [54]
$$I_{in, real} = G(V_{DD} - V_{n1}) = G_1(V_{DD} - V_{th})$$
- [55] 여기서, $I_{in, real}$ 은 커런트 미러 (100)의 입력단에 흐르는 실제 전류값, V_{DD} 는 전원 전압값, V_{n1} 은 제1 노드 전압값, G_1 은 제1 스위칭 소자(S1)의 트랜스 컨덕턴스(transconductance)값이다. 수학식 2에서 제1 노드 전압값을 구하면 다음의 수학식 3과 같다.
- [56] [수학식 3]
- [57]
$$V_{n1} = \frac{GV_{DD} + G_1V_{th}}{G + G_1}$$
- [58] 수학식 3을 수학식 2에 대입하고, 수학식 1을 이용하면 다음의 수학식 4를 도출할 수 있다.
- [59] [수학식 4]
- [60]
$$I_{in, real} = \frac{I_{in, ideal} I_{in, max}}{I_{in, ideal} + I_{in, max}}$$
- [61] 여기서, $I_{in, max}$ 은 커런트 미러(100)의 입력단에 흐르는 최대 전류값으로 다음의 수학식 5를 이용하여 도출될 수 있다.
- [62] [수학식 5]
- [63]
$$I_{in, max} = G_1(V_{DD} - V_{th})$$
- [64] 입력 전류값($I_{in, max}$)을 도출하는 방식과 동일한 방식을 이용하여, 출력 전류값($I_{out, max}$)에 관한 아래의 수학식 6을 도출할 수 있다.
- [65] [수학식 6]
- [66]
$$I_{out, ideal} = \frac{G_2}{G_1} I_{in, ideal} = \frac{G_2 G}{G_1} V_{DD} - V_{th}$$
- [67]
$$I_{out, real} = G_2(V_{n1} - V_{th})$$
- [68]
$$I_{out, max} = G_2 V_{n1} - V_{th}$$
- [69]
$$I_{out, real} = \frac{I_{out, ideal} I_{out, max}}{I_{out, ideal} + I_{out, max}}$$
- [70] 여기서, $I_{out, real}$ 은 커런트 미러(100)의 출력단에 흐르는 실제 전류값, V_{DD} 는 전원 전압값, V_{n1} 은 제1 노드 전압값, G_2 은 제2 스위칭 소자(S2)의 트랜스 컨덕턴스(transconductance)값이다.
- [71] 따라서, 이상적으로 흘러주어야 하는 전류와 실제 흐르는 전류값의 차이만큼

보상을 해야한다. 보상 전류값($I_{\text{compensation}}$)을 도출하기 위해서 아래의 수학식 7을 이용할 수 있다.

[72] [수학식 7]

$$[73] \quad I_{\text{compensation}} = I_{\text{out,ideal}} - I_{\text{out,real}} = \frac{I_{\text{out,ideal}}^2}{I_{\text{out,ideal}} + I_{\text{out,max}}}$$

[74] 또한, 수학식 7을 2차식으로 근사하면, 아래의 수학식 8을 도출할 수 있다. 따라서, 롱 채널(Long Channel) 모스펫(MOSFET)을 보상회로로 사용할 수 있다.

[75] [수학식 8]

$$[76] \quad I_{\text{compensation}} = G_3 (V_{gs1} - V_{th})^2$$

[77] 여기서, G_3 은 보상회로에 포함된 제3 스위칭 소자(S3)의 트랜스 컨덕턴스(transconductance)값이다.

[78] 이와 같이, 보상 회로는 커런트 미러 회로의 이상적인 전류값과 커런트 미러 회로에 흐르는 실제 전류값의 차이값만큼의 전류를 보상하여, 커런트 미러 회로에 이상적인 전류값이 흐르도록 할 수 있다.

[79] 이하, 도 6을 참조하여, 본 개시의 실시예에 따른 커런트 미러 회로가 적용된 뉴로모픽 장치의 구조를 설명한다.

[80] 뉴로모픽 장치는 커런트 미러 회로의 입력단에 연결되는 시냅스(300), 커런트 미러 회로의 출력단에 연결되는 발화부(400)를 포함할 수 있다.

[81] 시냅스(300)는 복수의 시냅스 소자를 포함하는 시냅스 어레이 형태로 구현되며, 실질적으로 동일한 형태를 갖도록 구현될 수 있다. 시냅스 어레이는 뇌의 시냅스와 동일한 기능을 발휘하도록 구현된 것으로, 통상적으로는 비휘발성 메모리 소자에 기반하여 구현되고 있다.

[82] 시냅스 어레이는 복수의 시냅스 셀과 대응하는 것으로, 소정의 가중치를 각각 저장하고 있다. 시냅스 어레이에는 전단 뉴런 회로와 후단 뉴런 회로가 결합되는데, 전단 뉴런 회로와 후단 뉴런 회로의 개수의 곱에 해당하는 시냅스 셀을 포함할 수 있다.

[83] 시냅스 어레이에 대하여 가중치를 저장하는 동작이나, 저장된 가중치를 독출하는 과정은, 일반적인 비휘발성 메모리 소자에서 수행되는 프로그램 동작 또는 독출동작과 마찬가지로 원리를 통해 수행된다. 여기서, 가중치라 함은 인공 신경망 모형을 나타내는 퍼셉트론 구조 등에서 입력 신호에 곱해지는 가중치(weight)를 의미하며, 추가적으로 입력이 1인 특별한 가중치인 바이어스(bias)를 포함하는 개념으로서 정의한다.

[84] 커런트 미러(100)는 시냅스(300)를 통해 전달되는 신호를 커패시터 등과 같은 충전 소자에 축적한다. 발화부(400)는 충전 소자의 충전 전압이 일정 레벨 이상이 되면 스파이크를 발생시키게 된다.

[85] 상술한 바와 같이, 커런트 미러(100)에 보상 회로(200)를 병렬 연결함에 따라 커런트 미러(100)의 선형성을 향상시킬 수 있다. 따라서, 뉴로모픽 장치의 동작

정확도 및 성능 또한 향상시킬 수 있다.

- [86] 구체적으로 도 6에 도시된 바와 같이, 뉴로모픽 장치는 시냅스(300), 제1 커런트 미러 회로(100), 보상 회로(200), 제2 커런트 미러 회로(120), 커패시터(C_{mem}) 및 발화부(400) 중 어느 하나 이상을 포함할 수 있다.
- [87] 시냅스(300)는, 제1 커런트 미러 회로(100)의 입력단인 제1 노드(n1)에 연결된다. 제1 커런트 미러 회로(100)는 제1 스위칭 소자(S1) 및 제2 스위칭 소자(S2)를 포함한다. 따라서, 시냅스(300)의 출력단이 제1 스위칭 소자(S1)의 제1 단자에 접속된다.
- [88] 제1 스위칭 소자(S1)은, 제1 단자가 시냅스(300)의 출력단에 접속되고, 제2 단자는 접지되며, 제1 단자와 다이오드 접속된 제3 단자를 포함한다. 제2 스위칭 소자(S2)는 제2 단자가 접지되고, 제3 단자가 상기 제1 스위칭 소자의 제3 단자와 접속된다.
- [89] 상술한 바와 같이, 제1 스위칭 소자(S1) 및 제2 스위칭 소자(S2)는 MOS펫 소자 또는 NMOS가 이용될 수 있다. 제1 스위칭 소자(S1) 및 제2 스위칭 소자(S2)가 NMOS 소자를 이용하는 경우, 제1 스위칭 소자(S1)는 제1 드레인 단자와 제1 게이트 단자가 제1 노드(n1)에 연결되고 제1 소스 단자는 접지에 연결된다. 제2 스위칭 소자(S2)는, 제2 게이트 단자가 제1 노드(n1)에 연결되고, 제2 드레인 단자가 제2 노드(n2)에 연결되고, 제2 소스 단자는 접지에 연결된다.
- [90] 보상 회로(200)는 제2 스위칭 소자(S2)와 병렬 연결되는 제3 스위칭 소자(S3)를 포함할 수 있다. 제3 스위칭 소자(S3)는 제1 커런트 미러 회로(100)와 동일한 스위칭 소자가 이용될 수 있다. 따라서, 제3 스위칭 소자(S3)는 MOS펫(MOSFET) 소자 또는 NMOS소자가 이용될 수 있다.
- [91] 보상 회로(200)가 NMOS 소자를 이용하는 경우, 제3 스위칭 소자(S3)는, 제3 게이트 단자가 제1 노드(n1)에 연결되고, 제3 드레인 단자는 제2 노드(n2)에 연결되며, 제3 소스 단자는 접지에 연결된다.
- [92] 이 때, 커런트 미러(100)를 구성하는 제1 스위칭 소자(S1)와 제2 제 스위칭 소자(S2)는 숏 채널(Short Channel)을 가지며, 제3 스위칭 소자(S3)는 롱 채널(Long Channel)을 가질 수 있다.
- [93] 또한, 제3 스위치 소자(S3)는 한 개의 스위칭 소자가 아닌 복수개의 스위칭 소자를 의미할 수 있다. 즉, 보상 회로(200)는 한 개의 스위칭 소자로 구성되는 것뿐만 아니라, 복수개의 스위칭 소자가 병렬로 연결되는 구조를 포함할 수 있다.
- [94] 제2 커런트 미러 회로(120)는 제1 커런트 미러 회로(100)의 출력단과 연결된다. 제2 커런트 미러 회로(120)는 제1 커런트 미러 회로(100)의 제2 스위칭 소자(S2)에 흐르는 전류가 입력되는 제3 스위칭 소자(S3) 및 제3 스위칭 소자(S3)의 전류가 복사되어 흐르는 제4 스위칭 소자(S4)를 포함할 수 있다.
- [95] 제4 스위칭 소자(S4) 및 제5 스위칭 소자(S5)는 제1 커런트 미러 회로(100)에 사용되는 스위칭 소자와 다른 타입의 스위칭 소자가 사용된다. 따라서, 제4

스위칭 소자(S4) 및 제5 스위칭 소자(S5)는 PMOS를 이용할 수 있다. 하지만, 본 개시가 이에 제한되는 것은 아니며 다른 형태의 스위칭 소자를 사용하는 것도 가능하다.

- [96] 제4 스위칭 소자(S4) 및 제5 스위칭 소자(S5)가 PMOS 소자를 이용하는 경우, 제4 스위칭 소자(S4)는 제4 드레인 단자가 전압원(V_{DD})에 연결되며, 제4 게이트 단자와 제4 소스 단자가 제2 노드(n2)에 연결된다. 제5 스위칭 소자(S5)는, 제5 드레인 단자가 전압원(V_{DD})에 연결되며, 제5 게이트 단자가 제2 단자(n2)에 연결되고, 제5 소스 단자는 제3 노드(n3)에 연결된다.
- [97] 커패시터(C_{mem})는 시냅스(300)의 출력 신호를 축적하여 저장할 수 있다. 구체적으로, 시냅스(300)의 출력 신호가 제1 커런트 미러 회로(100) 및 제2 커런트 미러 회로(120)를 통해 커패시터(C_{mem})에 축적될 수 있다. 즉, 커패시터(C_{mem})는, 시냅스 어레이의 출력 전류를 축적할 수 있다.
- [98] 커패시터(C_{mem})는 일단이 제2 커런트 미러 회로(120)의 출력단에 접속하고, 타단은 접지된다. 즉, 커패시터(C_{mem})는 일단이 제3 노드(n3)에 연결되고 타단이 접지에 연결된다.
- [99] 발화부(400)는 커패시터(C_{mem})의 충전 전압이 일정 레벨 이상이 되면 스파이크를 발생시켜 다음 뉴런 회로로 전달할 수 있다. 발화부(400) 및 다음 뉴런 회로의 시냅스는, 제3 노드에 직렬로 연결된다. 즉, 발화부(400)는 입력단이 제2 커런트 미러 회로(120)의 출력단에 접속하고, 타단은 다음 뉴런 회로의 시냅스와 접속된다.
- [100] 이와 같이, 뉴로모픽 장치 또는 SNN 회로에 있어서, 시냅스 각각에 저장되어 있는 가중치 값과 입력 값을 곱한 가중치 합을 커런트 미러 회로를 이용하여 출력할 때, 커런트 미러 회로(100)에 보상 회로(200)가 추가됨에 따라 이상적인 전류값을 커런트 미러 회로에서 흐르게 할 수 있다. 따라서, 뉴로모픽 장치 또는 SNN 회로의 동작 정확도 및 성능을 향상시킬 수 있다.
- [101] 본 개시의 일 실시예는 컴퓨터에 의해 실행되는 프로그램 모듈과 같은 컴퓨터에 의해 실행가능한 명령어를 포함하는 기록 매체의 형태로도 구현될 수 있다. 컴퓨터 판독 가능 매체는 컴퓨터에 의해 액세스될 수 있는 임의의 가용 매체일 수 있고, 휘발성 및 비휘발성 매체, 분리형 및 비분리형 매체를 모두 포함한다. 또한, 컴퓨터 판독가능 매체는 컴퓨터 저장 매체를 포함할 수 있다. 컴퓨터 저장 매체는 컴퓨터 판독가능 명령어, 데이터 구조, 프로그램 모듈 또는 기타 데이터와 같은 정보의 저장을 위한 임의의 방법 또는 기술로 구현된 휘발성 및 비휘발성, 분리형 및 비분리형 매체를 모두 포함한다.
- [102] 본 개시의 방법 및 시스템은 특정 실시예와 관련하여 설명되었지만, 그것들의 구성 요소 또는 동작의 일부 또는 전부는 범용 하드웨어 아키텍처를 갖는 컴퓨터 시스템을 사용하여 구현될 수 있다.
- [103] 전술한 본원의 설명은 예시를 위한 것이며, 본원이 속하는 기술분야의 통상의 지식을 가진 자는 본원의 기술적 사상이나 필수적인 특징을 변경하지 않고서

다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.

- [104] 본원의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본원의 범위에 포함되는 것으로 해석되어야 한다.

발명의 실시를 위한 형태

- [105] 발명의 실시를 위한 형태는 상술한 발명의 실시를 위한 최선의 형태와 같다.

산업상 이용가능성

- [106] 본 개시는 뉴로모픽 장치 기술로서 뉴로모픽 관련 산업에 이용 가능하므로, 산업상 이용가능성을 갖는다.

- [107] [부호의 설명]

- [108] 1: 커런트 미러 회로

- [109] 100: 제1 커런트 미러 회로

- [110] 200: 보상 회로

- [111] 300: 시냅스

- [112] 400: 발화부

청구범위

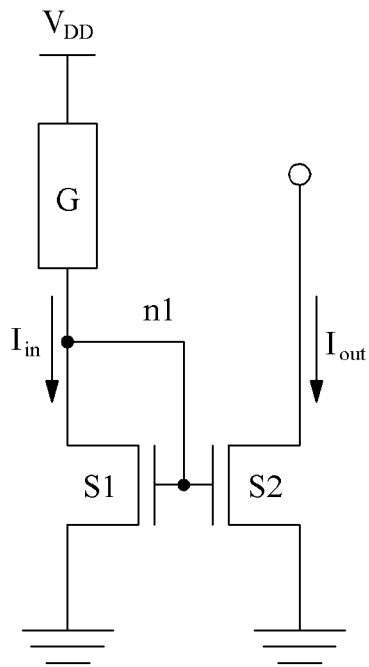
- [청구항 1] 커런트 미러 회로에 있어서,
제1 단자에 전원 전압이 인가되고, 제2 단자는 접지되며, 상기 제1 단자와 다이오드 접속된 제3 단자를 포함하는 제1 스위칭 소자;
제2 단자가 접지되고, 제3 단자가 상기 제1 스위칭 소자의 제3 단자와 접속되는 제2 스위칭 소자 및
상기 제2 스위칭 소자에 병렬 접속된 보상 회로를 포함하되,
상기 보상 회로는, 상기 전원 전압에 대응하는 커런트 미러 회로의 이상적인 전류값과 커런트 미러 회로에 흐르는 실제 전류값의 차이값만큼의 전류를 보상하여, 커런트 미러 회로에 상기 전원 전압에 대응하는 이상적인 전류값이 흐르도록 하는, 커런트 미러 회로.
- [청구항 2] 제1항에 있어서,
상기 보상 회로는,
제1 단자가 상기 제2 스위칭 소자의 제1 단자와 접속되고, 제2 단자는 접지되며, 제3 단자는 상기 제1 스위칭 소자의 제3 단자와 상기 제2 스위칭 소자의 제3 단자의 접속노드에 접속되는 하나 이상의 제3 스위칭 소자를 포함하는, 커런트 미러 회로.
- [청구항 3] 제2항에 있어서,
상기 제1 스위칭 소자, 상기 제2 스위칭 소자 및 상기 제3 스위칭 소자는 MOSFET(MOSFET) 소자를 포함할 수 있으며,
상기 제1 스위칭 소자 및 상기 제2 스위칭 소자는 숏 채널(Short Channel)을 가지며, 상기 제3 스위칭 소자는 롱 채널(Long Channel)을 가지는, 커런트 미러 회로.
- [청구항 4] 뉴로모픽 장치에 있어서,
시냅스, 제1 커런트 미러 회로, 제2 커런트 미러 회로, 커패시터 및 발화부를 포함하며,
상기 제1 커런트 미러 회로는 제1 단자에 상기 시냅스의 출력단이 접속되고, 제2 단자는 접지되며, 상기 제1 단자와 다이오드 접속된 제3 단자를 포함하는 제1 스위칭 소자;
제2 단자가 접지되고, 제3 단자가 상기 제1 스위칭 소자의 제3 단자와 접속되는 제2 스위칭 소자 및
상기 제2 스위칭 소자에 병렬 접속된 보상 회로를 포함하되,
상기 보상 회로는, 전원 전압에 대응하는 커런트 미러 회로의 이상적인 전류값과 커런트 미러 회로에 흐르는 실제 전류값의 차이값만큼의 전류를 보상하여, 커런트 미러 회로에 상기 전원 전압에 대응하는 이상적인 전류값이 흐르도록 하는, 뉴로모픽 장치.
- [청구항 5] 제4항에 있어서,

상기 보상 회로는,
제1 단자가 상기 제2 스위칭 소자의 제1 단자와 접속되고, 제2 단자는
접지되며, 제3 단자는 상기 제1 스위칭 소자의 제3 단자와 상기 제2
스위칭 소자의 제3 단자의 접속노드에 접속되는 하나 이상의 제3 스위칭
소자
를 포함하는, 뉴로모픽 장치.

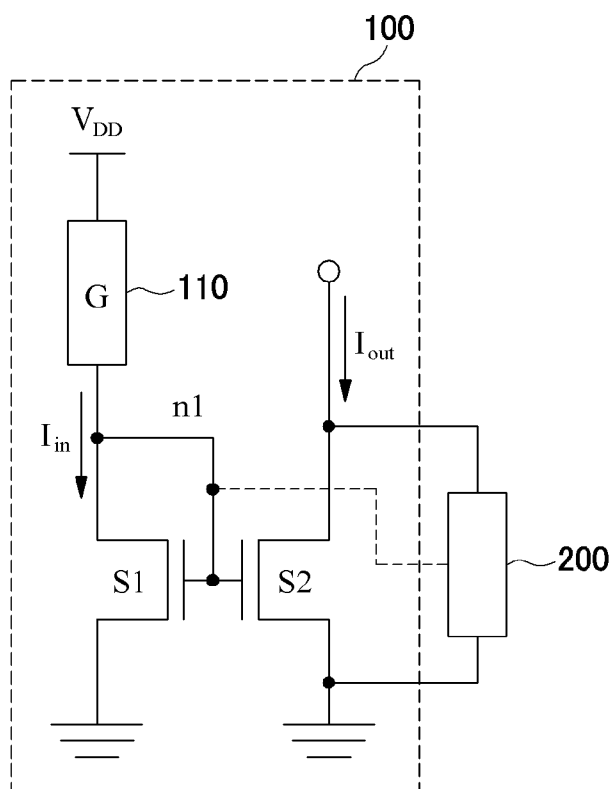
[청구항 6] 제5항에 있어서,
상기 제1 스위칭 소자, 상기 제2 스위칭 소자 및 상기 제3 스위칭 소자는
모스펫(MOSFET) 소자를 포함할 수 있으며,
상기 제1 스위칭 소자 및 상기 제2 스위칭 소자는 숏 채널(Short
Channel)을 가지며, 상기 제3 스위칭 소자는 롱 채널(Long Channel)을
가지는, 뉴로모픽 장치.

[청구항 7] 제4항에 있어서,
상기 제2 커런트 미러 회로는,
상기 제1 커런트 미러 회로의 제2 스위칭 소자에 흐르는 전류가 입력되는
제3 스위칭 소자 및
상기 제3 스위칭 소자의 전류가 복사되어 흐르는 제4 스위칭 소자를
포함하는, 뉴로모픽 장치.

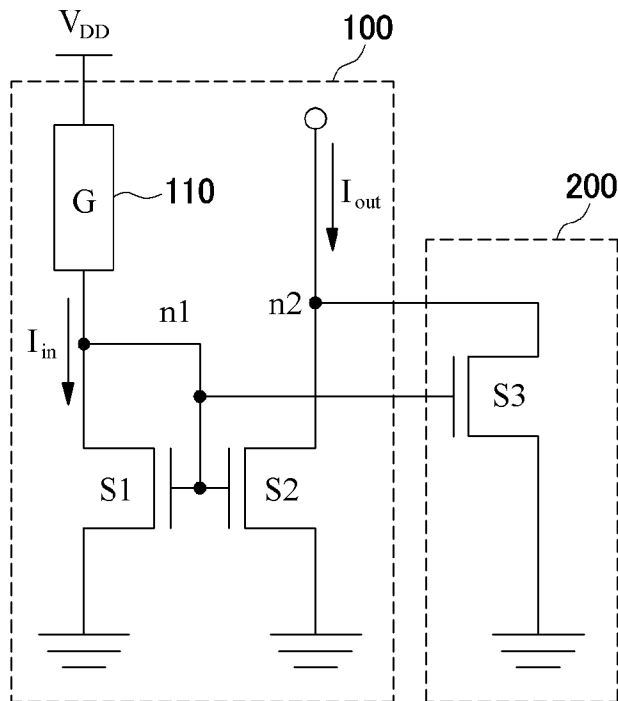
[도1]



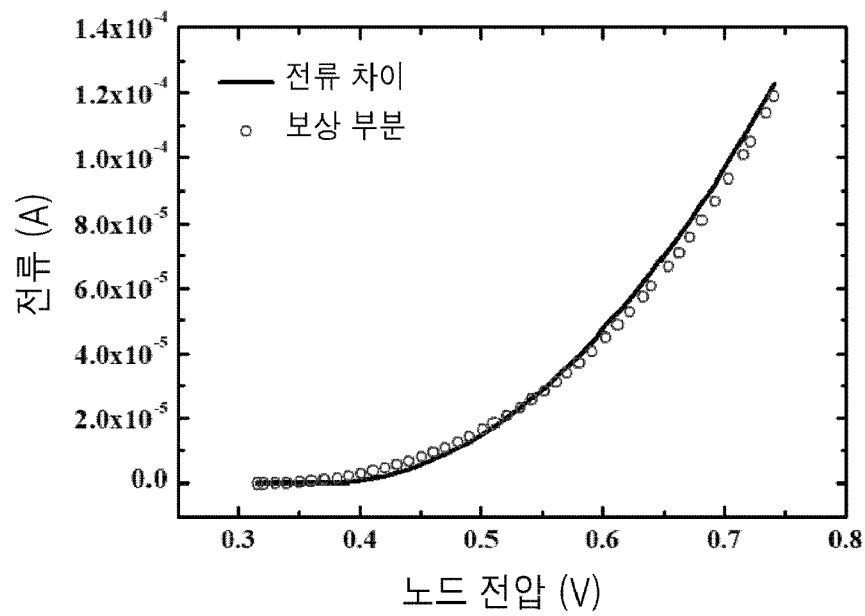
[도2]



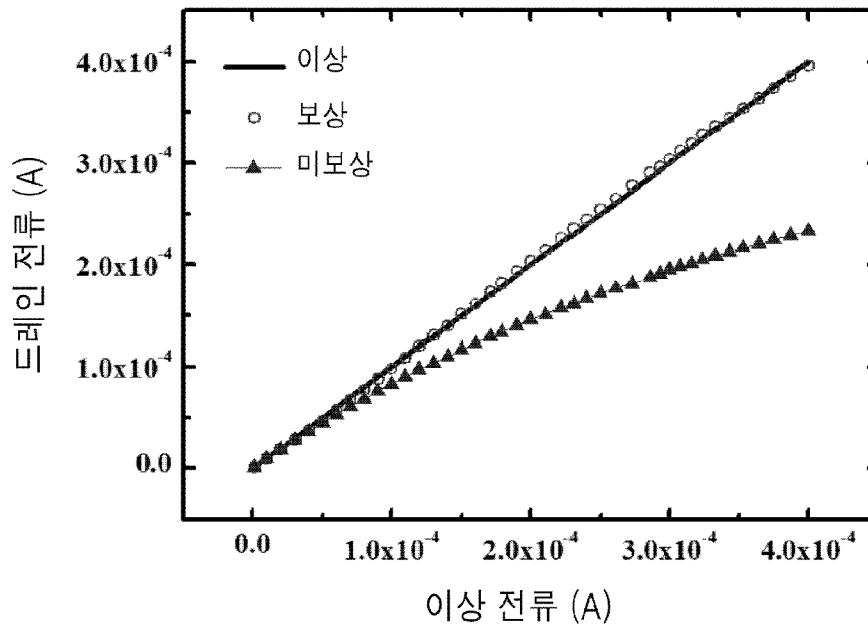
[도3]



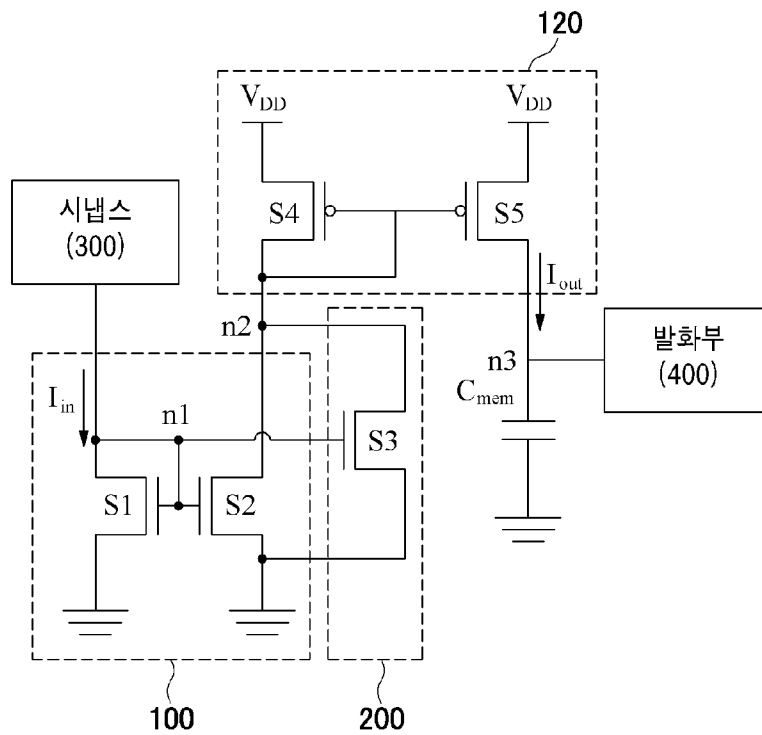
[도4]



[도5]



[도6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2022/013961

A. CLASSIFICATION OF SUBJECT MATTER G05F 3/26(2006.01)i; G06N 3/063(2006.01)i; H03F 1/32(2006.01)i; H03F 3/45(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC				
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G05F 3/26(2006.01); G05F 1/56(2006.01); G06N 3/063(2006.01); G11C 11/40(2006.01); G11C 5/14(2006.01); H02M 3/156(2006.01) Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models: IPC as above Japanese utility models and applications for utility models: IPC as above Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS (KIPO internal) & keywords: 커런트 미러 회로(current mirror circuit), 단자(socket), 접지(ground connection), 스위칭 소자(switching element), 보상 회로(compensating circuit), 전류값(current value)				
C. DOCUMENTS CONSIDERED TO BE RELEVANT				
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.		
Y	KR 10-2007-0026041 A (SANYO ELECTRIC CO., LTD.) 08 March 2007 (2007-03-08) See paragraphs [0019] and [0041]; claim 1; and figure 1.	1-7		
Y	KR 10-2092233 B1 (SEOUL NATIONAL UNIVERSITY R&DB FOUNDATION) 23 March 2020 (2020-03-23) See paragraphs [0038]-[0039]; claims 1 and 8; and figure 2.	1-7		
A	KR 10-2017-0091039 A (SII SEMICONDUCTOR CORPORATION) 08 August 2017 (2017-08-08) See paragraphs [0022]-[0046]; and figure 1.	1-7		
A	KR 10-2001-0104198 A (MITSUBISHI ELECTRIC CORPORATION) 24 November 2001 (2001-11-24) See paragraphs [0045]-[0061]; and figure 2.	1-7		
A	KR 10-2003-0000478 A (HYNIX SEMICONDUCTOR INC.) 06 January 2003 (2003-01-06) See paragraphs [0016]-[0035]; and figures 1-2b.	1-7		
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.				
<table style="width: 100%; border: none;"> <tr> <td style="width: 50%; vertical-align: top; border: none;"> * Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed </td> <td style="width: 50%; vertical-align: top; border: none;"> “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family </td> </tr> </table>			* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family			
Date of the actual completion of the international search 12 December 2022		Date of mailing of the international search report 12 December 2022		
Name and mailing address of the ISA/KR Korean Intellectual Property Office Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208 Facsimile No. +82-42-481-8578		Authorized officer Telephone No.		

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2022/013961

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
KR	10-2007-0026041	A	08 March 2007	CN	1924751	A	07 March 2007
				JP	2007-065831	A	15 March 2007
				KR	10-0808726	B1	29 February 2008
				TW	200710629	A	16 March 2007
				US	2007-0046364	A1	01 March 2007
				US	7411442	B2	12 August 2008
KR	10-2092233	B1	23 March 2020	KR	10-2020-0007223	A	22 January 2020
				US	11334787	B2	17 May 2022
				US	2020-0019835	A1	16 January 2020
KR	10-2017-0091039	A	08 August 2017	CN	107024954	A	08 August 2017
				CN	107024954	B	18 September 2020
				JP	2017-134756	A	03 August 2017
				JP	6632400	B2	22 January 2020
				TW	201737010	A	16 October 2017
				TW	1696058	B	11 June 2020
				US	10298121	B2	21 May 2019
				US	2017-0222548	A1	03 August 2017
KR	10-2001-0104198	A	24 November 2001	JP	2001-319490	A	16 November 2001
				KR	10-0386188	B1	02 June 2003
				TW	497332	B	01 August 2002
				US	6411554	B1	25 June 2002
KR	10-2003-0000478	A	06 January 2003	KR	10-0764364	B1	08 October 2007

A. 발명이 속하는 기술분류(국제특허분류(IPC)) G05F 3/26(2006.01)i; G06N 3/063(2006.01)i; H03F 1/32(2006.01)i; H03F 3/45(2006.01)i																				
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) G05F 3/26(2006.01); G05F 1/56(2006.01); G06N 3/063(2006.01); G11C 11/40(2006.01); G11C 5/14(2006.01); H02M 3/156(2006.01) 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 커런트 미러 회로(current mirror circuit), 단자(socket), 접지(ground connection), 스위칭 소자(switching element), 보상 회로(compensating circuit), 전류값(current value)																				
C. 관련 문헌 <table border="1"> <thead> <tr> <th>카테고리*</th> <th>인용문헌명 및 관련 구절(해당하는 경우)의 기재</th> <th>관련 청구항</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>KR 10-2007-0026041 A (산요덴키가부시키키가이샤) 2007.03.08 단락 [0019], [0041]; 청구항 1; 및 도면 1</td> <td>1-7</td> </tr> <tr> <td>Y</td> <td>KR 10-2092233 B1 (서울대학교 산학협력단) 2020.03.23 단락 [0038]-[0039]; 청구항 1, 8; 및 도면 2</td> <td>1-7</td> </tr> <tr> <td>A</td> <td>KR 10-2017-0091039 A (에스아이아이 세미컨덕터 가부시키키가이샤) 2017.08.08 단락 [0022]-[0046]; 및 도면 1</td> <td>1-7</td> </tr> <tr> <td>A</td> <td>KR 10-2001-0104198 A (미쓰비시덴키 가부시키키가이샤) 2001.11.24 단락 [0045]-[0061]; 및 도면 2</td> <td>1-7</td> </tr> <tr> <td>A</td> <td>KR 10-2003-0000478 A (주식회사 하이닉스반도체) 2003.01.06 단락 [0016]-[0035]; 및 도면 1-2b</td> <td>1-7</td> </tr> </tbody> </table>			카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항	Y	KR 10-2007-0026041 A (산요덴키가부시키키가이샤) 2007.03.08 단락 [0019], [0041]; 청구항 1; 및 도면 1	1-7	Y	KR 10-2092233 B1 (서울대학교 산학협력단) 2020.03.23 단락 [0038]-[0039]; 청구항 1, 8; 및 도면 2	1-7	A	KR 10-2017-0091039 A (에스아이아이 세미컨덕터 가부시키키가이샤) 2017.08.08 단락 [0022]-[0046]; 및 도면 1	1-7	A	KR 10-2001-0104198 A (미쓰비시덴키 가부시키키가이샤) 2001.11.24 단락 [0045]-[0061]; 및 도면 2	1-7	A	KR 10-2003-0000478 A (주식회사 하이닉스반도체) 2003.01.06 단락 [0016]-[0035]; 및 도면 1-2b	1-7
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항																		
Y	KR 10-2007-0026041 A (산요덴키가부시키키가이샤) 2007.03.08 단락 [0019], [0041]; 청구항 1; 및 도면 1	1-7																		
Y	KR 10-2092233 B1 (서울대학교 산학협력단) 2020.03.23 단락 [0038]-[0039]; 청구항 1, 8; 및 도면 2	1-7																		
A	KR 10-2017-0091039 A (에스아이아이 세미컨덕터 가부시키키가이샤) 2017.08.08 단락 [0022]-[0046]; 및 도면 1	1-7																		
A	KR 10-2001-0104198 A (미쓰비시덴키 가부시키키가이샤) 2001.11.24 단락 [0045]-[0061]; 및 도면 2	1-7																		
A	KR 10-2003-0000478 A (주식회사 하이닉스반도체) 2003.01.06 단락 [0016]-[0035]; 및 도면 1-2b	1-7																		
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.																				
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “D” 본 국제출원에서 출원인이 인용한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌																				
국제조사의 실제 완료일 2022년12월12일 (12.12.2022)		국제조사보고서 발송일 2022년12월12일 (12.12.2022)																		
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578		심사관 홍기완 전화번호 +82-42-481-5003																		

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2007-0026041 A	2007/03/08	CN 1924751 A	2007/03/07
		JP 2007-065831 A	2007/03/15
		KR 10-0808726 B1	2008/02/29
		TW 200710629 A	2007/03/16
		US 2007-0046364 A1	2007/03/01
		US 7411442 B2	2008/08/12
KR 10-2092233 B1	2020/03/23	KR 10-2020-0007223 A	2020/01/22
		US 11334787 B2	2022/05/17
		US 2020-0019835 A1	2020/01/16
KR 10-2017-0091039 A	2017/08/08	CN 107024954 A	2017/08/08
		CN 107024954 B	2020/09/18
		JP 2017-134756 A	2017/08/03
		JP 6632400 B2	2020/01/22
		TW 201737010 A	2017/10/16
		TW I696058 B	2020/06/11
		US 10298121 B2	2019/05/21
		US 2017-0222548 A1	2017/08/03
KR 10-2001-0104198 A	2001/11/24	JP 2001-319490 A	2001/11/16
		KR 10-0386188 B1	2003/06/02
		TW 497332 B	2002/08/01
		US 6411554 B1	2002/06/25
KR 10-2003-0000478 A	2003/01/06	KR 10-0764364 B1	2007/10/08