



(12)发明专利申请

(10)申请公布号 CN 106716620 A

(43)申请公布日 2017.05.24

(21)申请号 201580042310.2

(74)专利代理机构 上海专利商标事务所有限
公司 31100

(22)申请日 2015.07.23

代理人 李小芳

(30)优先权数据

14/454,262 2014.08.07 US

(51)Int.Cl.

H01L 21/762(2006.01)

(85)PCT国际申请进入国家阶段日

H01L 21/8238(2006.01)

2017.02.06

H01L 23/485(2006.01)

(86)PCT国际申请的申请数据

PCT/US2015/041769 2015.07.23

(87)PCT国际申请的公布数据

W02016/022302 EN 2016.02.11

(71)申请人 高通股份有限公司

地址 美国加利福尼亚州

(72)发明人 S·A·法内利

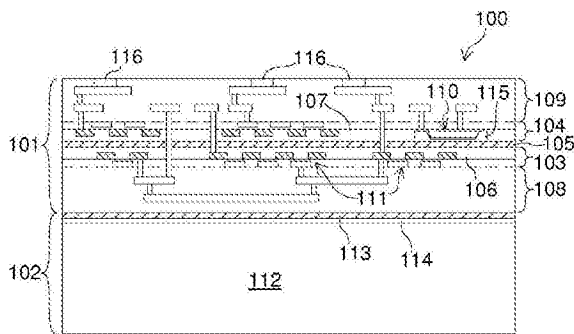
权利要求书2页 说明书5页 附图3页

(54)发明名称

具有SOI晶片中的多个有效层的半导体结构

(57)摘要

一种绝缘体上覆半导体晶片具有在基板层与半导体层之间的绝缘体层。在该半导体层之中和之上形成第一有效层。在该基板层之中和之上形成第二有效层。在一些实施例中，操作晶片接合至该绝缘体上覆半导体晶片，并且该基板层在形成第二有效层之前被打薄。在一些实施例中，可在该操作晶片的基板中形成第三有效层。在一些实施例中，第一和第二有效层包括这些层之一的MEMS器件以及另一层中的CMOS器件。



1. 一种方法,包括:
提供具有在基板层与半导体层之间的绝缘体层的绝缘体上覆半导体晶片;
在所述半导体层之中和之上形成第一有效层;以及
在所述基板层之中和之上形成第二有效层。
2. 如权利要求1所述的方法,其特征在于,进一步包括:
移除所述基板层的第一部分;以及
在所述基板层的第二部分之中和之上形成所述第二有效层。
3. 如权利要求2所述的方法,其特征在于,进一步包括:
在移除所述基板层的所述第一部分之前,将操作晶片接合至所述绝缘体上覆半导体晶片的第一表面;以及
从所述绝缘体上覆半导体晶片的第二表面移除所述基板层的所述第一部分。
4. 如权利要求3所述的方法,其特征在于,进一步包括:
在所述操作晶片提供富陷阱层。
5. 如权利要求1所述的方法,其特征在于,进一步包括:
将操作晶片接合至所述绝缘体上覆半导体晶片的表面,所述绝缘体上覆半导体晶片的所述表面与所述基板层相对地面对所述绝缘体层,并且所述操作晶片具有操作基板层;以及
在所述操作基板层之中和之上形成第三有效层。
6. 如权利要求5所述的方法,其特征在于,进一步包括:
移除所述操作基板层的第一部分;以及
在所述操作基板层的第二部分之中和之上形成所述第三有效层。
7. 如权利要求1所述的方法,其特征在于,进一步包括:
在所述第二有效层上形成互连层;以及
在所述互连层与所述第一有效层和所述第二有效层之间形成电连接。
8. 如权利要求1所述的方法,其特征在于,进一步包括:
在所述基板层之中和之上形成MEMS器件。
9. 如权利要求8所述的方法,其特征在于,进一步包括:
在所述基板层和所述绝缘体层中的至少一者中形成用于所述MEMS器件的腔体。
10. 如权利要求8所述的方法,其特征在于:
形成所述第一有效层进一步包括形成CMOS器件;并且
所述方法进一步包括在所述CMOS器件与所述MEMS器件之间形成电连接,所述CMOS器件通过所述电连接来为所述MEMS器件提供控制信号。
11. 一种半导体结构,包括:
具有在半导体层与基板层之间的绝缘体层的绝缘体上覆半导体晶片;
形成在所述半导体层之中和之上的第一有效层;以及
形成在所述基板层之中和之上的第二有效层。
12. 如权利要求11所述的半导体结构,其特征在于:
所述第二有效层在所述基板层已被打薄之后形成在所述基板层的剩余部分之中和之上。

13. 如权利要求12所述的半导体结构,其特征在于,进一步包括:
操作晶片,其接合至所述绝缘体上覆半导体晶片的表面,所述表面与所述基板层相对地面对所述绝缘体层。
14. 如权利要求13所述的半导体结构,其特征在于:
所述操作晶片具有富陷阱层。
15. 如权利要求11所述的半导体结构,其特征在于,进一步包括:
接合至所述绝缘体上覆半导体晶片的表面的操作晶片,所述绝缘体上覆半导体晶片的所述表面与所述基板层相对地面对所述绝缘体层,所述操作晶片具有操作基板层;以及
形成在所述操作基板层之中和之上的第三有效层。
16. 如权利要求15所述的半导体结构,其特征在于:
所述第三有效层在所述操作基板层已被打薄之后形成在所述操作基板层的剩余部分之中和之上。
17. 如权利要求11所述的半导体结构,其特征在于,进一步包括:
形成在所述第二有效层上的互连层;以及
在所述互连层与所述第一有效层和所述第二有效层之间的电连接。
18. 如权利要求11所述的半导体结构,其特征在于,进一步包括:
形成在所述基板层之中和之上的MEMS器件。
19. 如权利要求18所述的半导体结构,其特征在于,进一步包括:
围绕所述MEMS器件的至少一部分的腔体,所述腔体形成在所述基板层和所述绝缘体层中的至少一者中。
20. 如权利要求18所述的半导体结构,其特征在于:
所述第一有效层包括CMOS器件;并且
所述CMOS器件为所述MEMS器件提供控制信号。

具有SOI晶片中的多个有效层的半导体结构

[0001] 发明背景

[0002] 本申请要求于2014年8月7日提交且题为“Semiconductor Structure with Multiple Active Layers in an SOI Wafer (具有SOI晶片中的多个有效层的半导体结构)”的美国非临时专利申请No. 14/454,262的优先权,该专利申请由此出于所有目的通过引用纳入于此。

[0003] 发明背景

[0004] 集成电路(IC)垂直集成技术利用单个管芯上的多个有效/器件层。这些技术允许每IC组件数目的显著增加而不会增大所需要的管芯面积。管芯厚度可能增大,但是管芯面积通常是更受限的设计考量,并且总体结果可以是减小的总管芯体积和IC封装重量。由此,对于其中电子器件必须相对较小且轻质的技术(例如,蜂窝/智能电话、笔记本/平板PC等)而言,垂直集成技术的发展是极其重要的。

[0005] 概述

[0006] 本发明的诸实施例涉及具有从SOI晶片形成的多个有效层的半导体结构。典型SOI晶片具有在基板层与半导体层之间的绝缘体层(例如,埋氧化物)。在该半导体层之中和之上形成第一有效层。在该基板层之中和之上形成第二有效层。在一些实施例中,操作晶片接合至该SOI晶片,并且该基板层在形成第二有效层之前被打薄。在一些实施例中,可在该操作晶片的基板中形成第三有效层。在一些实施例中,第一和第二有效层包括在这些层之一中的MEMS器件以及在另一层中的CMOS器件。

[0007] 对本公开及其范围、以及其实现上述改进的方式的更完整领会可通过参考下文结合以下简述的附图对当前优选实施例的详细描述以及所附权利要求来获得。

[0008] 附图简述

[0009] 图1是纳入了本发明一实施例的半导体结构的简化横截面。

[0010] 图2-5是根据本发明诸实施例的在图1所示的半导体结构的制造中的中间阶段的半导体结构的简化横截面。

[0011] 图6是纳入了本发明一实施例的替换半导体结构的简化横截面。

[0012] 发明详细描述

[0013] 根据一些实施例,本发明使用绝缘体上覆半导体(SOI)晶片来达成单片形成的IC半导体结构(例如,图1的半导体结构100)中的有效层的垂直集成。总体而言,在SOI晶片之中和之上形成第一有效层之后,SOI晶片被翻转,并且在底层基板之中和之上形成第二有效层,如以下更详细描述。此技术一般能够实现各种类型的有效层相对紧凑的垂直集成,且具有显著减小的管芯面积以及增加的每晶片管芯。另外,在一些实施例中,多个有效层可使得CMOS器件能够与其他类型的器件(诸如薄膜体声波谐振器、表面声波器件、薄膜板声波谐振器(FPAR)、声波滤波器、RF开关、无源组件、以及其他微机电系统(MEMS)器件)集成在同一单片半导体结构中。

[0014] 在图1所示的示例中,半导体结构100一般具有与操作晶片102接合的翻转SOI晶片101。SOI晶片101一般具有在绝缘体层105(例如,埋氧化物)的两个相对侧(即,顶侧/底侧或

上侧/下侧)上的两个有效层103和104。第一有效层103形成在SOI晶片101的常规半导体层106之中和之上。第二有效层104形成在SOI晶片101的底层常规基板层107、或在打薄原始基板层107之后留下的部分之中和之上。有效层103和104内所示的组件仅是出于解说性目的提供的,而并不必然描绘对本发明的限制。

[0015] 另外,SOI晶片101一般包括互连层108和109,藉此可在有效层103和104的各种组件之间作出电连接。互连层108和109内所示的组件仅是出于解说性目的提供的,而并不必然描绘对本发明的限制。在一些实施例中,例如,这些有效层之一(例如,104)可包括RF/MEMS器件110(除其他组件以外),并且另一有效层(例如,103)可包括用于控制MEMS器件110的操作的电路系统的CMOS器件111(除其他组件以外)。

[0016] 操作晶片102一般包括操作基板层112、接合层113、以及可任选的富陷阱层(TRL)114。在形成第一有效层103和第一互连层108之后,操作晶片102接合至(如图所示翻转的)SOI晶片101的顶表面。操作晶片102一般用于在处理SOI晶片101的基板层107以及形成第二有效层104和第二互连层109时为半导体结构100提供结构稳定性。在一些实施例中,结构稳定性方面使得SOI晶片101的基板层107能够在形成第二有效层104之前被打薄。

[0017] 本文中第一和第二有效层103和104以及第一和第二互连层108和109描述为被分别构建到半导体层106和基板层107之中和之上。这种类型的制造技术被称为“单片”式制造。一种不同的有效层制造技术被称为“层转移”式,其涉及在多个分开的晶片之中和之上形成有效层,之后将这些有效层之一转移到另一有效层的晶片之上。对于这两种技术而言存在各种优点和缺点。例如,单片式一般要求串行处理每个制造步骤;而层转移式允许并行处理多个晶片,由此潜在地减少了制造最终半导体结构的总时间。然而,单片式一般不需要花费多个基板,不需要晶片接合或晶片分裂步骤,不需要显著的研磨或回蚀步骤,不需要精确的晶片对准以供接合,并且不需要资本投资于可执行晶片接合相关步骤的制造机器。在一些情境(诸如对操作晶片102的晶片接合)中可能发生这些优点的一些一般例外。然而,由于在接合之前操作晶片102不具有附加电路系统,因此不需要晶片101和102的高精度对准。由此,与其中多个晶片上的多个有效层经由层转移工艺来集成的办法相比,操作晶片102的接合步骤可以相对简单且便宜。

[0018] 根据用于形成图1的半导体结构100的一些实施例的简化示例制造过程通过图2-5来示出。该过程一般始于SOI晶片101具有在半导体层106与基板层107之间的绝缘体层105(例如,埋氧化物),如图2所示。随后使用大多数是常规的工艺步骤来在半导体层106的“顶”或“上”表面之中和之上形成第一有效层103。在其中有效层103中的有效器件是CMOS晶体管的情境中,这些工艺步骤是通常与单晶片单片CMOS制造相关联的那些工艺步骤。另外,作为操作晶片102中的TRL 114的替代或补充,SOI晶片101可包括如在与本申请同日提交的具有代理人案卷号IOSEP009CIP4的美国专利申请___/___,___中所公开地那样形成的TRL。该申请的公开内容通过引用被完整纳入于此。

[0019] 随后在第一有效层103的“顶”或“上”表面上形成第一互连层108。由于SOI晶片101随后从图2所示的取向被翻转,出于描述一致性的益处,SOI晶片101参照图2被称为“顶部”(或“上部”或“前部”)的部分将继续在本文中被称为“顶部”(或“上部”或“前部”),并且SOI晶片101被称为“底部”(或“下部”或“背部”)的部分将继续在本文中被称为“底部”(或“下部”或“背部”),即便在SOI晶片101已被翻转之后也如此。因此,在图1中,总体半导体结构

100的“顶部”被认为与SOI晶片101的“底部”相同。同样,当总体半导体结构100的顶部正被处理时,这被认为是对SOI晶片101的“背侧”处理。

[0020] 另外,出于本文描述的目的,当材料或层被添加至晶片时,所添加的材料或层被认为变成该晶片的一部分。同样,当材料或层被从晶片移除时,所移除的材料或层不再被认为是该晶片的一部分。因此,例如,附图中被指定为SOI晶片101或操作晶片102的元件可在其正被处理时在尺寸或厚度上增大或减小。

[0021] 同样,出于本文描述的目的,在材料或层被添加至晶片或从晶片移除时的处理期间,被称为晶片的“顶表面”或“底表面”的表面可以改变。例如,第一有效层103通过前侧处理被形成在SOI晶片101的顶表面之中和之上,但是被置于SOI晶片101上的材料创建新的顶表面。由此,第一互连层108形成在该新的顶表面上。然后,当操作晶片102接合至SOI晶片101时,其被接合至SOI晶片101的又一新的顶表面。

[0022] 此外,本文描述了各种材料层。然而,这些层中的一些层之间不必然存在明显的分界线。例如,在互连层108或109的制造期间形成的一些材料可延伸到其他层中。例如,穿半导体通孔(TSV)可被形成为穿过有效层103或104以及绝缘体层105。交叠层的其他示例也可变得明显。

[0023] 根据用于形成图1的半导体结构100的一些实施例的该简化示例制造过程继续形成操作晶片102,如图3所示。在操作基板层112上形成接合层113和TRL 114。操作基板层112一般足够厚以便为半导体结构100提供结构稳定性或强度。TRL 114通过任何恰适的技术(例如,注入高能粒子的离子(例如,惰性气体、硅、氧、碳、锆等)、辐照操作晶片102、沉积高电阻率材料、损坏操作基板层112的暴露表面等)来形成。在一些实施例中,TRL 114如在与本申请同日提交的具有代理人案卷号IOSEP009CIP4的美国专利申请__/__,中所公开地那样来形成。该申请的公开内容通过引用被完整纳入于此。接合层113可以是能够接合至SOI晶片101顶表面处的材料的任何恰适的材料。对于有或没有接合层113的其他实施例也可使用其他接合技术。在一些实施例中,接合层113可与TRL 114相组合。在一些实施例中,整个操作晶片102将是TRL 114。

[0024] 如图4所示,图2的SOI晶片101接合至图3的操作晶片102。SOI晶片101相对于其在图2中的取向在图4中被翻转。操作晶片102所接合到的SOI晶片101的表面是顶表面,其与基板层107的绝缘体层相对。该步骤使得SOI晶片101的底侧或背侧暴露以供处理。操作晶片102在该处理期间提供结构稳定性。

[0025] 基板层107的一部分被移除,由此打薄基板层107,如图5所示。基板层107的剩余部分足够厚以被用作新半导体层以用于形成第二有效层(诸如图1中的第二有效层104)。

[0026] 在一些实施例中,由于MEMS器件110要形成在第二有效层104中,因此可在基板层107中形成腔体115。腔体115至少部分地围绕MEMS器件110。腔体115可通过任何恰适的技术(例如,定向蚀刻、各向异性蚀刻、各向同性蚀刻等)来形成。腔体115提供隔离、改善的热性能和/或用于释放MEMS器件110的材料。填充材料随后被放置在腔体115内并例如通过CMP被平坦化。填充材料针对形成第二有效层104的材料而言可具有选择性,因此填充材料可稍后被移除以释放MEMS器件110。在一些实施例中,腔体115可延伸到绝缘体层105中,因此填充材料针对该绝缘体材料而言可具有选择性。

[0027] 随后在基板层107的剩余部分之中和之上形成第二有效层104。在一些实施例中,

在第二有效层104内制造MEMS器件110是按与常规工艺相反的次序来进行的。此相反过程可辅助简化针对低温(例如,小于200℃)的接合和互连。

[0028] 随后在第二有效层104上(并且穿过这两个有效层103和104)形成第二互连层109以产生图1所示的半导体结构100。在一些实施例中,这两个有效层103和104之间的一些电连接可用埋触点来形成(例如,在总体制造过程早期形成TSV)。还可形成电连接焊盘116和重分布层(未示出)以用于外部电连接。穿过不止一个层的电互连(例如,TSV)可提供这两个互连层108和109以及有效层103和104中的任何两个或更多个组件之间的电连接,例如,互连层108和109中的金属化之间的TSV互连、或者互连层108或109之一中的金属化与有效层108或109之一中的有效器件(例如,源极、漏极或栅极区域)之间的TSV互连。

[0029] 纳入了本发明的替换实施例的替换半导体结构200在图6中示出。在此情形中,许多元件类似于图1所示的实施例中的元件,因为此实施例可从半导体结构100来构建。然而,操作基板层112的一部分被移除,由此打薄操作基板层112。操作基板层112的剩余部分足够厚以被用作新半导体层以用于形成第三有效层201,由此单片地形成又一有效层。在一些实施例中,如果半导体结构100的现有厚度未提供足够的结构稳定性,则另一操作晶片(未示出)可接合至半导体结构100以在后续处理期间提供结构稳定性。

[0030] 在一些实施例中,MEMS器件202形成在第三有效层201中,以使得可能需要在操作基板层112中形成腔体203。腔体203可通过任何恰当的技术(例如,定向蚀刻、各向异性蚀刻、各向同性蚀刻等)来形成。腔体203提供隔离、改善的热性能和/或用于释放MEMS器件202的材料。填充材料随后被放置在腔体203内并例如通过CMP被平坦化。填充材料针对第三有效层201的材料而言可具有选择性,因此填充材料可稍后被移除以释放MEMS器件202。

[0031] 随后在操作基板层112的剩余部分之中和之上形成第三有效层201。

[0032] 随后在第三有效层201上(并且穿通至第一有效层103)形成第三互连层204以产生图6所示的半导体结构200。在一些实施例中,第一和第三有效层103和201之间的一些电连接可用埋触点来形成(例如,在总体制造过程早期形成TSV)。第三有效层201还可经由这些层与互连层108中的共用电路节点之间的触点被连接至第二有效层104。还可形成电连接焊盘(未示出)和重分布层(未示出)以用于该替换半导体结构200底侧上的外部电连接。替换地或组合地,还可形成电连接焊盘116和重分布层(未示出)以用于至该替换半导体结构200底侧的外部电连接。

[0033] 尽管本发明的实施例已经主要参照其特定实施例作了讨论,但是其他变型也是可能的。所描述的系统各种配置可被用于替代或者补充本文中呈现的配置。例如,可在合适的地方包括附加组件。作为另一示例,诸配置是一般性地参照某些半导体组件类型和组合来描述的,但是其他半导体组件类型和/或组合可作为所描述的配置的补充或替换来使用。

[0034] 本领域技术人员将领会,前面的描述仅作为示例,而并非旨在限定本发明。除非在权利要求中另行指示,否则本公开中的任何内容都不应当指示本发明限定于所示出和描述的具有特定类型的半导体组件的系统。除非在权利要求中另行指示,否则本公开中的任何内容都不应当指示本发明限定于要求特定形式的半导体处理或集成电路的系统。一般而言,所呈现的任何示图仅仅旨在指示一个可能的配置,并且很多变形是可能的。本领域技术人员还将领会,与本发明一致的方法和系统适用于在广范围的应用中使用。

[0035] 尽管已经参考本发明的具体实施例详细描述了本说明书,但是应领会,本领域技

术人员在理解了上述内容之后,可以容易地想到这些实施例的变更、变型或等效方案。对本发明的这些及其他修改和变型可由本领域技术人员实践,而不脱离本发明的精神和范围,这在所附权利要求中更加具体地进行了阐述。

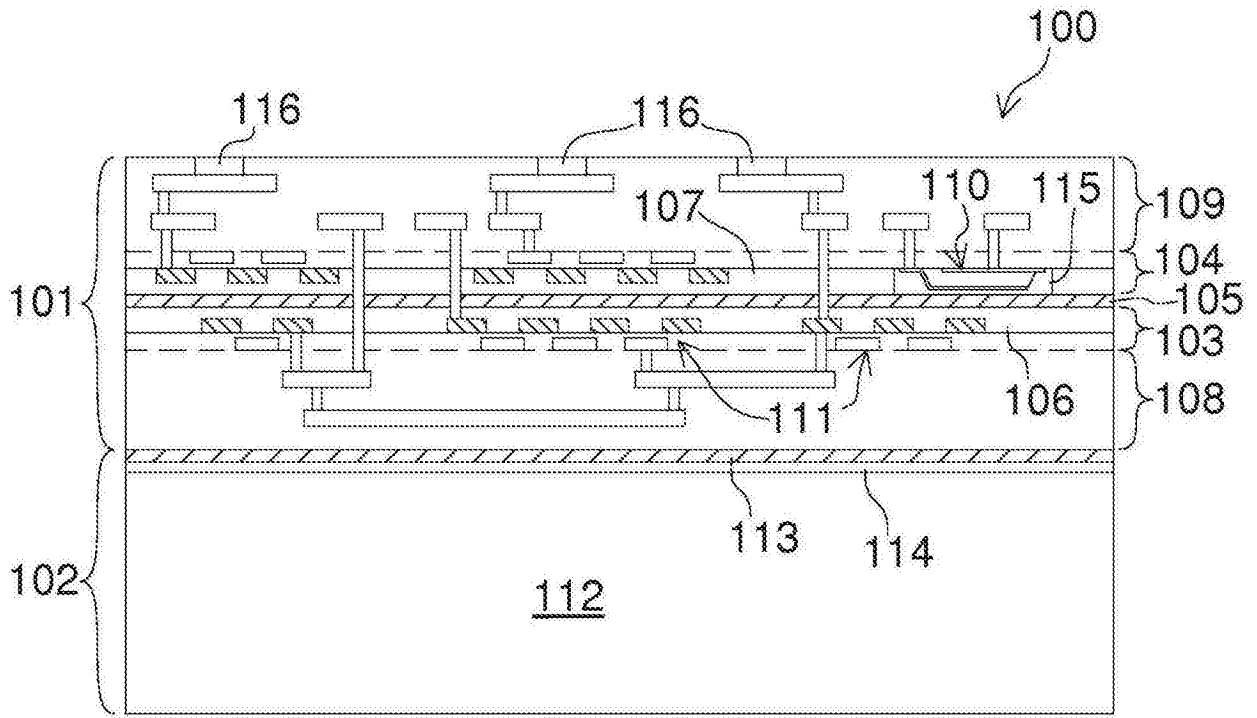


图1

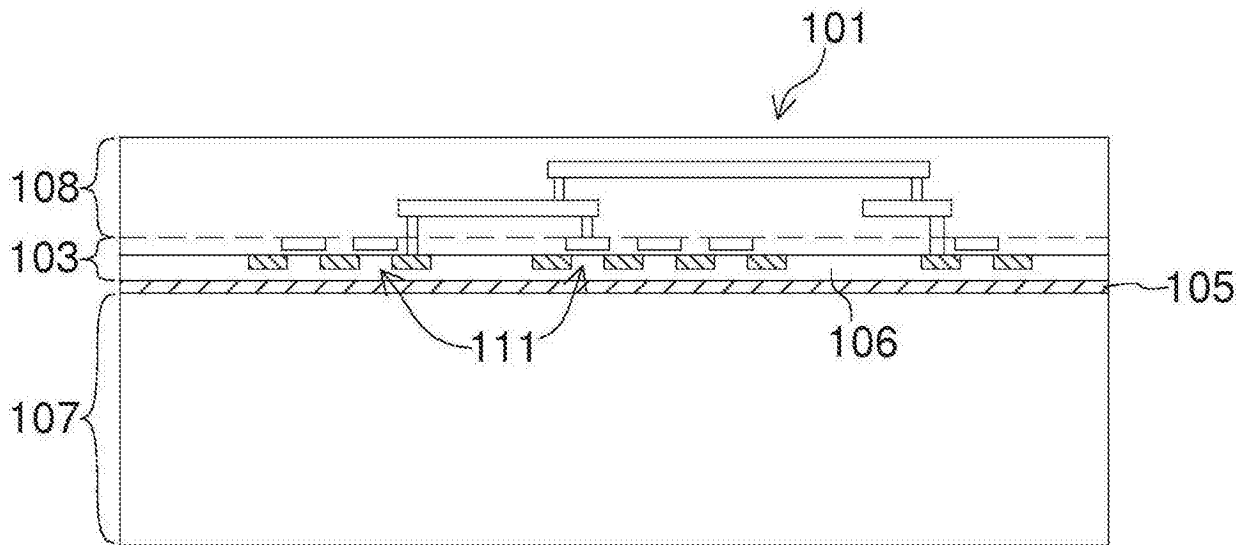


图2

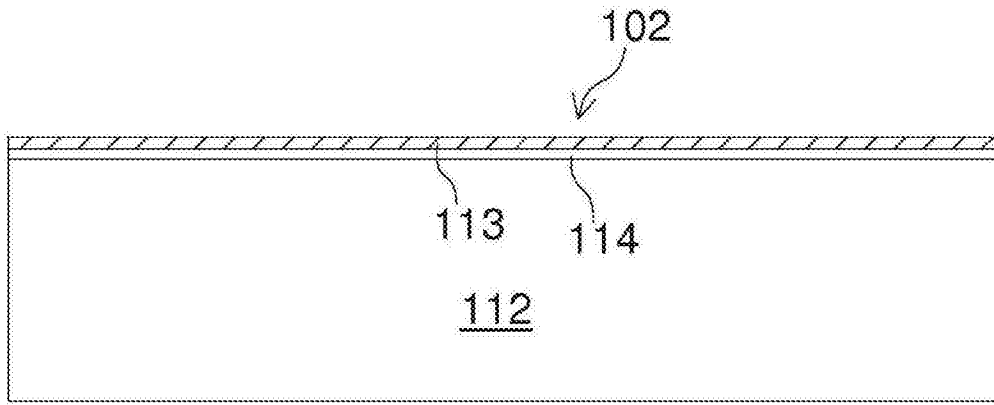


图3

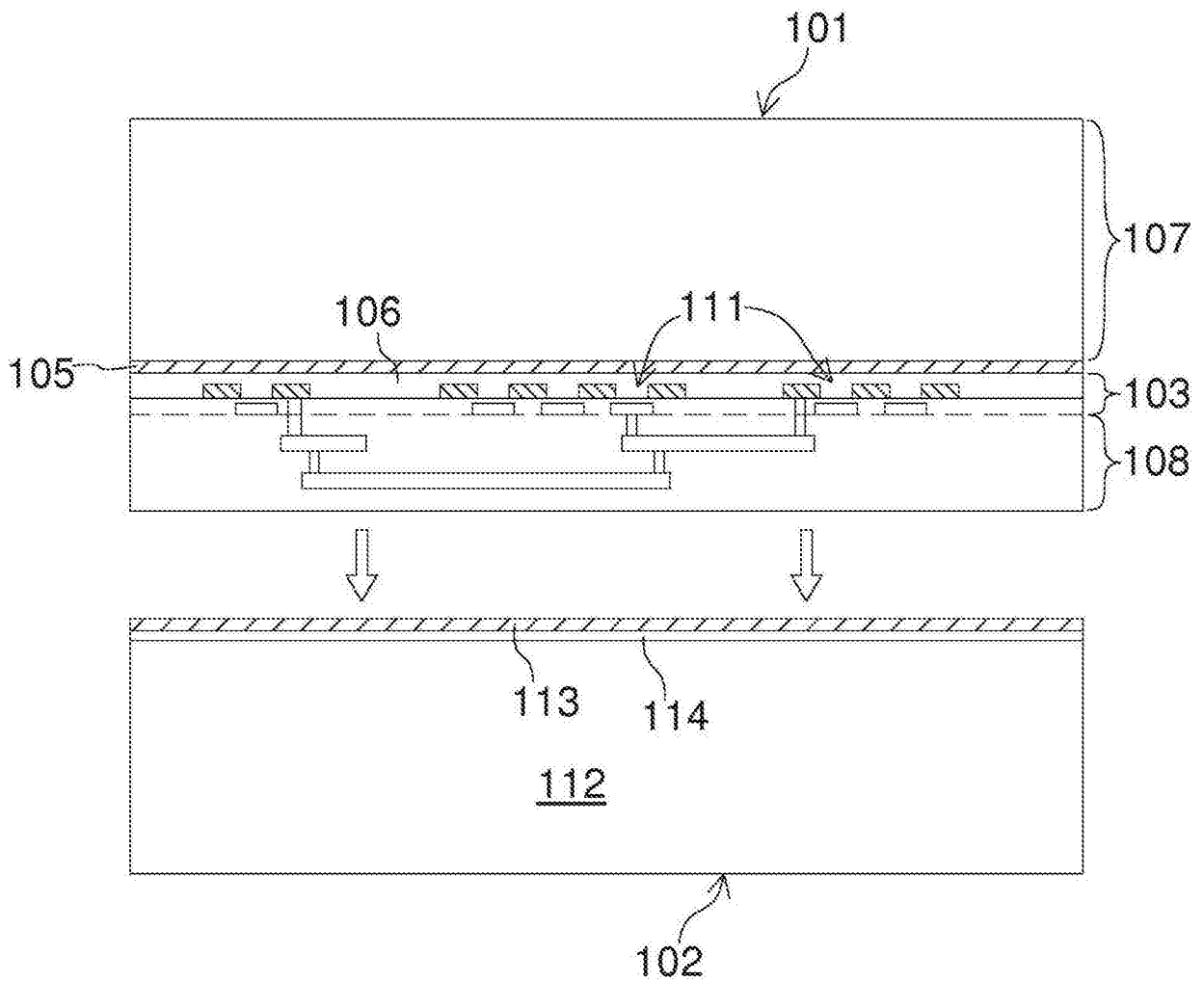


图4

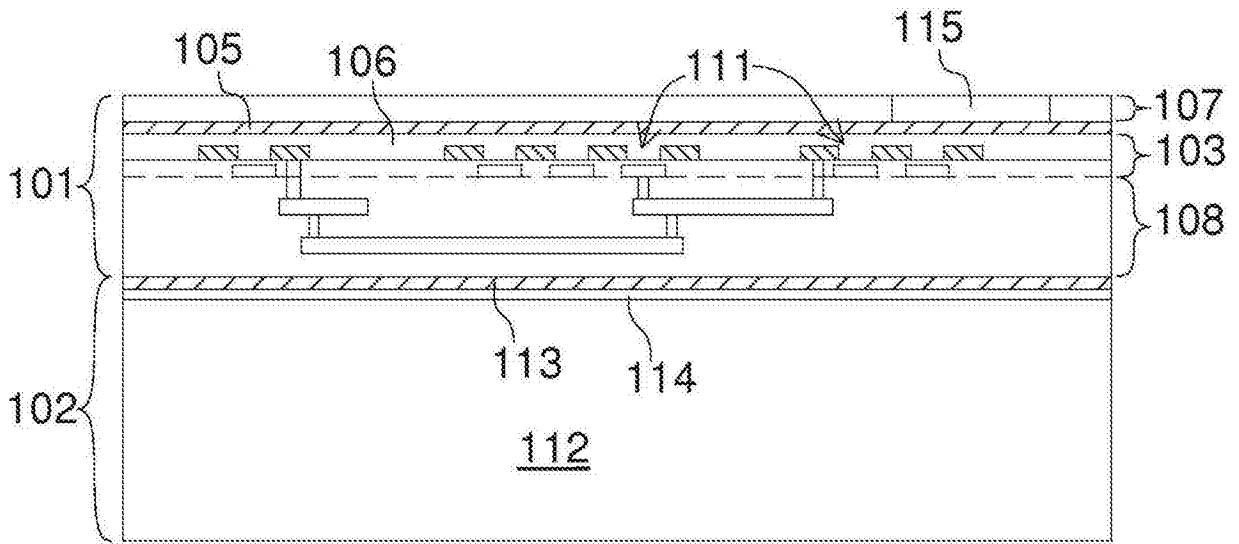


图5

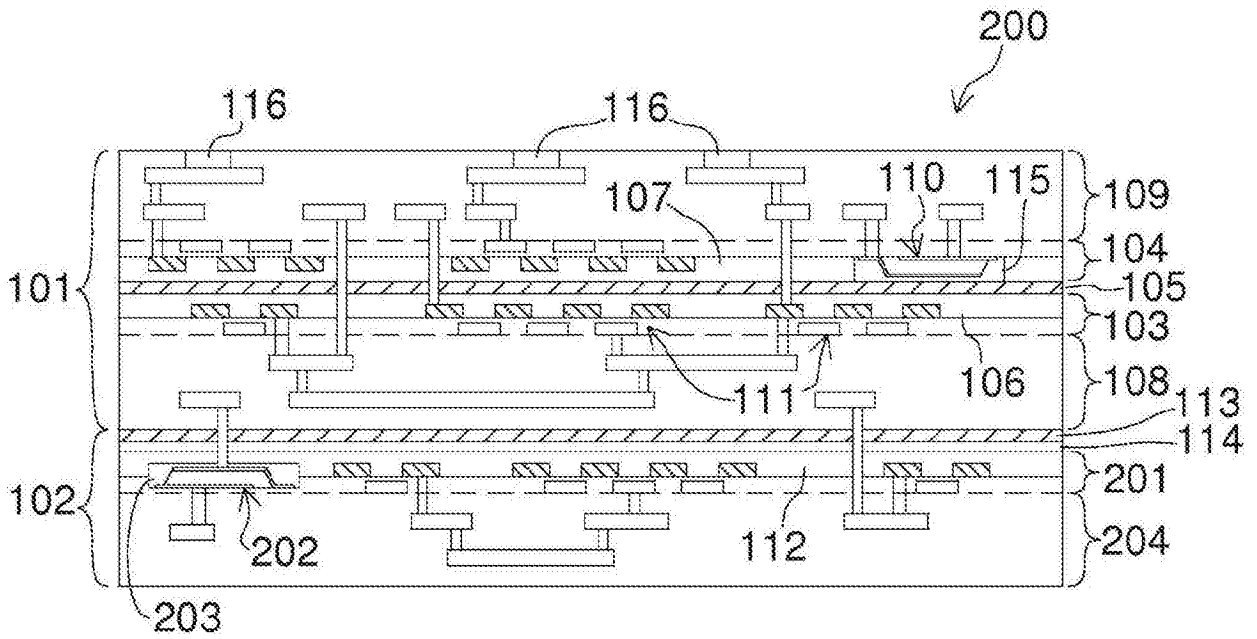


图6