



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년05월31일
 (11) 등록번호 10-1984739
 (24) 등록일자 2019년05월27일

- (51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) *G02F 1/133* (2006.01)
- (21) 출원번호 10-2014-7015176
- (22) 출원일자(국제) 2012년10월26일
 심사청구일자 2017년10월26일
- (85) 번역문제출일자 2014년06월03일
- (65) 공개번호 10-2014-0096344
- (43) 공개일자 2014년08월05일
- (86) 국제출원번호 PCT/JP2012/078412
- (87) 국제공개번호 WO 2013/069548
 국제공개일자 2013년05월16일
- (30) 우선권주장
 JP-P-2011-247262 2011년11월11일 일본(JP)
- (56) 선행기술조사문헌
 JP2009015286 A
 JP2009210880 A
 JP2010250306 A

- (73) 특허권자
 가부시키가이샤 한도오따이 에네루기 켄큐쇼
 일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
 미야케 히로유키
 일본국 2430036 가나가와 아쓰기시 하세 398 가부
 시키가이샤 한도오따이 에네루기 켄큐쇼 내
- 이노우에 세이코
 일본국 2430036 가나가와 아쓰기시 하세 398 가부
 시키가이샤 한도오따이 에네루기 켄큐쇼 내
- (74) 대리인
 황의만

전체 청구항 수 : 총 8 항

심사관 : 추장희

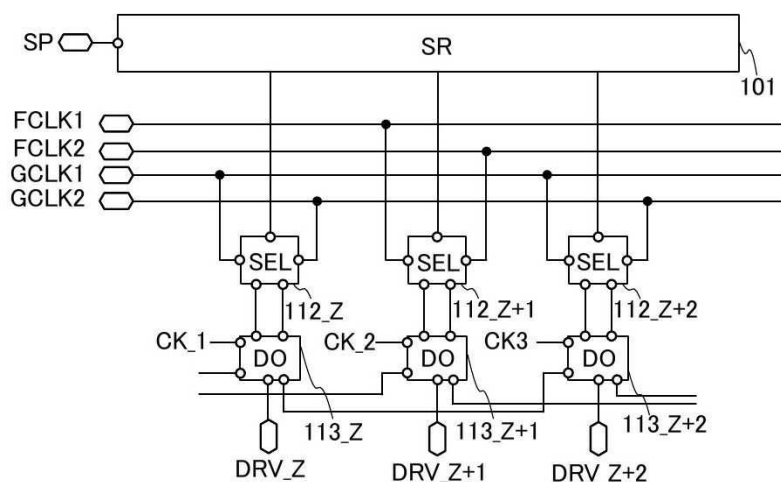
(54) 발명의 명칭 신호선 구동 회로 및 액정 표시 장치

(57) 요약

본 발명은 전계 효과 트랜지스터의 리크 전류에 의한 동작 불량을 억제하는 것을 과제로 한다.

시프트 레지스터(101)와, 시프트 레지스터에서 입력된 펄스 신호를 같은 전위 레벨에서 제 1 펄스 신호로 간주하고 출력할지 제 2 펄스 신호로 간주하고 출력할지를 결정하는 기능을 가지는 선택 회로(112)와, 각각 구동 신호를 생성하여 출력하는 기능을 가지는 복수의 구동 신호 출력 회로(113)가 제공된다. 복수의 구동 신호 출력 회로의 각각은 래치부와, 버퍼부와, 래치부에 저장된 데이터의 재기록을 제어하는 스위치부를 포함한다.

대표도 - 도1



명세서

청구범위

청구항 1

구동 회로로서,

시프트 레지스터;

제 1 클럭 신호 및 제 2 클럭 신호에 따라, 제 1 펄스 신호와 제 2 펄스 신호 중 어느 것을 상기 시프트 레지스터로부터의 펄스 신호 입력과 동일한 전위 레벨로 출력할지를 선택하는 기능을 가지는 선택 회로; 및

상기 선택 회로로부터의 상기 제 1 펄스 신호 및 상기 제 2 펄스 신호, 및 제 1 제어 신호 및 제 2 제어 신호에 따라, 신호선의 전위를 제어하기 위한 구동 신호를 생성하여 출력하는 기능을 가지는 구동 신호 출력 회로를 포함하고,

상기 구동 신호 출력 회로는,

상기 제 1 펄스 신호 및 상기 제 2 펄스 신호에 따라, 제 1 데이터 및 제 2 데이터를 재기록하여, 저장하는 래치부;

상기 제 1 데이터 및 상기 제 2 데이터에 따라 상기 구동 신호의 전위를 설정하고, 상기 구동 신호를 출력하는 버퍼부; 및

상기 제 1 제어 신호 및 상기 제 2 제어 신호에 따라 온 상태 또는 오프 상태가 됨으로써, 상기 제 1 데이터의 재기록을 제어하여 상기 제 1 데이터의 전위의 변동을 억제하는 스위치부를 포함하는, 구동 회로.

청구항 2

구동 회로로서,

시프트 레지스터;

제 1 클럭 신호 및 제 2 클럭 신호에 따라, 제 1 펄스 신호와 제 2 펄스 신호 중 어느 것을 상기 시프트 레지스터로부터의 펄스 신호 입력과 동일한 전위 레벨로 출력할지를 선택하는 기능을 가지는 선택 회로; 및

상기 선택 회로로부터의 상기 제 1 펄스 신호 및 상기 제 2 펄스 신호, 및 제 1 제어 신호 내지 제 5 제어 신호에 따라, 신호선의 전위를 제어하기 위한 구동 신호를 생성하여 출력하는 기능을 가지는 구동 신호 출력 회로를 포함하고,

상기 구동 신호 출력 회로는,

상기 제 1 펄스 신호 및 상기 제 2 펄스 신호에 따라, 제 1 데이터 및 제 2 데이터를 재기록하여, 저장하는 제 1 래치부;

상기 제 1 펄스 신호 및 상기 제 2 펄스 신호에 따라, 제 3 데이터 및 제 4 데이터를 재기록하여, 저장하는 제 2 래치부;

상기 제 1 데이터 및 상기 제 2 데이터에 따라 제 1 신호의 전위를 설정하고, 상기 제 1 신호를 출력하는 제 1 버퍼부;

상기 제 3 데이터 및 상기 제 4 데이터에 따라 제 2 신호의 전위를 설정하고, 상기 제 2 신호를 출력하는 제 2 버퍼부;

상기 제 1 제어 신호 및 상기 제 2 제어 신호에 따라 온 상태 또는 오프 상태가 됨으로써, 상기 제 1 데이터의 재기록을 제어하여 상기 제 1 데이터의 전위의 변동을 억제하는 제 1 스위치부;

상기 제 1 제어 신호 및 상기 제 3 제어 신호에 따라 온 상태 또는 오프 상태가 됨으로써, 상기 제 3 데이터의 재기록을 제어하여 상기 제 3 데이터의 전위의 변동을 억제하는 제 2 스위치부;

제 4 제어 신호로서 상기 제 2 신호가 입력되고, 상기 제 4 제어 신호에 따라 온 상태 또는 오프 상태가 됨으로써, 상기 제 1 래치부에 저장된 상기 제 2 데이터의 재기록을 제어하여 상기 제 2 데이터의 전위의 변동을 억제하는 제 3 스위치부;

제 5 제어 신호로서 상기 제 1 신호가 입력되고, 상기 제 5 제어 신호에 따라 온 상태 또는 오프 상태가 됨으로써, 상기 제 2 래치부에 저장된 상기 제 4 데이터의 재기록을 제어하여 상기 제 4 데이터의 전위의 변동을 억제하는 제 4 스위치부; 및

상기 제 1 신호 및 상기 제 2 신호에 따라, 상기 구동 신호의 전위를 설정하고, 상기 구동 신호를 출력하는 제 3 버퍼부를 포함하는, 구동 회로.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 구동 신호 출력 회로는 전계 효과 트랜지스터를 포함하고, 상기 전계 효과 트랜지스터는 채널 형성층으로서 산화물 반도체층을 사용하는, 구동 회로.

청구항 4

제 1 항 또는 제 2 항에 따른 구동 회로를 포함하는 액정 표시 장치로서,

데이터 신호선;

게이트 신호선;

상기 구동 회로로부터 출력되는 상기 구동 신호에 의해 전위가 제어되는 공통 신호선; 및

화소 회로와 액정 소자를 포함하는 화소를 더 포함하고,

상기 화소 회로는, 소스 및 드레인의 한쪽이 상기 데이터 신호선에 전기적으로 접속되고, 게이트가 상기 게이트 신호선에 전기적으로 접속되는 전계 효과 트랜지스터를 포함하고,

상기 액정 소자는 한쌍의 전극을 포함하고, 상기 한쌍의 전극의 한쪽은 상기 전계 효과 트랜지스터의 소스 및 드레인의 다른 한쪽에 전기적으로 접속되고, 상기 한쌍의 전극의 다른 한쪽은 상기 공통 신호선에 전기적으로 접속되는, 액정 표시 장치.

청구항 5

제 4 항에 있어서,

상기 전계 효과 트랜지스터는 채널 형성층으로서 산화물 반도체층을 사용하는, 액정 표시 장치.

청구항 6

제 4 항에 있어서,

컬러 필터로서 기능하는 착색층을 더 포함하는, 액정 표시 장치.

청구항 7

제 4 항에 있어서,

상기 액정 소자에서의 액정 재료는 블루상을 나타내는, 액정 표시 장치.

청구항 8

제 1 항 또는 제 2 항에 있어서,

상기 제 1 데이터는 상기 제 1 펄스 신호와 상기 제 2 펄스 신호가 상기 구동 신호 출력 회로에 입력되지 않는 기간에서 재기록되는, 구동 회로.

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

발명의 설명

기술 분야

[0001] 본 발명의 일 형태는 신호선 구동 회로에 관한 것이다. 본 발명의 일 형태는 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 근년, 액정 표시 장치 등의 반도체 장치의 개발이 진행되고 있다.

[0003] 상기 액정 표시 장치의 하나로서, 행렬 방향으로 제공된 복수의 화소 회로에서, 각 행의 화소 회로마다, 액정 소자가 가지는 한쌍의 전극의 한쪽의 전위와, 다른 한쪽의 전위의 극성을 프레임 기간마다 반전시키는 구동 방법을 이용한 액정 표시 장치가 알려져 있다(예를 들면, 특허문헌 1).

[0004] 상기 구동 방법을 이용함으로써, 액정 소자에 의한 표시 화상의 번인(burn-in)을 억제하면서, 액정 표시 장치에 제공되는 신호선 구동 회로의 구동 전압을 저감할 수 있다.

[0005] 예를 들면, 특허문헌 1에서는, 공통 신호선 구동 회로 등의 신호선 구동 회로를 이용하여 복수의 공통 신호선의 전위를 제어함으로써, 액정 소자가 가지는 상기 한쌍의 전극의 다른 한쪽의 전위를 프레임 기간마다 반전하는 기술이 개시되어 있다.

[0006] 특허문헌 1에 나타내는 신호선 구동 회로는 시프트 레지스터와, 래치부 및 버퍼부를 포함하는 복수의 회로가 제공된다. 특허문헌 1에 나타내는 신호선 구동 회로에서, 버퍼부는 래치부에 저장된 데이터에 따라 전위가 제어된 신호를 공통 신호로서 출력한다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) [특허문헌 1] 특개 2006-276541호 공보

발명의 내용

해결하려는 과제

[0008] 그러나, 종래의 신호선 구동 회로에서는, 동작 불량이 발생하기 쉽다고 하는 문제가 있었다.

[0009] 예를 들면, 특허문헌 1에 나타내는 신호선 구동 회로에서는, 신호선 구동 회로에 포함되는 전계 효과 트랜지스터의 리크 전류 등에 의해 래치부에 저장된 데이터인 전위가 변동하게 되고, 출력되는 신호의 전위가 소망의 값을 가지지 않고, 소망의 동작을 행할 수 없게 된다고 하는 문제가 있었다.

[0010] 이상을 감안하여, 본 발명의 일 형태에서는, 동작 불량 발생을 억제하는 것을 과제의 하나로 한다.

과제의 해결 수단

[0011] 본 발명의 일 형태에서는, 래치부와, 버퍼부와, 이 래치부에 저장되는 데이터의 재기록을 제어하기 위한 스위치

부를 포함하는 회로에 의해, 구동 신호로서의 기능을 가지는 신호를 생성함으로써, 래치부에 저장된 데이터의 변동이 억제된다.

[0012] 상기 스위치부는 제 1 제어 신호 및 제 2 제어 신호에 따라 래치부에 저장된 데이터의 재기록을 제어하는 기능을 가진다. 이에 따라, 세트 신호 및 리셋 신호의 펄스가 입력되지 않는 기간에 데이터의 재기록을 행하고, 래치부에 저장된 데이터인 전위의 변동이 억제된다.

[0013] 본 발명의 일 형태는 시프트 레지스터, 선택 회로, 구동 신호 출력 회로를 포함하는 신호선 구동 회로이다. 선택 회로는 제 1 클록 신호 및 제 2 클록 신호에 따라, 시프트 레지스터에서 입력되는 펄스 신호와 같은 전위에서 제 1 펄스 신호로 간주하고 출력할지 제 2 펄스 신호로 간주하고 출력할지를 결정하는 기능을 가진다. 구동 신호 출력 회로는 선택 회로에서 입력되는 제 1 펄스 신호 및 제 2 펄스 신호, 및 제 1 제어 신호 및 제 2 제어 신호에 따라, 신호선의 전위를 제어하기 위한 구동 신호를 생성하여 출력하는 기능을 가진다. 구동 신호 출력 회로는 제 1 펄스 신호 및 제 2 펄스 신호에 따라, 제 1 데이터 및 제 2 데이터를 재기록하여, 저장하는 래치부와, 제 1 데이터 및 제 2 데이터에 따라 구동 신호의 전위를 설정하고, 이 구동 신호를 출력하는 버퍼부와, 제 1 제어 신호 및 제 2 제어 신호에 따라 온 상태 또는 오프 상태가 됨으로써, 제 1 데이터의 재기록을 제어하는 스위치부를 포함한다.

[0014] 본 발명의 일 형태는 시프트 레지스터, 선택 회로, 구동 신호 출력 회로를 포함하는 신호선 구동 회로이다. 선택 회로는 제 1 클록 신호 및 제 2 클록 신호에 따라, 시프트 레지스터에서 입력되는 펄스 신호와 같은 전위에서 제 1 펄스 신호로 간주하고 출력할지 제 2 펄스 신호로 간주하고 출력할지를 결정하는 기능을 가진다. 구동 신호 출력 회로는 선택 회로에서 입력되는 제 1 펄스 신호 및 제 2 펄스 신호, 및 제 1 제어 신호 내지 제 5 제어 신호에 따라, 신호선의 전위를 제어하기 위한 구동 신호를 생성하여 출력하는 기능을 가진다. 구동 신호 출력 회로는 제 1 펄스 신호 및 제 2 펄스 신호에 따라, 제 1 데이터 및 제 2 데이터를 재기록하여, 저장하는 제 1 래치부와, 제 1 펄스 신호 및 제 2 펄스 신호에 따라, 제 3 데이터 및 제 4 데이터를 재기록하여, 저장하는 제 2 래치부와, 제 1 데이터 및 제 2 데이터에 따라 제 1 신호의 전위를 설정하고, 이 제 1 신호를 출력하는 기능을 가지는 제 1 버퍼부와, 제 3 데이터 및 제 4 데이터에 따라 제 2 신호의 전위를 설정하고, 이 제 2 신호를 출력하는 기능을 가지는 제 2 버퍼부와, 제 1 제어 신호 및 제 2 제어 신호에 따라 온 상태 또는 오프 상태가 됨으로써, 제 1 데이터의 재기록을 제어하는 제 1 스위치부와, 제 1 제어 신호 및 제 3 제어 신호에 따라 온 상태 또는 오프 상태가 됨으로써, 제 3 데이터의 재기록을 제어하는 제 2 스위치부와, 제 4 제어 신호로서 제 2 신호가 입력되고, 제 4 제어 신호에 따라 온 상태 또는 오프 상태가 됨으로써, 제 1 래치부에 저장된 제 2 데이터의 재기록을 제어하는 제 3 스위치부와, 제 5 제어 신호로서 제 1 신호가 입력되고, 제 5 제어 신호에 따라 온 상태 또는 오프 상태가 됨으로써, 제 2 래치부에 저장된 제 4 데이터의 재기록을 제어하는 제 4 스위치부와, 제 1 신호 및 제 2 신호에 따라, 구동 신호의 전위를 설정하고, 이 구동 신호를 출력하는 제 3 버퍼부를 포함한다.

[0015] 본 발명의 일 형태에서는, 상기 신호선 구동 회로를 이용하여, 화소 회로의 액정 소자가 가지는 한쌍의 전극의 다른 한쪽의 전위를 제어한다. 이에 따라, 행렬 방향으로 제공된 복수의 화소 회로에서, 각 행의 화소 회로마다 액정 소자가 가지는 한쌍의 전극의 한쪽의 전위와, 다른 한쪽의 전위의 극성을 프레임 기간마다 반전시키는 구동 방법을 행하고; 따라서, 게이트 신호의 전압이 저하된다.

[0016] 본 발명의 일 형태에서는, 상기 액정 소자는 블루상으로 나타내는 액정을 포함한다. 이에 따라, 빠른 속도로 구동하는 액정 표시 장치가 제공될 수 있다.

발명의 효과

[0017] 본 발명의 일 형태에 의해, 래치부에 저장된 데이터인 전위의 변동과, 신호선 구동 회로에서 출력되는 신호의 전위의 변동을 억제할 수 있기 때문에; 동작 불량을 억제할 수 있다.

도면의 간단한 설명

[0018] 도 1은 신호선 구동 회로의 예를 설명하기 위한 도면이다.

도 2는 선택 회로의 예를 설명하기 위한 도면이다.

도 3의 (A) 및 도 3의 (B)는 구동 신호 출력 회로의 예를 설명하기 위한 도면이다.

도 4는 신호선 구동 회로의 예를 설명하기 위한 도면이다.

- 도 5의 (A) 및 도 5의 (B)는 구동 신호 출력 회로의 예를 설명하기 위한 도면이다.
- 도 6은 신호선 구동 회로의 구동 방법예를 설명하기 위한 타이밍 차트이다.
- 도 7의 (A) 및 도 7의 (B)는 액정 표시 장치의 예를 설명하기 위한 도면이다.
- 도 8의 (A) 및 도 8의 (B)는 펄스 출력 회로의 예를 설명하기 위한 도면이다.
- 도 9의 (A) 및 도 9의 (B)는 선택 회로의 예를 설명하기 위한 도면이다.
- 도 10의 (A) 및 도 10의 (B)는 구동 신호 출력 회로의 예를 설명하기 위한 도면이다.
- 도 11의 (A) 및 도 11의 (B)는 액정 표시 장치의 예를 설명하기 위한 도면이다.
- 도 12의 (A) 및 도 12의 (B)는 액정 표시 장치의 예를 설명하기 위한 도면이다.
- 도 13은 신호선 구동 회로의 예를 설명하기 위한 도면이다.
- 도 14의 (A) 및 도 14의 (B)는 펄스 출력 회로의 예를 설명하기 위한 도면이다.
- 도 15의 (A) 및 도 15의 (B)는 구동 신호 출력 회로의 예를 설명하기 위한 도면이다.
- 도 16은 신호선 구동 회로의 구동 방법예를 설명하기 위한 타이밍 차트이다.
- 도 17은 신호선 구동 회로의 구동 방법예를 설명하기 위한 타이밍 차트이다.
- 도 18은 화소 회로의 동작예를 설명하기 위한 타이밍 차트이다.
- 도 19는 액정 표시 장치의 구조예를 설명하기 위한 단면 모식도이다.
- 도 20의 (A) 내지 도 20의 (D)는 전자 기기의 예를 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 본 발명의 실시형태의 예에 대해서 설명한다. 단, 본 발명의 취지 및 범위에서 벗어나지 않고 실시형태의 내용을 변경하는 것은 당업자라면 용이하다. 따라서, 예를 들면 본 발명은 하기 실시형태의 기재 내용에 한정되지 않는다.
- [0020] 단, 각 실시형태의 내용을 서로 적절히 조합시킬 수 있다. 또한, 각 실시형태의 내용을 서로 적절히 대체할 수 있다.
- [0021] 또한, 제 1, 제 2 등의 서수는 구성 요소의 혼동을 피하기 위해 붙여져 있고, 각 구성 요소의 수는 서수의 수에 한정되지 않는다.
- [0022] (실시형태 1)
- [0023] 본 실시형태에서는, 복수의 구동 신호를 출력하는 기능을 가지는 신호선 구동 회로의 예에 대해서, 도 1, 도 2, 도 3의 (A) 및 도 3의 (B), 도 4, 도 5의 (A) 및 도 5의 (B), 도 6을 이용하여 설명한다.
- [0024] 본 실시형태의 신호선 구동 회로는 도 1에 나타내는 것처럼, 시프트 레지스터(SR 이라고 함)(101)와, 복수의 선택 회로(SEL 이라고도 함)(112)(도 1에서는 선택 회로(112_Z)(Z는 자연수), 선택 회로(112_Z+1), 및 선택 회로(112_Z+2))와, 복수의 구동 신호 출력 회로(DO 라고도 함)(113)(도 1에서는 구동 신호 출력 회로(113_Z), 구동 신호 출력 회로(113_Z+1), 및 구동 신호 출력 회로(113_Z+2))를 포함한다. 예를 들면, 각 신호선은 선택 회로(112) 및 구동 신호 출력 회로(113)가 제공된다. 구동 신호 출력 회로(113)에 의해 생성된 펄스 신호는 대응하는 신호선을 통하여 출력된다.
- [0025] 시프트 레지스터(101)에는 스타트 펄스 신호(SP)가 입력된다.
- [0026] 시프트 레지스터(101)는 스타트 펄스 신호(SP)에 따라 전위가 제어된 복수의 펄스 신호(SROUT 이라고도 함)를 출력하는 기능을 가진다.
- [0027] 선택 회로(112)에는 도 2에 나타내는 것처럼, 펄스 신호(SELIN)로서 시프트 레지스터(101)에서 펄스 신호가 입력된다. 또한, 클록 신호(SECL) 및 클록 신호(RECL)가 선택 회로(112)에 입력된다. 복수의 선택 회로(112)의 각각에는 예를 들면 서로 다른 펄스 신호가 입력된다. 선택 회로(112)는 도 2에 나타내는 것처럼, 펄스 신호

(SELOUT1) 및 펄스 신호(SELOUT2)를 출력한다.

- [0028] 선택 회로(112)는 펄스 신호(SELIN), 클록 신호(SECL), 및 클록 신호(RECL)에 따라, 펄스 신호(SELIN)와 같은 전위에서, 펄스 신호(SELOUT1)로 간주하고 출력할지 펄스 신호(SELOUT2)로 간주하고 출력할지를 결정하는 기능을 가진다.
- [0029] 선택 회로(112)는 예를 들면 복수의 전계 효과 트랜지스터를 포함한다. 이 때, 복수의 전계 효과 트랜지스터를 전환함으로써, 펄스 신호(SELIN)와 같은 전위에서, 펄스 신호(SELOUT1)로 간주하고 출력할지 펄스 신호(SELOUT2)로 간주하고 출력할지, 결정할 수 있다.
- [0030] 도 1에 도시하는 선택 회로(112_Z) 및 선택 회로(112_Z+2)에, 클록 신호(SECL)로서 클록 신호(GCLK1)가 입력되고, 클록 신호(RECL)로서 클록 신호(GCLK2)가 입력된다. 또한, 선택 회로(112_Z+1)에, 클록 신호(SECL)로서 클록 신호(FCLK1)가 입력되고, 클록 신호(RECL)로서 클록 신호(FCLK2)가 입력된다.
- [0031] 구동 신호 출력 회로(113)에는 도 3의 (A)에 나타내는 것처럼, 세트 신호(SIN), 리셋 신호(RIN), 제어 신호(CTL1), 및 제어 신호(CTL2)가 입력된다. 구동 신호 출력 회로(113)는 도 3의 (A)에 나타내는 것처럼, 신호(DOUT1) 및 신호(DOUT2)를 출력한다. 신호(DOUT1)는 구동 신호가 된다. 구동 신호 출력 회로(113)는 세트 신호(SIN), 리셋 신호(RIN), 제어 신호(CTL1), 및 제어 신호(CTL2)에 따라, 구동 신호를 생성하여 출력하는 기능을 가진다. 이 때, 구동 신호는 예를 들면 신호선의 전위를 제어하기 위한 배선에 출력된다.
- [0032] 구동 신호 출력 회로(113)는 예를 들면 복수의 전계 효과 트랜지스터를 포함한다.
- [0033] 또한, 구동 신호 출력 회로(113)는 도 3의 (B)에 나타내는 것처럼, 래치부(LAT 라고도 함)(121)와, 제 1 버퍼부(BUF1 라고도 함)(122)와, 제 2 버퍼부(BUF2 라고도 함)(123)와, 스위치부(SW 라고도 함)(124)를 포함한다.
- [0034] 래치부(121)에는 세트 신호(SIN) 및 리셋 신호(RIN)가 입력된다.
- [0035] 래치부(121)는 세트 신호(SIN) 및 리셋 신호(RIN)에 따라 데이터(D1) 및 데이터(D2)를 재기록하여, 저장하는 기능을 가진다.
- [0036] 제 1 버퍼부(122)는 래치부(121)에 저장된 데이터(D1) 및 데이터(D2)에 따라 신호(DOUT1)의 전위를 설정하고, 신호(DOUT1)를 출력하는 기능을 가진다. 신호(DOUT1)는 전위(VCH)부터 전위(VCL)(전위(VCH)보다 낮은 값의 전위)까지의 범위에서 변화한다.
- [0037] 제 2 버퍼부(123)는 래치부(121)에 저장된 데이터(D1) 및 데이터(D2)에 따라 신호(DOUT2)의 전위를 설정하고, 신호(DOUT2)를 출력하는 기능을 가진다. 신호(DOUT2)는 전위(VDD)부터 전위(VSS)까지의 사이에서 전위가 변화한다. 전위(VDD)는 전위(VSS)보다 높은 전위이고, 하이 레벨의 신호의 전위(전위 VH 라고도 함)이다. 전위(VSS)는 접지 전위 이하의 전위이고, 로우 레벨의 신호의 전위(전위 VL) 라고도 함)이다.
- [0038] 스위치부(124)에는 제어 신호(CTL1) 및 제어 신호(CTL2)가 입력된다.
- [0039] 스위치부(124)는 제어 신호(CTL1) 및 제어 신호(CTL2)에 따라 온 상태 또는 오프 상태가 됨으로써, 래치부(121)에 저장된 데이터(D1)의 재기록을 제어하는 기능을 가진다.
- [0040] 제어 신호(CTL1)로서는, 예를 들면 스타트 펄스 신호보다, 연속하는 복수의 펄스의 간격이 짧은 기간을 가지는 신호를 이용할 수 있다.
- [0041] 구동 신호 출력 회로(113)에는 세트 신호(SIN)로서 선택 회로(112)에서 펄스 신호(SELOUT1)가 입력되고, 리셋 신호(RIN)로서 선택 회로(112)에서 펄스 신호(SELOUT2)가 입력된다. 이 때, 래치부(121)는 펄스 신호(SELOUT1) 및 펄스 신호(SELOUT2)에 따라, 데이터(D1) 및 데이터(D2)를 재기록하여, 저장하는 기능을 가진다.
- [0042] 도 1에 나타내는 구동 신호 출력 회로(113_Z)의 제어 신호(CTL1)로서, 클록 신호(CK_1)가 입력된다. 구동 신호 출력 회로(113_Z+1)의 제어 신호(CTL1)로서, 클록 신호(CK_2)가 입력된다. 구동 신호 출력 회로(113_Z+2)의 제어 신호(CTL1)로서, 클록 신호(CK_3)가 입력된다.
- [0043] 도 1에 나타내는 구동 신호 출력 회로(113_Z)의 신호(DOUT1)가 구동 신호(DRV_Z)가 된다. 구동 신호 출력 회로(113_Z+1)의 신호(DOUT1)가 구동 신호(DRV_Z+1)가 된다. 구동 신호 출력 회로(113_Z+2)의 신호(DOUT1)가 구동 신호(DRV_Z+2)가 된다.
- [0044] 도 1에 나타내는 구동 신호 출력 회로(113_Z+2)의 제어 신호(CTL2)로서, 구동 신호 출력 회로(113_Z)의 신호(DOUT2)가 입력된다. 이에 따라, 클록 신호(GCLK1)를 입력하는 경우와 비교해서 데이터(D1)의 재기록을 할 수

있는 기간을 길게 할 수 있기 때문에; 신호선 구동 회로의 동작 불량을 보다 억제할 수 있다.

- [0045] 도 1에 나타내는 신호선 구동 회로에 제공되는 복수의 구동 신호 출력 회로(113)의 접속 관계를, 도 4에 나타낸 것처럼 해도 좋다.
- [0046] 도 4에 나타내는 구성에서, 구동 신호 출력 회로(113)에는 도 5의 (A)에 나타내는 것처럼, 세트 신호(SIN), 리셋 신호(RIN), 제어 신호(CTL1), 제어 신호(CTL2), 및 제어 신호(CTL3)가 입력된다. 구동 신호 출력 회로(113)는 도 5의 (A)에 나타내는 것처럼, 신호(DOUT1), 신호(DOUT2), 및 신호(DOUT3)를 출력한다. 구동 신호 출력 회로(113)는 세트 신호(SIN), 리셋 신호(RIN), 제어 신호(CTL1) 내지 제어 신호(CTL5)에 따라, 구동 신호를 생성하여 출력하는 기능을 가진다.
- [0047] 구동 신호 출력 회로(113)는 도 5의 (B)에 나타내는 것처럼, 제 1 래치부(LAT1 라고도 함)(131a)와, 제 2 래치부(LAT2 라고도 함)(131b)와, 제 1 버퍼부(BUF11 라고도 함)(132a)와, 제 2 버퍼부(BUF12 라고도 함)(132b)와, 제 1 스위치부(SW1 라고도 함)(133a)와, 제 2 스위치부(SW2 라고도 함)(133b)와, 제 3 스위치부(SW3 라고도 함)(133c)와, 제 4 스위치부(SW4 라고도 함)(133d)와, 제 3 버퍼부(BUF13 라고도 함)(134)를 포함한다.
- [0048] 제 1 래치부(131a)에는 세트 신호(SIN) 및 리셋 신호(RIN)가 입력된다.
- [0049] 제 1 래치부(131a)는 세트 신호(SIN) 및 리셋 신호(RIN)에 따라 데이터(D11) 및 데이터(D22)를 재기록하여, 저장하는 기능을 가진다.
- [0050] 제 2 래치부(131b)에는 세트 신호(SIN) 및 리셋 신호(RIN)가 입력된다.
- [0051] 제 2 래치부(131b)는 세트 신호(SIN) 및 리셋 신호(RIN)에 따라 데이터(D13) 및 데이터(D24)를 재기록하여, 저장하는 기능을 가진다.
- [0052] 제 1 버퍼부(132a)는 제 1 래치부(131a)에 저장된 데이터(D11) 및 데이터(D22)에 따라 신호(DOUT1)의 전위를 설정하고, 신호(DOUT1)를 출력하는 기능을 가진다. 신호(DOUT1)는 전위가 전위(VDD(VH))부터 전위(VSS(VL))까지의 사이에서 변화한다.
- [0053] 제 2 버퍼부(132b)는 제 2 래치부(131b)에 저장된 데이터(D13) 및 데이터(D24)에 따라 신호(DOUT2)의 전위를 설정하고, 신호(DOUT2)를 출력하는 기능을 가진다. 신호(DOUT2)는 전위가 전위(VDD(VH))부터 전위(VSS(VL))까지의 사이에서 변화한다.
- [0054] 제 1 스위치부(133a)에는 제어 신호(CTL1) 및 제어 신호(CTL2)가 입력된다. 제 1 스위치부(133a)는 제어 신호(CTL1) 및 제어 신호(CTL2)에 따라 온 상태 또는 오프 상태가 됨으로써, 제 1 래치부(131a)에 저장된 데이터(D11)의 재기록을 제어하는 기능을 가진다.
- [0055] 제 2 스위치부(133b)에는 제어 신호(CTL1) 및 제어 신호(CTL3)가 입력된다. 제 2 스위치부(133b)는 제어 신호(CTL1) 및 제어 신호(CTL3)에 따라 온 상태 또는 오프 상태가 됨으로써, 제 2 래치부(131b)에 저장된 데이터(D13)의 재기록을 제어하는 기능을 가진다.
- [0056] 제 3 스위치부(133c)에는 제어 신호(CTL4)로서 신호(DOUT2)가 입력된다. 제 3 스위치부(133c)는 제어 신호(CTL4)에 따라 온 상태 또는 오프 상태가 됨으로써, 제 1 래치부(131a)에 저장된 데이터(D22)의 재기록을 제어하는 기능을 가진다.
- [0057] 제 4 스위치부(133d)에는 제어 신호(CTL5)로서 신호(DOUT1)가 입력된다. 제 4 스위치부(133d)는 제어 신호(CTL5)에 따라 온 상태 또는 오프 상태가 됨으로써, 제 2 래치부(131b)에 저장된 데이터(D24)의 재기록을 제어하는 기능을 가진다.
- [0058] 제 3 스위치부(133c)의 제어 신호(CTL4)로서 신호(DOUT2)를 입력하고, 제 4 스위치부(133d)의 제어 신호(CTL5)로서 신호(DOUT1)를 입력함으로써, 제 1 래치부의 데이터(D22)의 전위 및 제 2 래치부의 데이터(D24)의 전위로서 전위(VDD) 또는 전위(VSS)를 계속 부여할 수 있기 때문에; 제 1 래치부의 데이터(D22)의 전위 및 제 2 래치부의 데이터(D24)의 전위를 유지할 수 있다.
- [0059] 제 3 버퍼부(134)는 신호(DOUT1) 및 신호(DOUT2)에 따라 신호(DOUT3)의 전위를 설정하고, 신호(DOUT3)를 출력하는 기능을 가진다. 신호(DOUT3)는 전위가 전위(VCH)부터 전위(VCL)까지의 범위에서 변화하는 구동 신호이다.
- [0060] 도 4에 나타내는 복수의 구동 신호 출력 회로(113)의 각각에는 세트 신호(SIN)로서 복수의 선택 회로(112)의 펄스 신호(SELOUT1) 중 하나가 입력되고, 리셋 신호(RIN)로서 복수의 선택 회로(112)의 펄스 신호(SELOUT2) 중 하

나가 입력된다. 예를 들면, 구동 신호 출력 회로(113_Z+1)에는 세트 신호(SIN)로서 선택 회로(112_Z+1)의 펄스 신호(SELOUT1)가 입력되고, 리셋 신호(RIN)로서 선택 회로(112_Z+1)의 펄스 신호(SELOUT2)가 입력된다.

- [0061] 도 4에 나타내는 구동 신호 출력 회로(113_Z)의 제어 신호(CTL1)로서, 클록 신호(CK_1)가 입력된다. 구동 신호 출력 회로(113_Z+1)의 제어 신호(CTL1)로서, 클록 신호(CK_2)가 입력된다. 구동 신호 출력 회로(113_Z+2)의 제어 신호(CTL1)로서, 클록 신호(CK_3)가 입력된다.
- [0062] 도 4에 나타내는 구동 신호 출력 회로(113_Z+2)의 제어 신호(CTL2)로서, 구동 신호 출력 회로(113_Z)의 신호(DOUT1)가 입력된다. 구동 신호 출력 회로(113_Z+2)의 제어 신호(CTL3)로서, 구동 신호 출력 회로(113_Z)의 신호(DOUT2)가 입력된다. 이에 따라, 구동 신호 출력 회로(113_Z+2)의 제어 신호(CTL2)로서 클록 신호(GCLK1)를 입력하고, 구동 신호 출력 회로(113_Z+2)의 제어 신호(CTL3)로서 클록 신호(GCLK2)를 입력하는 경우와 비교해서, 도 5의 (B)에 나타내는 데이터(D11) 및 데이터(D13)의 재기록을 할 수 있는 기간을 길게 할 수 있기 때문에; 신호선 구동 회로의 동작 불량을 보다 억제할 수 있다.
- [0063] 도 4에 나타내는 구동 신호 출력 회로(113_Z)의 신호(DOUT3)가 구동 신호(DRV_Z)가 된다. 구동 신호 출력 회로(113_Z+1)의 신호(DOUT3)가 구동 신호(DRV_Z+1)가 된다. 구동 신호 출력 회로(113_Z+2)의 신호(DOUT3)가 구동 신호(DRV_Z+2)가 된다.
- [0064] 단, 시프트 레지스터(101), 선택 회로(112), 및 구동 신호 출력 회로(113)의 각각을, 서로 동일한 극성을 가지는 전계 효과 트랜지스터를 이용하여 형성해도 좋고, 이것은 다른 극성을 가지는 전계 효과 트랜지스터를 이용하여 신호선 구동 회로를 형성하는 경우와 비교해서 제조 공정을 간략하게 할 수 있다.
- [0065] 다음에, 본 실시형태의 신호선 구동 회로의 구동 방법으로서, 도 1에 나타내는 신호선 구동 회로의 구동 방법에 대해서 도 6의 타이밍 차트를 이용하여 설명한다. 단, 일례로서, 클록 신호(CK_1) 내지 클록 신호(CK_3)의 각각을, 듀티(duty)비가 25% 이고, 순서대로 1/4 주기씩 늦춰진 클록 신호로 한다. 클록 신호(FCLK1), 클록 신호(FCLK2), 클록 신호(GCLK1), 및 클록 신호(GCLK2)의 각각을 듀티비가 50%인 클록 신호로 한다. 클록 신호(FCLK2)는 클록 신호(FCLK1)의 반전 신호로 하고, 클록 신호(GCLK2)는 클록 신호(GCLK1)의 반전 신호로 한다. 타이밍 차트에서 이중 파선은 생략 기호를 의미한다.
- [0066] 도 6에 나타내는 것처럼, 도 1에 나타내는 신호선 구동 회로의 구동 방법예에서는, 기간 T11에 스타트 펄스 신호(SP)의 펄스를 시프트 레지스터(101)에 입력한다.
- [0067] 이 경우, 클록 신호(CK_1) 내지 클록 신호(CK_3)에 따라, 기간(T12)에 펄스 신호(SROUT_Z)의 펄스가 선택 회로(112_Z)에 입력되고, 기간(T13)에 펄스 신호(SROUT_Z+1)의 펄스가 선택 회로(112_Z+1)에 입력되고, 기간(T14)에 펄스 신호(SROUT_Z+2)의 펄스가 선택 회로(112_Z+2)에 입력된다. 단, 기간(T11) 내지 기간(T17)에서, 클록 신호(FCLK1)가 로우 레벨이고, 클록 신호(FCLK2)가 하이 레벨이고, 클록 신호(GCLK1)가 하이 레벨이고, 클록 신호(GCLK2)가 로우 레벨이다.
- [0068] 이 때, 선택 회로(112_Z) 및 선택 회로(112_Z+2)의 각각은 입력된 펄스 신호(SROUT_Z) 또는 펄스 신호(SROUT_Z+2)의 펄스를 펄스 신호(SELOUT1)의 펄스로 간주하여 출력한다.
- [0069] 선택 회로(112_Z+1)는 입력된 펄스 신호(SROUT_Z+1)의 펄스를 펄스 신호(SELOUT2)의 펄스로 간주하여 출력한다.
- [0070] 상기 펄스 신호(SELOUT1)의 펄스는 세트 신호(SIN)의 펄스로서 구동 신호 출력 회로(113_Z) 및 구동 신호 출력 회로(113_Z+2)에 입력된다. 세트 신호(SIN)의 펄스가 입력된 구동 신호 출력 회로(113)에서는, 데이터(D1)로서 전위(VDD)가 기록되고, 데이터(D2)로서 전위(VSS)가 기록된다. 따라서, 신호(DOUT1)의 전위는 전위(VCH)가 되고, 신호(DOUT2)의 전위는 전위(VH)가 된다. 예를 들면, 구동 신호 출력 회로(113_Z)의 신호(DOUT1)(구동 신호(DRV_Z))는 기간(T12)에서 전위(VCH)가 되고, 구동 신호 출력 회로(113_Z+2)의 신호(DOUT1)(구동 신호(DRV_Z+2))는 기간(T14)에서 전위(VCH)가 된다.
- [0071] 상기 펄스 신호(SELOUT2)의 펄스는 리셋 신호(RIN)의 펄스로서 구동 신호 출력 회로(113_Z+1)에 입력된다. 리셋 신호(RIN)의 펄스가 입력된 구동 신호 출력 회로(113)에서는 데이터(D1)로서 전위(VSS)가 기록되고, 데이터(D2)로서 전위(VDD)가 기록된다. 따라서, 신호(DOUT1)의 전위는 전위(VCL)가 되고, 신호(DOUT2)의 전위는 전위(VL)가 된다. 예를 들면, 구동 신호 출력 회로(113_Z+1)의 신호(DOUT1)(구동 신호(DRV_Z+1))는 기간(T13)에서 전위(VCL)가 된다.
- [0072] 기간(T15) 내지 기간(T17)에서는, 클록 신호(CK_1) 내지 클록 신호(CK_3), 클록 신호(FCLK1) 및 클록 신호(FCLK2), 및 클록 신호(GCLK1) 및 클록 신호(GCLK2)에 따라, 세트 신호(SIN)의 펄스가 입력된 구동 신호 출력

회로(113)에 입력되는 제어 신호(CTL1) 및 제어 신호(CTL2)가 하이 레벨이 된다. 이에 따라, 데이터(D1)로서 전위(VDD)가 기록된 구동 신호 출력 회로(113)에, 데이터의 재기록으로서 전위(VDD)의 기록이 행해진다. 따라서, 다시 스타트 펄스 신호(SP)의 펄스를 시프트 레지스터(101)에 입력하기까지, 데이터(D1)의 전위의 변동을 적게 할 수 있다.

- [0073] 또한, 기간(T18)에서 다시 스타트 펄스 신호(SP)의 펄스를 시프트 레지스터(101)에 입력한다.
- [0074] 이 때, 클럭 신호(CK_1) 내지 클럭 신호(CK_3)에 따라 기간(T19)에서 펄스 신호(SROUT_Z)의 펄스가 선택 회로(112_Z)에 입력되고, 기간(T20)에서 펄스 신호(SROUT_Z+1)의 펄스가 선택 회로(112_Z+1)에 입력되고, 기간(T21)에서 펄스 신호(SROUT_Z+2)의 펄스가 선택 회로(112_Z+2)에 입력된다. 기간(T18) 내지 기간(T21)에서, 클럭 신호(FCLK1)가 하이 레벨이고, 클럭 신호(FCLK2)가 로우 레벨이고, 클럭 신호(GCLK1)가 로우 레벨이고, 클럭 신호(GCLK2)가 하이 레벨이다.
- [0075] 이 때, 선택 회로(112_Z) 및 선택 회로(112_Z+2)의 각각은 입력된 펄스 신호(SROUT_Z) 또는 펄스 신호(SROUT_Z+2)의 펄스를 펄스 신호(SELOUT2)의 펄스로 간주하여 출력한다.
- [0076] 선택 회로(112_Z+1)는 입력된 펄스 신호(SROUT_Z+1)의 펄스를 펄스 신호(SELOUT1)의 펄스로 간주하여 출력한다.
- [0077] 세트 신호(SIN)의 펄스가 입력된 구동 신호 출력 회로(113)에서는, 데이터(D1)로서 전위(VDD)가 기록되고, 데이터(D2)로서 전위(VSS)가 기록된다. 따라서, 신호(DOUT1)의 전위는 전위(VCH)가 되고, 신호(DOUT2)의 전위는 전위(VH)가 된다.
- [0078] 리셋 신호(RIN)의 펄스가 입력된 구동 신호 출력 회로(113)에서는, 데이터(D1)로서 전위(VSS)가 기록되고, 데이터(D2)로서 전위(VDD)가 기록된다. 따라서, 신호(DOUT1)의 전위는 전위(VCL)가 되고, 신호(DOUT2)의 전위는 전위(VL)가 된다.
- [0079] 단, 클럭 신호(FCLK1)와 클럭 신호(GCLK1)를 같은 신호로 하고, 클럭 신호(FCLK2)와 클럭 신호(GCLK2)를 같은 신호로 해도 좋다. 이 때, 신호(DRV_Z+1)는 제 Z 신호(DRV_Z)가 시프트 된 신호에 대응한다.
- [0080] 이상도 1에 나타내는 신호선 구동 회로의 구동 방법예의 설명이다.
- [0081] 도 1, 도 2, 도 3의 (A) 및 도 3의 (B), 도 4, 도 5의 (A) 및 도 5의 (B), 도 6을 이용하여 설명한 것처럼, 본 실시형태의 신호선 구동 회로의 일례에서는, 시프트 레지스터, 각각 시프트 레지스터에서 다른 펄스 신호가 입력되고, 입력된 펄스 신호를 제 1 펄스 신호로 간주하고 출력할지 제 2 펄스 신호로 간주하고 출력할지를 결정하는 복수의 선택 회로, 및 각각 다른 선택 회로의 제 1 펄스 신호 및 제 2 펄스 신호가 입력되는 구동 신호 출력 회로를 포함한다. 이 구조로 함으로써, 복수의 구동 신호를 출력할 수 있다.
- [0082] 본 실시형태의 신호선 구동 회로의 일례에서는, 구동 신호 출력 회로에서, 래치부에 저장된 데이터의 재기록을 제어하는 스위치부를 제공함으로써, 시프트 레지스터에서 펄스 신호의 펄스가 출력되지 않는 기간이어도 이 데이터의 재기록을 행할 수 있다. 따라서, 예를 들면 구동 신호 출력 회로에서의 전계 효과 트랜지스터의 리크 전류에 의한, 제 1 데이터인 전위의 변동을 억제할 수 있다. 따라서, 신호선 구동 회로의 동작 불량을 억제할 수 있다.
- [0083] 예를 들면, 액정 표시 장치 또는 전자 페이지 등, 복수의 신호선을 이용하여 복수의 회로의 구동을 제어하는 반도체 장치에 본 실시형태의 신호선 구동 회로를 적용할 수 있다.
- [0084] (실시형태 2)
- [0085] 본 실시형태에서는, 공통 신호선을 통하여 구동 신호를 출력하는 신호선 구동 회로, 및 이 신호선 구동 회로가 제공된 액정 표시 장치의 예에 대해서 설명한다.
- [0086] 우선, 액정 표시 장치의 구성예에 대해서 도 7의 (A)를 이용하여 설명한다.
- [0087] 도 7의 (A)에 나타내는 액정 표시 장치는 신호선 구동 회로(201)와, 신호선 구동 회로(202)와, 신호선 구동 회로(203)와, 데이터 신호선(DL_1) 내지 데이터 신호선(DL_Y)(Y는 2 이상의 자연수)과, 게이트 신호선(GL_1) 내지 게이트 신호선(GL_X)(X는 2 이상의 자연수)과, 공통 신호선(CL_1) 내지 공통 신호선(CL_X)과, X행 Y열에 배열된 복수의 화소 회로(210)를 포함한다.
- [0088] 신호선 구동 회로(201)는 복수의 데이터 신호(DS)(데이터 신호(DS_1) 내지 데이터 신호(DS_Y))를 생성하는 기능을 가진다. 신호선 구동 회로(201)는 복수의 데이터 신호(DS)에 의해 복수의 데이터 신호선(DL)(데이터 신호선

(DL₁) 내지 데이터 신호선(DL_Y)의 전위를 제어함으로써, 화소 회로(210)의 구동을 제어하는 기능을 가진다.

- [0089] 신호선 구동 회로(202)는 복수의 게이트 신호(GS)(게이트 신호(GS₁) 내지 게이트 신호(GS_X))를 생성하는 기능을 가진다. 신호선 구동 회로(202)는 복수의 게이트 신호(GS)에 의해 복수의 게이트 신호선(GL)(게이트 신호선(GL₁) 내지 게이트 신호선(GL_X))의 전위를 제어함으로써, 화소 회로(210)의 구동을 제어하는 기능을 가진다.
- [0090] 신호선 구동 회로(203)는 복수의 공통 신호(CS)(공통 신호(CS₁) 내지 공통 신호(CS_X))를 생성하는 기능을 가진다. 신호선 구동 회로(203)는 복수의 공통 신호(CS)에 의해 복수의 공통 신호선(CL)(공통 신호선(CL₁) 내지 공통 신호선(CL_X))의 전위를 제어함으로써, 화소 회로(210)의 구동을 제어하는 기능을 가진다.
- [0091] 신호선 구동 회로(203)는, 예를 들면 실시형태 1에 나타내는 신호선 구동 회로일 수 있다.
- [0092] 복수의 화소 회로(210)의 각각은 전계 효과 트랜지스터(211)와, 한쌍의 전극 및 액정층을 포함하는 액정 소자(212)와, 용량 소자(213)를 포함한다. 단, 반드시 용량 소자(213)가 제공되는 것은 아니다.
- [0093] M행 N열(M은 X 이하의 자연수, N은 Y 이하의 자연수)의 화소 회로(210)에서, 전계 효과 트랜지스터(211)의 소스 및 드레인의 한쪽은 데이터 신호선(DL_N)(복수의 데이터 신호선(DL) 중 하나)에 전기적으로 접속된다. M행 N열의 화소 회로(210)에서, 전계 효과 트랜지스터(211)의 게이트는 게이트 신호선(GL_M)(복수의 게이트 신호선(GL) 중 하나)에 전기적으로 접속된다.
- [0094] M행 N열의 화소 회로(210)에서, 액정 소자(212)의 한쌍의 전극의 한쪽은 M행 N열의 화소 회로(210)의 전계 효과 트랜지스터(211)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. M행 N열의 화소 회로(210)에서, 액정 소자(212)의 한쌍의 전극의 다른 한쪽은 공통 신호선(CL_M)(복수의 공통 신호선(CL) 중 하나)에 전기적으로 접속된다.
- [0095] 액정 소자(212)에서는 한쌍의 전극의 사이에 인가되는 전압에 따라 액정층에 포함되는 액정의 배향이 제어된다.
- [0096] M행 N열의 화소 회로(210)에서, 용량 소자(213)의 한쌍의 전극의 한쪽은 M행 N열의 화소 회로(210)의 전계 효과 트랜지스터(211)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. M행 N열의 화소 회로(210)에서, 용량 소자(213)의 한쌍의 전극의 다른 한쪽에는 전위(VSS)가 부여된다.
- [0097] 다음에, 신호선 구동 회로(203)의 구성예에 대해서 도 7의 (B)를 이용하여 설명한다.
- [0098] 신호선 구동 회로(203)는 시프트 레지스터(230)(도 7의 (B)의 시프트 레지스터(230))와, 복수의 선택 회로(232)(도 7의 (B)에서는, 선택 회로(232₁) 내지 선택 회로(232₄)만을 도시)와, 복수의 구동 신호 출력 회로(233)(도 7의 (B)에서는, 구동 신호 출력 회로(233₁) 내지 구동 신호 출력 회로(233₄)만을 도시)를 포함한다. 또한, 시프트 레지스터(230)는 펄스 출력 회로(231₁) 내지 펄스 출력 회로(231_X)를 포함한다. 단, 본 실시형태에서는, 선택 회로(232₁) 내지 선택 회로(232_X)와 구동 신호 출력 회로(233₁) 내지 구동 신호 출력 회로(233_X)를 제공하는 경우에 대해서 설명한다. 단, 도 7의 (A) 및 도 7의 (B)에서는, 일례로서 X가 3 이상의 자연수의 경우를 나타낸다.
- [0099] 또한, 도 7의 (B)에 나타내는 신호선 구동 회로의 각 구성 요소에 대해서 도 8의 (A) 및 도 8의 (B), 도 9의 (A) 및 도 9의 (B), 도 10의 (A) 및 도 10의 (B)를 이용하여 설명한다.
- [0100] 도 8의 (A) 및 도 8의 (B)는 도 7의 (B)에 나타내는 시프트 레지스터(230)의 펄스 출력 회로의 구성예를 설명하기 위한 도면이다.
- [0101] 도 8의 (A)에 나타내는 것처럼, 펄스 출력 회로(231)에는 세트 신호(LIN_F), 리셋 신호(RIN_F), 클록 신호(CL_F), 클록 신호(CL_p_F), 및 초기화 신호(INI_{RES})가 입력된다. 도 8의 (A)에 나타내는 펄스 출력 회로는 신호(FOUT)를 출력한다. 신호(FOUT)는 시프트 레지스터(230)의 펄스 신호(SROUT)에 대응한다. 단, 초기화 신호(INI_{RES})는 예를 들면 펄스 출력 회로를 초기화하는 경우 등에 이용하는 신호이다. 초기화 신호(INI_{RES})의 펄스를 펄스 출력 회로에 입력함으로써, 펄스 출력 회로는 초기화된다. 단, 반드시 초기화 신호(INI_{RES})를 펄스 출력 회로에 입력하지 않아도 좋다.
- [0102] 단, 펄스 출력 회로(231_{X+1})의 구성은 리셋 신호(RIN_F)가 입력되지 않는 것을 제외하고, 다른 펄스 출력 회로와 같은 구성이다.
- [0103] 도 8의 (A)에 나타내는 펄스 출력 회로(231)는 도 8의 (B)에 나타내는 것처럼, 전계 효과 트랜지스터(311) 내지 전계 효과 트랜지스터(319)와, 용량 소자(321) 및 용량 소자(322)를 포함한다.

- [0104] 전계 효과 트랜지스터(311)의 소스 및 드레인의 한쪽에는 전위(VDD)가 부여된다. 전계 효과 트랜지스터(311)의 게이트에는 세트 신호(LIN_F)가 입력된다.
- [0105] 전계 효과 트랜지스터(312)의 소스 및 드레인의 한쪽에는 전위(VSS)가 부여된다. 전계 효과 트랜지스터(312)의 게이트에는 세트 신호(LIN_F)가 입력된다.
- [0106] 전계 효과 트랜지스터(313)의 소스 및 드레인의 한쪽에는 전위(VDD)가 부여된다. 전계 효과 트랜지스터(313)의 소스 및 드레인의 다른 한쪽은 전계 효과 트랜지스터(312)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 전계 효과 트랜지스터(313)의 게이트에는 리셋 신호(RIN_F)가 부여된다.
- [0107] 전계 효과 트랜지스터(314)의 소스 및 드레인의 한쪽에는 전위(VDD)가 부여된다. 전계 효과 트랜지스터(314)의 소스 및 드레인의 다른 한쪽은 전계 효과 트랜지스터(312)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 전계 효과 트랜지스터(314)의 게이트에는 초기화 신호(INI_RES)가 입력된다. 단, 반드시 전계 효과 트랜지스터(314)를 제공할 필요는 없다.
- [0108] 전계 효과 트랜지스터(315)의 소스 및 드레인의 한쪽에는 전위(VDD)가 부여된다. 전계 효과 트랜지스터(315)의 소스 및 드레인의 다른 한쪽은 전계 효과 트랜지스터(312)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 전계 효과 트랜지스터(315)의 게이트에는 클록 신호(CLp_F)가 입력된다.
- [0109] 전계 효과 트랜지스터(316)의 소스 및 드레인의 한쪽에는 전위(VSS)가 부여된다. 전계 효과 트랜지스터(316)의 소스 및 드레인의 다른 한쪽은 전계 효과 트랜지스터(311)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 전계 효과 트랜지스터(316)의 게이트는 전계 효과 트랜지스터(312)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다.
- [0110] 전계 효과 트랜지스터(317)의 소스 및 드레인의 한쪽은 전계 효과 트랜지스터(311)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 전계 효과 트랜지스터(317)의 게이트에는 전위(VDD)가 부여된다.
- [0111] 전계 효과 트랜지스터(318)의 소스 및 드레인의 한쪽에는 클록 신호(CL_F)가 입력된다. 전계 효과 트랜지스터(318)의 게이트는 전계 효과 트랜지스터(317)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 도 8의 (B)에 나타내는 펄스 출력 회로에서는, 전계 효과 트랜지스터(318)의 소스 및 드레인의 다른 한쪽의 전위가 신호(FOUT)의 전위가 된다.
- [0112] 전계 효과 트랜지스터(319)의 소스 및 드레인의 한쪽에는 전위(VSS)가 부여된다. 전계 효과 트랜지스터(319)의 소스 및 드레인의 다른 한쪽은 전계 효과 트랜지스터(318)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 전계 효과 트랜지스터(319)의 게이트는 전계 효과 트랜지스터(312)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다.
- [0113] 용량 소자(321)의 한쌍의 전극의 한쪽에는 전위(VSS)가 부여된다. 용량 소자(321)의 한쌍의 전극의 다른 한쪽은 전계 효과 트랜지스터(312)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 반드시 용량 소자(321)를 제공할 필요는 없다.
- [0114] 용량 소자(322)의 한쌍의 전극의 한쪽은 전계 효과 트랜지스터(318)의 게이트에 전기적으로 접속된다. 용량 소자(322)의 한쌍의 전극의 다른 한쪽은 전계 효과 트랜지스터(318)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 반드시 용량 소자(322)를 제공할 필요는 없다.
- [0115] 도 8의 (B)에 나타내는 펄스 출력 회로에서는, 세트 신호(LIN_F)에 따라 전계 효과 트랜지스터(311) 및 전계 효과 트랜지스터(312)가 온 상태가 되고, 전계 효과 트랜지스터(318)가 온 상태가 됨으로써, 신호(FOUT)의 전위가 클록 신호(CL_F)의 전위와 동등한 값이 된다. 이 때, 전계 효과 트랜지스터(319)는 오프 상태이다. 도 8의 (B)에 나타내는 펄스 출력 회로에서는, 리셋 신호(RIN_F)에 따라 전계 효과 트랜지스터(313)가 온 상태가 되고, 전계 효과 트랜지스터(319)가 온 상태가 됨으로써, 신호(FOUT)의 전위가 전위(VSS)와 동등한 값이 된다. 이 때, 전계 효과 트랜지스터(313)가 온 상태에 있고, 전계 효과 트랜지스터(316)가 온 상태에 있기 때문에, 전계 효과 트랜지스터(318)는 오프 상태에 있다. 이에 따라, 펄스 출력 회로는 펄스 신호를 출력한다.
- [0116] 도 7의 (B)에 나타내는 시프트 레지스터(230)에는, 펄스 출력 회로(231_1)의 세트 신호(LIN_F)로서 스타트 펄스 신호(SP)가 입력된다.
- [0117] 단, 신호선 구동 회로(203)에 스타트 펄스 신호(SP)를 입력하기 위한 배선에, 보호 회로를 전기적으로 접속해도 좋다.

- [0118] 시프트 레지스터(230)에, 펄스 출력 회로(231_K)(K는 2 이상 X 이하의 자연수)의 세트 신호(LIN_F)로서 펄스 출력 회로(231_K-1)의 신호(FOUT)가 입력된다.
- [0119] 시프트 레지스터(230)에, 펄스 출력 회로(231_M)의 리셋 신호(RIN_F)로서 펄스 출력 회로(231_M+1)의 신호(FOUT)가 입력된다.
- [0120] 시프트 레지스터(230)의 펄스 출력 회로(231_1)에, 클록 신호(CL_F)로서 클록 신호(CLK1)가 입력되고, 클록 신호(CLp_F)로서 클록 신호(CLK2)가 입력된다. 펄스 출력 회로(231_1)로부터, 4개의 펄스 출력 회로마다 클록 신호(CL_F)로서 클록 신호(CLK1)가 입력되고, 클록 신호(CLp_F)로서 클록 신호(CLK2)가 입력된다.
- [0121] 시프트 레지스터(230)의 펄스 출력 회로(231_2)에, 클록 신호(CL_F)로서 클록 신호(CLK2)가 입력되고, 클록 신호(CLp_F)로서 클록 신호(CLK3)가 입력된다. 펄스 출력 회로(231_2)로부터, 4개의 펄스 출력 회로마다 클록 신호(CL_F)로서 클록 신호(CLK2)가 입력되고, 클록 신호(CLp_F)로서 클록 신호(CLK3)가 입력된다.
- [0122] 시프트 레지스터(230)의 펄스 출력 회로(231_3)에, 클록 신호(CL_F)로서 클록 신호(CLK3)가 입력되고, 클록 신호(CLp_F)로서 클록 신호(CLK4)가 입력된다. 펄스 출력 회로(231_3)로부터, 4개의 펄스 출력 회로마다 클록 신호(CL_F)로서 클록 신호(CLK3)가 입력되고, 클록 신호(CLp_F)로서 클록 신호(CLK4)가 입력된다.
- [0123] 시프트 레지스터(230)의 펄스 출력 회로(231_4)에, 클록 신호(CL_F)로서 클록 신호(CLK4)가 입력되고, 클록 신호(CLp_F)로서 클록 신호(CLK1)가 입력된다. 펄스 출력 회로(231_4)로부터, 4개의 펄스 출력 회로마다 클록 신호(CL_F)로서 클록 신호(CLK4)가 입력되고, 클록 신호(CLp_F)로서 클록 신호(CLK1)가 입력된다.
- [0124] 단, 클록 신호(CLK1)를 입력하기 위한 배선 내지 클록 신호(CLK4)를 입력하기 위한 배선의 각각에 보호 회로를 전기적으로 접속해도 좋다.
- [0125] 이상이 펄스 출력 회로의 설명이다.
- [0126] 도 9의(A) 및 도 9의 (B)는 선택 회로의 구성예를 설명하기 위한 도면이다.
- [0127] 도 9의 (A)에 나타내는 것처럼, 선택 회로(232)에는 펄스 신호(SELIN), 클록 신호(SECL), 및 클록 신호(RECL)가 입력된다. 선택 회로(232)는 펄스 신호(SELOUT1) 및 펄스 신호(SELOUT2)를 출력한다. 선택 회로(232)는 클록 신호(SECL) 및 클록 신호(RECL)에 따라 펄스 신호(SELIN)를 펄스 신호(SELOUT1)로 간주하고 출력할지 펄스 신호(SELOUT2)로 간주하고 출력할지를 결정하는 기능을 가진다.
- [0128] 도 9의 (A)에 나타내는 선택 회로(232)는 도 9의 (B)에 나타내는 것처럼, 전계 효과 트랜지스터(331) 내지 전계 효과 트랜지스터(336)를 포함한다.
- [0129] 전계 효과 트랜지스터(331)의 소스 및 드레인의 한쪽에는 펄스 신호(SELIN)가 입력된다. 전계 효과 트랜지스터(331)의 소스 및 드레인의 다른 한쪽의 전위가 펄스 신호(SELOUT1)의 전위에 대응된다.
- [0130] 전계 효과 트랜지스터(332)의 소스 및 드레인의 한쪽에는 펄스 신호(SELIN)가 입력된다. 전계 효과 트랜지스터(332)의 소스 및 드레인의 다른 한쪽의 전위가 펄스 신호(SELOUT2)의 전위에 대응된다.
- [0131] 전계 효과 트랜지스터(333)의 소스 및 드레인의 한쪽에는 전위(VSS)가 부여된다. 전계 효과 트랜지스터(333)의 소스 및 드레인의 다른 한쪽은 전계 효과 트랜지스터(331)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 전계 효과 트랜지스터(333)의 게이트에는 클록 신호(RECL)가 입력된다.
- [0132] 전계 효과 트랜지스터(334)의 소스 및 드레인의 한쪽에는 전위(VSS)가 부여된다. 전계 효과 트랜지스터(334)의 소스 및 드레인의 다른 한쪽은 전계 효과 트랜지스터(332)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 전계 효과 트랜지스터(334)의 게이트에는 클록 신호(SECL)가 입력된다.
- [0133] 전계 효과 트랜지스터(335)의 소스 및 드레인의 한쪽에는 클록 신호(SECL)가 입력된다. 전계 효과 트랜지스터(335)의 소스 및 드레인의 다른 한쪽은 전계 효과 트랜지스터(331)의 게이트에 전기적으로 접속된다. 전계 효과 트랜지스터(335)의 게이트에는 전위(VDD)가 부여된다. 단, 반드시 전계 효과 트랜지스터(335)를 제공할 필요는 없다.
- [0134] 전계 효과 트랜지스터(336)의 소스 및 드레인의 한쪽에는 클록 신호(RECL)가 입력된다. 전계 효과 트랜지스터(336)의 소스 및 드레인의 다른 한쪽은 전계 효과 트랜지스터(332)의 게이트에 전기적으로 접속된다. 전계 효과 트랜지스터(336)의 게이트에는 전위(VDD)가 부여된다. 반드시 전계 효과 트랜지스터(336)를 제공할 필요는 없다.

- [0135] 도 9의 (B)에 나타내는 선택 회로에서는, 클록 신호(SECL)에 따라 전계 효과 트랜지스터(331)가 온 상태가 됨으로써, 펄스 신호(SELIN)가 펄스 신호(SELOUT1)로 간주하고 출력된다. 이 때, 전계 효과 트랜지스터(332)는 오프 상태이고, 전계 효과 트랜지스터(334)는 온 상태이다. 도 9의 (B)에 나타내는 선택 회로에서는, 클록 신호(RECL)에 따라 전계 효과 트랜지스터(332)가 온 상태가 됨으로써, 펄스 신호(SELIN)가 펄스 신호(SELOUT2)로 간주하고 출력된다. 이 때, 전계 효과 트랜지스터(331)는 오프 상태에 있고, 전계 효과 트랜지스터(333)는 온 상태에 있다.
- [0136] 도 7의 (B)에 나타내는 선택 회로(232_1)의 펄스 신호(SELIN)로서 스타트 펄스 신호(SP)가 입력된다.
- [0137] 선택 회로(232_K)의 펄스 신호(SELIN)로서 펄스 출력 회로(231_K-1)의 신호(FOUT)가 입력된다.
- [0138] 선택 회로(232_Q)(Q는 1 이상 X 이하의 홀수)의 클록 신호(SECL)로서 클록 신호(FCLK1)가 입력된다.
- [0139] 선택 회로(232_Q)의 클록 신호(RECL)로서 클록 신호(FCLK2)가 입력된다.
- [0140] 선택 회로(232_R)(R은 2 이상 X 이하의 짝수)의 클록 신호(SECL)로서 클록 신호(GCLK1)가 입력된다.
- [0141] 선택 회로(232_R)의 클록 신호(RECL)로서 클록 신호(GCLK2)가 입력된다.
- [0142] 단, 클록 신호(FCLK1)를 입력하기 위한 배선, 클록 신호(FCLK2)를 입력하기 위한 배선, 클록 신호(GCLK1)를 입력하기 위한 배선, 및 클록 신호(GCLK2)를 입력하기 위한 배선의 각각에 보호 회로를 전기적으로 접속해도 좋다.
- [0143] 이상이 선택 회로의 설명이다.
- [0144] 도 10의 (A) 및 도 10의 (B)는 구동 신호 출력 회로의 예를 설명하기 위한 도면이다.
- [0145] 도 10의 (A)에 나타내는 것처럼, 구동 신호 출력 회로(233)에는 세트 신호(SIN_D), 리셋 신호(RIN_D), 제어 신호(CTL1_D), 제어 신호(CTL2_D), 및 초기화 신호(INI_RES)가 입력된다. 초기화 신호(INI_RES)의 펄스를 구동 신호 출력 회로에 입력함으로써, 구동 신호 출력 회로(233)는 초기화된다. 단, 반드시 초기화 신호(INI_RES)를 구동 신호 출력 회로(233)에 입력할 필요는 없다. 구동 신호 출력 회로(233)는 신호(DOUT1) 및 신호(DOUT2)를 출력한다. 신호(DOUT1)가 구동 신호 출력 회로(233)에서 출력되는 공통 신호가 된다. 신호(DOUT1)를 출력하기 위한 배선에 보호 회로를 전기적으로 접속해도 좋다. 도 10의 (A)에 나타내는 구동 신호 출력 회로(233)는 도 3의 (A) 및 도 3의 (B)에 나타내는 구동 신호 출력 회로와 마찬가지로, 래치부와, 제 1 버퍼부와, 제 2 버퍼부와, 스위치부를 포함한다. 상세한 사항에 대해서 이하에 설명한다.
- [0146] 도 10의 (A)에 나타내는 구동 신호 출력 회로(233)는 도 10의 (B)에 나타내는 것처럼, 전계 효과 트랜지스터(351) 내지 전계 효과 트랜지스터(364)와, 용량 소자(371) 및 용량 소자(372)를 포함한다. 단, 전계 효과 트랜지스터(351) 내지 전계 효과 트랜지스터(364)의 각각은 N 채널형 트랜지스터이다.
- [0147] 전계 효과 트랜지스터(351)는 래치부에 제공된다. 전계 효과 트랜지스터(351)의 소스 및 드레인의 한쪽에는 전위(VDD)가 부여된다. 전계 효과 트랜지스터(351)의 게이트에는 세트 신호(SIN_D)가 입력된다.
- [0148] 전계 효과 트랜지스터(352)는 래치부에 제공된다. 전계 효과 트랜지스터(352)의 소스 및 드레인의 한쪽에는 전위(VDD)가 부여된다. 전계 효과 트랜지스터(352)의 게이트에는 리셋 신호(RIN_D)가 입력된다.
- [0149] 전계 효과 트랜지스터(353)는 래치부에 제공된다. 전계 효과 트랜지스터(353)의 소스 및 드레인의 한쪽에는 전위(VSS)가 부여된다. 전계 효과 트랜지스터(353)의 소스 및 드레인의 다른 한쪽은 전계 효과 트랜지스터(352)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 전계 효과 트랜지스터(353)의 게이트에는 세트 신호(SIN_D)가 입력된다.
- [0150] 전계 효과 트랜지스터(354)는 래치부에 제공된다. 전계 효과 트랜지스터(354)의 소스 및 드레인의 한쪽에는 전위(VSS)가 부여된다. 전계 효과 트랜지스터(354)의 소스 및 드레인의 다른 한쪽은 전계 효과 트랜지스터(351)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 전계 효과 트랜지스터(354)의 게이트에는 리셋 신호(RIN_D)가 입력된다.
- [0151] 전계 효과 트랜지스터(355)는 제 1 버퍼부에 제공된다. 전계 효과 트랜지스터(355)의 소스 및 드레인의 한쪽에는 전위(TCOMH)가 부여된다. 전계 효과 트랜지스터(355)의 소스 및 드레인의 다른 한쪽의 전위가 신호(DOUT1)의 전위에 대응된다.

- [0152] 전계 효과 트랜지스터(356)는 제 1 버퍼부에 제공된다. 전계 효과 트랜지스터(356)의 소스 및 드레인의 한쪽에는 전위(TCOML)가 부여된다. 전계 효과 트랜지스터(356)의 소스 및 드레인의 다른 한쪽은 전계 효과 트랜지스터(355)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 전계 효과 트랜지스터(356)의 게이트는 전계 효과 트랜지스터(352)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다.
- [0153] 전위(TCOMH) 및 전위(TCOML)의 각각은 공통 신호의 전위를 설정하기 위한 전위이다. 전위(TCOMH)는 전위(TCOML)보다 높은 전위이다.
- [0154] 전계 효과 트랜지스터(357)는 제 2 버퍼부에 제공된다. 전계 효과 트랜지스터(357)의 소스 및 드레인의 한쪽에는 전위(VDD)가 부여된다. 전계 효과 트랜지스터(357)의 소스 및 드레인의 다른 한쪽의 전위가 신호(DOUT2)의 전위가 된다.
- [0155] 전계 효과 트랜지스터(358)는 제 2 버퍼부에 제공된다. 전계 효과 트랜지스터(358)의 소스 및 드레인의 한쪽에는 전위(VSS)가 부여된다. 전계 효과 트랜지스터(358)의 소스 및 드레인의 다른 한쪽은 전계 효과 트랜지스터(357)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 전계 효과 트랜지스터(358)의 게이트는 전계 효과 트랜지스터(352)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다.
- [0156] 전계 효과 트랜지스터(359)는 스위치부에 제공된다. 전계 효과 트랜지스터(359)의 소스 및 드레인의 한쪽에는 전위(VDD)가 부여된다. 전계 효과 트랜지스터(359)의 게이트에는 제어 신호(CTL1_D)가 입력된다.
- [0157] 전계 효과 트랜지스터(360)는 스위치부에 제공된다. 전계 효과 트랜지스터(360)의 소스 및 드레인의 한쪽은 전계 효과 트랜지스터(359)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 전계 효과 트랜지스터(360)의 소스 및 드레인의 다른 한쪽은 전계 효과 트랜지스터(351)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 전계 효과 트랜지스터(360)의 게이트에는 제어 신호(CTL2_D)가 입력된다.
- [0158] 전계 효과 트랜지스터(361)의 소스 및 드레인의 한쪽에는 전위(VSS)가 부여된다. 전계 효과 트랜지스터(361)의 소스 및 드레인의 다른 한쪽은 전계 효과 트랜지스터(351)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 전계 효과 트랜지스터(361)의 게이트는, 전계 효과 트랜지스터(352)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 단, 반드시 전계 효과 트랜지스터(361)를 제공할 필요는 없다.
- [0159] 전계 효과 트랜지스터(362)의 소스 및 드레인의 한쪽에는 전위(VSS)가 부여된다. 전계 효과 트랜지스터(362)의 소스 및 드레인의 다른 한쪽은 전계 효과 트랜지스터(352)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 전계 효과 트랜지스터(362)의 게이트는 전계 효과 트랜지스터(357)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 단, 반드시 전계 효과 트랜지스터(362)를 제공할 필요는 없다.
- [0160] 전계 효과 트랜지스터(363)의 소스 및 드레인의 한쪽은 전계 효과 트랜지스터(351)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 전계 효과 트랜지스터(363)의 소스 및 드레인의 다른 한쪽은 전계 효과 트랜지스터(355)의 게이트 및 전계 효과 트랜지스터(357)의 게이트에 전기적으로 접속된다. 전계 효과 트랜지스터(363)의 게이트에는 전위(VDD)가 부여된다. 단, 반드시 전계 효과 트랜지스터(363)를 제공할 필요는 없다.
- [0161] 전계 효과 트랜지스터(364)의 소스 및 드레인의 한쪽에는 전위(VDD)가 부여된다. 전계 효과 트랜지스터(364)의 소스 및 드레인의 다른 한쪽은 전계 효과 트랜지스터(356)의 게이트 및 전계 효과 트랜지스터(358)의 게이트에 전기적으로 접속된다. 전계 효과 트랜지스터(364)의 게이트에는 초기화 신호(INI_RES)가 입력된다. 단, 반드시 전계 효과 트랜지스터(364)를 제공할 필요는 없다.
- [0162] 용량 소자(371)의 한쌍의 전극의 한쪽에는 전위(VSS)가 부여된다. 용량 소자(371)의 한쌍의 전극의 다른 한쪽에는 전계 효과 트랜지스터(356)의 게이트 및 전계 효과 트랜지스터(358)의 게이트에 전기적으로 접속된다. 단, 반드시 용량 소자(371)를 제공할 필요는 없다.
- [0163] 용량 소자(372)의 한쌍의 전극의 한쪽은 전계 효과 트랜지스터(355)의 게이트 및 전계 효과 트랜지스터(357)의 게이트에 전기적으로 접속된다. 용량 소자(372)의 한쌍의 전극의 다른 한쪽은 전계 효과 트랜지스터(357)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 단, 반드시 용량 소자(372)를 제공할 필요는 없다.
- [0164] 도 10의 (B)에 나타내는 구동 신호 출력 회로에서는, 세트 신호(SIN_D)에 따라 전계 효과 트랜지스터(351) 및 전계 효과 트랜지스터(353)가 온 상태가 되고, 전계 효과 트랜지스터(355)가 온 상태가 됨으로써, 신호(DOUT1)의 전위가 전위(TCOMH)와 실질적으로 동등한 값이 된다. 이 때, 전계 효과 트랜지스터(356)는 오프 상태에 있다. 도 10의 (B)에 나타내는 구동 신호 출력 회로에서는, 리셋 신호(RIN_D)에 따라 전계 효과 트랜지스터(352) 및 전계 효과 트랜지스터(354)가 온 상태가 되고, 전계 효과 트랜지스터(356)가 온 상태가 됨으로써, 신호

(DOUT1)의 전위가 전위(TCOML)와 실질적으로 동등한 값이 된다. 이 때, 전계 효과 트랜지스터(355)는 오프 상태이다.

- [0165] 도 7의 (B)에 나타내는 구동 신호 출력 회로(233_M)의 세트 신호(SIN_D)로서 선택 회로(232_M)의 펄스 신호(SELOUT1)가 입력된다.
- [0166] 구동 신호 출력 회로(233_M)의 리셋 신호(RIN_D)로서 선택 회로(232_M)의 펄스 신호(SELOUT2)가 입력된다.
- [0167] 구동 신호 출력 회로(233_1)의 제어 신호(CTL1_D)로서 클록 신호(CLK4)가 입력된다. 구동 신호 출력 회로(233_1)로부터, 4개의 구동 신호 출력 회로마다 제어 신호(CTL1_D)로서 클록 신호(CLK4)가 입력된다.
- [0168] 구동 신호 출력 회로(233_2)의 제어 신호(CTL1_D)로서 클록 신호(CLK1)가 입력된다. 구동 신호 출력 회로(233_2)로부터, 4개의 구동 신호 출력 회로마다 제어 신호(CTL1_D)로서 클록 신호(CLK1)가 입력된다.
- [0169] 구동 신호 출력 회로(233_3)의 제어 신호(CTL1_D)로서 클록 신호(CLK2)가 입력된다. 구동 신호 출력 회로(233_3)로부터, 4개의 구동 신호 출력 회로마다 제어 신호(CTL1_D)로서 클록 신호(CLK2)가 입력된다.
- [0170] 구동 신호 출력 회로(233_4)의 제어 신호(CTL1_D)로서 클록 신호(CLK3)가 입력된다. 구동 신호 출력 회로(233_4)로부터, 4개의 구동 신호 출력 회로마다 제어 신호(CTL1_D)로서 클록 신호(CLK3)가 입력된다.
- [0171] 구동 신호 출력 회로(233_1)의 제어 신호(CTL2_D)로서 클록 신호(FCLK1)가 입력된다.
- [0172] 구동 신호 출력 회로(233_2)의 제어 신호(CTL2_D)로서 클록 신호(GCLK1)가 입력된다.
- [0173] 구동 신호 출력 회로(233_L)(L은 3 이상 X 이하의 자연수)의 제어 신호(CTL2_D)로서 구동 신호 출력 회로(233_L-2)의 신호(DOUT2)가 입력된다.
- [0174] 구동 신호 출력 회로(233_M)의 신호(DOUT1)가 공통 신호(CS_M)에 대응된다.
- [0175] 이상이 도 7의 (B)에 나타내는 신호선 구동 회로의 설명이다.
- [0176] 본 실시형태의 액정 표시 장치는 도 11의 (A)에 나타내는 구성을 가질 수 있다. 도 11의 (A)에 나타내는 액정 표시 장치는 신호선 구동 회로(203)에 복수의 게이트 신호선(GL) 및 복수의 공통 신호선(CL)이 전기적으로 접속된 구성을 가진다.
- [0177] 이 때의 신호선 구동 회로(203)의 구성예를 도 11의 (B)에 나타낸다. 도 11의 (B)에 나타내는 시프트 레지스터(230)는 신호선 구동 회로(202)에 제공된다. 복수의 선택 회로(232) 및 복수의 구동 신호 출력 회로(233)는 신호선 구동 회로(203)에 제공된다. 이와 같은 구성으로, 신호선 구동 회로(203)에 시프트 레지스터를 제공하지 않아도, 신호선 구동 회로(202)의 시프트 레지스터(230)를 이용하여 신호선 구동 회로(203)의 선택 회로(232)에 펄스 신호(SROUT)를 출력할 수 있다.
- [0178] 본 실시형태의 액정 표시 장치는 도 12의 (A)에 나타내는 구성을 가질 수 있다. 도 12의 (A)에 나타내는 액정 표시 장치는 신호선 구동 회로(202) 및 신호선 구동 회로(203)의 대신에 신호선 구동 회로(204)를 포함한다.
- [0179] 신호선 구동 회로(204)의 구성예를 도 12의 (B)에 나타낸다. 도 12의 (B)에 나타내는 신호선 구동 회로(204)는 도 7의 (B)에 나타내는 신호선 구동 회로의 구성에 더하여, 게이트 신호(GS_1) 내지 게이트 신호(GS_X)를 출력하는 기능을 가진다.
- [0180] 도 12의 (B)에 나타내는 신호선 구동 회로에서는, 펄스 출력 회로(231_M)의 신호(FOUT)가 게이트 신호(GS_M)에 대응된다.
- [0181] 도 7의 (B)에 나타내는 신호선 구동 회로는 다른 구성으로 가질 수 있다. 도 7의 (B)에 나타내는 신호선 구동 회로의 다른 구성예에 대해서 도 13에 나타낸다.
- [0182] 도 13에 나타내는 신호선 구동 회로는 도 7의 (B)에 나타내는 신호선 구동 회로와 비교하여 시프트 레지스터의 펄스 출력 회로와 구동 신호 출력 회로의 구성이 다르다.
- [0183] 도 13에 나타내는 펄스 출력 회로의 구성예에 대해서 도 14의 (A) 및 도 14의 (B)를 이용하여 설명한다.
- [0184] 도 14의 (A)에 나타내는 펄스 출력 회로(231)에는 초기화 신호(INI_RES) 대신에, 초기화 신호(INI_RES1) 및 초기화 신호(INI_RES2)가 입력된다. 초기화 신호(INI_RES1) 및 초기화 신호(INI_RES2)는 예를 들면 회로에서 복수의 접속 개소의 전위를 독립적으로 초기화하는 경우 등에 이용하는 신호이다. 초기화 신호(INI_RES1) 및 초

기화 신호(INI_RES2)의 펄스를 펄스 출력 회로에 입력함으로써, 펄스 출력 회로는 초기화된다. 단, 초기화 신호(INI_RES1) 및 초기화 신호(INI_RES2)는 다른 과형의 신호이다. 반드시 초기화 신호(INI_RES1) 및 초기화 신호(INI_RES2)를 펄스 출력 회로에 입력할 필요는 없다.

- [0185] 또한, 도 14의 (A)에 나타내는 펄스 출력 회로는 도 14의 (B)에 나타내는 것처럼, 도 8의 (B)에 나타내는 펄스 출력 회로의 구성에 더하여, 전계 효과 트랜지스터(320)를 가진다.
- [0186] 전계 효과 트랜지스터(320)의 소스 및 드레인의 한쪽에는 전위(VDD)가 부여된다. 전계 효과 트랜지스터(320)의 소스 및 드레인의 다른 한쪽은 전계 효과 트랜지스터(319)의 게이트에 전기적으로 접속된다. 전계 효과 트랜지스터(320)의 게이트에는 초기화 신호(INI_RES2)가 입력된다.
- [0187] 도 14의 (B)에 나타내는 펄스 출력 회로에서, 전계 효과 트랜지스터(314)의 게이트에는 초기화 신호(INI_RES)의 대신에 초기화 신호(INI_RES1)가 입력된다.
- [0188] 이상이 도 13에 나타내는 펄스 출력 회로의 설명이다.
- [0189] 도 13에 나타내는 구동 신호 출력 회로의 구성예에 대해서 도 15의 (A) 및 도 15의 (B)를 이용하여 설명한다.
- [0190] 도 15의 (A)에 나타내는 구동 신호 출력 회로(233)에는 세트 신호(SIN_D), 리셋 신호(RIN_D), 제어 신호(CTL1_D) 내지 제어 신호(CTL4_D), 초기화 신호(INI_RES1), 및 초기화 신호(INI_RES2)가 입력된다. 초기화 신호(INI_RES1) 및 초기화 신호(INI_RES2)의 펄스를 구동 신호 출력 회로에 입력함으로써, 구동 신호 출력 회로는 초기화된다. 반드시 초기화 신호(INI_RES1) 및 초기화 신호(INI_RES2)를 구동 신호 출력 회로에 입력할 필요는 없다. 도 15의 (A)에 나타내는 것처럼, 도 13에 나타내는 복수의 구동 신호 출력 회로(233)의 각각은 신호(SCOUT), 신호(RCOUT), 및 신호(DOUT)를 출력하는 기능을 가진다. 신호(DOUT)는 공통 신호이다.
- [0191] 도 15의 (A)에 나타내는 구동 신호 출력 회로는 데이터(D11) 및 데이터(D22)를 저장하는 제 1 래치부와, 데이터(D13) 및 데이터(D24)를 저장하는 제 2 래치부와, 제 1 버퍼부와, 제 2 버퍼부와, 제 1 스위치부와, 제 2 스위치부와, 제 3 스위치부와, 제 4 스위치부와, 제 3 버퍼부를 포함한다. 상세한 사항에 대해서 이하에 설명한다.
- [0192] 도 15의 (A)에 나타내는 구동 신호 출력 회로는 도 15의 (B)에 나타내는 것처럼, 전계 효과 트랜지스터(431) 내지 전계 효과 트랜지스터(444)와, 용량 소자(451) 및 용량 소자(452)와, 전계 효과 트랜지스터(461) 내지 전계 효과 트랜지스터(474)와, 용량 소자(481) 및 용량 소자(482)를 포함한다.
- [0193] 전계 효과 트랜지스터(431)는 제 1 래치부에 제공된다. 전계 효과 트랜지스터(461)는 제 2 래치부에 제공된다. 전계 효과 트랜지스터(431) 및 전계 효과 트랜지스터(461)의 소스 및 드레인의 한쪽의 각각에는 전위(VDD)가 부여된다. 전계 효과 트랜지스터(431) 및 전계 효과 트랜지스터(461)의 게이트의 각각에는 세트 신호(SIN_D)가 입력된다. 전계 효과 트랜지스터(431)의 소스 및 드레인의 다른 한쪽의 전위가 데이터(D11)에 대응된다. 전계 효과 트랜지스터(461)의 소스 및 드레인의 다른 한쪽의 전위가 데이터(D24)에 대응된다.
- [0194] 전계 효과 트랜지스터(432)는 제 1 래치부에 제공된다. 전계 효과 트랜지스터(462)는 제 2 래치부에 제공된다. 전계 효과 트랜지스터(432) 및 전계 효과 트랜지스터(462)의 소스 및 드레인의 한쪽의 각각에는 전위(VDD)가 부여된다. 전계 효과 트랜지스터(432) 및 전계 효과 트랜지스터(462)의 게이트의 각각에는 리셋 신호(RIN_D)가 입력된다. 전계 효과 트랜지스터(432)의 소스 및 드레인의 다른 한쪽의 전위가 데이터(D22)에 대응된다. 전계 효과 트랜지스터(462)의 소스 및 드레인의 다른 한쪽의 전위가 데이터(D13)에 대응된다.
- [0195] 전계 효과 트랜지스터(433)는 제 1 래치부에 제공된다. 전계 효과 트랜지스터(433)의 소스 및 드레인의 한쪽에는 전위(VSS)가 부여된다. 전계 효과 트랜지스터(433)의 소스 및 드레인의 다른 한쪽은 전계 효과 트랜지스터(432)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 전계 효과 트랜지스터(433)의 게이트에는 세트 신호(SIN_D)가 입력된다.
- [0196] 전계 효과 트랜지스터(463)는 제 2 래치부에 제공된다. 전계 효과 트랜지스터(463)의 소스 및 드레인의 한쪽에는 전위(VSS)가 부여된다. 전계 효과 트랜지스터(463)의 소스 및 드레인의 다른 한쪽은 전계 효과 트랜지스터(461)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 전계 효과 트랜지스터(463)의 게이트에는 리셋 신호(RIN_D)가 입력된다.
- [0197] 전계 효과 트랜지스터(434)는 제 1 버퍼부에 제공된다. 전계 효과 트랜지스터(464)는 제 2 버퍼부에 제공된다. 전계 효과 트랜지스터(434) 및 전계 효과 트랜지스터(464)의 소스 및 드레인의 한쪽의 각각에는 전위(VDD)가 부여된다. 전계 효과 트랜지스터(434)의 소스 및 드레인의 다른 한쪽의 전위가 신호(SCOUT)의 전위에 대응된다.

전계 효과 트랜지스터(464)의 소스 및 드레인의 다른 한쪽의 전위가 신호(RCOUT)의 전위에 대응된다.

- [0198] 전계 효과 트랜지스터(435)는 제 1 버퍼부에 제공된다. 전계 효과 트랜지스터(465)는 제 2 버퍼부에 제공된다. 전계 효과 트랜지스터(435) 및 전계 효과 트랜지스터(465)가 가지는 소스 및 드레인의 한쪽의 각각에는 전위(VSS)가 부여된다. 전계 효과 트랜지스터(435)의 소스 및 드레인의 다른 한쪽은 전계 효과 트랜지스터(434)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 전계 효과 트랜지스터(465)의 소스 및 드레인의 다른 한쪽은 전계 효과 트랜지스터(464)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다.
- [0199] 전계 효과 트랜지스터(436)는 제 1 스위치부에 제공된다. 전계 효과 트랜지스터(466)는 제 2 스위치부에 제공된다. 전계 효과 트랜지스터(436) 및 전계 효과 트랜지스터(466)의 소스 및 드레인의 한쪽의 각각에는 전위(VDD)가 부여된다. 전계 효과 트랜지스터(436) 및 전계 효과 트랜지스터(466)의 게이트의 각각에는 제어 신호(CTL1_D)가 입력된다.
- [0200] 전계 효과 트랜지스터(437)는 제 1 스위치부에 제공된다. 전계 효과 트랜지스터(467)는 제 2 스위치부에 제공된다. 전계 효과 트랜지스터(437) 및 전계 효과 트랜지스터(467)의 소스 및 드레인의 한쪽의 각각에는 전위(VDD)가 부여된다. 전계 효과 트랜지스터(437) 및 전계 효과 트랜지스터(467)의 게이트의 각각에는 제어 신호(CTL2_D)가 입력된다.
- [0201] 전계 효과 트랜지스터(438)는 제 1 스위치부에 제공된다. 전계 효과 트랜지스터(438)의 소스 및 드레인의 한쪽은 전계 효과 트랜지스터(436)의 소스 및 드레인의 다른 한쪽, 및 전계 효과 트랜지스터(437)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 전계 효과 트랜지스터(438)의 소스 및 드레인의 다른 한쪽은 전계 효과 트랜지스터(431)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 전계 효과 트랜지스터(438)의 게이트에는 제어 신호(CTL3_D)가 입력된다.
- [0202] 전계 효과 트랜지스터(468)는 제 2 스위치부에 제공된다. 전계 효과 트랜지스터(468)의 소스 및 드레인의 한쪽은 전계 효과 트랜지스터(466)의 소스 및 드레인의 다른 한쪽, 및 전계 효과 트랜지스터(467)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 전계 효과 트랜지스터(468)의 소스 및 드레인의 다른 한쪽은 전계 효과 트랜지스터(462)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 전계 효과 트랜지스터(468)의 게이트에는 제어 신호(CTL4_D)가 입력된다.
- [0203] 전계 효과 트랜지스터(439)는 제 3 스위치부에 제공된다. 전계 효과 트랜지스터(439)의 소스 및 드레인의 한쪽에는 전위(VDD)가 부여된다. 전계 효과 트랜지스터(439)의 소스 및 드레인의 다른 한쪽은 전계 효과 트랜지스터(432)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 전계 효과 트랜지스터(439)의 게이트에는 제어 신호(CTL5_D)로서 신호(RCOUT)가 입력된다.
- [0204] 전계 효과 트랜지스터(469)는 제 4 스위치부에 제공된다. 전계 효과 트랜지스터(469)의 소스 및 드레인의 한쪽에는 전위(VDD)가 부여된다. 전계 효과 트랜지스터(469)의 소스 및 드레인의 다른 한쪽은 전계 효과 트랜지스터(461)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 전계 효과 트랜지스터(469)의 게이트에는 제어 신호(CTL6_D)로서 신호(SCOUT)가 입력된다.
- [0205] 전계 효과 트랜지스터(440)의 소스 및 드레인의 한쪽에는 전위(VSS)가 부여된다. 전계 효과 트랜지스터(440)의 소스 및 드레인의 다른 한쪽은 전계 효과 트랜지스터(431)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 전계 효과 트랜지스터(440)의 게이트는 전계 효과 트랜지스터(432)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다.
- [0206] 전계 효과 트랜지스터(470)의 소스 및 드레인의 한쪽에는 전위(VSS)가 부여된다. 전계 효과 트랜지스터(470)의 소스 및 드레인의 다른 한쪽은 전계 효과 트랜지스터(462)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 전계 효과 트랜지스터(470)의 게이트는 전계 효과 트랜지스터(461)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다.
- [0207] 전계 효과 트랜지스터(441)의 소스 및 드레인의 한쪽에는 전위(VSS)가 부여된다. 전계 효과 트랜지스터(441)의 소스 및 드레인의 다른 한쪽은 전계 효과 트랜지스터(432)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 전계 효과 트랜지스터(441)의 게이트는 전계 효과 트랜지스터(434)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 반드시 전계 효과 트랜지스터(441)를 제공할 필요는 없다.
- [0208] 전계 효과 트랜지스터(471)의 소스 및 드레인의 한쪽에는 전위(VSS)가 부여된다. 전계 효과 트랜지스터(471)의 소스 및 드레인의 다른 한쪽은 전계 효과 트랜지스터(463)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다.

다. 전계 효과 트랜지스터(471)의 게이트는 전계 효과 트랜지스터(464)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 반드시 전계 효과 트랜지스터(471)를 제공할 필요는 없다.

- [0209] 전계 효과 트랜지스터(442)의 소스 및 드레인의 한쪽은 전계 효과 트랜지스터(431)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 전계 효과 트랜지스터(442)의 소스 및 드레인의 다른 한쪽은 전계 효과 트랜지스터(434)의 게이트에 전기적으로 접속된다. 전계 효과 트랜지스터(442)의 게이트에는 전위(VDD)가 부여된다. 반드시 전계 효과 트랜지스터(442)를 제공할 필요는 없다.
- [0210] 전계 효과 트랜지스터(472)의 소스 및 드레인의 한쪽은 전계 효과 트랜지스터(462)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 전계 효과 트랜지스터(472)의 소스 및 드레인의 다른 한쪽은 전계 효과 트랜지스터(464)의 게이트에 전기적으로 접속된다. 전계 효과 트랜지스터(472)의 게이트에는 전위(VDD)가 부여된다. 반드시 전계 효과 트랜지스터(472)를 제공할 필요는 없다.
- [0211] 전계 효과 트랜지스터(443) 및 전계 효과 트랜지스터(473)의 소스 및 드레인의 한쪽의 각각에는 전위(VDD)가 부여된다. 전계 효과 트랜지스터(443)의 소스 및 드레인의 다른 한쪽은 전계 효과 트랜지스터(435)의 게이트에 전기적으로 접속된다. 전계 효과 트랜지스터(473)의 소스 및 드레인의 다른 한쪽은 전계 효과 트랜지스터(465)의 게이트에 전기적으로 접속된다. 전계 효과 트랜지스터(443)의 게이트에는 초기화 신호(INI_RES1)가 입력된다. 전계 효과 트랜지스터(473)의 게이트에는 초기화 신호(INI_RES2)가 입력된다. 반드시 전계 효과 트랜지스터(443) 및 전계 효과 트랜지스터(473)를 제공할 필요는 없다.
- [0212] 전계 효과 트랜지스터(444) 및 전계 효과 트랜지스터(474)의 소스 및 드레인의 한쪽의 각각에는 전위(VDD)가 부여된다. 전계 효과 트랜지스터(444)의 소스 및 드레인의 다른 한쪽은 전계 효과 트랜지스터(431)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 전계 효과 트랜지스터(474)의 소스 및 드레인의 다른 한쪽은 전계 효과 트랜지스터(462)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 전계 효과 트랜지스터(444)의 게이트에는 초기화 신호(INI_RES2)가 입력된다. 전계 효과 트랜지스터(474)의 게이트에는 초기화 신호(INI_RES1)가 입력된다. 반드시 전계 효과 트랜지스터(444) 및 전계 효과 트랜지스터(474)를 제공할 필요는 없다.
- [0213] 용량 소자(451)의 한쌍의 전극의 한쪽에는 전위(VSS)가 부여된다. 용량 소자(451)의 한쌍의 전극의 다른 한쪽에는 전계 효과 트랜지스터(435)의 게이트에 전기적으로 접속된다.
- [0214] 용량 소자(481)의 한쌍의 전극의 한쪽에는 전위(VSS)가 부여된다. 용량 소자(481)의 한쌍의 전극의 다른 한쪽은 전계 효과 트랜지스터(465)의 게이트에 전기적으로 접속된다.
- [0215] 용량 소자(452)의 한쌍의 전극의 한쪽은 전계 효과 트랜지스터(434)의 게이트에 전기적으로 접속된다. 용량 소자(452)의 한쌍의 전극의 다른 한쪽은 전계 효과 트랜지스터(434)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다.
- [0216] 용량 소자(482)가 가지는 한쌍의 전극의 한쪽은 전계 효과 트랜지스터(464)가 가지는 게이트에 전기적으로 접속된다. 용량 소자(482)의 한쌍의 전극의 다른 한쪽은 전계 효과 트랜지스터(464)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다.
- [0217] 단, 반드시 용량 소자(451), 용량 소자(452), 용량 소자(481), 및 용량 소자(482)를 제공할 필요는 없다.
- [0218] 전계 효과 트랜지스터(491)는 제 3 버퍼부에 제공된다. 전계 효과 트랜지스터(491)의 소스 및 드레인의 한쪽에는 전위(TCOMH)가 부여된다. 전위(TCOMH)는 전위(VDD)보다 큰 값의 전위이다. 전계 효과 트랜지스터(491)의 소스 및 드레인의 다른 한쪽의 전위가 신호(COUT)의 전위에 대응된다. 전계 효과 트랜지스터(491)의 게이트에는 신호(SCOUT)가 입력된다.
- [0219] 전계 효과 트랜지스터(492)는 제 3 버퍼부에 제공된다. 전계 효과 트랜지스터(492)의 소스 및 드레인의 한쪽에는 전위(TCOML)가 부여된다. 전위(TCOML)는 전위(VSS)보다 작은 값의 전위이다. 전계 효과 트랜지스터(492)의 소스 및 드레인의 다른 한쪽은 전계 효과 트랜지스터(491)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 전계 효과 트랜지스터(492)의 게이트에는 신호(RCOUT)가 입력된다.
- [0220] 도 15의 (B)에 나타내는 구동 신호 출력 회로에서는, 세트 신호(SIN_D)에 따라 전계 효과 트랜지스터(431) 및 전계 효과 트랜지스터(433)가 온 상태가 되고, 제 1 래치부의 데이터(D11)로서 전위(VDD)가 기록되고, 전계 효과 트랜지스터(434)가 온 상태가 되고, 신호(SCOUT)의 전위가 전위(VH)가 되고, 신호(SCOUT)가 하이 레벨이 된다. 이 때, 제 1 래치부의 데이터(D22)로서 전위(VSS)가 기록되고, 전계 효과 트랜지스터(435)는 오프 상태이다. 세트 신호(SIN_D)에 따라 전계 효과 트랜지스터(461)가 온 상태가 되고, 제 2 래치부의 데이터(D24)로서

전위(VDD)가 기록되고, 전계 효과 트랜지스터(465)가 온 상태가 되고, 신호(RCOUT)의 전위가 전위(VL)가 되고, 신호(RCOUT)가 로우 레벨이 된다. 이 때, 전계 효과 트랜지스터(464)는 오프 상태에 있다.

- [0221] 도 15의 (B)에 나타내는 구동 신호 출력 회로에서는, 리셋 신호(RIN_D)에 따라 전계 효과 트랜지스터(432)가 온 상태가 되고, 제 1 래치부의 데이터(D22)로서 전위(VDD)가 기록되고, 전계 효과 트랜지스터(435)가 온 상태가 되고, 신호(SCOUT)의 전위가 전위(VL)가 되고, 신호(SCOUT)가 로우 레벨이 된다. 이 때, 전계 효과 트랜지스터(440)가 온 상태가 되고, 전계 효과 트랜지스터(431)가 오프 상태에 있기 때문에; 전계 효과 트랜지스터(434)는 오프 상태에 있다. 리셋 신호(RIN_D)에 따라 전계 효과 트랜지스터(462)가 온 상태가 되고, 전계 효과 트랜지스터(464)가 온 상태가 되고, 신호(RCOUT)의 전위가 전위(VH)가 되고, 신호(RCOUT)가 하이 레벨이 된다. 이 때, 제 2 래치부의 데이터(D24)로서 전위(VSS)가 기록되고, 전계 효과 트랜지스터(465)는 오프 상태에 있다.
- [0222] 도 15의 (A) 및 도 15의 (B)에 나타내는 구동 신호 출력 회로에서는 초기화 신호(INI_RES1)의 펄스가 입력됨으로써, 신호(SCOUT)가 로우 레벨이 되고, 신호(RCOUT)가 하이 레벨이 된다. 반면, 초기화 신호(INI_RES2)의 펄스가 입력됨으로써, 신호(SCOUT)가 하이 레벨이 되고, 신호(RCOUT)가 로우 레벨이 된다.
- [0223] 도 13에 나타내는 복수의 구동 신호 출력 회로의 각각에 있어서, 세트 신호(SIN_D), 리셋 신호(RIN_D), 제어 신호(CTL1_D), 제어 신호(CTL2_D)로서 입력되는 신호는 도 7의 (B)에 나타내는 복수의 구동 신호 출력 회로의 각각에 입력되는 대응 신호와 같다.
- [0224] 도 13에 나타내는 구동 신호 출력 회로(233_1)의 제어 신호(CTL3_D)로서 클록 신호(FCLK1)가 입력된다.
- [0225] 구동 신호 출력 회로(233_2)의 제어 신호(CTL3_D)로서 클록 신호(GCLK1)가 입력된다.
- [0226] 구동 신호 출력 회로(233_L)의 제어 신호(CTL3_D)로서 구동 신호 출력 회로(233_L-2)의 신호(SCOUT)가 입력된다.
- [0227] 구동 신호 출력 회로(233_1)의 제어 신호(CTL4_D)로서 클록 신호(FCLK2)가 입력된다.
- [0228] 구동 신호 출력 회로(233_2)의 제어 신호(CTL4_D)로서 클록 신호(GCLK2)가 입력된다.
- [0229] 구동 신호 출력 회로(233_L)의 제어 신호(CTL4_D)로서 구동 신호 출력 회로(233_L-2)의 신호(RCOUT)가 입력된다.
- [0230] 이상이 도 13에 나타내는 신호선 구동 회로의 설명이다.
- [0231] 다음에, 본 실시형태에 있어서 신호선 구동 회로의 구동 방법예로서, 도 7의 (B)에 나타내는 신호선 구동 회로의 구동 방법예에 대해서, 도 16의 타이밍 차트를 이용하여 설명한다. 단, 일례로서, 클록 신호(CLK1) 내지 클록 신호(CLK4)의 각각을, 듀티비가 25%이고, 순서대로 1/4 주기씩 늦춰진 클록 신호로 한다. 클록 신호(FCLK1), 클록 신호(FCLK2), 클록 신호(GCLK1), 및 클록 신호(GCLK2)의 각각을 듀티비가 50%인 클록 신호로 한다. 클록 신호(FCLK1)는 클록 신호(GCLK1)의 반전 신호로 하고, 클록 신호(FCLK2)는 클록 신호(FCLK1)의 반전 신호로 하고, 클록 신호(GCLK2)는 클록 신호(GCLK1)의 반전 신호로 한다.
- [0232] 도 16에 나타내는 것처럼, 도 7의 (B)에 나타내는 신호선 구동 회로의 구동 방법예에서는, 기간(T21)에 스타트 펄스 신호(SP)의 펄스를 시프트 레지스터(230) 및 선택 회로(232_1)에 입력한다.
- [0233] 이 때, 클록 신호(CLK1) 내지 클록 신호(CLK4)에 따라, 기간(T22)에 펄스 신호(SROUT_1)의 펄스가 선택 회로(232_2)에 입력되고, 기간(T23)에 펄스 신호(SROUT_2)의 펄스가 선택 회로(232_3)에 입력되고, 기간(T24)에 펄스 신호(SROUT_3)의 펄스가 선택 회로(232_4)에 입력되고, 기간(T25)에 펄스 신호(SROUT_4)의 펄스가 선택 회로(232_5)에 입력된다. 기간(T21) 내지 기간(T29)에서, 클록 신호(FCLK1)가 로우 레벨에 있고, 클록 신호(FCLK2)가 하이 레벨에 있고, 클록 신호(GCLK1)가 하이 레벨에 있고, 클록 신호(GCLK2)가 로우 레벨에 있다.
- [0234] 이 때, 선택 회로(232_Q)는 입력되는 펄스 신호(SROUT)의 펄스를 펄스 신호(SELOUT2)의 펄스로 간주하여 출력한다.
- [0235] 선택 회로(232_R)는 입력되는 펄스 신호(SROUT)의 펄스를 펄스 신호(SELOUT1)의 펄스로 간주하여 출력한다.
- [0236] 펄스 신호(SELOUT1)의 펄스는 세트 신호(SIN_D)의 펄스로서 구동 신호 출력 회로(233_R)에 입력된다. 세트 신호(SIN_D)의 펄스가 입력된 구동 신호 출력 회로(233_R)에서는, 데이터(D1)로서 전위(VDD)가 기록되고, 데이터(D2)로서 전위(VSS)가 기록된다. 따라서, 신호(DOUT1)의 전위는 전위(TCOMH)가 되고, 신호(DOUT2)의 전위는 전위(VH)가 된다. 예를 들면, 구동 신호 출력 회로(233_2)의 신호(DOUT1)(공통 신호(CS_2))는 기간(T22)에 전위

(TCOMH)가 된다. 구동 신호 출력 회로(233_4)의 신호(DOUT1)(공통 신호(CS_4))는 기간(T24)에 전위(TCOMH)가 된다.

- [0237] 펄스 신호(SELOUT2)의 펄스는 리셋 신호(RIN_D)의 펄스로서 구동 신호 출력 회로(233_Q)에 입력된다. 리셋 신호(RIN_D)의 펄스가 입력된 구동 신호 출력 회로(233_Q)에서는 데이터(D1)로서 전위(VSS)가 기록되고, 데이터(D2)로서 전위(VDD)가 기록된다. 따라서, 신호(DOUT1)의 전위는 전위(TCOML)가 되고, 신호(DOUT2)의 전위는 전위(VL)가 된다. 예를 들면, 구동 신호 출력 회로(233_1)의 신호(DOUT1)(공통 신호(CS_1))는 기간(T21)에 전위(TCOML)가 된다. 구동 신호 출력 회로(233_3)의 신호(DOUT1)(공통 신호(CS_3))는 기간(T23)에 전위(TCOML)가 된다.
- [0238] 기간(T26) 내지 기간(T29)에서는 클록 신호(CLK1) 내지 클록 신호(CLK4), 클록 신호(FCLK1) 및 클록 신호(FCLK2), 및 클록 신호(GCLK1) 및 클록 신호(GCLK2)에 따라, 구동 신호 출력 회로(233_R)에 입력되는 제어 신호(CTL1) 및 제어 신호(CTL2)가 하이 레벨이 된다. 이에 따라, 구동 신호 출력 회로(233_R)에, 데이터의 재기록으로서 전위(VDD)가 기록된다. 단, 기간(T26) 내지 기간(T29)의 동작을 반복하여 행해도 좋다. 이에 따라, 다시 스타트 펄스 신호(SP)의 펄스를 시프트 레지스터(230)에 입력하기까지, 데이터(D1)의 전위의 변동을 적게 할 수 있다.
- [0239] 또한, 기간(T30)에 다시 스타트 펄스 신호(SP)의 펄스를 시프트 레지스터(230) 및 선택 회로(232_1)에 입력한다.
- [0240] 이 때, 클록 신호(CLK1) 내지 클록 신호(CLK4)에 따라, 기간(T31)에 펄스 신호(SROUT_1)의 펄스가 선택 회로(232_2)에 입력되고, 기간(T32)에 펄스 신호(SROUT_2)의 펄스가 선택 회로(232_3)에 입력되고, 기간(T33)에 펄스 신호(SROUT_3)의 펄스가 선택 회로(232_4)에 입력된다. 기간(T30) 내지 기간(T34)에서, 클록 신호(FCLK1)가 하이 레벨에 있고, 클록 신호(FCLK2)가 로우 레벨에 있고, 클록 신호(GCLK1)가 로우 레벨에 있고, 클록 신호(GCLK2)가 하이 레벨에 있다.
- [0241] 이 때, 선택 회로(232_Q)는 입력되는 펄스 신호(SROUT)의 펄스를 펄스 신호(SELOUT1)의 펄스로 간주하여 출력한다.
- [0242] 선택 회로(232_R)는 입력되는 펄스 신호(SROUT)의 펄스를 펄스 신호(SELOUT2)의 펄스로 간주하여 출력한다.
- [0243] 또한, 세트 신호(SIN_D)의 펄스가 입력된 구동 신호 출력 회로(233_Q)에서는 데이터(D1)로서 전위(VDD)가 기록되고, 데이터(D2)로서 전위(VSS)가 기록된다. 따라서, 신호(DOUT1)의 전위는 전위(TCOMH)가 되고, 신호(DOUT2)의 전위는 전위(VH)가 된다.
- [0244] 리셋 신호(RIN_D)의 펄스가 입력된 구동 신호 출력 회로(233_R)에서는 데이터(D1)로서 전위(VSS)가 기록되고, 데이터(D2)로서 전위(VDD)가 기록된다. 따라서, 신호(DOUT1)의 전위는 전위(TCOML)가 되고, 신호(DOUT2)의 전위는 전위(VL)가 된다.
- [0245] 이상도 도 7의 (A)에 나타내는 신호선 구동 회로의 구동 방법예이다.
- [0246] 본 실시형태의 신호선 구동 회로의 구동 방법예에서는, 예를 들면, 도 17에 나타내는 것처럼, 클록 신호(FCLK1)와 클록 신호(GCLK1)를 같은 신호로 하고, 클록 신호(FCLK2)와 클록 신호(GCLK2)를 같은 신호로 하는 구동 방법을 이용해도 좋다. 이 때, 구동 신호 출력 회로_K의 신호(DOUT1)는 구동 신호 출력 회로_K-1의 신호(DOUT1)가 시프트함으로써 형성된 신호이고, 구동 신호 출력 회로_K의 신호(DOUT2)는 구동 신호 출력 회로_K-1의 신호(DOUT2)가 시프트함으로써 형성된 신호이다.
- [0247] 도 7의 (A)의 액정 표시 장치에 포함되는 화소 회로(210)의 동작예에 대해서 도 18의 타이밍 차트를 이용하여 설명한다.
- [0248] 도 18에 나타내는 것처럼, 어느 프레임 기간(F1)에서, M행 N열째의 화소 회로(210)에 데이터를 기록하는 경우, 화소 회로(210)에서는 공통 신호선(CL_M)을 통하여 입력되는 공통 신호(CS_M)에 의해, 액정 소자(212)의 한쌍의 전극의 다른 한쪽의 전위(VLC2 라고도 함)가 전위(TCOML)가 된다. 액정 소자(212)의 한쌍의 전극의 다른 한쪽의 전위는 늦어도 게이트 신호(GS_M)의 펄스의 입력이 끝나기까지는 전환된다. 예를 들면, 게이트 신호(GS_M)의 펄스가 입력되고 있는 동안에 액정 소자(212)의 한쌍의 전극의 다른 한쪽의 전위를 전환하면 좋다.
- [0249] 게이트 신호선(GL_M)을 통하여 게이트 신호(GS_M)의 펄스가 입력되고, 화소 회로(210)에서는 전계 효과 트랜지스터(211)가 온 상태가 된다.

- [0250] 이 때, 화소 회로(210)에서는 액정 소자(212)의 한쌍의 전극의 한쪽의 전위(전위(VLC1) 라고도 함)가 데이터 신호선(DL_N)을 통하여 입력되는 데이터 신호(DS)의 전위와 등등한 값이 된다. 여기에서는, 전위(VLC1)가 전위(+VDATA)에 대응된다. 따라서, 액정 소자(212)의 한쌍의 전극의 사이에 인가되는 전압은 +VDATA-TCOML이다. 이에 따라, 화소 회로(210)에 데이터가 기록된다.
- [0251] 그 후, 게이트 신호(GS_M)의 펄스의 입력이 끝나고, 전계 효과 트랜지스터(211)가 오프 상태가 된다. 화소 회로(210)에서는 액정 소자(212)의 한쌍의 전극의 한쪽에 축적된 전하가 유지된다. 데이터가 기록된 화소 회로(210)에서는 액정 소자(212)에서, 한쌍의 전극의 사이에 인가되는 전압에 따라 액정층에 포함되는 액정의 배향이 제어되고; 이에 따라, 상기 화소 회로(210)는 표시 상태에 있다.
- [0252] 공통 신호선(CL_M)을 통하여 입력되는 공통 신호(CS_M)에 의해, 화소 회로(210)에서는 액정 소자(212)의 한쌍의 전극의 다른 한쪽의 전위(VLC2 라고도 함)가 전위(TCOMH)가 된다.
- [0253] 다음의 프레임 기간(F2)에서, 같은 M행 N열체의 화소 회로(210)에 반전 데이터를 기록하는 경우, 게이트 신호선(GL_M)을 통하여 게이트 신호(GS_M)의 펄스가 입력되고, 화소 회로(210)에서는 전계 효과 트랜지스터(211)가 온 상태가 된다.
- [0254] 이 때, 화소 회로(210)에서는 액정 소자(212)의 전위(VLC1)가 데이터 신호선(DL_N)을 통하여 입력되는 데이터 신호(DS)의 전위와 동등한 값이 된다. 여기에서는, 전위(VLC1)가 전위(-VDATA)에 대응된다. 따라서, 액정 소자(212)의 한쌍의 전극의 사이에 인가되는 전압은 TCOMH-VDATA이다.
- [0255] 그 후, 게이트 신호(GS)의 펄스의 입력이 끝나고, 전계 효과 트랜지스터(211)가 오프 상태가 된다. 화소 회로(210)에서는 액정 소자(212)의 한쌍의 전극의 한쪽에 축적된 전하가 유지된다. 데이터가 기록된 화소 회로(210)에서는 액정 소자(212)에서, 한쌍의 전극의 사이에 인가되는 전압에 따라 액정층에 포함되는 액정의 배향이 제어되고; 이에 따라, 상기 화소 회로(210)는 표시 상태에 있다.
- [0256] 도 18에 나타내는 것처럼, 본 실시형태의 액정 표시 장치에서는 프레임 기간마다 데이터 신호 및 공통 신호의 극성을 반전시킴으로써, 데이터 신호의 진폭을 작게 할 수 있기 때문에; 게이트 신호의 진폭을 작게 할 수 있다. 따라서, 구동 전압을 낮게 할 수 있기 때문에, 소비 전력을 저감할 수 있다.
- [0257] 화소 회로(210)에 데이터를 기록할 필요가 없는 경우에는 신호선 구동 회로(201) 내지 신호선 구동 회로(203)로의 전원 공급을 정지할 수 있다. 이에 따라, 액정 표시 장치의 소비 전력을 저감할 수 있다. 또한, 화소 회로(210)의 전계 효과 트랜지스터(211)로서 오프 전류가 낮은 전계 효과 트랜지스터를 이용함으로써, 신호선 구동 회로(201) 내지 신호선 구동 회로(203)로의 전원 공급을 정지하고 있는 동안도 같은 화상을 표시할 수 있다.
- [0258] 이상이 본 실시형태의 액정 표시 장치의 설명이다.
- [0259] 도 7의 (A) 및 도 7의 (B), 도 8의 (A) 및 도 8의 (B), 도 9의 (A) 및 도 9의 (B), 도 10의 (A) 및 도 10의 (B), 도 11의 (A) 및 도 11의 (B), 도 12의 (A) 및 도 12의 (B), 도 13, 도 14의 (A) 및 도 14의 (B), 도 15의 (A) 및 도 15의 (B), 도 16, 도 17, 도 18을 이용하여 설명한 것처럼, 본 실시형태의 액정 표시 장치의 일례에서는 신호선 구동 회로를 이용하여 공통 신호선의 전위를 제어함으로써, 각 행의 화소 회로마다 액정 소자의 한쌍의 전극의 한쪽의 전위와, 다른 한쪽의 전위의 극성을 프레임 기간마다 반전시키는 구동 방법을 이용할 수 있다.
- [0260] 본 실시형태의 액정 표시 장치의 일례에서는 상기 실시형태 1에 나타내는 신호선 구동 회로를 공통 신호선의 전위를 제어하는 신호선 구동 회로로서 이용한다. 이에 따라, 시프트 레지스터에 스타트 펄스 신호의 펄스가 입력되지 않는 기간이라도 래치부의 제 1 데이터의 재기록을 행할 수 있다. 따라서, 예를 들면 구동 신호 출력 회로에서의 전계 효과 트랜지스터의 리크 전류에 의한, 제 1 데이터가 되는 전위의 변동을 억제할 수 있다. 따라서, 액정 표시 장치의 동작 불량을 억제할 수 있다.
- [0261] (실시형태 3)
- [0262] 본 실시형태에서는, 실시형태 2에 나타내는 액정 표시 장치의 구조예에 대해서 도 19를 이용하여 설명한다.
- [0263] 본 실시형태에서 액정 표시 장치의 예는 횡전계 방식의 액정 표시 장치이고, 도 19에 나타내는 것처럼, 도전층(701a) 내지 도전층(701c)과, 절연층(702)과, 반도체층(703a) 및 반도체층(703b)과, 도전층(704a) 내지 도전층(704d)과, 절연층(705)과, 착색층(706)과, 절연층(707)과, 구조체(708a) 내지 구조체(708d)와, 도전층(709)과, 도전층(710)과, 절연층(722)과, 절연층(723)과, 액정층(750)을 포함한다.

- [0264] 도전층(701a) 내지 도전층(701c)은 기판(700)의 일평면에 제공된다.
- [0265] 도전층(701a)은 신호선 구동 회로부(800)에 제공된다. 도전층(701a)은 신호선 구동 회로의 전계 효과 트랜지스터의 게이트로서의 기능을 가진다.
- [0266] 도전층(701b)은 화소 회로부(801)에 제공된다. 도전층(701b)은 화소 회로의 전계 효과 트랜지스터의 게이트로서의 기능을 가진다.
- [0267] 도전층(701c)은 화소 회로부(801)에 제공된다. 도전층(701c)은 화소 회로의 용량 소자의 한쌍의 전극의 다른 한쪽으로서의 기능을 가진다.
- [0268] 절연층(702)은 도전층(701a) 내지 도전층(701c)의 위에 제공된다. 절연층(702)은 신호선 구동 회로의 전계 효과 트랜지스터의 게이트 절연층, 화소 회로의 전계 효과 트랜지스터의 게이트 절연층, 및 화소 회로의 용량 소자의 유전체층으로서의 기능을 가진다.
- [0269] 반도체층(703a)은 절연층(702)을 끼우고 도전층(701a)에 증첩한다. 반도체층(703a)은 신호선 구동 회로의 전계 효과 트랜지스터의 채널이 형성되는 층(채널 형성층이라고도 함)으로서의 기능을 가진다.
- [0270] 반도체층(703b)은 절연층(702)을 끼우고 도전층(701b)에 증첩한다. 반도체층(703b)은 화소 회로의 전계 효과 트랜지스터에 포함되는 채널 형성층으로서의 기능을 가진다.
- [0271] 도전층(704a)은 반도체층(703a)에 전기적으로 접속된다. 도전층(704a)은 신호선 구동 회로의 전계 효과 트랜지스터의 소스 및 드레인의 한쪽으로서의 기능을 가진다.
- [0272] 도전층(704b)은 반도체층(703a)에 전기적으로 접속된다. 도전층(704b)은 신호선 구동 회로의 전계 효과 트랜지스터의 소스 및 드레인의 다른 한쪽으로서의 기능을 가진다.
- [0273] 도전층(704c)은 반도체층(703b)에 전기적으로 접속된다. 도전층(704c)은 화소 회로의 전계 효과 트랜지스터의 소스 및 드레인의 한쪽으로서의 기능을 가진다.
- [0274] 도전층(704d)은 반도체층(703b)에 전기적으로 접속된다. 도전층(704d)은 절연층(702)을 끼우고 도전층(701c)에 증첩한다. 도전층(704d)은 화소 회로의 전계 효과 트랜지스터의 소스 및 드레인의 다른 한쪽, 및 화소 회로의 용량 소자의 한쌍의 전극의 한쪽으로서의 기능을 가진다.
- [0275] 절연층(705)은 반도체층(703a) 및 반도체층(703b)의 위, 및 도전층(704a) 내지 도전층(704d)의 위에 제공된다. 절연층(705)은 전계 효과 트랜지스터를 보호하는 절연층(보호 절연층이라고도 함)으로서의 기능을 가진다.
- [0276] 착색층(706)은 절연층(705)의 위에 제공된다. 착색층(706)은 컬러 필터로서의 기능을 가진다.
- [0277] 절연층(707)은 착색층(706)을 끼우고 절연층(705)의 위에 제공된다. 절연층(707)은 평탄화층으로서의 기능을 가진다.
- [0278] 구조체(708a) 내지 구조체(708d)는 절연층(707)의 위에 제공된다. 구조체(708a) 내지 구조체(708d)를 제공함으로써, 액정 소자에서의 액정의 배향을 효율적으로 제어할 수 있다.
- [0279] 도전층(709)은 절연층(707)의 위에 제공되고, 절연층(705) 및 절연층(707)을 관통하여 형성된 개구부를 통하여 도전층(704d)에 전기적으로 접속된다. 도전층(709)은 빔살부를 가진다. 도전층(709)의 빔살부의 빔살은 구조체(708b) 또는 구조체(708d)를 끼우고 절연층(707)의 위에 제공된다. 도전층(709)은 화소 회로의 액정 소자의 한쌍의 전극의 한쪽으로서의 기능을 가진다.
- [0280] 도전층(710)은 절연층(707)의 위에 제공된다. 도전층(710)은 빔살부를 가진다. 도전층(710)의 빔살부의 빔살이 도전층(709)의 빔살부의 빔살과 병렬로 제공된다. 도전층(710)의 빔살부의 빔살은 구조체(708a) 또는 구조체(708c)를 끼우고 절연층(707)의 위에 제공된다. 도전층(710)은 화소 회로의 액정 소자의 한쌍의 전극의 다른 한쪽으로서의 기능을 가진다.
- [0281] 도전층(709) 또는 도전층(710)은 절연층(707)을 끼우고 착색층(706)에 증첩한다.
- [0282] 절연층(722)은 기판(720)의 일평면에 제공된다. 절연층(722)은 평탄화층으로서의 기능을 가진다.
- [0283] 절연층(723)은 절연층(722)의 일평면에 제공된다. 절연층(723)은 보호 절연층으로서의 기능을 가진다.
- [0284] 액정층(750)은 도전층(709) 및 도전층(710)의 위에 제공된다.

- [0285] 단, 도 19에서는, 전계 효과 트랜지스터를 채널 에칭형의 전계 효과 트랜지스터로 했지만, 이것에 한정되지 않고; 예를 들면, 채널 스톱형의 전계 효과 트랜지스터 또는 탑 게이트형의 전계 효과 트랜지스터로 해도 좋다.
- [0286] 또한, 도 19에 나타내는 액정 표시 장치의 각 구성 요소에 대해서 설명한다.
- [0287] 기판(700) 및 기판(720)으로서는, 예를 들면 유리 기판 또는 플라스틱 기판을 이용할 수 있다.
- [0288] 도전층(701a) 내지 도전층(701c)으로서는, 예를 들면 폴리브덴, 티탄, 크롬, 탄탈, 마그네슘, 은, 텅스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐 등의 금속 재료를 이용하여 형성된 층이 이용될 수 있다. 도전층(701a) 내지 도전층(701c)에 적용할 수 있는 재료의 층의 적층에 의해, 도전층(701a) 내지 도전층(701c)을 형성할 수도 있다.
- [0289] 절연층(702)은 예를 들면, 산화 실리콘, 질화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 산화 알루미늄, 질화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, 또는 산화 하프늄 등의 재료를 포함하는 층이 될 수 있다. 절연층(702)에 적용할 수 있는 층의 적층에 의해, 절연층(702)을 형성할 수도 있다.
- [0290] 반도체층(703a) 및 반도체층(703b)으로서는, 예를 들면 산화물 반도체층 또는 제 14 족의 반도체(예를 들면 실리콘 등)를 포함하는 반도체층 등을 이용할 수 있다.
- [0291] 예를 들면, 산화물 반도체를 포함하는 반도체층은 예를 들면 단결정, 다결정(폴리 크리스탈이라고도 함) 또는 비정질일 수 있다.
- [0292] 반도체층(703a) 및 반도체층(703b)에 적용할 수 있는 산화물 반도체로서는, 예를 들면 인듐 및 갈륨의 한쪽 혹은 양쪽과, 아연을 포함하는 금속 산화물, 또는 이 금속 산화물에 포함되는 갈륨의 일부 혹은 전부 대신에 다른 금속 원소를 포함하는 금속 산화물 등을 들 수 있다.
- [0293] 상기 금속 산화물로서는, 예를 들면 In계 금속 산화물, Zn계 금속 산화물, In-Zn계 금속 산화물, 또는 In-Ga-Zn계 금속 산화물 등을 이용할 수 있다. 또한, 상기 In-Ga-Zn계 금속 산화물에 포함되는 Ga(갈륨)의 일부 혹은 전부 대신에 다른 금속 원소를 포함하는 금속 산화물을 이용해도 좋다.
- [0294] 상기 다른 금속 원소로서는, 예를 들면 갈륨보다 많이 산소 원자와 결합할 수 있는 금속 원소를 이용할 수 있고; 예를 들면, 티탄, 지르코늄, 하프늄, 게르마늄, 및 주석 중 하나 또는 복수 등을 이용할 수 있다. 또한, 상기 다른 금속 원소로서는, 란탄, 세륨, 프라세오디뮴, 네오디뮴, 사마륨, 유로퓸, 가돌리늄, 테르븀, 디스프로슘, 홀름, 에르븀, 툴륨, 이테르븀, 및 루테튬 중 하나 또는 복수 등을 이용할 수도 있다. 상기 다른 금속 원소는 스테빌라이저로서의 기능을 가진다. 단, 상기 다른 금속 원소의 첨가량은 이 금속 산화물이 반도체로서 기능할 수 있는 양이다. 갈륨보다 많이 산소 원자와 결합할 수 있는 금속 원소를 이용하고, 또한, 금속 산화물 중에 산소를 공급함으로써, 금속 산화물 중의 산소 결함을 적게 할 수 있다.
- [0295] 예를 들면, 상기 In-Ga-Zn계 금속 산화물에 포함되는 Ga(갈륨)의 전부 대신에 주석을 이용하면 In-Sn-Zn계 금속 산화물이 얻어진다. 상기 In-Ga-Zn계 금속 산화물에 포함되는 Ga(갈륨)의 일부 대신에 티탄을 이용하면 In-Ti-Ga-Zn계 금속 산화물이 얻어진다.
- [0296] 상기 산화물 반도체층을, CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)을 포함하는 산화물 반도체층으로 해도 좋다.
- [0297] 결정-비정질 혼상 구조는 비정질상으로 결정부를 포함하고, 완전한 단결정 또는 완전한 비정질이 아니다. CAAC-OS에 포함되는 결정부의 각각은 c축이 CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬하고, 또한 ab 면에 수직인 방향에서 봤을 때 삼각 형상 또는 육각 형상의 원자 배열을 형성하고, c축에 수직인 방향에서 봤을 때 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 배열되어 있다. 본 명세서에 있어서, 단순한 용어 "수직"은 85° 이상 95° 이하의 범위를 포함된다. 또한, 단순한 용어 "평행"은 -5° 이상 5° 이하의 범위를 포함된다.
- [0298] 상기 CAAC-OS를 포함하는 산화물 반도체의 층을 채널 형성층으로서 이용한 전계 효과 트랜지스터에서는, 가시광이나 자외광의 조사에 의한 전기 특성의 변동이 낮기 때문에; 트랜지스터는 높은 신뢰성을 가진다.
- [0299] 반도체층(703a) 및 반도체층(703b)으로서 산화물 반도체층을 이용하는 경우, 예를 들면 탈수화·탈수소화를 행하고; 따라서, 산화물 반도체층으로부터 수소, 물, 수산기, 또는 수소화물(수소 화합물이라고도 함) 등의 불순물을 배제하고, 또한 산화물 반도체층에 산소를 공급한다. 예를 들면, 산화물 반도체층에 접하는 층으로서 산

소를 포함하는 층을 이용하고, 또한, 가열 처리를 행함으로써; 산화물 반도체층을 고순도화시킬 수 있다.

- [0300] 예를 들면, 350℃ 이상 기판의 변형점 미만의 온도, 바람직하게는, 350℃ 이상 450℃ 이하에서 가열 처리를 행한다. 그 후의 공정에서 가열 처리를 행해도 좋다. 이 때, 상기 가열 처리를 행하는 가열 처리 장치로서는, 예를 들면 전기로, 또는 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해 피처리물을 가열하는 장치를 이용할 수 있고; 예를 들면 GRTA(Gas Rapid Thermal Annealing) 장치 또는 LRTA(Lamp Rapid Thermal Annealing) 장치 등의 RTA(Rapid Thermal Annealing) 장치를 이용할 수 있다.
- [0301] 또한, 상기 가열 처리를 행한 후, 그 가열 온도를 유지하면서 또는 그 가열 온도에서 온도를 내리는 과정에서 이 가열 처리를 행한 노(furnace)와 같은 노에 고순도의 산소 가스, 고순도의 N₂O 가스, 또는 초진조 에어(노점이 -40℃ 이하, 바람직하게는 -60℃ 이하의 분위기를)를 도입해도 좋다. 이 때, 산소 가스 또는 N₂O 가스는 물, 수소 등을 포함하지 않는 것이 바람직하다. 가열 처리 장치에 도입하는 산소 가스 또는 N₂O 가스의 순도를 6N 이상, 바람직하게는 7N 이상이다(즉, 산소 가스 또는 N₂O 가스 중의 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하로 한다). 산소 가스 또는 N₂O 가스의 작용에 의해, 산화물 반도체층에 산소가 공급되고, 산화물 반도체층 중의 산소 결핍에 기인한 결함을 저감할 수 있다. 단, 상기 고순도의 산소 가스, 고순도의 N₂O 가스, 또는 초진조 에어의 도입은 상기 가열 처리시에 행해도 좋다.
- [0302] 고순도화시킨 산화물 반도체층을 전계 효과 트랜지스터에 이용함으로써, 산화물 반도체층의 캐리어 밀도를 1×10¹⁴/cm³ 미만, 바람직하게는 1×10¹²/cm³ 미만, 더욱 바람직하게는 1×10¹¹/cm³ 미만으로 할 수 있다. 채널 폭 1 μm 당의 전계 효과 트랜지스터의 오프 전류를 10aA(1×10⁻¹⁷A) 이하, 더욱 바람직하게는 1aA(1×10⁻¹⁸A) 이하, 더욱 바람직하게는 10zA(1×10⁻²⁰A) 이하, 더욱 바람직하게는 1zA(1×10⁻²¹A) 이하, 더욱 바람직하게는 100yA(1×10⁻²²A) 이하로 할 수 있다. 전계 효과 트랜지스터의 오프 전류는 낮으면 낮을수록 좋지만; 본 실시형태에서 전계 효과 트랜지스터의 오프 전류의 하한치는 약 10⁻³⁰A/μm 라고 추측된다.
- [0303] 도전층(704a) 내지 도전층(704d)으로서, 예를 들면 몰리브덴, 티탄, 크롬, 탄탈, 마그네슘, 은, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐, 또는 루테튬 등의 금속 재료를 이용하여 형성되는 층을 이용할 수 있다. 도전층(704a) 내지 도전층(704d)에 적용할 수 있는 재료의 층의 적층에 의해, 도전층(704a) 내지 도전층(704d)을 형성할 수도 있다.
- [0304] 절연층(705)은, 산화 실리콘, 산화 알루미늄, 산화 하프늄 등을 포함하는 산화 절연층을 이용할 수 있다.
- [0305] 착색층(706)으로서, 예를 들면 염료 또는 안료를 포함하고, 적색을 나타내는 파장의 광, 녹색을 나타내는 파장의 광, 또는 청색을 나타내는 파장의 광을 투과하는 층을 이용할 수 있다. 착색층(706)으로서, 염료 또는 안료를 포함하고, 시안, 마젠타, 또는 노랑의 색을 나타내는 파장 영역의 광을 투과하는 층을 이용할 수 있다.
- [0306] 절연층(707) 및 절연층(722)으로서, 예를 들면 유기 절연 재료 또는 무기 절연 재료의 층 등을 이용할 수 있다.
- [0307] 구조체(708a) 내지 구조체(708d)는 예를 들면 유기 절연 재료 또는 무기 절연 재료 등을 이용하여 형성된다.
- [0308] 도전층(709)으로서, 예를 들면 광을 투과하는 금속 산화물의 층 등을 이용할 수 있다. 예를 들면, 인듐을 포함하는 금속 산화물 등을 이용할 수 있다. 도전층(709)에 적용할 수 있는 재료의 층의 적층에 의해, 도전층(709)을 형성할 수도 있다.
- [0309] 도전층(710)으로서, 예를 들면 광을 투과하는 금속 산화물의 층 등을 이용할 수 있다. 예를 들면, 인듐을 포함하는 금속 산화물 등을 이용할 수 있다. 도전층(710)에 적용할 수 있는 재료의 층의 적층에 의해, 도전층(710)을 형성할 수 있다.
- [0310] 절연층(723)으로서, 예를 들면 산화 실리콘, 질화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 산화 알루미늄, 질화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, 또는 산화 하프늄 등의 재료를 포함하는 층을 이용할 수 있다.
- [0311] 액정층(750)으로서, 예를 들면 블루상을 나타내는 액정을 포함하는 층을 이용할 수 있다.
- [0312] 블루상을 나타내는 액정을 포함하는 층은, 예를 들면 블루상을 나타내는 액정, 키랄제(chiral agent), 액정성

모노머, 비액정성 모노머, 및 중합 개시제를 포함하는 액정 조성물을 포함한다. 블루상을 나타내는 액정은 응답 시간이 짧고, 광학적 등방성이기 때문에, 배향 처리가 불필요하고, 시야각 의존성이 작다. 따라서, 블루상을 나타내는 액정을 이용함으로써, 액정 표시 장치 동작 속도를 높게 할 수 있다.

[0313] 상기 액정 조성물로서는, 예를 들면 표 1에 나타내는 조성물을 이용할 수 있다. 혼합비로서, 각 액정 재료의 혼합비, 액정과 키랄제와의 혼합비, 액정 및 키랄제와 액정성 모노머와 비정질성 모노머와의 혼합비, 또는 액정, 키랄제, 액정성 모노머, 및 비액정성 모노머와 중합 개시제와의 혼합비를 나타낸다.

표 1

종별	재료	혼합비 (wt%)		
액정	MDA-00-3506 (Merck 주식회사 제)	30	90.5	92
	NEDO LC-C	20		
	CPP-3FF	20		
	PEP-5CNF	15		
	PEP-5FCNF	15		
키랄제(chiral agent)	ISO-(6OBA) ₂	9.5	99.8	
액정성 모노머	RM257-O6	4		
비액정성 모노머	DMeAc	4		
중합 개시제	DMPAP	0.2		

[0314]

[0315] 단, CPP-3FF는 4-(trans-4-n-프로필사이클로헥실)-3',4'-디플루오로-1,1'-비페닐의 약칭이다. PEP-5CNF는 4-n-펜틸안식향산4-시아노-3-플루오로페닐의 약칭이다. PEP-5FCNF는 4-n-펜틸안식향산4-시아노-3,5-디플루오로페닐의 약칭이다. ISO-(6OBA)₂는 1,4:3,6-디안히드로-2,5-비스[4-(n-헥실-1-옥시)안식향산]소르비톨의 약칭이다. RM257-O6은 1,4-비스-[4-(6-아크릴로일옥시-n-헥실-1-옥시)벤조일옥시]-2-메틸벤젠의 약칭이다. DMeAc는 메타크릴산 n-도데실의 약칭이다. DMPAP는 2,2-디메톡시-2-페닐아세토페논의 약칭이다.

[0316] 액정 조성물로서는, 예를 들면 표 2에 나타내는 조성물을 이용할 수 있다.

표 2

종별	재료	혼합비 (wt%)		
액정	MDA-00-3506 (Merck 주식회사 제)	50	92.5	92
	CPEP-3FCNF	20		
	PEP-3FCNF	30		
키랄제(chiral agent)	R-DOL-Pn	7.5	99.7	
액정성 모노머	RM257-O6	4		
비액정성 모노머	DMeAc	4		
중합 개시제	DMPAP	0.3		

[0317]

[0318] 단, CPEP-5FCNF는 4-(trans-4-n-펜틸사이클로헥실)안식향산4-시아노-3,5-디플루오로페닐의 약칭이다. 또한, PEP-3FCNF는 4-n-프로필안식향산4-시아노-3,5-디플루오로페닐의 약칭이다. R-DOL-Pn은 (4R,5R)-2,2'-디메틸- α - α - α '-테트라(9-펜안트릴)-1,3,-디옥소란-4,5-디메탄올의 약칭이다.

[0319] 상기 액정 조성물로서는, 예를 들면 표 3에 나타내는 조성물을 이용할 수 있다.

표 3

종별	재료	혼합비 (wt%)		
액정	MDA-00-3506 (Merck 주식회사 제)	50	92.5	92
	PPEP-5FCNF	20		
	PEP-3FCNF	30		
키랄제(chiral agent)	R-DOL-Pn		7.5	99.7
액정성 모노머	RM257-O6		4	
비액정성 모노머	Dac		4	
중합 개시제	DMPAP			0.3

[0320]

[0321] 단, PPEP-5FCNF는 4-(4-n-펜틸페닐)안식향산4-시아노-3,5-디플루오로페닐의 약칭이다.

[0322] 이상도 19에 나타내는 액정 표시 장치의 구조예의 설명이다.

[0323] 도 19를 이용하여 설명한 것처럼, 본 실시형태의 액정 표시 장치의 일례에서는, 화소 회로와 동일 기관 위에 신호선 구동 회로가 제공된다. 이에 따라, 화소 회로와 신호선 구동 회로를 접속하기 위한 배선의 수를 적게 할 수 있다.

[0324] 본 실시형태의 액정 표시 장치의 일례에서는, 블루상을 나타내는 액정을 이용하여 액정 소자를 형성하고, 이에 따라 액정 표시 장치의 동작 속도를 높게 할 수 있다.

[0325] (실시형태 4)

[0326] 본 실시형태에서는, 실시형태 2 및 실시형태 3에 나타내는 액정 표시 장치를 이용한 패널이 제공된 전자 기기의 예에 대해서, 도 20의 (A) 내지 도 20의 (D)를 이용하여 설명한다.

[0327] 본 실시형태에 있어서 전자 기기의 구성예를 나타내는 모식도를 도 20의 (A) 내지 도 20의 (D)에 나타낸다.

[0328] 도 20의 (A)에 나타내는 전자 기기는 휴대형 정보 단말의 예이다.

[0329] 도 20의 (A)에 나타내는 정보 단말은 하우징(1011)과, 하우징(1011)에 제공된 패널(1012)과, 버튼(1013)을 가진다.

[0330] 단, 하우징(1011)에 외부 기기에 도 20의 (A)에 나타내는 전자 기기를 접속하기 위한 접속 단자 또는 도 20의 (A)에 나타내는 전자 기기를 동작하기 위해 이용되는 버튼이 제공될 수 있다.

[0331] 패널(1012)은 표시 패널로서의 기능을 가진다.

[0332] 패널(1012)로서는, 상기 실시형태 2 및 실시형태 3의 액정 표시 장치를 이용할 수 있다.

[0333] 패널(1012)이 터치 패널로서의 기능을 가져도 좋다. 이 때, 예를 들면 패널(1012)에 키보드의 화상을 표시시키고, 키보드의 화상을 손가락으로 터치함으로써 데이터를 입력해도 좋다.

[0334] 버튼(1013)은 하우징(1011)에 제공된다. 예를 들면, 버튼(1013)으로서 전원 버튼을 제공하여, 버튼(1013)을 누

름으로써 전자 기기를 온 상태로 하거나 오프 상태로 할 수 있다.

- [0335] 도 20의 (A)에 나타내는 전자 기기는 예를 들면 전화기, 전자 서적, 퍼스널 컴퓨터, 및 게임기 중 하나 또는 복수로서의 기능을 가진다.
- [0336] 도 20의 (B)에 나타내는 전자 기기는 접이식의 정보 단말의 예이다.
- [0337] 도 20의 (B)에 나타내는 전자 기기는 하우징(1021a)과, 하우징(1021b)과, 하우징(1021a)에 형성된 패널(1022a)과, 하우징(1021b)에 형성된 패널(1022b)과, 축부(1023)와, 버튼(1024)과, 접속 단자(1025)와, 기록 매체 삽입부(1026)를 가진다.
- [0338] 하우징(1021a)과 하우징(1021b)은 축부(1023)에 의해 접속된다.
- [0339] 패널(1022a) 및 패널(1022b)은 표시 패널로서의 기능을 가진다. 예를 들면, 패널(1022a) 및 패널(1022b)에 서로 다른 화상 또는 일련의 화상을 표시시켜도 좋다. 도 20의 (B)에 나타내는 전자 기기를, 패널(1022a) 및 패널(1022b)이 상하 방향 또는 좌우 방향으로 정렬되는 상태에서 조작해도 좋다.
- [0340] 패널(1022a) 및 패널(1022b)로서는, 상기 실시형태 2 및 실시형태 3의 액정 표시 장치를 이용할 수 있다.
- [0341] 또한, 패널(1022a) 및 패널(1022b)의 한쪽 또는 양쪽이 터치 패널로서의 기능을 가져도 좋다. 이 때, 예를 들면 패널(1022a) 및 패널(1022b)의 한쪽 또는 양쪽에 키보드의 화상을 표시시키고, 키보드의 화상을 손가락으로 터치함으로써 데이터를 입력해도 좋다.
- [0342] 도 20의 (B)에 나타내는 전자 기기에서는, 축부(1023)를 가지기 때문에, 예를 들면 하우징(1021a)을 하우징(1021b)에 중첩시켜, 하우징(1021a) 또는 하우징(1021b)을 움직일 수 있다; 즉, 전자 기기를 접을 수 있다.
- [0343] 버튼(1024)은 하우징(1021b)에 제공된다. 단, 하우징(1021a)에 버튼(1024)이 제공되어도 좋다. 예를 들면, 전원 버튼으로서의 기능을 가지는 버튼(1024)이 제공되고, 버튼(1024)을 누름으로써 전자 기기 내의 회로에 전력을 공급할지 아닐지를 제어할 수 있다.
- [0344] 접속 단자(1025)는 하우징(1021a)에 제공된다. 단, 하우징(1021b)에 접속 단자(1025)를 제공해도 좋다. 또한, 복수의 접속 단자(1025)를 하우징(1021a) 및 하우징(1021b)의 한쪽 또는 양쪽에 제공해도 좋다. 접속 단자(1025)는 도 20의 (B)에 나타내는 전자 기기와 다른 기기를 접속하기 위한 단자이다.
- [0345] 기록 매체 삽입부(1026)는 하우징(1021a)에 제공된다. 단, 하우징(1021b)에 기록 매체 삽입부(1026)를 제공해도 좋다. 또한, 복수의 기록 매체 삽입부(1026)를 하우징(1021a) 및 하우징(1021b)의 한쪽 또는 양쪽에 제공해도 좋다. 예를 들면, 기록 매체 삽입부에 카드형 기록 매체를 삽입함으로써, 카드형 기록 매체에서 전자 기기로의 데이터의 판독, 또는 전자 기기 내에 저장된 데이터의 카드형 기록 매체로의 기록을 행할 수 있다.
- [0346] 도 20의 (B)에 나타내는 전자 기기는 예를 들면 전화기, 전자 서적, 퍼스널 컴퓨터, 및 게임기 중 하나 또는 복수로서의 기능을 가진다.
- [0347] 도 20의 (C)에 나타내는 전자 기기는 설치형 정보 단말기의 예이다. 도 20의 (C)에 나타내는 설치형 정보 단말은 하우징(1031)과, 하우징(1031)에 제공된 패널(1032)과, 버튼(1033)을 가진다.
- [0348] 패널(1032)은 표시 패널 및 터치 패널로서의 기능을 가진다.
- [0349] 단, 패널(1032)을 하우징(1031)의 감관부(1034)에 제공할 수 있다.
- [0350] 패널(1032)로서는, 상기 실시형태 2 및 실시형태 3의 액정 표시 장치를 이용할 수 있다.
- [0351] 하우징(1031)에 티켓 등을 출력하는 티켓 출력부, 동전 투입부, 및 지폐 삽입부 중 하나 또는 복수를 제공해도 좋다.
- [0352] 버튼(1033)은 하우징(1031)에 제공된다. 예를 들면, 전원 버튼으로서의 기능을 가지는 버튼(1033)을 제공하고, 버튼(1033)을 누름으로써 전자 기기 내의 회로에 전력을 공급할지 아닐지를 제어할 수 있다.
- [0353] 도 20의 (C)에 나타내는 전자 기기는 예를 들면 현금 자동 입출금기, 티켓 등의 주문을 하기 위한 정보 통신 단말(멀티미디어 스테이션이라고 함), 또는 게임기로서의 기능을 가진다.
- [0354] 도 20의 (D)는 설치형 정보 단말의 예이다. 도 20의 (D)에 나타내는 전자 기기는 하우징(1041)과, 하우징(1041)에 제공된 패널(1042)과, 하우징(1041)을 지지하는 지지대(1043)와, 버튼(1044)과, 접속 단자(1045)를

가진다.

- [0355] 단, 하우징(1041)에 외부 기기에 접속시키기 위한 접속 단자 또는 도 20의 (D)에 나타내는 전자 기기를 조작하기 위해 이용되는 버튼이 제공되어도 좋다.
- [0356] 패널(1042)은 표시 패널로서의 기능을 가진다. 패널(1042)이 터치 패널로서의 기능을 가져도 좋다.
- [0357] 패널(1042)로서는, 상기 실시형태 2 및 실시형태 3의 액정 표시 장치를 이용할 수 있다.
- [0358] 버튼(1044)은 하우징(1041)에 제공된다. 예를 들면, 전원 버튼으로서의 기능을 가지는 버튼(1044)을 제공하고, 버튼(1044)을 누름으로써 전자 기기 내의 회로에 전력을 공급할지 아닐지를 제어할 수 있다.
- [0359] 접속 단자(1045)는 하우징(1041)에 제공된다. 접속 단자(1045)는 도 20의 (D)에 나타내는 전자 기기와 다른 기기를 접속하기 위한 단자이다. 예를 들면, 접속 단자(1045)에 의해 도 20의 (D)에 나타내는 전자 기기와 퍼스널 컴퓨터를 접속함으로써, 퍼스널 컴퓨터에서 입력되는 데이터 신호에 따른 화상을 패널(1042)에 표시시킬 수 있다. 예를 들면, 도 20의 (D)에 나타내는 전자 기기의 패널(1042)이 접속하는 전자 기기의 패널보다 크면, 다른 전자 기기의 표시 화상을 확대할 수 있고, 복수의 사람들이 동시에 실제로 확인하기 쉬워진다.
- [0360] 도 20의 (D)에 나타내는 전자 기기는 예를 들면 디지털 포토 프레임, 출력 모니터, 퍼스널 컴퓨터, 또는 텔레비전 장치로서의 기능을 가진다.
- [0361] 이상이 본 실시형태의 전자 기기의 예의 설명이다.
- [0362] 도 20의 (A) 내지 도 20의 (D)를 이용하여 설명한 것처럼, 본 실시형태의 전자 기기의 일례에서는, 상기 실시형태의 액정 표시 장치를 가지는 패널을 형성함으로써, 패널의 동작 속도를 높게 할 수 있다. 따라서, 예를 들면 (동영상 재생 등) 동작 속도가 높은 전자 기기를 제공할 수 있다.

부호의 설명

- [0363] 101 : 시프트 레지스터
- 112 : 선택 회로
- 113 : 구동 신호 출력 회로
- 121 : 래치부
- 122 : 버퍼부
- 123 : 버퍼부
- 124 : 스위치부
- 131a : 래치부
- 131b : 래치부
- 132a : 버퍼부
- 132b : 버퍼부
- 133a~133d : 스위치부
- 134 : 버퍼부
- 201 : 신호선 구동 회로
- 202 : 신호선 구동 회로
- 203 : 신호선 구동 회로
- 204 : 신호선 구동 회로
- 210 : 화소 회로
- 211 : 전계 효과 트랜지스터

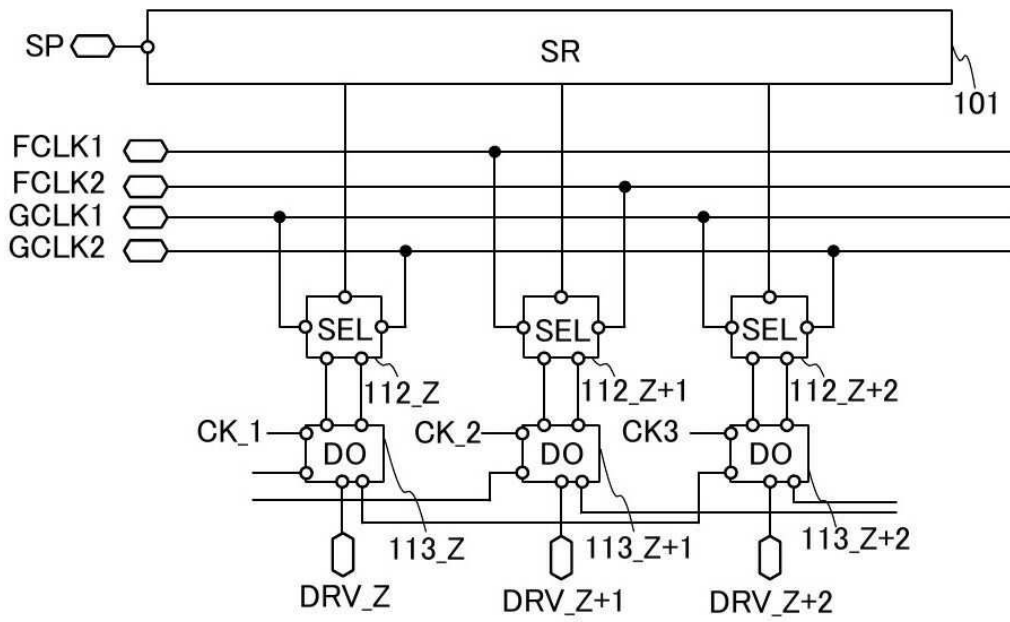
- 212 : 액정 소자
- 213 : 용량 소자
- 230 : 시프트 레지스터
- 231 : 펄스 출력 회로
- 232 : 선택 회로
- 233 : 구동 신호 출력 회로
- 311~319 : 전계 효과 트랜지스터
- 321 : 용량 소자
- 322 : 용량 소자
- 331~336 : 전계 효과 트랜지스터
- 351~364 : 전계 효과 트랜지스터
- 371 : 용량 소자
- 372 : 용량 소자
- 431~444 : 전계 효과 트랜지스터
- 451 : 용량 소자
- 452 : 용량 소자
- 461~474 : 전계 효과 트랜지스터
- 481 : 용량 소자
- 482 : 용량 소자
- 491 : 전계 효과 트랜지스터
- 492 : 전계 효과 트랜지스터
- 700 : 기관
- 701a : 도전층
- 701b : 도전층
- 701c : 도전층
- 702 : 절연층
- 703a : 반도체층
- 703b : 반도체층
- 704a~704d : 도전층
- 705 : 절연층
- 706 : 착색층
- 707 : 절연층
- 708a~708d : 구조체
- 709 : 도전층
- 710 : 도전층
- 720 : 기관

- 722 : 절연층
- 723 : 절연층
- 750 : 액정층
- 800 : 신호선 구동 회로부
- 801 : 화소 회로부
- 1011 : 하우스징
- 1012 : 패널
- 1013 : 버튼
- 1021a : 하우스징
- 1021b : 하우스징
- 1022a : 패널
- 1022b : 패널
- 1023 : 축부
- 1024 : 버튼
- 1025 : 접속 단자
- 1026 : 기록 매체 삽입부
- 1031 : 하우스징
- 1032 : 패널
- 1033 : 버튼
- 1034 : 갑판부
- 1041 : 하우스징
- 1042 : 패널
- 1043 : 지지대
- 1044 : 버튼
- 1045 : 접속 단자

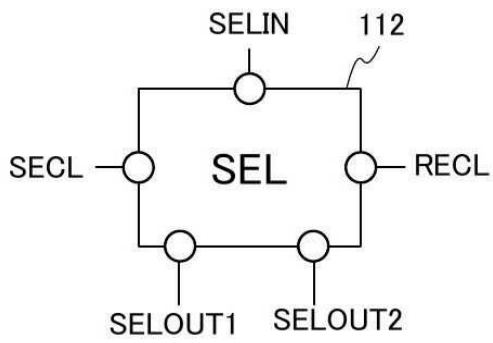
이 출원은 2011년 11월 11일 일본 특허청에 출원된 일본 특허 출원 2011-247262 호에 기초한 것이고, 참고를 위해 상기 특허 출원의 전체 내용이 포함된다.

도면

도면1

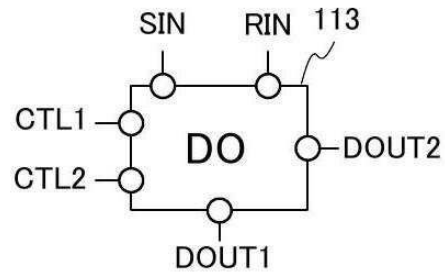


도면2

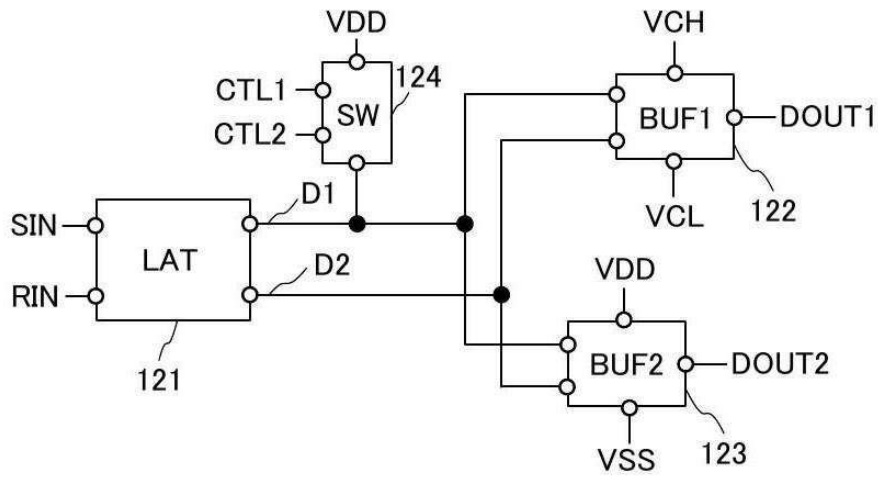


도면3

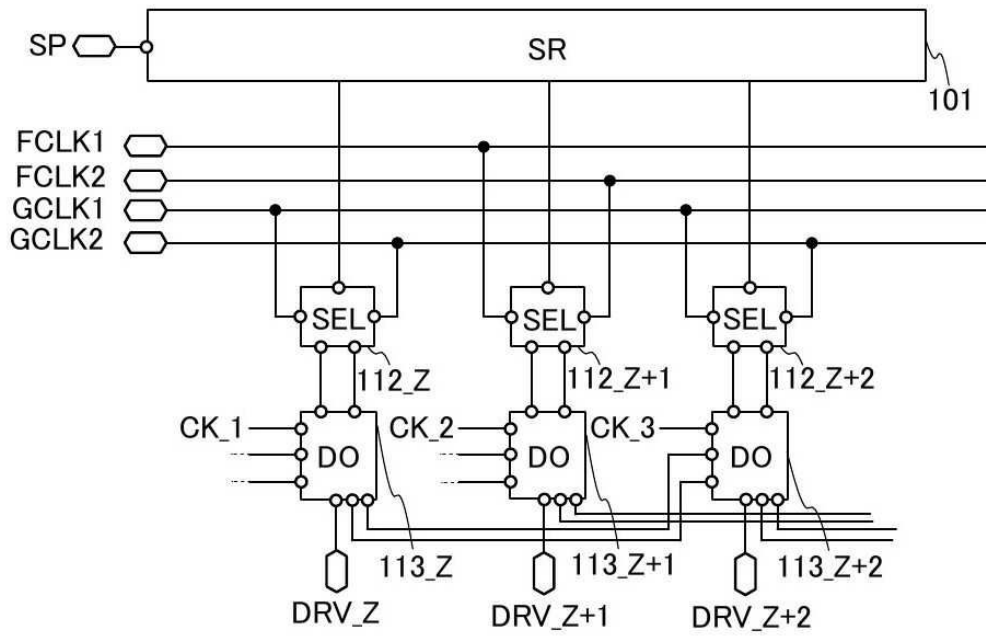
(A)



(B)

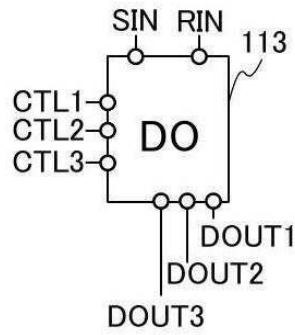


도면4

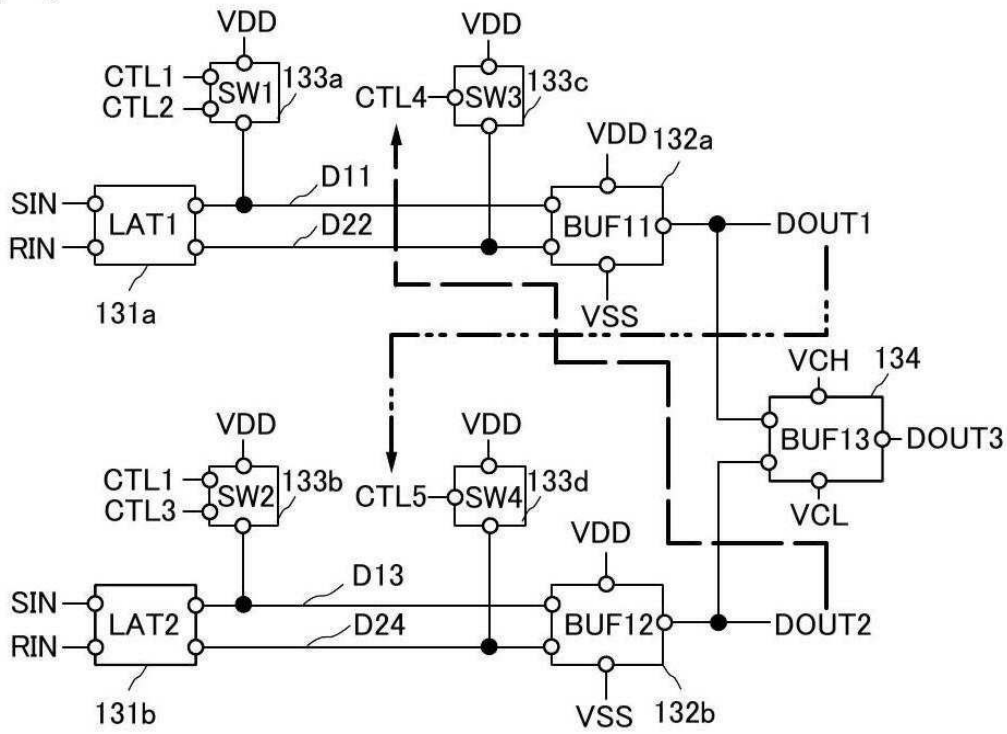


도면5

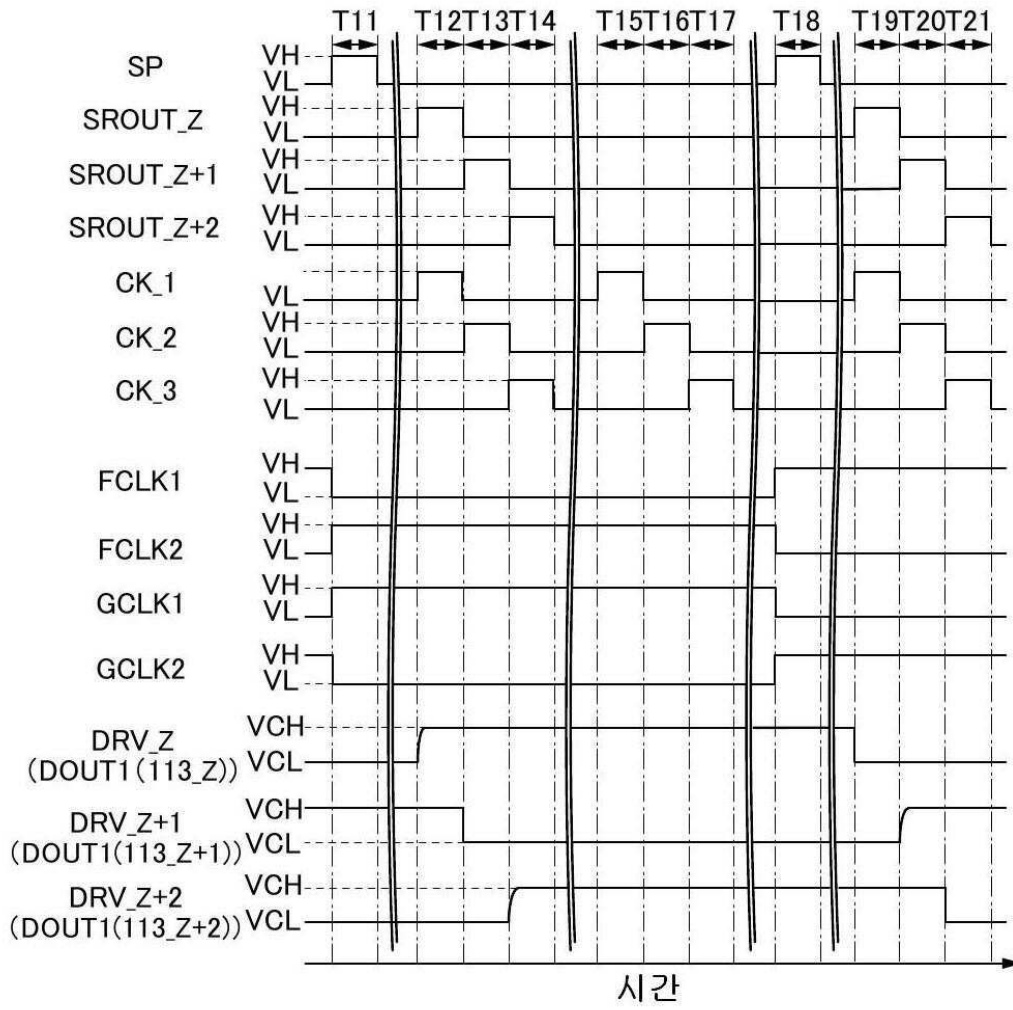
(A)



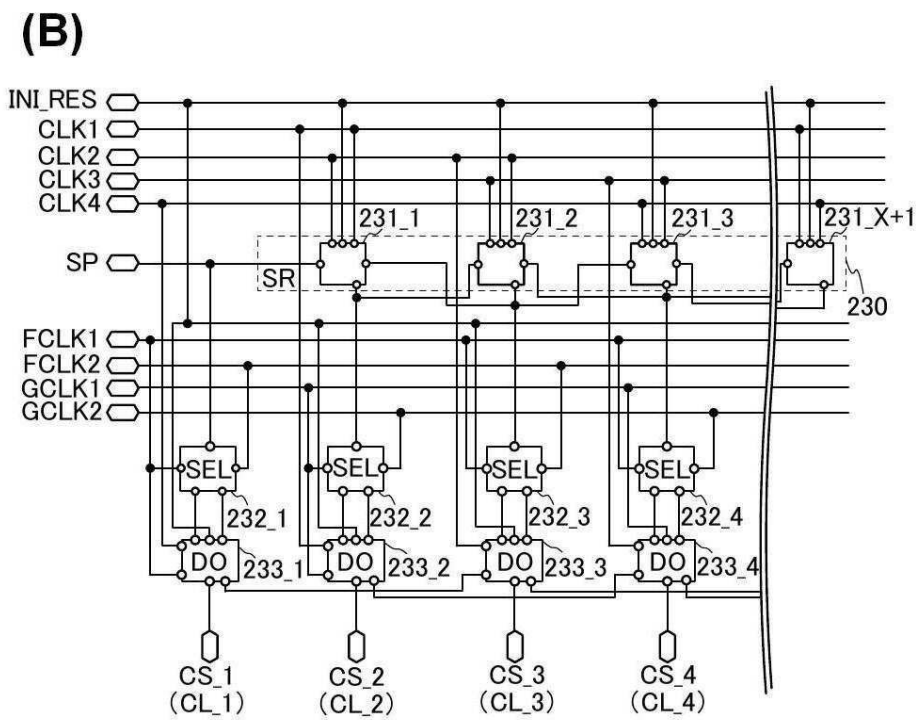
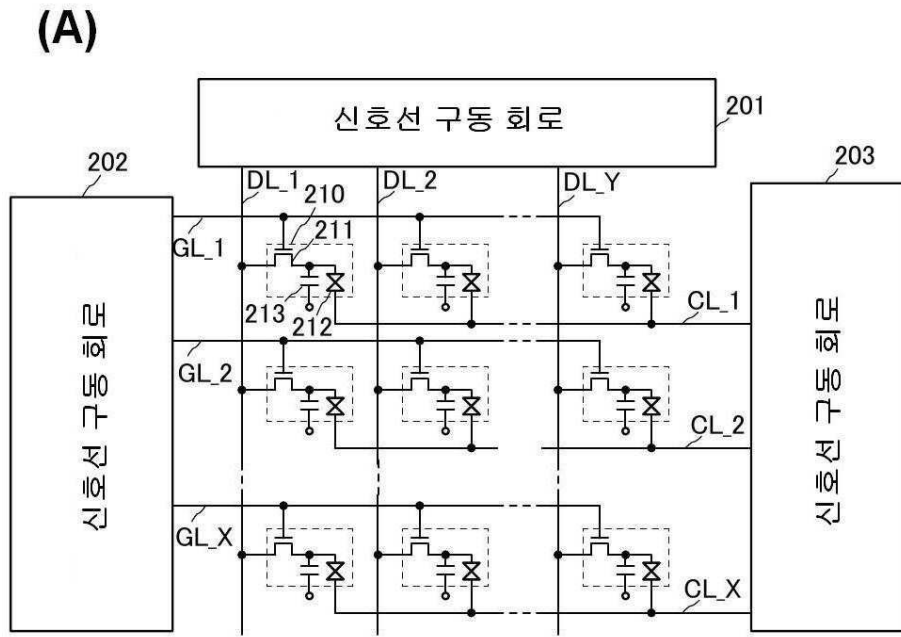
(B)



도면6

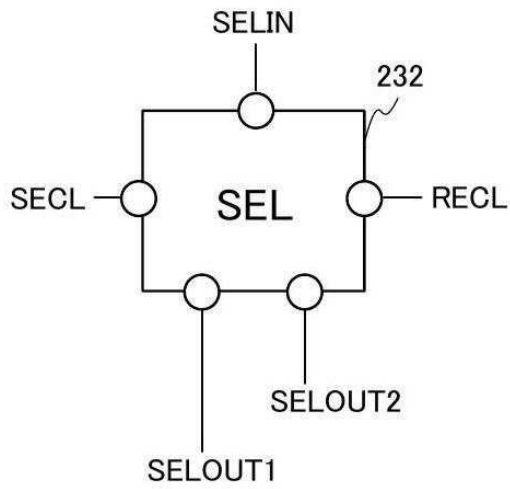


도면7

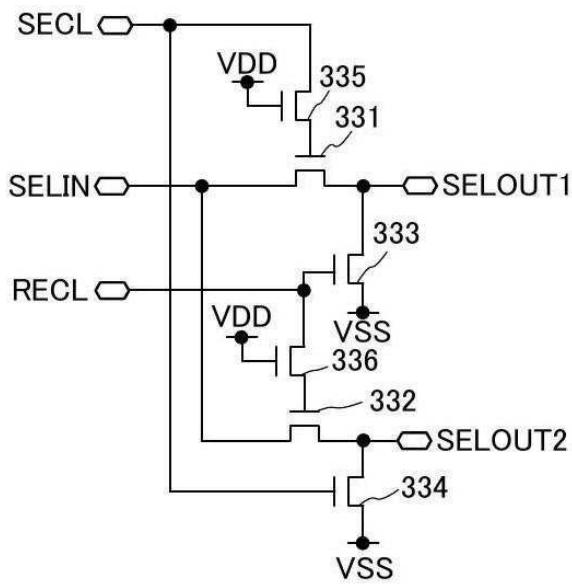


도면9

(A)

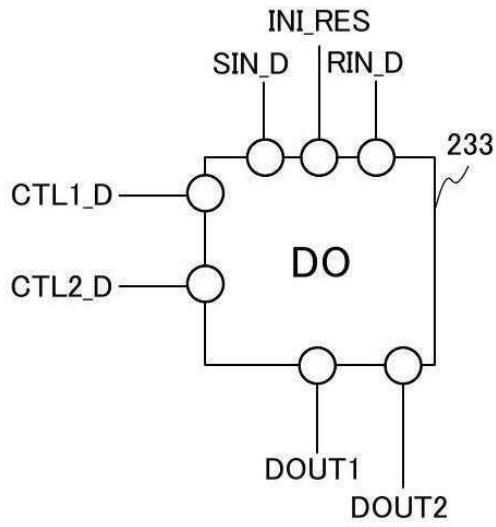


(B)

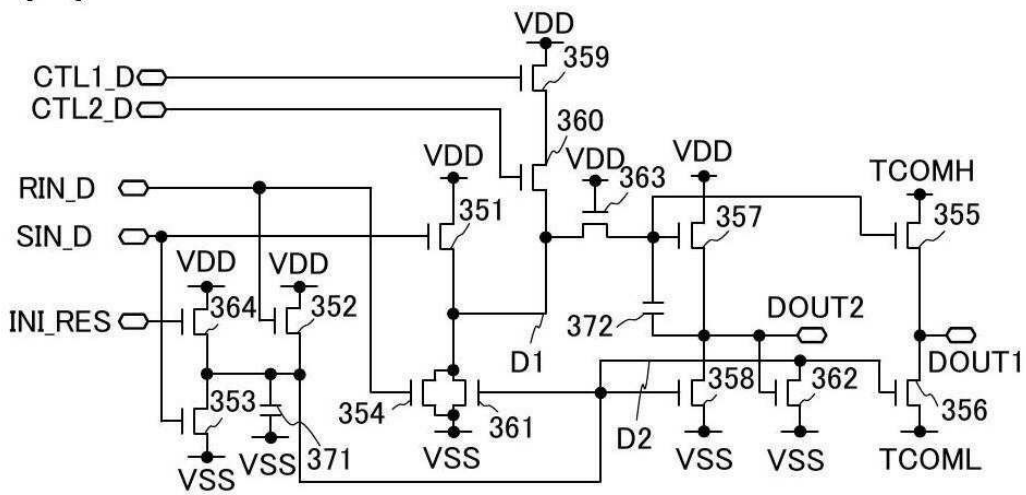


도면10

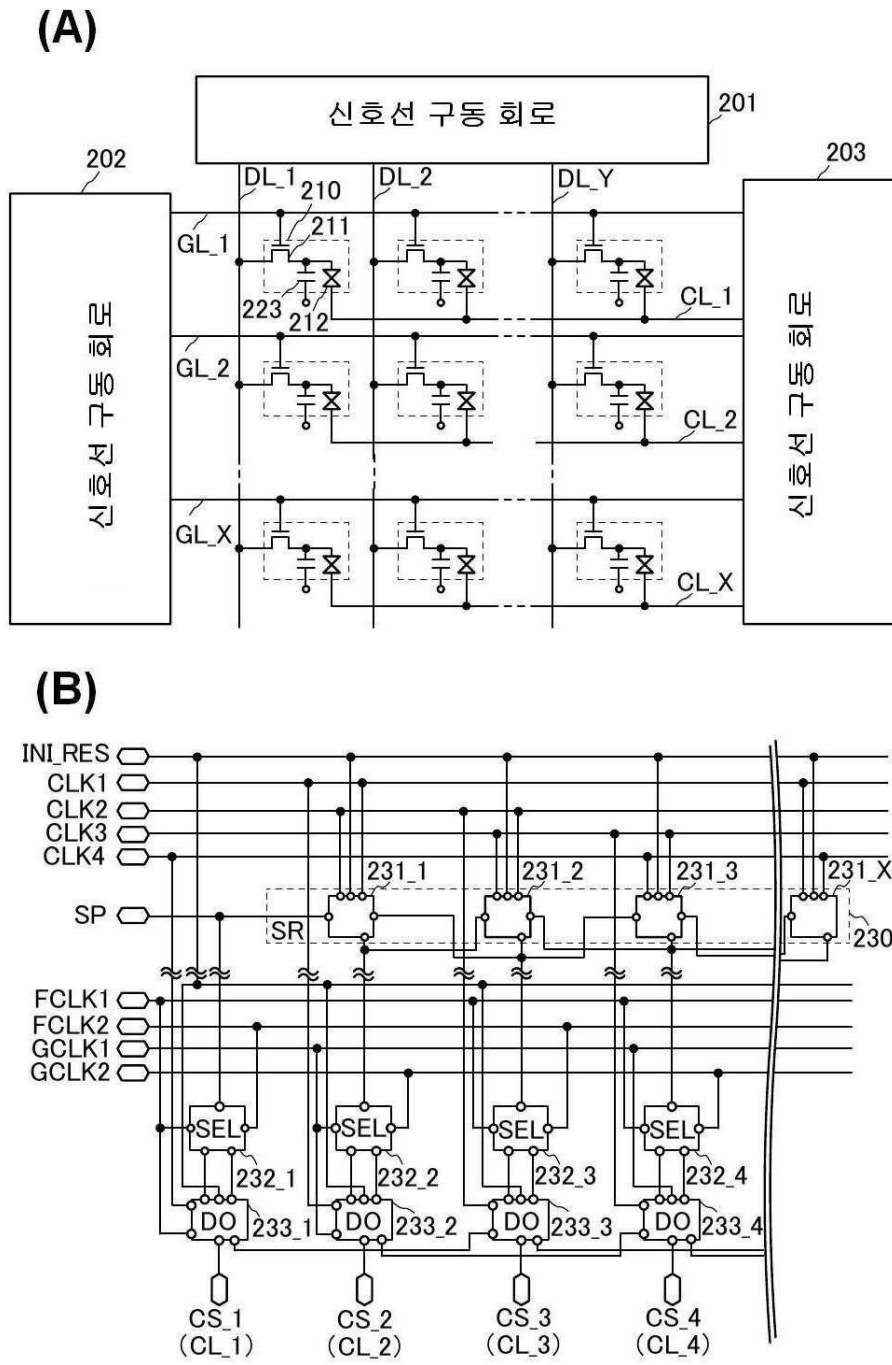
(A)



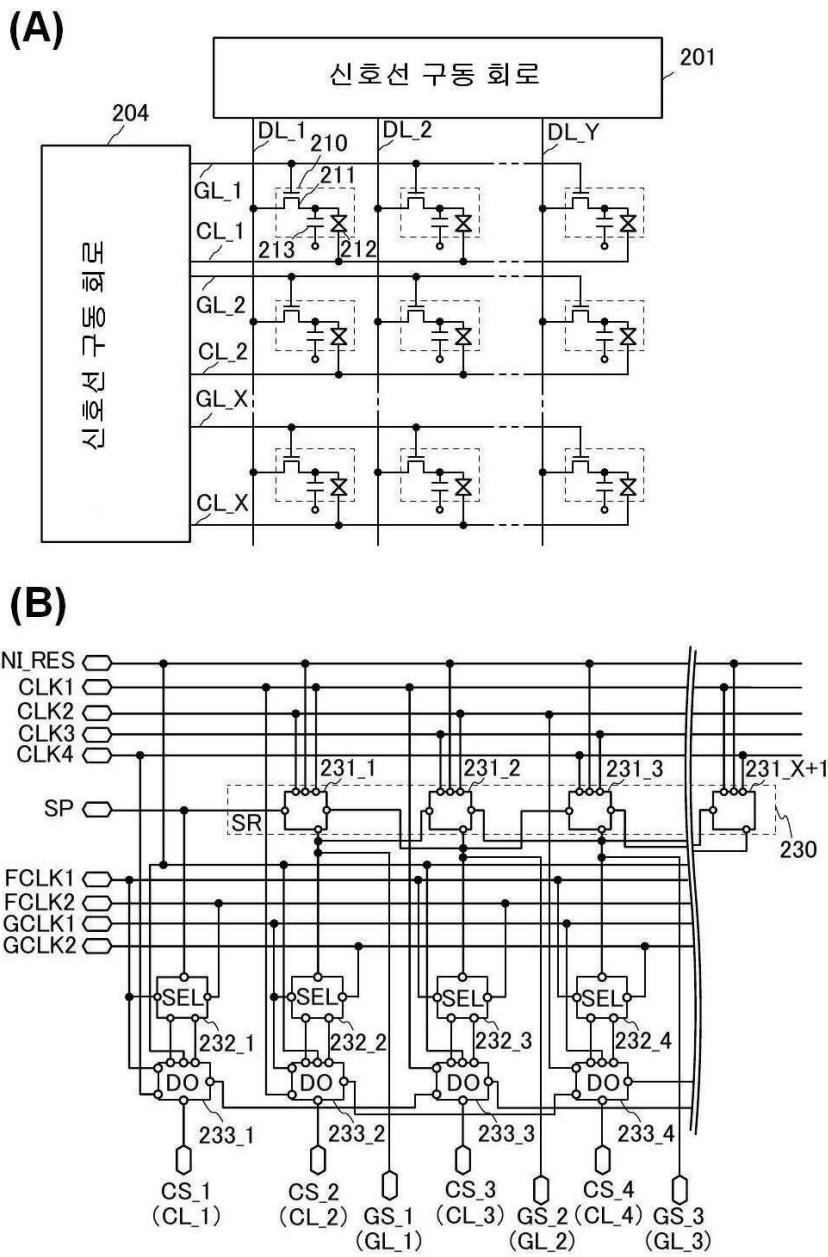
(B)



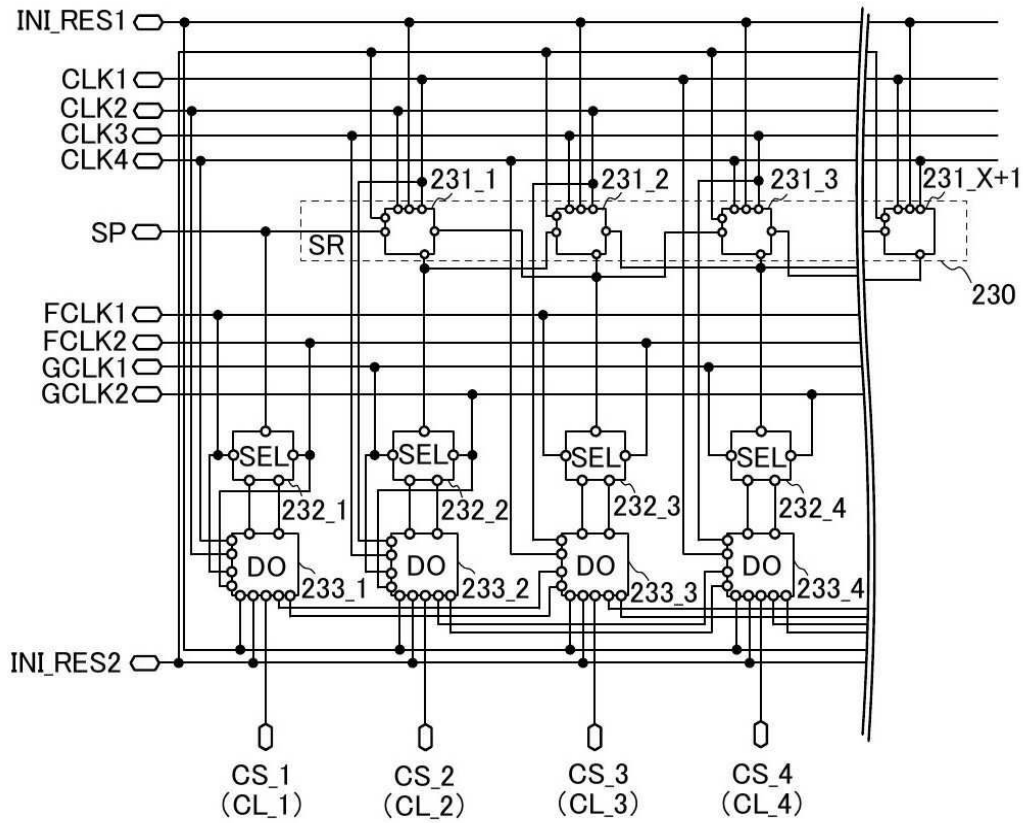
도면11



도면12

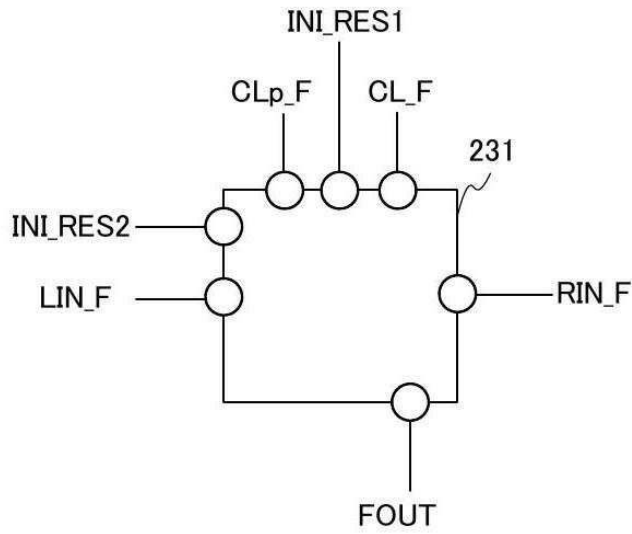


도면13

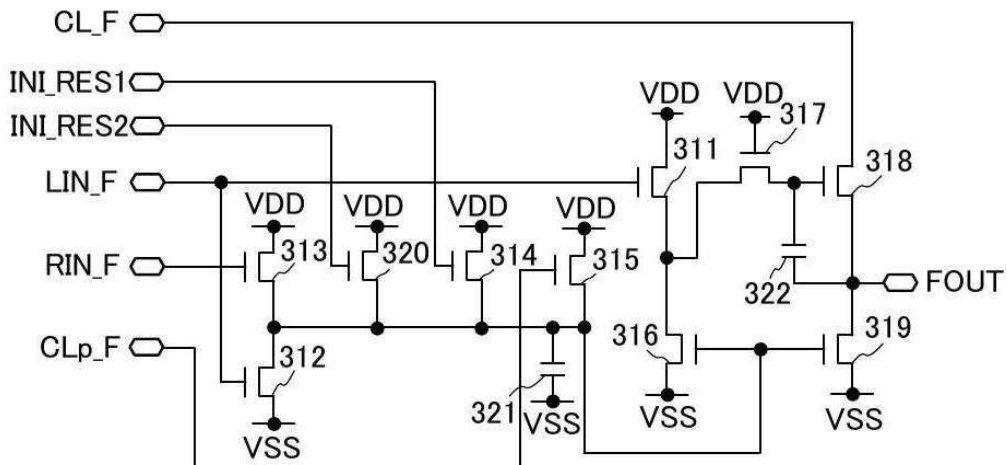


도면14

(A)

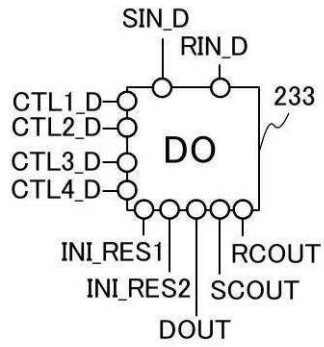


(B)

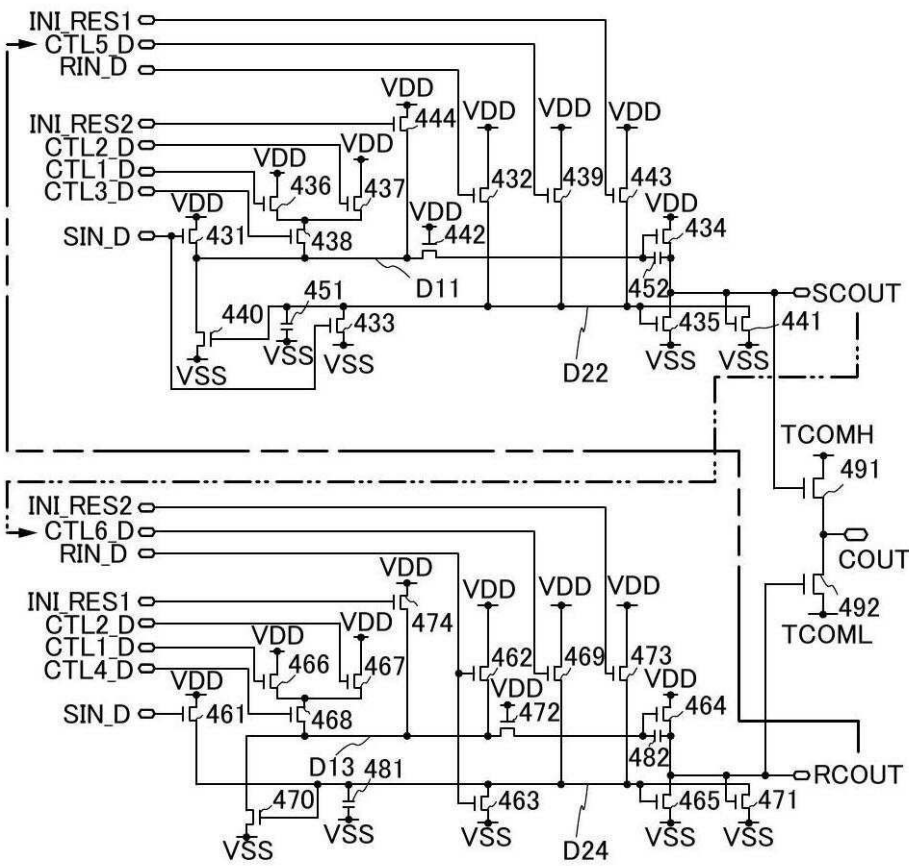


도면15

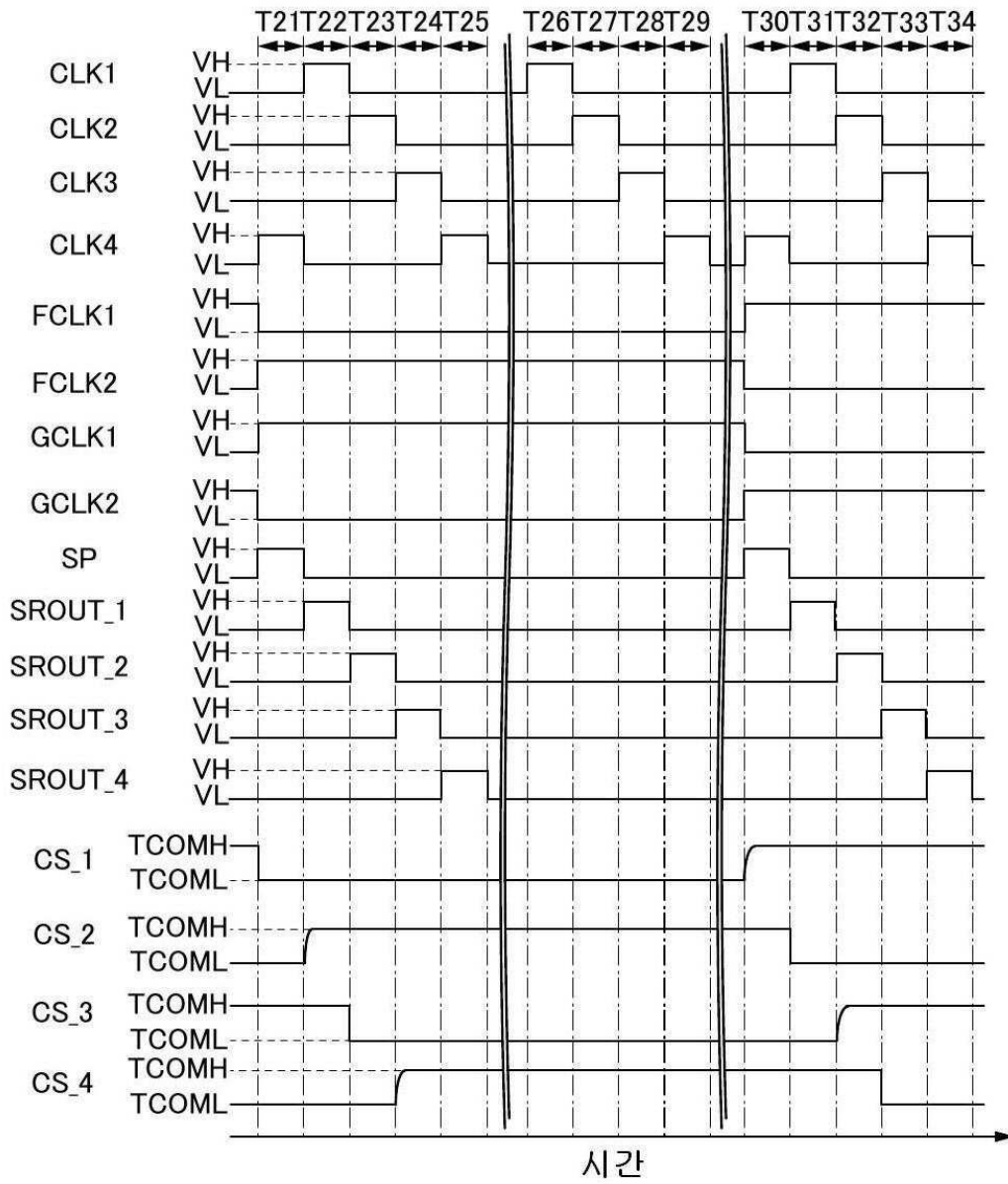
(A)



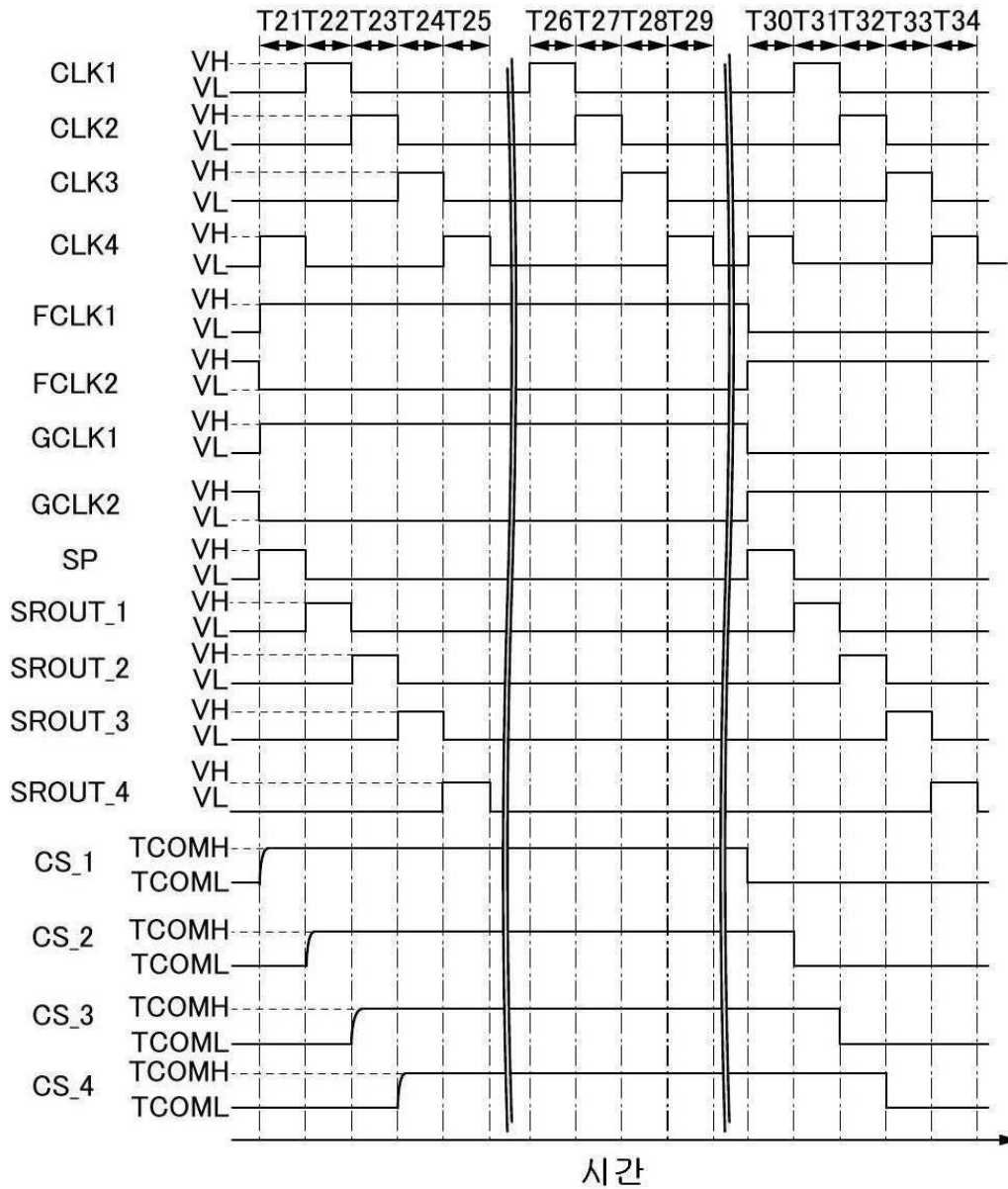
(B)



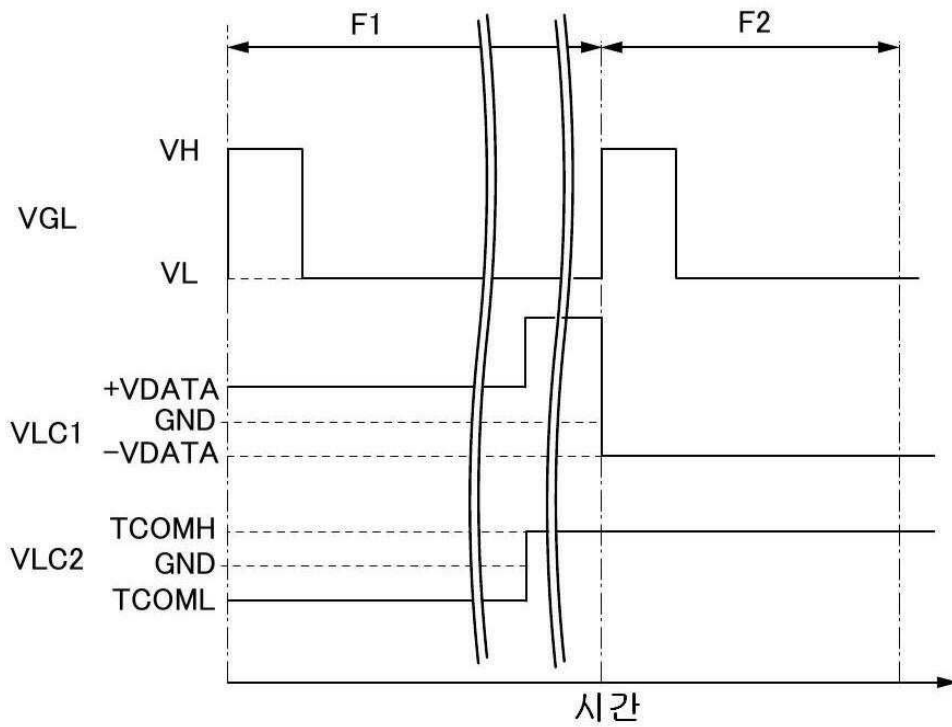
도면16



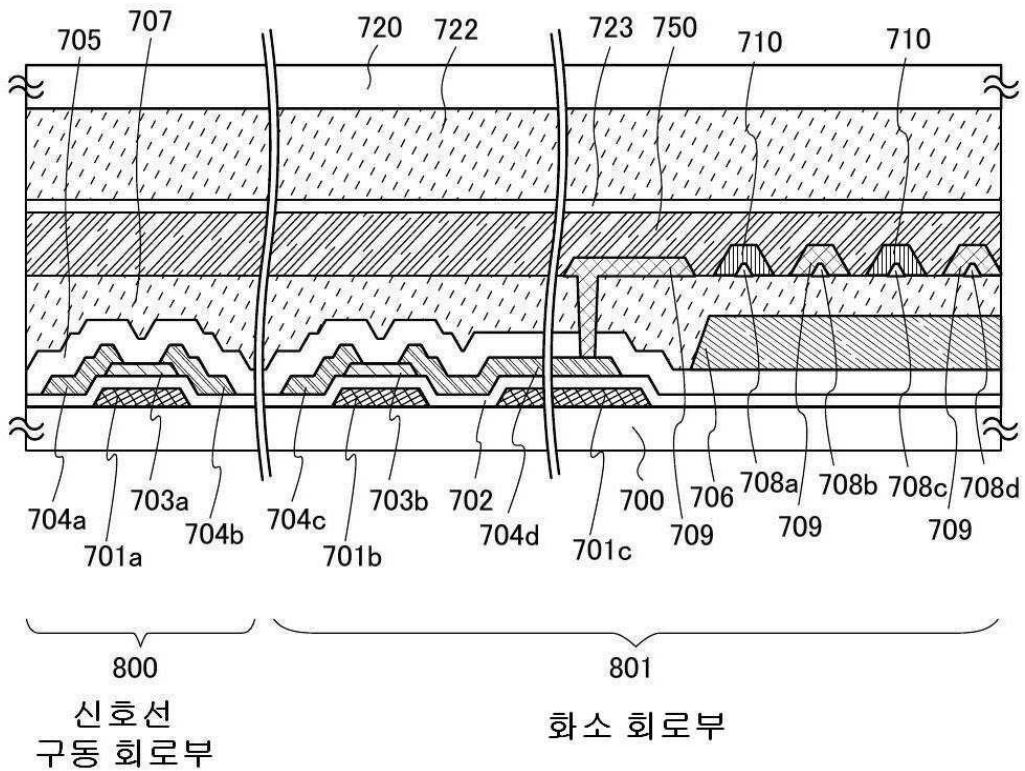
도면17



도면18



도면19



도면20

