

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年5月17日(17.05.2018)



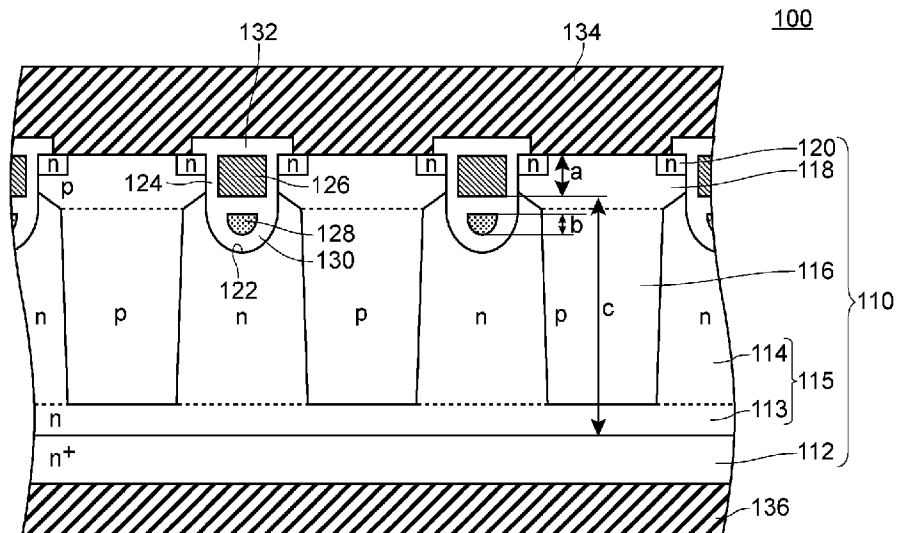
(10) 国際公開番号

WO 2018/087899 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 29/12* (2006.01)
H01L 27/04 (2006.01) *H02M 1/00* (2007.01)
- (21) 国際出願番号: PCT/JP2016/083610
- (22) 国際出願日: 2016年11月11日(11.11.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 新 電 元 工 業 株 式 会 社 (SHIN-DENGEN ELECTRIC MANUFACTURING CO., LTD.) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目2番1号 Tokyo (JP).
- (72) 発明者: 新 井 大 輔 (ARAI, Daisuke); 〒3578585 埼玉県飯能市南町10番13号 新電元工業株式会社工場内 Saitama (JP). 北田 瑞枝 (KITADA, Mizue); 〒3578585 埼玉県飯能市南町10番13号 新電元工業株式会社工場内 Saitama (JP).
- (74) 代理人: 松 尾 誠 剛 (MATSUO, Nobutaka); 〒3990214 長野県諏訪郡富士見町落合9862番地60 めぶき特許事務所 Nagano (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR,

(54) Title: MOSFET AND POWER CONVERSION CIRCUIT

(54) 発明の名称: MOSFET及び電力変換回路



(57) **Abstract:** This MOSFET 100 is characterized by being provided with: a semiconductor substrate 110 which is provided with an n-type column region 114, a p-type column region 116, a base region 118, and a source region 120, and in which a super junction structure is formed by the n-type column region 114 and the p-type column region 116; a trench 122 which is provided with side walls and a bottom; a gate electrode 126 formed in the trench 122 with a gate insulating film 124 therebetween; a carrier compensation electrode 128 positioned between the gate electrode 126 and the bottom of the trench 122; an insulating region 130 which separates the carrier compensation electrode 128 from the side walls and the bottom; and a source electrode 132 which is electrically connected to the source region 120, and electrically connected to the carrier compensation electrode 128. According to this MOSFET 100, variation in the switching characteristics when



KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

the MOSFET is turned off can be reduced, even if there is variation in the charge balance around the gate.

(57) 要約: 本発明のMOSFET 100は、n型コラム領域114及びp型コラム領域116と、ベース領域118と、ソース領域120とを有し、n型コラム領域114及びp型コラム領域116でスーパージャンクション構造が構成されている半導体基体110と、側壁及び底を有するトレンチ122と、トレンチ122内にゲート絶縁膜124を介して形成されたゲート電極126と、ゲート電極126とトレンチ122の底との間に位置するキャリア補償電極128と、側壁及び底からキャリア補償電極128を隔離させる絶縁領域130と、ソース領域120と電氣的に接続されるとともにキャリア補償電極128とも電氣的に接続されたソース電極132とを備えることを特徴とする。本発明のMOSFET 100によれば、ゲート周辺のチャージバランスのバラツキがあったとしても、MOSFETをターンオフしたときのスイッチング特性のバラツキを小さくすることができる。

明 細 書

発明の名称：M O S F E T 及び電力変換回路

技術分野

[0001] 本発明は、M O S F E T 及び電力変換回路に関する。

背景技術

[0002] 従来、n型コラム領域及びp型コラム領域でスーパージャンクション構造が構成されている半導体基体を備えるM O S F E T が知られている（例えば、特許文献1 参照。）。

[0003] 従来のM O S F E T 8 0 0 は、図1 0 に示すように、n型コラム領域8 1 4 及びp型コラム領域8 1 6、n型コラム領域8 1 4 及びp型コラム領域8 1 6の表面に形成されたp型のベース領域8 1 8、並びに、ベース領域8 1 8の表面に形成されたn型のソース領域8 2 0を有し、n型コラム領域8 1 4 及びp型コラム領域8 1 6でスーパージャンクション構造が構成されている半導体基体8 1 0と、平面的に見てn型コラム領域8 1 4 が位置する領域内に、ベース領域8 1 8の最深部よりも深い深さ位置まで形成され、かつ、ソース領域8 2 0の一部が内周面に露出するように形成されたトレンチ8 2 2と、トレンチ8 2 2の内周面に形成されたゲート絶縁膜8 2 4を介してトレンチ8 2 2の内部に埋め込まれてなるゲート電極8 2 6とを備える。

[0004] 従来のM O S F E T 8 0 0において、n型コラム領域8 1 4 及びp型コラム領域8 1 6は、n型コラム領域8 1 4の不純物総量がp型コラム領域8 1 6の不純物総量と等しくなるように形成されている。すなわち、n型コラム領域8 1 4 及びp型コラム領域8 1 6は、チャージバランスが取れている。

[0005] なお、本明細書中、「スーパージャンクション構造」とは、所定の断面で見たときにn型コラム領域とp型コラム領域とが交互に繰り返し配列されている構造をいう。また、「不純物総量」とは、M O S F E T 内の構成要素（n型コラム領域又はp型コラム領域）に含まれる不純物の総量をいう。

[0006] 従来のM O S F E T 8 0 0は、n型コラム領域8 1 4 及びp型コラム領域8

16でスーパージャンクション構造が構成されている半導体基体810を備えるため、低オン抵抗、かつ、高耐圧のスイッチング素子となる。

先行技術文献

特許文献

[0007] 特許文献1：特開2012-64660号公報

特許文献2：特開2015-133380号公報

発明の概要

発明が解決しようとする課題

[0008] ところで、従来のMOSFET800は、上記したように低オン抵抗、かつ、高耐圧のスイッチング素子となるため、電力変換回路に用いられることが考えられる。しかしながら、従来のMOSFET800を電力変換回路に用いると、ゲート周辺のチャージバランスにバラツキがある場合にMOSFETをターンオフしたときのスイッチング特性のバラツキが大きい、という問題があることがわかった（図3の I_d （p過多）と I_d （n過多）、並びに、 V_{ds} （n過多）及び V_{ds} （p過多）参照。）。

[0009] そこで、本発明は、上記した問題を解決するためになされたものであり、ゲート周辺のチャージバランスのバラツキがあつたとしても、MOSFETをターンオフしたときのスイッチング特性のバラツキを従来よりも小さくすることができるMOSFET及びこれを用いた電力変換回路を提供することを目的とする。

課題を解決するための手段

[0010] [1] 本発明のMOSFETは、交互に配列された状態で形成されたn型コラム領域及びp型コラム領域と、前記n型コラム領域及び前記p型コラム領域の表面に位置するp型のベース領域と、前記ベース領域の表面に位置するn型のソース領域とを有し、前記n型コラム領域及び前記p型コラム領域とでスーパージャンクション構造が構成されている半導体基体と、平面的に見て前記n型コラム領域が位置する領域内に形成され、前記n型コラム領域、

前記ベース領域及び前記ソース領域に隣接した側壁、並びに、前記 n 型コラム領域に隣接した底を有するトレンチと、前記トレンチ内にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極と前記トレンチの前記底との間に位置するキャリア補償電極と、前記ゲート電極と前記キャリア補償電極との間に拡がり、さらに、前記トレンチの前記側壁及び前記底に沿って拡がって前記側壁及び前記底から前記キャリア補償電極を離隔させる、前記トレンチ内における絶縁領域と、前記半導体基体の第 1 主面側の表面上に位置し、前記ソース領域と電氣的に接続されるとともに前記キャリア補償電極とも電氣的に接続されたソース電極とを備えることを特徴とする。

[0011] なお、本明細書中、「キャリア補償電極」とは、n 型コラム領域及び p 型コラム領域において、チャージバランス（キャリアのバランス、すなわち、不純物濃度のバランス、p 型コラム領域の幅と n 型コラム領域の幅とのバランス等）にバラツキがあるときでも、そのバラツキを補い、ターンオフしたときのスイッチング特性のバラツキを小さくするように半導体装置を動作させる働きをする電極のことをいう。

[0012] [2] 本発明の MOSFET によれば、前記ゲート電極の最上部から最下部までの厚さを a とし、前記キャリア補償電極の最上部から最下部までの厚さを b としたときに、 $0.2a \leq b \leq a$ を満たすことが好ましい。

[0013] なお、本明細書中、「最上部」とは、半導体基体の第 1 主面に最も近い（浅い）部分をいい、「最下部」とは、半導体基体の第 1 主面に最も遠い（深い）部分をいう。

[0014] [3] 本発明の MOSFET によれば、前記半導体基体は、前記第 1 主面とは反対側の第 2 主面側の表面に形成された低抵抗半導体層をさらに有し、前記キャリア補償電極の最上部から最下部までの厚さを b とし、前記ゲート電極の最下部から前記低抵抗半導体層の最上部までの深さを c としたときに、 $10b \leq c$ を満たすことが好ましい。

[0015] [4] 本発明の MOSFET によれば、前記トレンチと隣接する領域における前記 n 型コラム領域の不純物濃度は、前記 n 型コラム領域の最下部における

る前記 n 型コラム領域の不純物濃度と同じ不純物濃度であることが好ましい。

[0016] [5] 本発明の MOSFET によれば、前記トレンチと隣接する領域における前記 n 型コラム領域の不純物濃度は、前記 n 型コラム領域の最下部における前記 n 型コラム領域の不純物濃度よりも低い不純物濃度であることが好ましい。

[0017] [6] 本発明の MOSFET によれば、前記キャリア補償電極と前記 n 型コラム領域との間の前記絶縁領域の厚さは、前記ゲート絶縁膜の厚さよりも厚いことが好ましい。

[0018] [7] 本発明の電力変換回路は、リアクトルと、前記リアクトルに電流を供給する電源と、前記電源から前記リアクトルに供給する電流を制御する上記 [1] ~ [6] のいずれかに記載の MOSFET と、前記電源から前記リアクトルに供給する電流又は前記リアクトルからの電流の整流動作を行う整流素子とを少なくとも備えることを特徴とする。

[0019] [8] 本発明の電力変換回路によれば、前記整流素子は、ファスト・リカバリ・ダイオードであることが好ましい。

[0020] [9] 本発明の電力変換回路によれば、前記整流素子は、前記 MOSFET の内蔵ダイオードであることが好ましい。

[0021] [10] 本発明の電力変換回路によれば、前記整流素子は、シリコンカーバイド・ショットキーバリアダイオードであることが好ましい。

発明の効果

[0022] 本発明の MOSFET 及び電力変換回路によれば、ゲート電極とトレンチの底との間に位置し、ソース電極と電氣的に接続されたキャリア補償電極と、ゲート電極とキャリア補償電極との間に拡がり、さらに、トレンチの側壁及び底に沿って拡がって側壁及び底からキャリア補償電極を離隔させる、トレンチ内における絶縁領域とを備えることから、ターンオフしたときに、ドレインからの変位電流がキャリア補償電極を経由してソース電極に流れるようになるため、変位電流がゲート電極に流入し難くなる。このため、ゲート

電極がゲート周辺の n 型コラム領域の電位変化の影響を受け難くなり、その結果、ゲート周辺のチャージバランスのバラツキがあったとしても、ターンオフしたときのスイッチング特性のバラツキを従来よりも小さくすることができる。

[0023] また、本発明のMOSFET及び電力変換回路によれば、上記した構成のキャリア補償電極及び絶縁領域を備えるため、 n 型コラム領域（空乏化されていない n 型コラム領域）とゲート電極との間隔が従来のMOSFETより長くなり、帰還容量 C_{rss} （ゲート・ドレイン間容量 C_{gd} と等しい）が従来のMOSFETより小さくなる。このため、ゲート電極がゲート周辺の n 型コラム領域の電位変化の影響を受け難くなり、その結果、この観点においても、ゲート周辺のチャージバランスのバラツキがあったとしても、ターンオフしたときのスイッチング特性のバラツキを従来よりも小さくすることができる。

[0024] また、本発明のMOSFETによれば、 n 型コラム領域及び p 型コラム領域とでスーパージャンクション構造が構成されている半導体基体を備えるため、従来同様、低オン抵抗、かつ、高耐圧のスイッチング素子となる。

[0025] なお、特許文献2には、ゲート電極926とトレンチ922の底との間に位置するフィールドプレート電極942と、ゲート電極926とフィールドプレート電極942との間に拡がり、さらに、トレンチ922の側壁及び底に沿って拡がって側壁及び底からフィールドプレート電極942を離隔させる、トレンチ922内における絶縁領域930とを備える半導体装置（従来の他のMOSFET900）が記載されている（図11参照。）。

しかしながら、従来の他のMOSFET900においては、オン抵抗を低減するために、 n -型コラム領域914のゲート周辺に n -型コラム領域914の他の領域よりも不純物濃度が高い n 型半導体領域944が形成されているため、（1） n 型半導体領域944に空乏層が広がり難く、空乏化されていない n 型半導体領域944（又は n -型コラム領域914）とゲート電極926との間隔が長くなり難い。従って、帰還容量 C_{rss} が小さくなり難い

ため、ゲート電極 926 がゲート周辺の n 型半導体領域 944 の電位変化の影響を受け易くなる。また、(2) ゲート周辺の n 型半導体領域 944 の不純物濃度が p -型コラム領域 916 の不純物濃度よりも高くなるため（局所的に n 過多になるため）、ターンオフ期間におけるスイッチング特性のバラツキが大きくなり易くなる（図 3 の I_d (n 過多) 及び V_{ds} (n 過多) 参照。)。

従って、従来の他の MOSFET 900 は、ゲート周辺のチャージバランスのバラツキがあったとしても、ターンオフしたときのスイッチング特性のバラツキを従来よりも小さくすることができる、という効果を得ることができない。

よって、従来の他の MOSFET 900 のフィールドプレート電極 942 は、ゲート周辺のチャージバランスのバラツキがあるときにそのバラツキを補うことはできず、ターンオフしたときのスイッチング特性のバラツキを小さくするように半導体装置を動作させる働きをすることはできないことから、本発明のキャリア補償電極ではない。

図面の簡単な説明

[0026] [図1]実施形態 1 に係る電力変換回路 1 を示す回路図である。

[図2]実施形態 1 に係る MOSFET 100 を示す断面図である。

[図3]比較例 1 に係る MOSFET を用いた電力変換回路において、MOSFET をターンオフしたときのドレイン・ソース間電圧 V_{ds} 、ドレイン電流 I_d 及びゲート・ソース間電圧 V_{gs} の時間推移シミュレーション結果を示すグラフである。なお、図 3 中、 p 過多は p 型コラム領域の不純物総量が n 型コラム領域の不純物総量よりも 10% 多い場合を示し、 n 過多は n 型コラム領域の不純物総量が p 型コラム領域の不純物総量よりも 10% 多い場合を示し、 $Just$ は p 型コラム領域の不純物総量と n 型コラム領域の不純物総量とが等しい場合を示す（図 4 において同じ。）。さらにまた、電源電圧は 300V である（図 4 において同じ）。

[図4]実施形態 1 に係る電力変換回路 1 において、MOSFET をターンオフ

したときのドレイン・ソース間電圧 V_{ds} 、ドレイン電流 I_d 及びゲート・ソース間電圧 V_{gs} の時間推移シミュレーション結果を示すグラフである。

[図5]実施例に係るMOSFET100A及び比較例2に係るMOSFET700を示す断面図である。図5(a)は実施例に係るMOSFET100Aを示す断面図であり、図5(b)は比較例2に係るMOSFET700を示す断面図である。なお、図5は模式図であり、図6のシミュレーション結果に用いた構造の寸法及び形状を厳密に反映したものではない。

[図6]実施例に係るMOSFET100A及び比較例2に係るMOSFET700において、MOSFETをターンオフしたときの等電位線のシミュレーション結果を示す図である。図6(a)は実施例に係るMOSFET100Aにおいて、MOSFETをターンオフしたときの等電位線のシミュレーション結果を示す図であり、図6(b)は比較例2に係るMOSFET700において、MOSFETをターンオフしたときの等電位線のシミュレーション結果を示す図である。なお、図6(a)は、図5(a)の一点鎖線で囲まれた領域に対応した図であり、図6(b)は、図5(b)の一点鎖線で囲まれた領域に対応した図である。また、図6中、太い黒実線は、n型コラム領域とp型コラム領域との境界を示し、黒い細実線は3Vごとに引いた等電位線を示し、白実線はキャリアが通常時の5%となる領域とそれ以外の領域との境界を示す。

[図7]実施形態2に係るMOSFET102を示す断面図である。

[図8]実施形態3に係る電力変換回路2を示す回路図である。

[図9]変形例に係るMOSFET104を示す断面図である。

[図10]従来のMOSFET800を示す断面図である。なお、符号812は低抵抗半導体層を示し、符号813はバッファ層を示し、符号846はp⁺型半導体層を示す。

[図11]従来の他のMOSFET900を示す断面図である。なお、符号910は半導体基体を示し、符号912は低抵抗半導体層を示し、符号913はバッファ層を示し、符号918はベース領域を示し、符号920はソース領

域を示し、符号 924 はゲート絶縁膜を示し、符号 932 は層間絶縁膜を示し、符号 934 はソース電極を示し、符号 936 はドレイン電極を示し、符号 946 は p^+ 型半導体層を示す。

発明を実施するための形態

[0027] 以下、本発明の MOSFET 及び電力変換回路について、図に示す実施形態に基づいて説明する。なお、各図面は模式図であり、必ずしも実際の寸法を厳密に反映したものではない。

[0028] [実施形態 1]

1. 実施形態 1 に係る電力変換回路 1 の構成及び動作

実施形態 1 に係る電力変換回路 1 は、DC-DC コンバータやインバータ等の構成要素であるチョッパ回路である。実施形態 1 に係る電力変換回路 1 は、図 1 に示すように、リアクトル 10 と、電源 20 と、実施形態 1 に係る MOSFET 100 と、整流素子 30 とを備える。

[0029] リアクトル 10 は、流れる電流によって形成される磁場にエネルギーを蓄えることができる受動素子である。

電源 20 は、リアクトル 10 に電流を供給する直流電源である。MOSFET 100 は、電源 20 からリアクトル 10 に供給する電流を制御する。具体的には、MOSFET 100 は、ドライブ回路（図示せず）から MOSFET 100 のゲート電極に印加されるクロック信号に応答してスイッチングし、オン状態になると、リアクトル 10 と電源 20 の負極との間を導通させる。MOSFET 100 の具体的な構成については、後述する。

整流素子 30 は、電源 20 からリアクトル 10 に供給する電流の整流動作を行うファスト・リカバリー・ダイオードである。具体的には、整流素子 30 は、ライフタイムコントロールされた $p\text{-}i\text{-}n$ ダイオードである。

[0030] 電源 20 の陽極（+）は、リアクトル 10 の一方端 12 及び整流素子 30 のカソード電極と電氣的に接続されており、電源 20 の負極（-）は、MOSFET 100 のソース電極と電氣的に接続されている。また、MOSFET 100 のドレイン電極は、リアクトル 10 の他方端 14 及び整流素子 30

のアノード電極と電氣的に接続されている。

[0031] このような電力変換回路 1 において、MOSFET 100 がオン状態のときは、電源 20 の正極（+）からリアクトル 10 及び MOSFET 100 を経由して負極（-）に至る電流経路が形成され、当該電流経路に電流が流れる。このとき、リアクトル 10 には電源 20 の電気エネルギーが蓄積される。

そして、MOSFET 100 をターンオフしたときには、電源 20 の正極（+）からリアクトル 10 及び MOSFET 100 を経由して負極（-）に至る電流経路を流れる電流が減少し、やがて 0 になる。一方、リアクトル 10 は、自己誘導作用により、電流変化を妨げる向きに起電力を発生させる（リアクトル 10 に蓄積された電気エネルギーが放出される）。リアクトル 10 の起電力により発生した電流は整流素子 30 に向かい、整流素子 30 に順方向電流が流れる。

なお、MOSFET 100 を流れる電流量と整流素子 30 を流れる電流量の和は、リアクトル 10 に流れる電流量に等しい。そして、MOSFET 100 のスイッチング期間は短い（長く見積もっても 100 ns 程度）ため、その期間内においてリアクトル 10 を流れる電流量はほとんど変化しない。従って、MOSFET 100 を流れる電流量と整流素子 30 を流れる電流量の和は、オン状態、ターンオフ期間、オフ状態のいずれの場合でもほとんど変化しない。

[0032] ところで、このような電力変換回路 1 において、MOSFET として、従来の MOSFET 800 を用いた場合には、ゲート周辺のチャージバランスにバラツキがあると、ターンオフしたときのスイッチング特性のバラツキが大きくなるという問題がある（図 3 参照。）。

[0033] そこで、本発明においては、MOSFET として、下記の実施形態 1 に係る MOSFET 100 を用いる。

[0034] 2. 実施形態 1 に係る MOSFET 100 の構成

実施形態 1 に係る MOSFET 100 は、図 2 に示すように、半導体基体

110と、トレンチ122と、ゲート電極126と、キャリア補償電極128と、絶縁領域130と、層間絶縁膜132と、ソース電極134と、ドレイン電極136とを備えるトレンチゲート型のMOSFETである。MOSFET100のドレイン・ソース間耐圧は、300V以上であり、例えば600Vである。

[0035] 半導体基体110は、第1主面とは反対側の第2主面側の表面に形成されたn型の低抵抗半導体層112、低抵抗半導体層112上に形成され低抵抗半導体層112よりも不純物濃度が低いn型のバッファ層113、バッファ層113上に水平方向に沿って交互に配列されたn型コラム領域114及びp型コラム領域116、n型コラム領域114及びp型コラム領域116の表面に形成されたp型のベース領域118、並びに、ベース領域118の表面に形成されたn型のソース領域120を有し、n型コラム領域114及びp型コラム領域116とでスーパージャンクション構造が構成されている。なお、バッファ層113及びn型コラム領域114は一体的に形成されており、バッファ層113とn型コラム領域114とでn型半導体層115を構成している。

[0036] n型コラム領域114の不純物総量は、p型コラム領域116の不純物総量と等しいが、p型コラム領域116の不純物総量よりも少なくてもよいし、p型コラム領域116の不純物総量よりも多くてもよい。

[0037] n型コラム領域114及びp型コラム領域116の不純物濃度はいずれも、深さによらず一定になっている。つまり、トレンチ122と隣接する領域におけるn型コラム領域114の不純物濃度は、n型コラム領域114の最下部におけるn型コラム領域114の不純物濃度と同じ不純物濃度であり、ベース領域118と隣接する領域におけるp型コラム領域116の不純物濃度は、p型コラム領域116の最下部におけるp型コラム領域116の不純物濃度と同じ不純物濃度である。p型コラム領域116においては、第2主面側から第1主面に向かうにつれてp型コラム領域116の幅が広がっており、n型コラム領域114においては、第2主面側から第1主面に向かう

につれて n 型コラム領域 114 の幅が狭くなっている。

- [0038] n 型コラム領域 114、p 型コラム領域 116、ソース領域 120、トレンチ 122 及びゲート電極 126 はいずれも、平面的に見てストライプ状に形成されている。
- [0039] 低抵抗半導体層 112 の厚さは、例えば $100\ \mu\text{m} \sim 400\ \mu\text{m}$ の範囲内にあり、低抵抗半導体層 112 の不純物濃度は、例えば $1 \times 10^{19}\ \text{cm}^{-3} \sim 1 \times 10^{20}\ \text{cm}^{-3}$ の範囲内にある。n 型半導体層 115 の厚さは、例えば $5\ \mu\text{m} \sim 120\ \mu\text{m}$ の範囲内にある。n 型半導体層 115 の不純物濃度は、例えば $5 \times 10^{13}\ \text{cm}^{-3} \sim 1 \times 10^{16}\ \text{cm}^{-3}$ の範囲内にある。p 型コラム領域 116 の不純物濃度は、例えば $5 \times 10^{13}\ \text{cm}^{-3} \sim 1 \times 10^{16}\ \text{cm}^{-3}$ の範囲内にある。ベース領域 118 の最下部の深さ位置は、例えば $0.5\ \mu\text{m} \sim 4.0\ \mu\text{m}$ の範囲内にあり、ベース領域 118 の不純物濃度は、例えば $5 \times 10^{16}\ \text{cm}^{-3} \sim 1 \times 10^{18}\ \text{cm}^{-3}$ の範囲内にある。ソース領域 120 の最深部の深さ位置は、例えば $0.1\ \mu\text{m} \sim 0.4\ \mu\text{m}$ の範囲内にあり、ソース領域 120 の不純物濃度は、例えば $5 \times 10^{19}\ \text{cm}^{-3} \sim 2 \times 10^{20}\ \text{cm}^{-3}$ の範囲内にある。
- [0040] トレンチ 122 は、平面的に見て n 型コラム領域 114 が位置する領域内に形成され、n 型コラム領域 114、ベース領域 118 及びソース領域 120 に隣接した側壁、並びに、n 型コラム領域 114 に隣接した底を有する。トレンチ 122 の深さは、 $2.0\ \mu\text{m} \sim 8.0\ \mu\text{m}$ の範囲内にあり、例えば $5\ \mu\text{m}$ である。
- [0041] ゲート電極 126 は、トレンチ 122 内にゲート絶縁膜 124 を介して形成されている。具体的には、トレンチ 122 の側壁に形成されたゲート絶縁膜 124 を介してトレンチ 122 内にベース領域 118 と対向するように形成されている。ゲート絶縁膜 124 は、熱酸化法により形成された厚さが例えば $100\ \text{nm}$ の二酸化珪素膜からなる。ゲート電極 126 は、CVD 法及びイオン注入法により形成された低抵抗ポリシリコンからなる。
- [0042] キャリア補償電極 128 は、ゲート電極 126 とトレンチ 122 の底との

間に位置する。キャリア補償電極 128 の幅は、ゲート電極 126 の幅よりも狭い。

[0043] 絶縁領域 130 は、トレンチ 122 において、ゲート電極 126 とキャリア補償電極 128 との間に拡がり、さらに、トレンチ 122 の側壁及び底に沿って拡がって側壁及び底からキャリア補償電極 128 を離隔させる。キャリア補償電極 128 と n 型コラム領域 114 との間の絶縁領域 130 の厚さは、ゲート絶縁膜 124 の厚さよりも厚い。

[0044] 層間絶縁膜 132 は、ソース領域 120 の一部、ゲート絶縁膜 124 及びゲート電極 126 を覆うように形成されている。層間絶縁膜 132 は、CVD 法により形成された厚さが例えば 1000 nm の PSG 膜からなる。

[0045] ソース電極 134 は、半導体基体 110 の第 1 主面側の表面上にベース領域 118、ソース領域 120 の一部、及び、層間絶縁膜 132 を覆う位置に位置し、ソース領域 120 と電氣的に接続されるとともにキャリア補償電極 128 とも電氣的に接続されている。ソース電極 134 は、スパッタ法により形成された厚さが例えば 4 μ m のアルミニウム系の金属（例えば、Al-Cu 系の合金）からなる。

ドレイン電極 136 は、低抵抗半導体層 112 の表面上に形成されている。ドレイン電極 136 は、Ti-Ni-Au などの多層金属膜により形成されている。多層金属膜全体の厚さは、例えば 0.5 μ m である。

[0046] 実施形態 1 に係る MOSFET 100 は、ゲート電極 126 の最上部から最下部までの厚さを a とし、キャリア補償電極 128 の最上部から最下部までの厚さを b としたときに、 $0.2a \leq b \leq a$ を満たす。

[0047] 実施形態 1 に係る MOSFET 100 は、キャリア補償電極 128 の最上部から最下部までの厚さを b とし、ゲート電極 126 の最下部から低抵抗半導体層 112 の最上部までの深さを c としたときに、 $10b \leq c$ を満たす。

[0048] 3. ターンオフしたときの MOSFET 100 の波形・動作について

実施形態 1 に係る MOSFET を説明するために、まず比較例 1 に係る MOSFET について説明する。比較例 1 に係る MOSFET は、従来の MO

S F E T 8 0 0と同様の構成を有するM O S F E Tである。

[0049] 実施形態1に係る電力変換回路1において、M O S F E T 1 0 0の代わりに比較例1に係るM O S F E Tを用いた場合、比較例1に係るM O S F E Tは、以下のように動作する。

(1) ドレイン電流 I_d

n型コラム領域の不純物総量とp型コラム領域の不純物総量とが等しい場合（以下、J u s tの場合という）、ドレイン電流 I_d が減少し始めてからドレイン電流 I_d が最初に0となるまでの間に、一時的にドレイン電流 I_d が上昇する期間がわずかに出現するように動作する（ドレイン電流 I_d の波形にコブ波形がわずかに出現するように動作する。図3の I_d (J u s t) 参照。)。ドレイン電流 I_d が減少し始めてからドレイン電流 I_d が最初に0となるまでの間は約0.02 μ s (20 ns) である。

n型コラム領域の不純物総量がp型コラム領域の不純物総量よりも大きくなるようにチャージバランスのバラツキがあった場合（以下、n過多の場合という）、ドレイン電流 I_d が減少し始めてからドレイン電流 I_d が最初に0となるまでの間に、一時的にドレイン電流 I_d が上昇する期間が出現するように動作する（ドレイン電流 I_d の波形に大きなコブ波形が出現するように動作する。図3の I_d (n過多) 参照。)。当該コブ波形においては、J u s tの場合よりも高い電流値まで増加し、かつ、ドレイン電流 I_d が0になるまでの期間がJ u s tの場合よりも大幅に長くなる（J u s tの場合が約0.02 μ s (20 ns) であるのに対して、n過多の場合には約0.04 μ s (40 ns) ）。。

また、p型コラム領域の不純物総量がn型コラム領域の不純物総量よりも大きい場合（以下、p過多の場合という）、ドレイン電流 I_d は単調に減少するように動作する（ドレイン電流 I_d の波形にコブ波形は出現しないように動作する。図3の I_d (p過多) 参照。）。

(2) ドレイン・ソース間電圧 V_{ds}

n過多の場合、ドレイン・ソース間電圧 V_{ds} はJ u s tの場合よりも緩

やかに約350Vまで上昇し、その後、緩やかに減少して電源電圧（300V）で安定するように動作する。ドレイン・ソース間電圧 V_{ds} が上昇し始めてから安定するまでにかかる時間はJ u s tの場合よりも長く約0.05 μ s（50ns）である（図3の V_{ds} （n過多）参照。）。

p過多の場合、ドレイン・ソース間電圧 V_{ds} がJ u s tの場合よりも急激に約370Vまで増加した後、電源電圧（300V）で安定するように動作する（図3の V_{ds} （p過多）参照。）。ドレイン・ソース間電圧 V_{ds} が上昇してから安定するまでにかかる時間は約0.02 μ s（20ns）である。

（3）ゲート・ソース間電圧 V_{gs}

n過多の場合、ゲート・ソース間電圧 V_{gs} は、ミラー期間終了後に一時的に上昇する期間がわずかに出現するように動作する（図3の V_{gs} （n過多）参照。）。一方、J u s tの場合及びp過多の場合、ゲート・ソース間電圧 V_{gs} は、ほとんど変化せず単調に減少するように動作する（図3の V_{gs} （p過多）及び V_{gs} （J u s t）参照。）。

[0050] 上記（1）～（3）からわかるように、比較例1に係るMOSFETにおいては、ゲート周辺のチャージバランスのバラツキがあった場合（J u s tがn過多になったり、p過多になったりする等）に、ターンオフしたときのスイッチング特性、特にドレイン電流 I_d 及びドレイン・ソース間電圧 V_{ds} のバラツキが大きくなる。チャージバランスがn過多にばらついた場合には、スイッチング特性のバラツキは特に大きくなる。

[0051] これに対して、実施形態1に係る電力変換回路1において、実施形態1に係るMOSFETは、以下のように動作する。

（1）ドレイン電流 I_d

J u s tの場合、n過多の場合及びp過多の場合の全ての場合において、ターンオフ期間が短くなり、どの場合においても似たような波形になるように動作する（図4の各 I_d 参照。）。特に、n過多の場合に、ドレイン電流 I_d の波形に出現するコブ波形が小さくなり、J u s tの場合及びp過多の

場合の波形に近くなるように動作する

(2) ドレイン・ソース間電圧 V_{ds}

J u s t の場合、n 過多の場合及び p 過多の場合の全ての場合において、ターンオフ期間が短くなり ($0.03 \mu s$ ($30 n s$) 程度以下)、どの場合においても似たような波形になるように動作する (図4の各 V_{ds} 参照。)。p 過多の場合にリングングが発生しているが、これはスナバ回路等のリングングを除去する機構を設けることによって小さくすることができる。

(3) ゲート・ソース間電圧 V_{gs}

J u s t の場合、n 過多の場合及び p 過多の場合の全ての場合において、ゲート・ソース間電圧 V_{gs} の波形にほとんど違いがないように動作する (図4の各 V_{gs} 参照。)。なお、実施形態1に係る MOSFET 100 においては、比較例1に係る MOSFET と比較してミラー期間が短くなっている。

[0052] 上記 (1) ~ (3) からわかるように、実施形態1に係る MOSFET 100 においては、ゲート周辺のチャージバランスのバラツキがあった場合 (J u s t が n 過多になったり、p 過多になったりする等) であっても、ターンオフしたときのスイッチング特性のバラツキを従来よりも小さくすることができる。

[0053] 次に、電位の観点から MOSFET をターンオフしたときの MOSFET の動作を説明する。なお、実施例に係る MOSFET 100 A は、ソース電極とコンタクトする部分がソース領域の最下部付近まで掘り込まれている点以外は、実施形態1に係る MOSFET 100 と同様の構成を有する MOSFET であり (図5 (a) 参照。)、比較例2に係る MOSFET 700 は、ソース電極とコンタクトする部分がソース領域の最下部付近まで掘り込まれている点以外は従来の MOSFET 800 と同様の構成を有する MOSFET である (図5 (b) 参照。)。

[0054] 比較例2に係る MOSFET 700 において、MOSFET をターンオフ

したときには、等電位線が、ゲート電極 7 2 6 と n 型コラム領域 7 1 4 との間の絶縁膜にも入り込み、ゲート電極 7 2 6 の近傍まで電位が高い状態となっているため、ゲート電極 7 2 6 の電位が高くなり易い状態になっている（図 6（b）参照。）。従って、ゲート周辺のチャージバランスのバラツキがあったときに、ターンオフしたときのスイッチング特性がバラツキ易くなる。

[0055] これに対して、実施例に係る MOSFET 1 0 0 A においては、キャリア補償電極 1 2 8 と n 型コラム領域 1 1 4 との間の絶縁領域 1 3 0 にも等電位線が入り込んでいるものの、ゲート電極 1 2 6 からは遠く、かつ、絶縁領域 1 3 0 に入り込んでいる等電位線とゲート電極 1 2 6 との間にキャリア補償電極 1 2 8 が位置するため、ゲート電極 1 2 6 の電位が高くなり難い状態になっている（図 6（a）参照。）。従って、ゲート周辺のチャージバランスのバラツキがあったときでも、ターンオフしたときのスイッチング特性がバラツキ難くなる。

[0056] 4. 実施形態 1 に係る MOSFET 1 0 0 及び電力変換回路 1 の効果

実施形態 1 に係る MOSFET 1 0 0 及び電力変換回路 1 によれば、ゲート電極 1 2 6 とトレンチ 1 2 2 の底との間に位置し、ソース電極 1 3 4 と電気的に接続されたキャリア補償電極 1 2 8 と、ゲート電極 1 2 6 とキャリア補償電極 1 2 8 との間に拡がり、さらに、トレンチ 1 2 2 の側壁及び底に沿って拡がって側壁及び底からキャリア補償電極 1 2 8 を離隔させる、トレンチ 1 2 2 内における絶縁領域 1 3 0 とを備えることから、ターンオフしたときに、ドレインからの変位電流がキャリア補償電極 1 2 8 を経由してソース電極 1 3 4 に流れるようになるため、変位電流がゲート電極 1 2 6 に流入し難くなる。このため、ゲート電極 1 2 6 がゲート周辺の n 型コラム領域 1 1 4 の電位変化の影響を受け難くなり、その結果、ゲート周辺のチャージバランスのバラツキがあったとしても、ターンオフしたときのスイッチング特性のバラツキを従来よりも小さくすることができる。

[0057] また、実施形態 1 に係る MOSFET 1 0 0 及び電力変換回路 1 によれば

、上記した構成のキャリア補償電極 128 及び絶縁領域 130 を備えるため、 n 型コラム領域 114（空乏化されていない n 型コラム領域）とゲート電極 126 との間隔が従来の MOSFET 800 より長くなり、従来の MOSFET 800 より帰還容量 C_{rss} が小さくなる。このため、ゲート電極 126 がゲート周辺の n 型コラム領域 114 の電位変化の影響を受け難くなり、その結果、この観点においても、ゲート周辺のチャージバランスのバラツキがあったとしても、ターンオフしたときのスイッチング特性のバラツキを従来よりも小さくすることができる。

[0058] また、実施形態 1 に係る MOSFET 100 によれば、 n 型コラム領域 114 及び p 型コラム領域 116 とでスーパージャンクション構造が構成されている半導体基体 110 を備えるため、従来同様、低オン抵抗、かつ、高耐圧のスイッチング素子となる。

[0059] また、実施形態 1 に係る MOSFET 100 によれば、ゲート電極 126 の最上部から最下部までの厚さを a とし、キャリア補償電極 128 の最上部から最下部までの厚さを b としたときに、 $0.2a \leq b \leq a$ を満たすため、キャリア補償電極 128 を形成するために深いトレンチを形成する必要がなく、電子機器の低コスト化及び小型化の要請を満たす MOSFET となる。

[0060] また、実施形態 1 に係る MOSFET 100 によれば、キャリア補償電極 128 の最上部から最下部までの厚さを b とし、ゲート電極 126 の最下部から低抵抗半導体層 112 の最上部までの深さを c としたときに、 $10b \leq c$ を満たすため、高耐圧の MOSFET となる。このような高耐圧の MOSFET においても、ゲート周辺のチャージバランスのバラツキがあったとしても、ターンオフしたときのスイッチング特性のバラツキを従来よりも小さくすることができる。

[0061] また、実施形態 1 に係る MOSFET 100 によれば、キャリア補償電極 128 の最上部から最下部までの厚さを b とし、ゲート電極 126 の最下部から低抵抗半導体層 112 の最上部までの深さを c としたときに、 $10b \leq c$ を満たすため、ゲート電極 126 がドレイン電極 136 から比較的遠くに

位置することになり、ゲート周辺のn型コラム領域114の電位が上がり難くなる。その結果、ゲート周辺のチャージバランスのバラツキがあったとしても、ターンオフしたときのスイッチング特性のバラツキをより一層小さくすることができる。

[0062] また、実施形態1に係るMOSFET100によれば、トレンチ122と隣接する領域におけるn型コラム領域114の不純物濃度は、n型コラム領域114の最下部におけるn型コラム領域114の不純物濃度と同じ不純物濃度であるため、半導体装置の製造過程で、不純物を導入する際の濃度を変更することなく容易にn型コラム領域114を形成することができる。

[0063] また、実施形態1に係るMOSFET100によれば、キャリア補償電極128とn型コラム領域114との間の絶縁領域130の厚さは、ゲート絶縁膜124の厚さよりも厚いため、ゲート電極126をMOSFETとして機能させることができるとともに、ソース電位であるキャリア補償電極128と、ドレイン電位に近い電位であるn型コラム領域114との間の耐圧を十分に保持することができる。

[0064] また、実施形態1に係る電力変換回路1によれば、整流素子30は、ファスト・リカバリー・ダイオードであるため、ターンオン時において、逆回復電流に起因した損失を小さくすることができる。

[0065] [実施形態2]

実施形態2に係るMOSFET102は、基本的には実施形態1に係るMOSFET100と同様の構成を有するが、トレンチと隣接する領域におけるn型コラム領域の不純物濃度がn型コラム領域の最下部におけるn型コラム領域の不純物濃度よりも低い不純物濃度である点で実施形態1に係るMOSFET100の場合とは異なる。すなわち、実施形態2に係るMOSFET102の半導体基体110において、n型コラム領域114は、トレンチ122と隣接する領域に、図7に示すように、n型コラム領域114の最下部における不純物濃度よりも不純物濃度が低い領域（n⁻型半導体領域138）を有する。

[0066] なお、実施形態2において、 n 型コラム領域114は、トレンチ122と隣接する領域のみに、 n 型コラム領域114の最下部における不純物濃度よりも不純物濃度が低い領域を有することとしてもよいし、トレンチ122と隣接する領域以外の領域にも、 n 型コラム領域114の最下部における不純物濃度よりも不純物濃度が低い領域を有することとしてもよい（例えば、第1主面側（ソース電極134側）に向かうに従って不純物濃度が徐々に低くなるように n 型コラム領域114を構成してもよい。）。

[0067] このように、実施形態2に係るMOSFET102は、トレンチと隣接する領域における n 型コラム領域の不純物濃度が n 型コラム領域の最下部における n 型コラム領域の不純物濃度よりも低い不純物濃度である点で実施形態1に係るMOSFET100の場合とは異なるが、実施形態1に係るMOSFET100の場合と同様に、ゲート電極126とトレンチ122の底との間に位置し、ソース電極134と電氣的に接続されたキャリア補償電極128と、ゲート電極126とキャリア補償電極128との間に拡がり、さらに、トレンチ122の側壁及び底に沿って拡がって側壁及び底からキャリア補償電極128を離隔させる、トレンチ122内における絶縁領域130とを備えることから、ターンオフしたときに、ドレインからの変位電流がキャリア補償電極128を経由してソース電極134に流れるようになるため、変位電流がゲート電極126に流入し難くなる。このため、ゲート電極126がゲート周辺の n 型コラム領域114の電位変化の影響を受け難くなり、その結果、ゲート周辺のチャージバランスのバラツキがあったとしても、ターンオフしたときのスイッチング特性のバラツキを従来よりも小さくすることができる。

[0068] また、実施形態2に係るMOSFET102によれば、トレンチ122と隣接する領域における n 型コラム領域114の不純物濃度が n 型コラム領域114の最下部における n 型コラム領域114の不純物濃度よりも低い不純物濃度であるため、ゲート周辺の n 型コラム領域114がより一層空乏化しやすくなり、 n 型コラム領域114（空乏化されていない n 型コラム領域）

とゲート電極 126 との間隔がより一層長くなりやすく、帰還容量 C_{rss} がより一層小さくなる。このため、ゲート電極 126 がゲート周辺の n 型コラム領域 114 の電位変化の影響をより受け難くなり、その結果、ゲート周辺のチャージバランスのバラツキがあったとしても、ターンオフしたときのスイッチング特性のバラツキをより一層小さくすることができる。

[0069] なお、実施形態 2 に係る MOSFET 102 は、トレンチと隣接する領域における n 型コラム領域の不純物濃度が n 型コラム領域の最下部における n 型コラム領域の不純物濃度よりも低い不純物濃度である点以外の点においては実施形態 1 に係る MOSFET 100 と同様の構成を有するため、実施形態 1 に係る MOSFET 100 が有する効果のうち該当する効果を有する。

[0070] [実施形態 3]

実施形態 3 に係る電力変換回路 2 は、基本的には実施形態 1 に係る電力変換回路 1 と同様の構成を有するが、電力変換回路がフルブリッジ回路である点で実施形態 1 に係る MOSFET 100 の場合とは異なる。すなわち、実施形態 3 に係る電力変換回路 2 は、図 8 に示すように、MOSFET として、4 つの MOSFET 100 (100a ~ 100d) を備え、整流素子として、各 MOSFET の内蔵ダイオードを備える。

[0071] このように、実施形態 3 に係る電力変換回路 2 は、電力変換回路がフルブリッジ回路である点で実施形態 1 に係る電力変換回路 1 の場合とは異なるが、実施形態 1 に係る電力変換回路 1 の場合と同様に、MOSFET 100 (100a ~ 100d) が、ゲート電極 126 とトレンチ 122 の底との間に位置し、ソース電極 134 と電氣的に接続されたキャリア補償電極 128 と、ゲート電極 126 とキャリア補償電極 128 との間に拡がり、さらに、トレンチ 122 の側壁及び底に沿って拡がって側壁及び底からキャリア補償電極 128 を離隔させる、トレンチ 122 内における絶縁領域 130 とを備えることから、ターンオフしたときに、ドレインからの変位電流がキャリア補償電極 128 を経由してソース電極 134 に流れるようになるため、変位電流がゲート電極 126 に流入し難くなる。このため、ゲート電極 126 がゲ

ート周辺のn型コラム領域114の電位変化の影響を受け難くなり、その結果、ゲート周辺のチャージバランスのバラツキがあったとしても、ターンオフしたときのスイッチング特性のバラツキを従来よりも小さくすることができる。

[0072] また、実施形態3に係る電力変換回路2によれば、整流素子が、MOSFETの内蔵ダイオードであるため、別途整流素子を準備する必要がない。

[0073] また、実施形態3に係る電力変換回路2によれば、ゲート電極126とトレンチ122の底との間に位置するキャリア補償電極128と、ゲート電極126とキャリア補償電極128との間に拡がり、さらに、トレンチ122の側壁及び底に沿って拡がって側壁及び底からキャリア補償電極128を隔離させる、トレンチ122内における絶縁領域130とを備えるため、MOSFETをターンオフしたときに、(1)ドレインからの変位電流がキャリア補償電極128を経由してソース電極134に流れるようになるため、変位電流がゲート電極126に流入し難くなる。また、(2)n型コラム領域114における空乏化されていない領域とゲート電極126との間隔が長くなることから、帰還容量 C_{rss} が小さくなる。従って、MOSFETをターンオフしたときにドレイン電圧が上昇するのに伴ってn型コラム領域114(n型コラム領域114のうちの空乏化されていない領域)の電位が上昇しても、ゲート電極126がn型コラム領域114の電位変化の影響を受け難くなる。このため、フォールス・ターンオン(誤オン)と呼ばれる現象が発生し難くなる。

[0074] なお、フォールス・ターンオン(誤オン)と呼ばれる現象は、2個以上のMOSFETが接続されている回路において、どちらか一方のMOSFETがターンオンするとき、電位変化によって、もう一方のMOSFETも誤ってターンオンする現象である。

[0075] 以上、本発明を上記の実施形態に基づいて説明したが、本発明は上記の実施形態に限定されるものではない。その趣旨を逸脱しない範囲において種々の態様において実施することが可能であり、例えば、次のような変形も可能

である。

[0076] (1) 上記各実施形態において記載した構成要素の数、材質、形状、位置、大きさ等は例示であり、本発明の効果を損なわない範囲において変更することが可能である。

[0077] (2) 上記各実施形態においては、トレンチ内にキャリア補償電極を備えることとしたが、本発明はこれに限定されるものではない。トレンチ内にキャリア補償電極を備える代わりに、トレンチの最下部周辺にp型半導体領域を形成することとしてもよい（図9の符号140参照。）。このような構成とすることにより、n型コラム領域内において電位が高い領域をゲート電極126から遠い位置にすることができるため（言い換えると、図6(a)と似た等電位線分布にすることができたため）、n型コラム領域（空乏化されていないn型コラム領域）とゲート電極との間隔が従来のMOSFET800より長くなり、従来のMOSFET800より帰還容量 C_{rss} が小さくなる。その結果、この観点においても、ゲート周辺のチャージバランスのバラツキがあったとしても、ターンオフしたときのスイッチング特性のバラツキを従来よりも小さくすることができる。

[0078] なお、トレンチの最下部周辺にp型半導体領域140を形成することとした場合、活性領域の周辺の領域におけるトレンチ122の終端部（ストライプの終端部）付近において、p型半導体領域140がベース領域118に電氣的に接続されている（例えば、トレンチ122の終端部側壁に沿って形成されたp型の半導体領域を介してp型半導体領域140がベース領域118に電氣的に接続されている）必要がある。これは以下の理由による。すなわち、

仮に活性領域の周辺の領域におけるトレンチ122の終端部付近において、p型半導体領域140がベース領域118に電氣的に接続されていない場合（p型半導体領域140がフローティングな拡散層の場合）には、1回ターンオフしたとき、p型半導体領域140内部及び当該p型半導体領域140の周辺のn型コラム領域114に空乏層が広がり、広がった状態で維持され

る。この空乏層は、ライフタイムより十分長い時間放置すると、空乏層内部で熱励起されて発生する電子正孔対によって、少しずつ縮小する。しかし、通常、MOSFETがドライブされる周波数では、1回目のターンオフから、次のターンオンまでの時間は、上記の空乏層が縮小する時間よりも短いため、上記空乏層が、n型コラム領域114を狭窄することになり、n型コラム領域114内の電子電流の導通経路が細くなり、オン抵抗が上がる現象が発生する。

これに対して、活性領域の周辺の領域におけるトレンチ122の終端部付近において、p型半導体領域140がベース領域118に電氣的に接続されている場合には、MOSFETをターンオンしたときに、ソース電極134とベース領域118とのオーミック接触の界面で生成された正孔が、ベース領域118及びトレンチ122の終端部付近を経由してp型半導体領域140に流入し、瞬時に空乏層を縮小させる。これにより、上記空乏層が、n型コラム領域114を狭窄することがなくなるため、n型コラム領域114内の電子電流の導通経路が細くならず済み、その結果、オン抵抗が上がる現象の発生を防ぐことができるからである。

[0079] (3) 上記各実施形態においては、第2主面側から第1主面に向かうにつれてp型コラム領域116の幅を広くし、第2主面側から第1主面に向かうにつれてn型コラム領域114の幅を狭くしたが、本発明はこれに限定されるものではない。n型コラム領域114の幅及びp型コラム領域116の幅を深さによらず一定にしてもよい。

[0080] (4) 上記各実施形態においては、p型コラム領域116の不純物濃度を深さによらず一定としたが、本発明はこれに限定されるものではない。p型コラム領域116の不純物濃度を第2主面側から第1主面に向かうにつれて高くしてもよい。このような構成とすることにより、L負荷アバランシェ破壊耐量を大きくすることができる、という効果を得ることができる。

[0081] (5) 上記各実施形態においては、n型コラム領域114、p型コラム領域116、トレンチ122及びゲート電極126を平面的に見てストライプ状

に形成したが、本発明はこれに限定されるものではない。n型コラム領域114、p型コラム領域116、トレンチ122及びゲート電極126を平面的に見て、円状（立体的に見て柱状）、四角形の枠状、円形の枠状又は格子状等に形成してもよい。

[0082] (6) 上記各実施形態においては、電源として、直流電源を用いたが、本発明はこれに限定されるものではない。電源として、交流電源を用いてもよい。

[0083] (7) 上記実施形態1及び2においては、電力変換回路として、チョッパ回路を用い、上記実施形態3においては、電力変換回路としてフルブリッジ回路を用いたが、本発明はこれに限定されるものではない。電力変換回路として、ハーフブリッジ回路、三相交流コンバータ、非絶縁型フルブリッジ回路、非絶縁型ハーフブリッジ回路、プッシュプル回路、RCC回路、フォワードコンバータ、フライバックコンバータその他の回路を用いてもよい。

[0084] (8) 上記実施形態1及び2においては、整流素子として、pinダイオードを用い、実施形態3においては、MOSFETの内蔵ダイオードを用いたが、本発明はこれに限定されるものではない。整流素子として、JBS、MPSその他のファスト・リカバリー・ダイオード、シリコンカーバイド・ショットキーバリアダイオードその他のダイオードを用いてもよい。

[0085] (9) 上記実施形態3においては、整流素子として、MOSFETの内蔵ダイオードのみを用いたが、本発明はこれに限定されるものではない。内蔵ダイオードのリカバリ損失が大きすぎる場合は、MOSFETと並列に別途整流素子を接続してもよい。

符号の説明

[0086] 1, 2…電力変換回路、10…リアクトル、12…第1端子、14…第2端子、20…電源、30, 30a, 30b, 30c, 30d…整流素子、100, 100A, 100a, 100b, 100c, 100d, 102, 104, 700, 800, 900…MOSFET、110, 710, 810, 910…半導体基体、112, 712, 812, 912…低抵抗半導体層、1

1 3, 7 1 3, 8 1 3, 9 1 3…バッファ層、1 1 4, 7 1 4, 8 1 4, 9 1 4…n型コラム領域、1 1 5, 7 1 5…n型半導体層、1 1 6, 7 1 6, 8 1 6, 9 1 6…p型コラム領域、1 1 8, 7 1 8, 8 1 8, 9 1 8…ベース領域、1 2 0, 7 2 0, 8 2 0, 9 2 0…ソース領域、1 2 2, 7 2 2, 8 2 2, 9 2 2…トレンチ、1 2 4, 7 2 4, 8 2 4, 9 2 4…ゲート絶縁膜、1 2 6, 7 2 6, 8 2 6, 9 2 6…ゲート電極、1 2 8…キャリア補償電極、1 3 0, 9 3 0…絶縁領域、1 3 2, 7 3 2, 9 3 2…層間絶縁膜、1 3 4, 7 3 4, 9 3 4…ソース電極、1 3 6, 7 3 6, 9 3 6…ドレイン電極、1 3 8…n⁻型半導体層、1 4 0…p型半導体層、9 4 2…フィールドプレート電極、9 4 4…n型半導体領域、8 4 6, 9 4 6…p⁺型半導体層

請求の範囲

[請求項1] 交互に配列された状態で形成された n 型コラム領域及び p 型コラム領域と、前記 n 型コラム領域及び前記 p 型コラム領域の表面に位置する p 型のベース領域と、前記ベース領域の表面に位置する n 型のソース領域とを有し、前記 n 型コラム領域及び前記 p 型コラム領域とでスーパージャンクション構造が構成されている半導体基体と、

平面的に見て前記 n 型コラム領域が位置する領域内に形成され、前記 n 型コラム領域、前記ベース領域及び前記ソース領域に隣接した側壁、並びに、前記 n 型コラム領域に隣接した底を有するトレンチと、

前記トレンチ内にゲート絶縁膜を介して形成されたゲート電極と、
前記ゲート電極と前記トレンチの前記底との間に位置するキャリア補償電極と、

前記ゲート電極と前記キャリア補償電極との間に拡がり、さらに、前記トレンチの前記側壁及び前記底に沿って拡がって前記側壁及び前記底から前記キャリア補償電極を離隔させる、前記トレンチ内における絶縁領域と、

前記半導体基体の第 1 主面側の表面上に位置し、前記ソース領域と電氣的に接続されるとともに前記キャリア補償電極とも電氣的に接続されたソース電極とを備えることを特徴とする MOSFET。

[請求項2] 前記ゲート電極の最上部から最下部までの厚さを a とし、前記キャリア補償電極の最上部から最下部までの厚さを b としたときに、 $0.2a \leq b \leq a$ を満たすことを特徴とする請求項 1 に記載の MOSFET。

[請求項3] 前記半導体基体は、前記第 1 主面とは反対側の第 2 主面側の表面に形成された低抵抗半導体層をさらに有し、

前記キャリア補償電極の最上部から最下部までの厚さを b とし、前記ゲート電極の最下部から前記低抵抗半導体層の最上部までの深さを c としたときに、 $10b \leq c$ を満たすことを特徴とする請求項 1 又は

2 に記載の MOSFET。

[請求項4] 前記トレンチと隣接する領域における前記 n 型コラム領域の不純物濃度は、前記 n 型コラム領域の最下部における前記 n 型コラム領域の不純物濃度と同じ不純物濃度であることを特徴とする請求項 1 ～ 3 のいずれかに記載の MOSFET。

[請求項5] 前記トレンチと隣接する領域における前記 n 型コラム領域の不純物濃度は、前記 n 型コラム領域の最下部における前記 n 型コラム領域の不純物濃度よりも低い不純物濃度であることを特徴とする請求項 1 ～ 3 のいずれかに記載の MOSFET。

[請求項6] 前記キャリア補償電極と前記 n 型コラム領域との間の前記絶縁領域の厚さは、前記ゲート絶縁膜の厚さよりも厚いことを特徴とする請求項 1 ～ 5 のいずれかに記載の MOSFET。

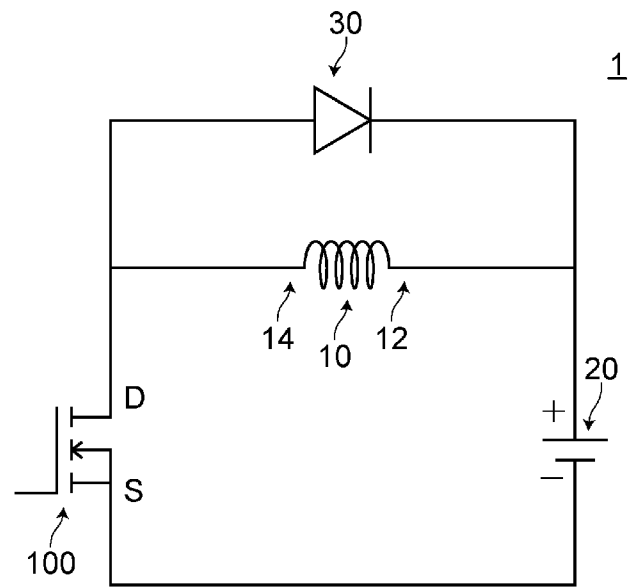
[請求項7] リアクトルと、
前記リアクトルに電流を供給する電源と、
前記電源から前記リアクトルに供給する電流を制御する請求項 1 ～ 6 のいずれかに記載の MOSFET と、
前記電源から前記リアクトルに供給する電流又は前記リアクトルからの電流の整流動作を行う整流素子とを少なくとも備えることを特徴とする電力変換回路。

[請求項8] 前記整流素子は、ファスト・リカバリー・ダイオードであることを特徴とする請求項 7 に記載の電力変換回路。

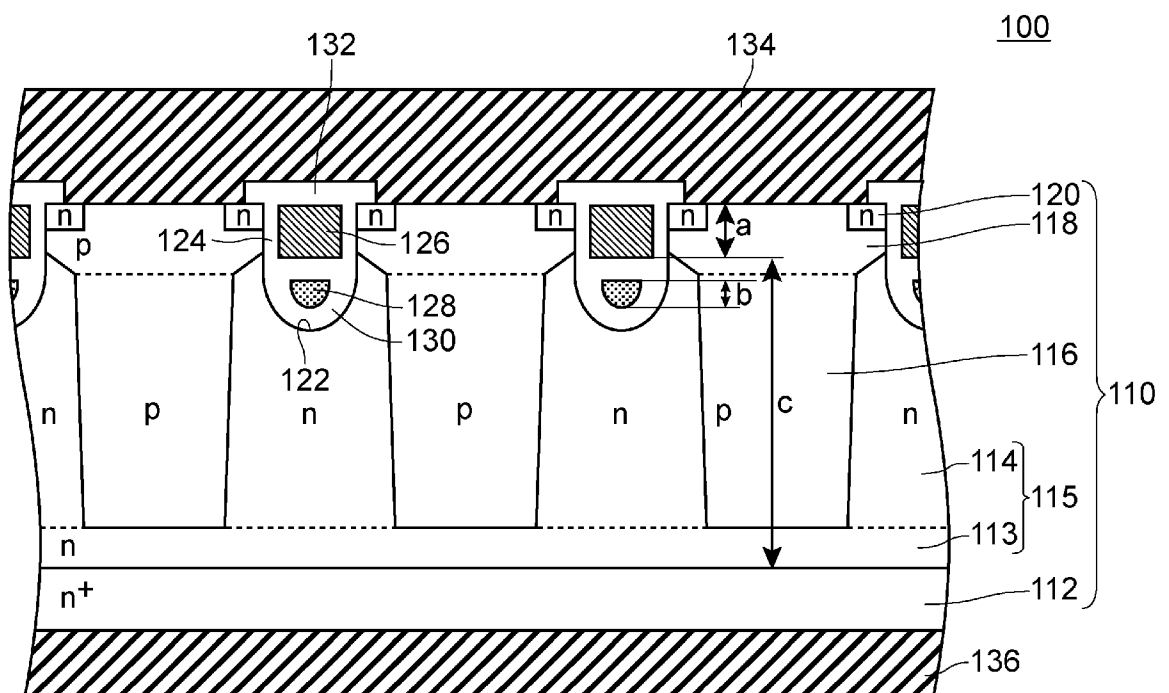
[請求項9] 前記整流素子は、前記 MOSFET の内蔵ダイオードであることを特徴とする請求項 7 に記載の電力変換回路。

[請求項10] 前記整流素子は、シリコンカーバイド・ショットキーバリアダイオードであることを特徴とする請求項 7 に記載の電力変換回路。

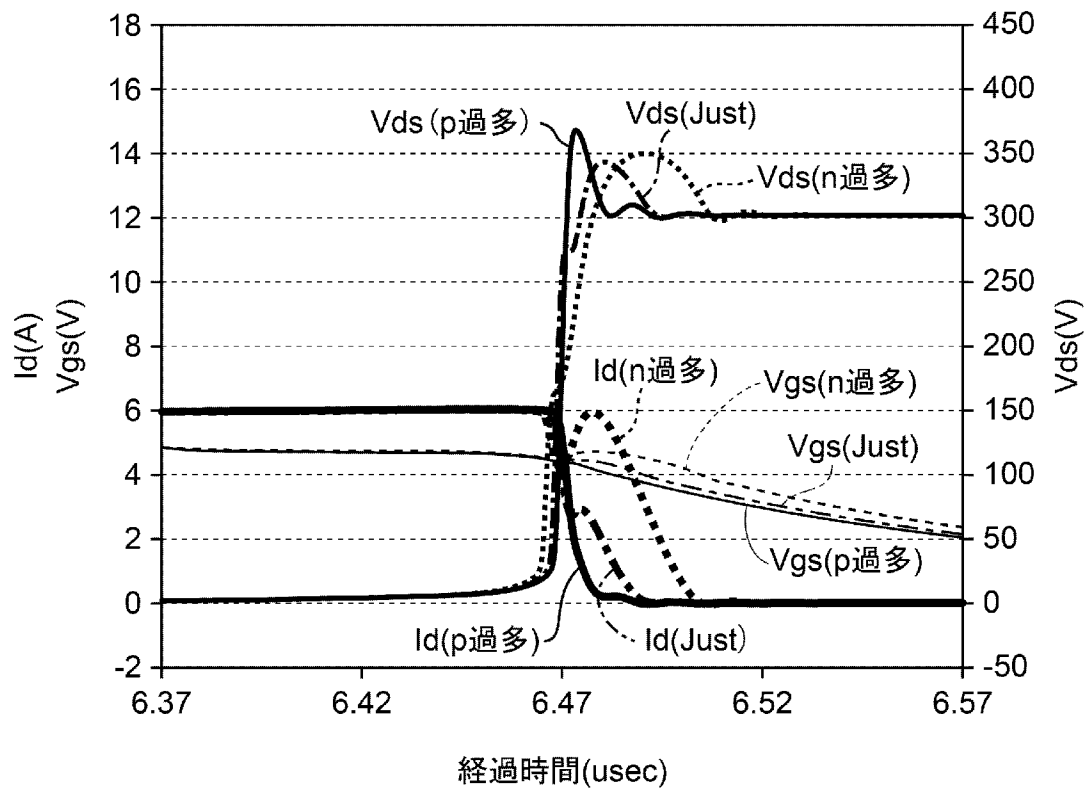
[図1]



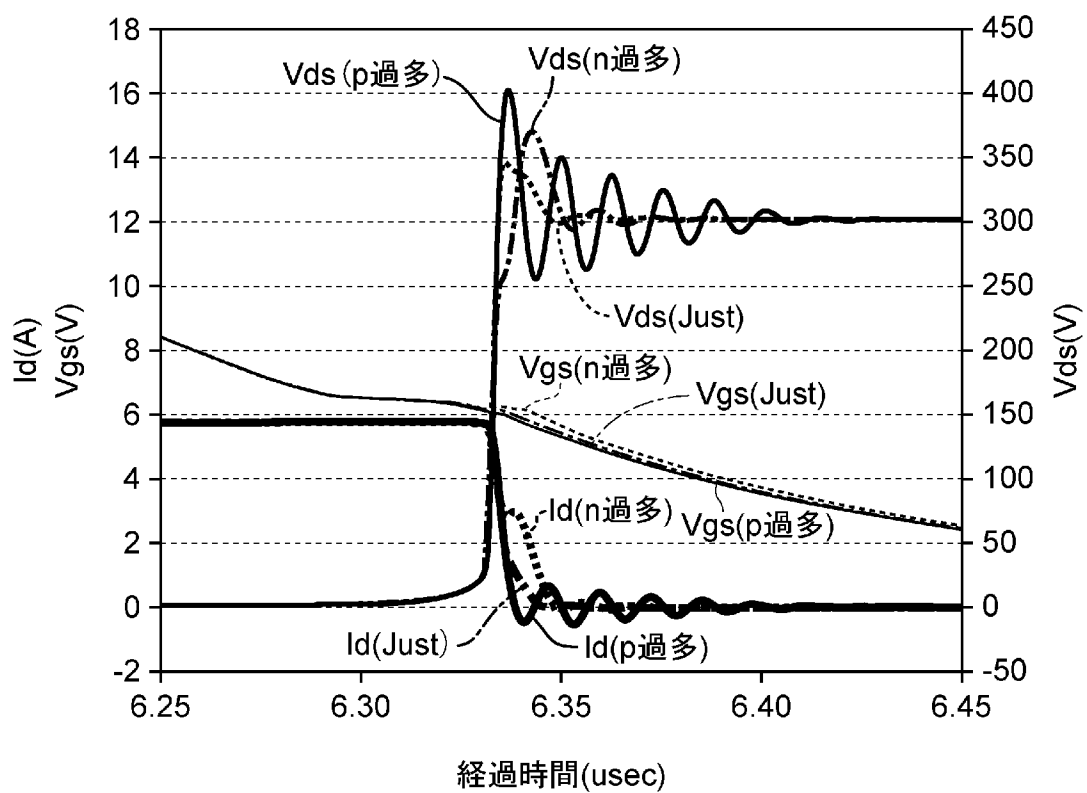
[図2]



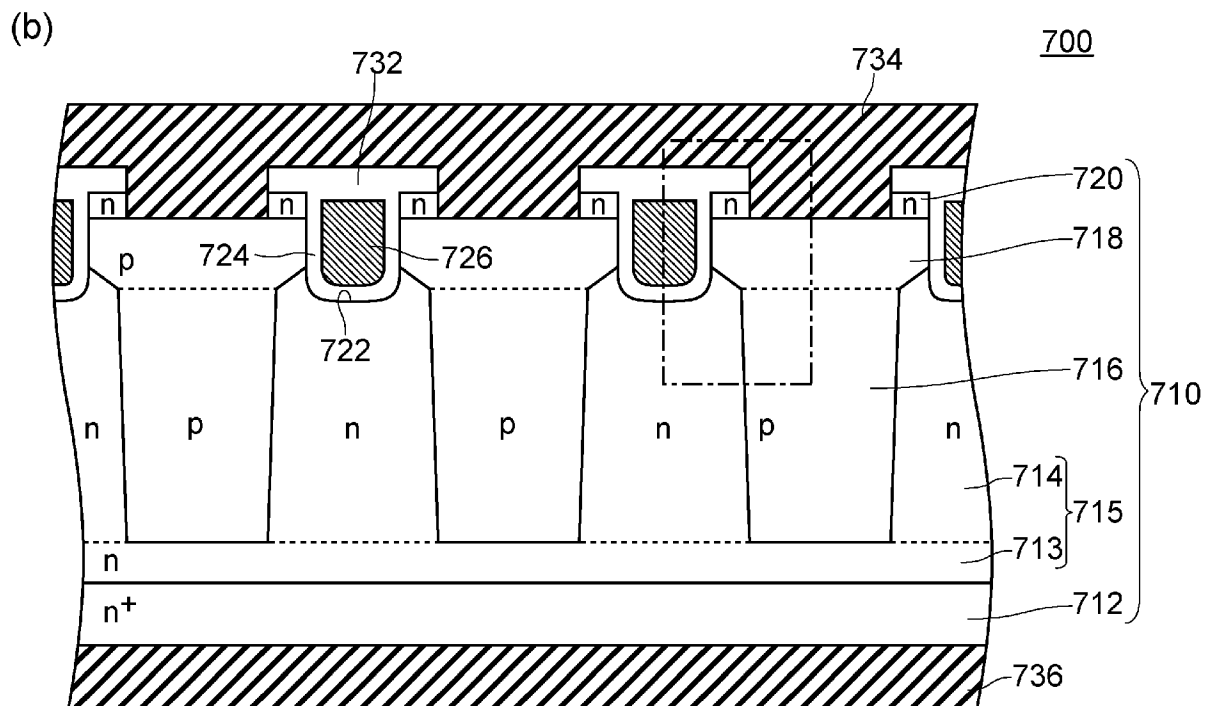
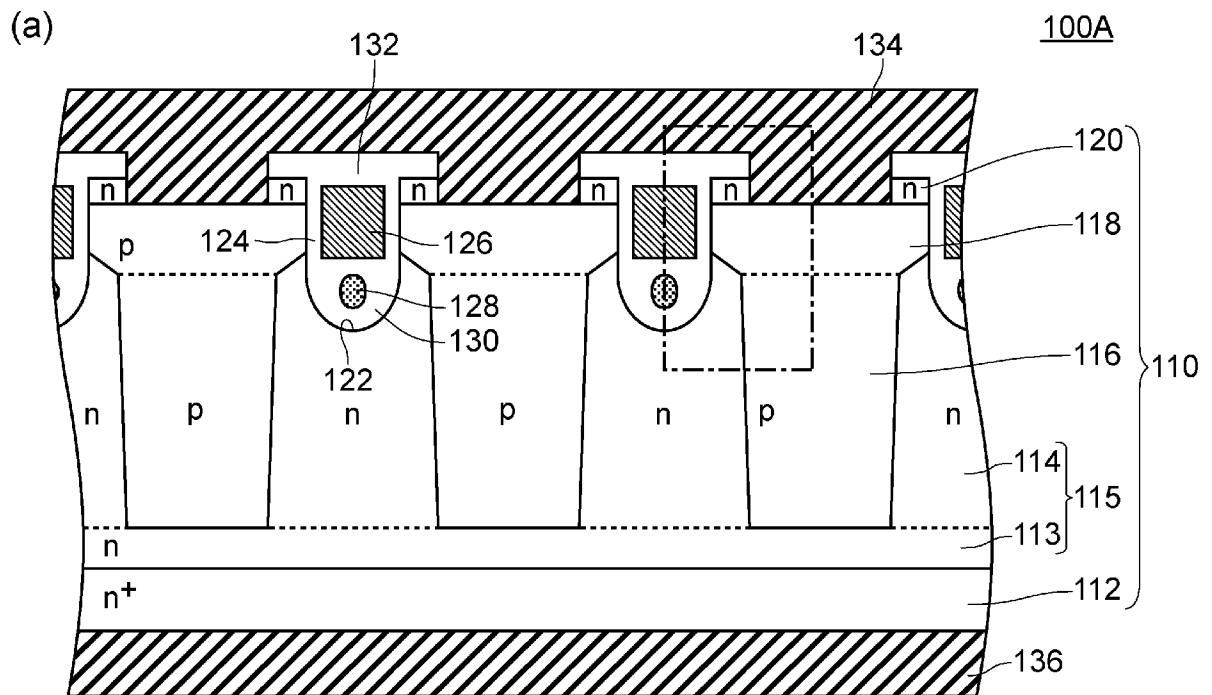
[図3]



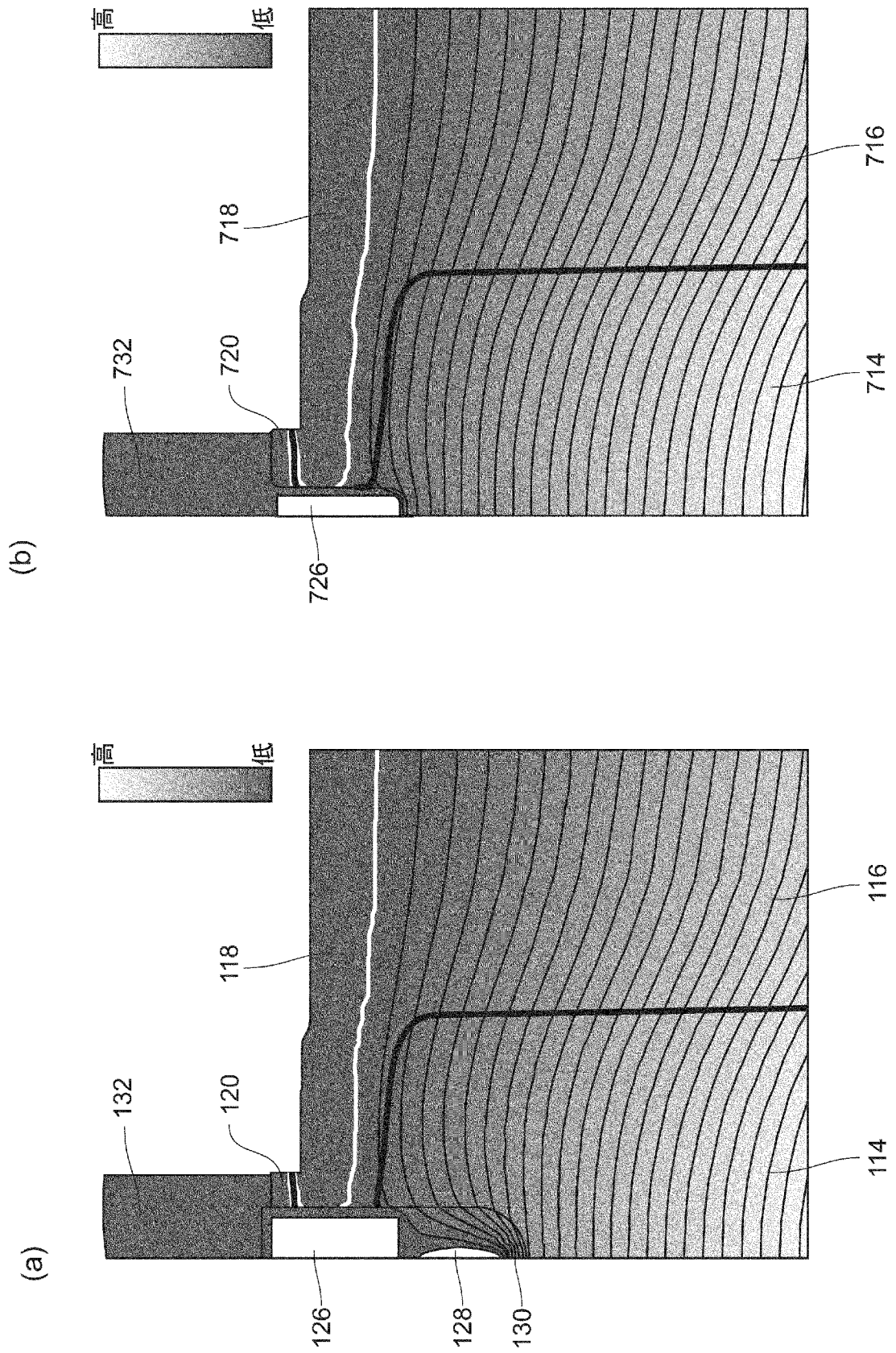
[図4]



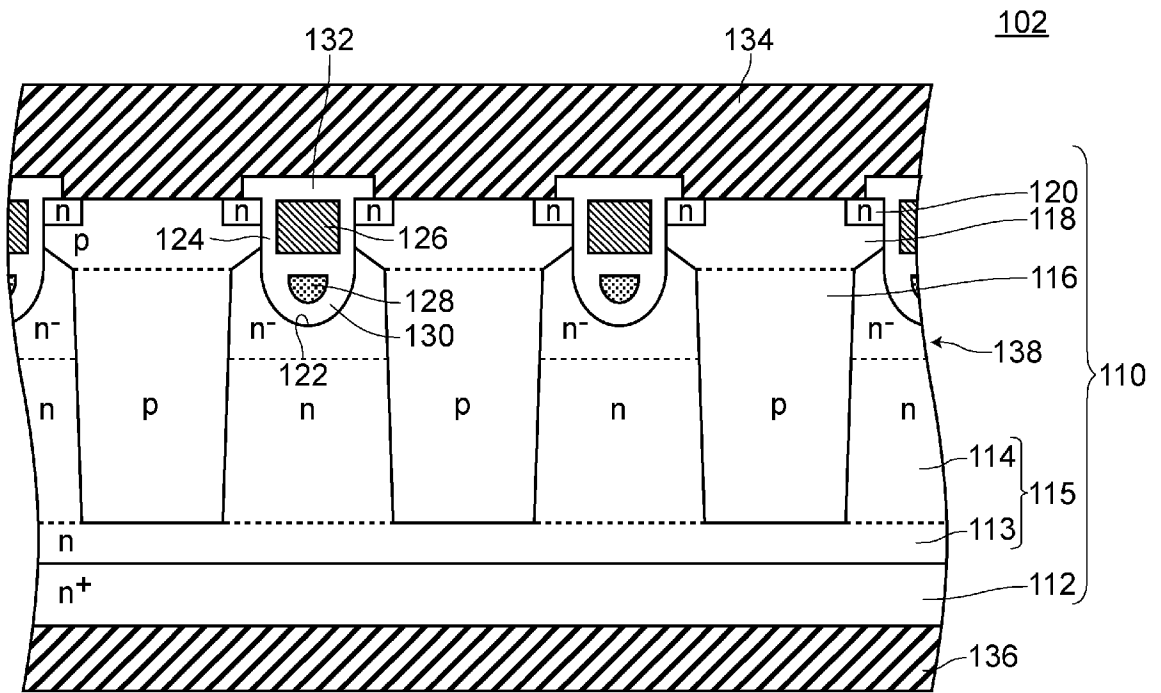
[図5]



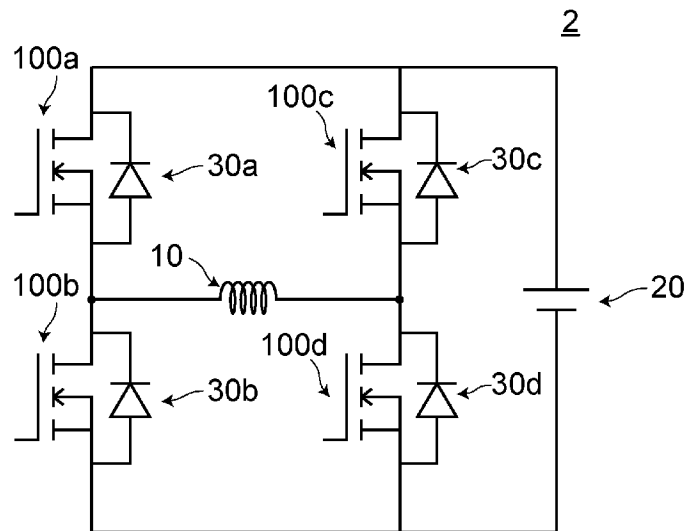
[図6]



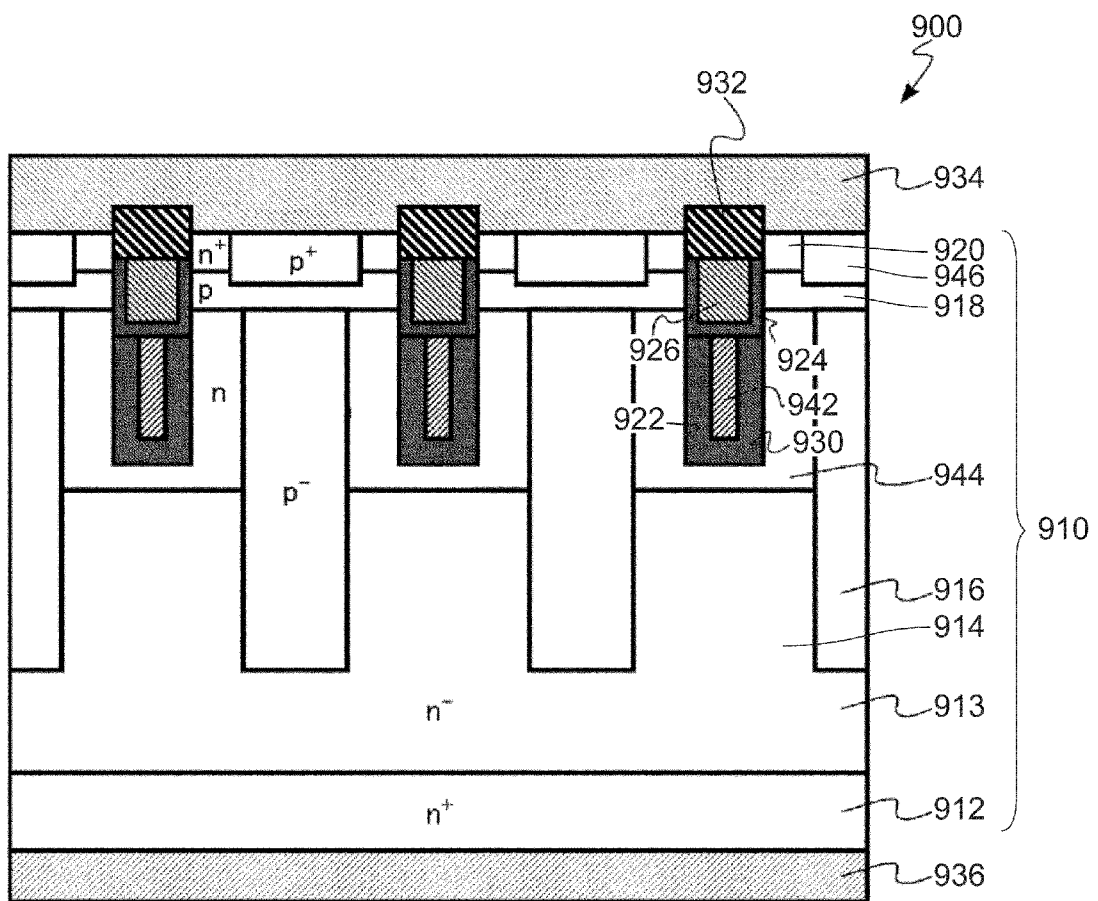
[図7]



[図8]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/083610

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i, H01L27/04(2006.01)i, H01L29/12(2006.01)i, H02M1/00(2007.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L27/04, H01L29/12, H02M1/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2013-258327 A (Toshiba Corp.), 26 December 2013 (26.12.2013), paragraphs [0023], [0024], [0038] to [0039], [0063] to [0077]; fig. 2, 9 & US 2013/0334598 A1 paragraphs [0039], [0040], [0055] to [0059], [0093] to [0113]; fig. 2, 9 & CN 103489913 A	1, 4, 6 7-10 2-3, 5
Y	JP 2012-234848 A (Sanken Electric Co., Ltd.), 29 November 2012 (29.11.2012), paragraph [0034]; fig. 6 (Family: none)	7-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 January 2017 (11.01.17)

Date of mailing of the international search report
24 January 2017 (24.01.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/083610

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-120362 A (Sanken Electric Co., Ltd.), 21 June 2012 (21.06.2012), paragraphs [0022] to [0050]; fig. 1 to 4 & US 2012/0139512 A1 paragraphs [0038] to [0067]; fig. 9 to 12	7-10
Y	JP 2015-080321 A (Mitsubishi Electric Corp.), 23 April 2015 (23.04.2015), paragraphs [0012], [0027]; fig. 1 (Family: none)	7-10

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L29/78(2006.01)i, H01L27/04(2006.01)i, H01L29/12(2006.01)i, H02M1/00(2007.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L29/78, H01L27/04, H01L29/12, H02M1/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2013-258327 A（株式会社東芝）2013.12.26, 段落 0023, 0024, 0038-0039, 0063-0077, 図 2, 9 & US 2013/0334598 A1, 段落 0039, 0040, 0055-0059, 0093-0113, 図 2, 9 & CN 103489913 A	1, 4, 6 7-10 2-3, 5
Y	JP 2012-234848 A（サンケン電気株式会社）2012.11.29, 段落 0034, 図 6（ファミリーなし）	7-10

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

11.01.2017

国際調査報告の発送日

24.01.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

綿引 隆

5 F

2934

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2012-120362 A (サンケン電気株式会社) 2012. 06. 21, 段落 0022-0050, 図 1-4 & US 2012/0139512 A1, 段落 0038-0067, 図 9-12	7-10
Y	JP 2015-080321 A (三菱電機株式会社) 2015. 04. 23, 段落 0012, 0027, 図 1 (ファミリーなし)	7-10