

A1

**DEMANDE
DE BREVET D'INVENTION**

(21)

N° 81 13840

(54) **Système de traitement de signaux distribué.**

(51) Classification internationale (Int. Cl. 9). G 06 F 15/16.

(22) Date de dépôt..... 15 juillet 1981.

(33) (32) (31) Priorité revendiquée : *EUA, 11 juillet 1980, n° 168.899.*

(41) Date de la mise à la disposition du
public de la demande..... B.O.P.I. — « Listes » n° 2 du 15-1-1982.

(71) Déposant : Société dite : RAYTHEON COMPANY, résidant aux EUA.

(72) Invention de : George Allen Works.

(73) Titulaire : *Idem* (71)

(74) Mandataire : Cabinet Lavoix,
2, place d'Estienne-d'Orves, 75441 Paris Cedex 09.

La présente invention concerne un dispositif de traitement distribué de signaux, tolérant les dérangements, auto-réparables et à reconfiguration possible, comprenant des éléments redondants constitués par des processeurs de signaux, des mémoires de masse et des moniteurs d'entrée-sortie interconnectés par des lignes d'omnibus redondantes, formant un ensemble de haute fiabilité.

Des processeurs de signaux à haut rendement sont nécessaires dans de nombreuses applications modernes, comme des systèmes de détection, de communication et de commande. Ces processeurs de signaux sont souvent réalisés sous forme de combinaisons en parallèles ou distribuées de plusieurs éléments de traitement de signaux qui sont identiques ou d'un petit nombre de types afin de réduire leurs prix de conception, de fabrication et d'entretien. Des réalisations en parallèles ou distribuées sont également préférées dans des applications pour lesquelles la capacité totale de traitement nécessaire n'est pas connue avec précision au moment de la conception, ou lorsqu'il y a lieu de penser qu'elle va changer pendant l'utilisation future de l'équipement sous forme de modifications ou de changements d'application. Dans ces applications, des traitements de signaux peuvent être ajoutés ou supprimés selon les besoins pour adapter la capacité disponible de traitement de signaux aux conditions d'utilisation.

Des tentatives ont déjà été faites pour réaliser des systèmes de haute fiabilité, auto-réparables, en mettant en oeuvre une substitution automatique d'éléments de seconds, mais les circuits de commutation imbriqués ou les circuits de commande de reconfiguration qui sont nécessaires pour effectuer la substitution des éléments de secours, en plus des circuits de contrôle compliqués, constituent généralement une autre source de dérangements ponctuels, allant ainsi à l'encontre du but recherché de tolérances aux dérangements. L'utilisation des circuits de commutation et de contrôle séparés des éléments actifs

de l'ensemble imposent généralement une reconfiguration étendue des circuits si des éléments sont ultérieurement ajoutés ou supprimés, allant ainsi à l'encontre de l'intention de devenir un ensemble souple, grâce au parallélisme.

5 D'autres tentatives pour obtenir une haute fiabilité ont mis en oeuvre une redondance modulaire triple ou plus que triple, dans laquelle chaque élément est répété trois fois ou davantage et une interrogation est effectuée
10 parmi les éléments. Le choix majoritaire parmi les éléments est considéré comme la sortie correcte. Ces solutions conduisent à des ensembles exempts de dérangements, dans lesquels une faute d'un élément n'a aucun impacte sur le fonctionnement de l'ensemble, et elles peuvent être
15 préférées dans des applications qui imposent qu'aucune erreur ne soit commise pendant une période relativement courte. Cependant, la fiabilité de ces systèmes diminue sur de longues périodes, car la probabilité de dérangements multiples d'éléments devient significative. Ces solutions sont particulièrement désavantageuses dans les
20 applications qui n'imposent une auto-réparation plutôt qu'un fonctionnement exempt de fautes, en raison du grand nombre des composants supplémentaires qui sont nécessaires. Ces composants supplémentaires augmentent le prix initial de l'ensemble et le prix de son entretien, l'augmentation des dimensions, du poids et de la licence nécessaire pour ces composants supplémentaires est particulièrement gênant dans les applications aéronautiques et spatiales des systèmes tolérant les dérangements.

30 L'invention concerne donc un dispositif de traitement de signaux distribués (DSPS) tolérant les dérangements, auto-réparables et pouvant être reconfigurés. Ce dispositif est constitué par plusieurs éléments comprenant un processeur de signaux (SP), une mémoire de masse (MM),
35 et un moniteur d'entrée-sortie (niveau C). Ces éléments sont interconnectés par au moins une ligne omnibus formant l'ensemble, et ils sont commandés par un système d'exploitation distribué (DOS) tolérant les dérangements.

L'invention permet de réaliser un dispositif distribué de traitement de signaux tolérant les dérangements, nouveaux et améliorés, grâce à la substitution automatique de sous-ensembles de réserve sans qu'il soit nécessaire
5 d'utiliser des éléments de commutation spéciaux qui constitueraient en eux-mêmes une source de dérangements ponctuels dans l'ensemble. En outre, un procédé distribué d'arbitrage de lignes d'omnibus est prévu dans chaque
10 élément, éliminant la nécessité d'un arbitre central de lignes omnibus. Ce procédé d'arbitrage de lignes d'omnibus est basé sur le décodage d'un composite de codes d'arbitrage d'éléments produits par chaque élément.

Le dispositif de traitement de signaux qui sera décrit utilise une organisation distribuée, dans laquelle
15 de nombreux sous-ensembles identiques et interconnectés se partagent les tâches d'ensemble de traitement. Cette solution permet que le processeur de signaux soit suffisamment général pour répondre à de nombreuses applications en modifiant le nombre des sous-ensembles. Dans la
20 plupart des applications au traitement des signaux de radar, la nature des tâches à remplir impose l'interconnexion de plus d'un ensemble distribué de traitement de signaux. L'invention se rapporte également à l'interconnexion d'ensembles multiples pour former un réseau de
25 traitement de signaux distribués.

L'invention concerne également un procédé destiné à obtenir une tolérance aux dérangements par une simple reconfiguration des éléments. Les dérangements sont
30 détectés par une combinaison de circuits de détection de fautes et par le logiciel du système d'exploitation distribué (DOS). Les circuits de détection de fautes comprennent des circuits de contrôle de parité et des temporisateurs de contrôle de séquences prévus dans tous les circuits d'interface de lignes omnibus. Le processeur de
35 signaux dispose de circuits de contrôle de codes d'opération invalides ou privilégiés ainsi que des circuits de contrôle pour des adresses de mémoire hors-numérotation,

ainsi que d'un jeu étendu de sous-programmes de diagnostics, micro-programmés. La mémoire de masse, qui peut être réalisée selon la technologie des mémoires à accès direct MOS comporte trois bits de réserve dans chaque mot de mémoire pour permettre une reconfiguration interne de mémoires à la détection d'un bit défaillant. Le logiciel du système d'exploitation distribué peut effectuer une interrogation d'état des sous-ensembles et une rotation des éléments de réserve. Lorsqu'un élément défectueux est couvert, le système d'exploitation reconfigure l'ensemble, éliminant l'élément défectueux du service et affectant les tâches à un élément de réserve.

A chaque élément d'un ensemble est affecté une adresse sur la base de sa position physique dans les circuits, mais après une procédure d'initialisation à la mise sous tension, le système d'exploitation DOS peut changer l'adresse de cet élément en lui affectant une "adresse virtuelle". Cette caractéristique du dispositif de traitement distribué des signaux constitue un moyen de reconfiguration.

Le système d'exploitation distribué permet de commander, de gérer et de reconfigurer les différents éléments. Il comporte un segment de niveau local, DOS 0 permettant d'assurer la gestion des processeurs individuels de signaux et le contrôle des fautes, et un segment au niveau du système, DOS, 1, pour assurer la gestion des tâches d'ensemble, le contrôle des fautes et la reconfiguration. Le segment de niveau local, DOS 0, comporte des mémoires permanentes (ROM) qui sont distribuées de façon redondante dans chaque processeur de signaux. Le segment de niveau de système DOS 1 est le programme exécutif résidant dans la mémoire à accès direct d'un ou plusieurs processeurs de signaux, après une séquence d'initialisation à la mise sous tension.

Des instructions spéciales d'exploitation sont exécutées dans l'unité de commande de l'élément de processeur de signaux. Ces instructions d'exploitation constituent le moyen de communication entre un programme

d'application et le segment de niveau local, DOS-0, du système d'exploitation distribuée, pour effectuer des opérations de traitement de signaux, comme la multiplication de deux matrices complexes, dans le but d'une détection
5 de cibles ou d'une correction d'une distribution de parasites, ainsi que pour la gestion de ressources privilégiées du processeur de signaux. La vitesse et l'efficacité de ces instructions de traitement de signaux sont assurées grâce à l'exécution de multiplications et d'additions dans
10 un cycle d'horloge de l'unité arithmétique de l'élément de processeur de signaux.

L'invention concerne également un procédé de détermination de celui des processeurs de signaux d'un ensemble qui assure l'exécution et qui contient donc le segment de
15 niveau du système DOS-1 quand l'alimentation est appliquée initialement. Chaque processeur de signaux effectue des programmes d'auto-contrôle pour vérifier qu'il n'existe aucune faute. Quand ces programmes d'auto-contrôle ont été exécutés avec succès, un message "disponibilité et de-
20 mande d'exécution" est émis par le processeur de signaux vers une mémoire de masse, à une adresse particulière. Mais si deux ou plusieurs processeurs de signaux tentent d'utiliser simultanément la ligne omnibus pour émettre ce message, un procédé d'arbitrage de lignes omnibus est ap-
25 pliqué. Le processeur de signaux dont l'adresse a la plus haute priorité bénéficie de l'arbitrage et utilise la ligne omnibus en premier. Le premier processeur de signaux qui sollicite l'exécution dans la mémoire de masse particulière adressée, provoque le changement d'adresses
30 de cette mémoire de masse, de sorte que les autres processeurs de signaux émettent un message vers une adresse qui n'existe plus. Les autres processeurs de signaux entrent alors dans un état d'inactivité jusqu'à ce qu'ils soient affectés à l'exécution d'une tâche par le programme d'exé-
35 cution du segment de niveau de système DOS-1.

L'invention concerne donc un dispositif de traitement de signaux distribué, tolérant les dérangements,

auto-réparables sur la base de nouvelles combinaisons d'éléments de réserve, de lignes omnibus redondantes, d'adresses virtuelles d'éléments, d'un système d'exploitation distribué, d'un appareil d'arbitrage distribué
5 des lignes omnibus et d'une configuration de réseau à systèmes multiples.

D'autres avantages et caractéristiques de l'invention apparaîtront au cours de la description qui va suivre.

10 Aux dessins annexés, donnés uniquement à titre d'exemples nullement limitatifs :

La Figure 1 est un diagramme fonctionnel d'un dispositif selon l'invention de traitement distribué de signaux,

15 la Figure 2 est un diagramme fonctionnel selon l'invention illustrant un réseau de systèmes distribués de traitement de signaux, identifiant la position du programme d'exécution, DOS-1 et de l'exécution alternée ADOS-1 dans ce réseau,

20 la Figure 3 est un schéma fonctionnel d'un élément de traitement de signaux d'un dispositif de traitement distribué de signaux,

la Figure 4 est un schéma fonctionnel d'un élément de mémoire de masse d'un dispositif de traitement
25 distribué de signaux,

la Figure 5 est un schéma fonctionnel d'un élément de moniteur d'entrée-sortie d'un dispositif de segmentation distribué de signaux,

30 la Figure 6 est un schéma simplifié d'un appareil l'arbitrage distribué de lignes omnibus faisant partie de chaque élément d'un dispositif de traitement distribué de signaux et

la Figure 7 est un schéma fonctionnel d'un autre mode de réalisation d'un appareil d'arbitrage distribué de lignes omnibus incorporé dans chaque élément
35 d'un dispositif de traitement distribué de signaux.

La Figure 1 est donc un schéma simplifié d'un

dispositif de traitement distribué de signaux (DSPS). Ce dispositif comporte des éléments identiques, comprenant des moniteurs d'entrée-sortie (IOC) 10, des processeurs de signaux (SP) 12 et des mémoires de masse (MM) 14. Ces
5 éléments sont interconnectés par deux lignes omnibus redondantes, la ligne 16 et la ligne 18, de manière que chaque élément soit connecté à chaque ligne omnibus et que si l'une de ces lignes est mise hors du service, le dispositif de traitement distribué reste opérationnel. Bien
10 que cela n'apparaisse pas sur la Figure 1, une alimentation est fournie à chaque élément d'un ensemble par un système de distribution d'alimentation double redondant selon les pratiques bien connues.

Chacun des éléments 10, 12 et 14 de la Figure 1
15 comporte un émetteur-récepteur 20 de lignes omnibus qui constitue un moyen de communication entre les éléments, et un dispositif d'arbitrage 20 qui constitue un moyen de déterminer l'élément qui peut accéder à une ligne omnibus lorsqu'elle est sollicitée simultanément pour être
20 utilisée par d'autres éléments. Un procédé d'arbitrage distribué élimine la nécessité d'un arbitre central de lignes omnibus ou d'une ligne de sollicitation de lignes omnibus en série, et évite également les modes de dérangement ponctuels inhérent à cette technique antérieure d'arbitrage.
25

Comme le montre la Figure 1, l'élément 10 des moniteurs d'entrée/sortie comporte deux lignes omnibus supplémentaires, les lignes 22 et 24 et des circuits 21 associés d'émetteur-récepteur de lignes omnibus et d'arbitrage, en plus des lignes omnibus 16 et 18, offrant un
30 moyen de connecter le dispositif à des organes d'entrée/sortie de données 26 et 28, comme par exemple avec les lignes omnibus 38 et 41. En outre, les lignes omnibus 22 et 24 peuvent être utilisées comme moyen d'expansion pour
35 interconnecter des systèmes multiples (comme le montre la Figure 2) afin de former un réseau DSPS susceptible de résoudre les problèmes les plus complexes de traitement des signaux radars.

Tous les éléments du dispositif de la Figure 1 sont commandés par un système d'exploitation distribué (DOS) 30, placé dans les processeurs de signaux 12, 13 et 15, comme le montre la Figure 1, et réagissant à la
5 gestion de tous les éléments pour permettre leur fonctionnement ordonné sur des tâches affectées. En raison de la nature distribuée du dispositif de traitement de signaux, le système d'exploitation est également organisé comme
10 une fonction distribuée avec une commande et une gestion locale des ressources d'un processeur de signaux, assurées par un segment de niveau local DOS-0, résidant de façon redondante dans une mémoire permanente de chaque processeur de signaux 12, 13 et 15. La commande de système de haut niveau de l'ensemble du dispositif distribué de traitement de signaux est assuré par le segment de niveau de
15 système DOS-1, mémorisé dans la mémoire de masse 14, et résidant opérationnellement dans le premier processeur des signaux 12, par exemple, affecté à l'exécution. Pour assurer la tolérance aux dérangements, un second processeur de signaux 13 est affecté à contrôler le DOS-1 exécutif, avec une exécution alternée (ADOS-1) illustrée par le système 32 de la Figure 2. Si le segment DOS-1 est défaillant, le segment ADOS-1 prend la commande et affecte sa propre tâche de contrôle d'exécution à un autre processeur de signaux.
25

L'ensemble d'éléments distribué de traitement de signaux, représenté sur la Figure 1 et interconnecté à au moins une ligne omnibus est appelé un système. Le nombre des systèmes interconnectés est déterminé par les
30 conditions de traitement de signaux dans une application particulière. La Figure 2 montre à titre d'exemple les interconnexions d'un réseau de traitement de signaux à quatre systèmes, bien que d'autres configurations puissent facilement convenir. Chaque système est constitué par
35 l'un au moins de chacun des éléments suivants: moniteurs d'entrée-sortie (IOC), processeur de signaux (SP) et mémoire de masse (MM). Le système 32 est connecté de façon redondante au système 36, par une ligne omnibus 24 prove-

nant du circuit d'entrée-sortie 10, connectée à la ligne omnibus 31 du système 36, et une ligne omnibus 40 du moniteur 46 connecté à la ligne omnibus 33 du système 36. Le système 32 est également connecté de façon redondante au système 35 par une ligne omnibus 22 provenant du moniteur 10 et connectée à la ligne omnibus 47 du système 35 et une ligne omnibus 43 du moniteur 46 connecté à la ligne omnibus 48 du système 35. Un autre moniteur d'entrée-sortie 42 dans le système 35 constitue le moyen de connexion avec des dispositifs périphériques d'entrée-sortie 39. La communication avec les dispositifs d'entrée-sortie 39 est assurée aussi par une ligne omnibus 57 provenant du moniteur 51 du système 36. Ce dernier est connecté de façon redondante avec le système 37 par une ligne omnibus 49 provenant du moniteur 50 relié à la ligne omnibus 44 du système 37 et une ligne omnibus 55 provenant du moniteur 51 et connectée à la ligne omnibus 45 du système 37. Le système 36 dispose aussi d'un circuit de communication avec le système 35 par le moniteur d'entrée-sortie 50 et la ligne omnibus 53 connectée à la ligne omnibus 48 du système 35.

Dans le but de maintenir la possibilité de tolérance aux dérangements dans une configuration en réseau tel que celle de la Figure 2, deux circuits de communication au moins sont prévus vers chaque système par des moniteurs d'entrée-sortie séparés. En général, cela impose dans le réseau à plusieurs systèmes complets d'utiliser un moniteur d'entrée-sortie de plus que le nombre total de systèmes. Par exemple, le réseau de la Fig. 2 comporte quatre systèmes et cinq moniteurs d'entrée-sortie 10, 42, 46, 50 et 51 utilisés pour interconnecter ces systèmes. La gestion des communications entre des systèmes et la gestion du réseau à plusieurs systèmes se font sous la commande d'un système d'exploitation distribué; le segment au niveau de systèmes DOS-1 remplit le rôle d'exécution de systèmes ou de gestion générale du réseau, et il réside dans le système 32 comme le montre la Figure 2. Le fonctionnement et l'utilisation du dispositif distribué représenté sur la Figure 1 et le procédé selon l'invention seront maintenant décrits.

Lorsque l'alimentation est appliquée à un système
32 de traitement distribué de signaux, ou après une opération de mise au repos, le segment DOS-0 dans chacun des processeurs de signaux 12 exécute des programmes d'auto-
5 contrôle. Si les résultats d'exécution de ces programmes dans un processeur de signaux sont satisfaisants, ils tentent d'utiliser la ligne omnibus. Si deux processeurs de signaux tentent d'utiliser simultanément la ligne omnibus, le procédé d'arbitrage de ligne omnibus est appli-
10 qué, comme cela sera décrit en regard du moniteur d'entrée-sortie pour déterminer celui des processeurs qui accède à la ligne omnibus. Initialement, à chaque élément est affectée une adresse de position sur la base de la position physique de cet élément dans le système, et la
15 priorité est accordée avec l'élément dont l'adresse numérique est la plus élevée. Mais lorsqu'un processeur de signaux 12, 13 ou 15 est affecté à l'exécution d'une tâche et contient donc le segment DOS-1, l'exécution peut changer l'adresse d'un élément et lui affecter une adresse virtuelle modifiant l'importance ou la priorité des éléments
20 lorsque un arbitrage a lieu. Ce procédé de changement d'adresse d'éléments donne aussi des possibilités de reconfiguration lorsqu'un élément défectueux est détecté et remplacé par un élément de réserve affecté à l'adresse de
25 l'élément défectueux. Des tâches communiquant avec d'autres tâches, avec des connexions d'entrée-sortie et avec le programme d'exécution au moyen de cette adresse virtuelle, de sorte que les informations logicielles de tâches ou de configuration du système ne dépendent pas des affectations particulières de la tâche d'un élément. Le registre d'adresses
30 d'éléments affecté à chaque élément et qui mémorise l'adresse virtuelle est représenté sur les figures 3, 4 et 5.

Lorsqu'un premier processeur de signaux occupe la ligne omnibus, il émet un message vers une mémoire de
35 masse 14 avec une adresse d'éléments spécifique. A la réception du premier message d'un processeur de signaux, la mémoire de masse change son adresse d'éléments de sorte

que d'autres processeurs de signaux terminent leurs programmes d'auto-contrôle et tentent d'occuper la ligne omnibus pour émettre un message, il n'existera aucun élément avec cette adresse spécifique pour recevoir ledit message
5 de sorte que les processeurs de signaux entreront simplement dans un mode inactif. Mais la mémoire de masse procède au chargement du programme d'exécution DOS-1 dans l'élément de processeur de signaux qui émet le premier message de disponibilité. Le programme d'exécution se poursuit alors
10 en interrogeant les autres éléments du système pour déterminer s'ils sont disponibles, et il procède à l'affectation des tâches aux différents éléments. Chaque élément auquel une tâche est affectée, procède au chargement de sa mémoire à accès direct avec des programmes de tâches provenant de la mémoire de masse 14. Cette procédure permet le
15 démarrage du système dans un mode dégradé de fonctionnement avec au minimum un processeur de signaux opérationnel, une mémoire de masse et une ligne omnibus.

Quand le dispositif de traitement distribué commence
20 à fonctionner, la tolérance aux dérangements est obtenue par une combinaison de circuits de détection de fautes et par le logiciel du système d'exploitation distribué DOS. Le procédé de tolérances aux dérangements est tel que lorsqu'un dérangement apparaît et qu'il est détecté, une auto-
25 réparation est effectuée en éliminant l'élément défectueux du service et en le remplaçant par un élément de réserve sans aucune commutation spéciale ou circuit de reconfiguration. Le programme exécutif DOS-1 qui réside dans une mémoire à accès direct 76 d'un processeur de signaux, comme
30 le montre la figure 3 constitue le moyen d'auto-réparation de manière que l'adjonction ou la suppression des éléments dans un ensemble puissent se faire sans nécessité de modification de système. Les procédés de détection de dérangements individuels des circuits sont courants, consistant
35 en des diagnostics micro-programmés, des contrôles de parité et des temporisateurs de contrôle de séquence. Par exemple, si un élément émetteur a besoin d'un temps excès-

sif pour arbitrer l'utilisation d'une ligne omnibus ou pour émettre les informations, l'émission est suspendue et des marqueurs de fautes sont positionnés dans un registre d'état non représenté , mais placé dans chaque élément d'un système. D'autres circuits de détection contrôlent des codes d'opérations invalides ou privilégiés et des adresses de mémoires hors numérotations.

Deux procédés de détection de fautes sont mis en oeuvre dans les circuits d'exécution DOS-1, à savoir une interrogation d'état et une rotation des réserves. Le segment DOS-1 interroge tous les éléments actifs avec un message de sollicitation d'état de système, à une fréquence programmable. Le format de ce message est indiqué sur le tableau 1. Dans le cas d'absence de réponse ou d'une réponse d'un mot d'état d'entrée-sortie contenant une faute, le segment DOS-1 reconfigure le dispositif de traitement distribué en éliminant l'élément fautif du service et en le remplaçant par un élément de réserve. Le tableau 2 indique le format de mot d'état d'entrée et de non-sortie. Toutes les adresses possibles d'éléments sont interrogés pour découvrir des éléments nouvellement introduits; cette caractéristique permet qu'un élément soit réparé sans arrêt de l'ensemble. Des éléments de réserve peuvent être affectés à une tâche d'auto-contrôle pour vérifier entièrement toutes les fonctions. Grâce à une rotation périodique des éléments de réserve et des éléments actifs, le segment DOS-1 assure que tous les éléments exécutent les tâches d'auto-contrôle, ce qui offre un moyen de détecter des fautes plus subtiles.

La Fig. 3 représente l'élément 12 de processeur de signaux (SP) du dispositif de traitement distribué de signaux ; il comporte une unité 52 d'interface de lignes omnibus , une unité de mémoire 54, une unité arithmétique 56 et une unité de commande 58 interconnectées par une ligne omnibus de données (SP) 72 et une ligne omnibus de commande 80. Le processeur de signaux fonctionne comme un mini-calculateur micro-programmé à 16 bits en parallèle, avec des instructions d'exécution spéciales en vue d'un traitement efficace de données en temps réel.

L'unité 52 d'interface de lignes omnibus représentées sur la Fig. 3 comporte deux connexions représentées par l'émetteur-récepteur 60 de lignes omnibus et l'émetteur-récepteur 62 de lignes omnibus. Ces connexions d'entrée-
5 sortie constituent des circuits redondant pour charger des instructions de programmes et des données dans l'unité de mémoire 54. Les circuits d'émetteur-récepteur 60 et 62 émettent des données vers les autres éléments du dispositif et en reçoivent par l'intermédiaire du circuit logique de
10 commande 64 et la ligne omnibus 16 ou 18, comportant chacune 16 lignes de données, une ligne de parité et quatre lignes de commande en configuration OU câblées à collecteur ouvert. Le registre 63 d'adresse d'éléments constitue le moyen de mémoriser l'adresse d'un élément de
15 processeur de signaux et il permet également de changer une adresse d'éléments lorsqu'un élément défectueux est détecté. Le circuit de parité 70 produit une imparité sur des données émises et il contrôle la ligne de parité pour les données reçues. Des données sont émises et reçues en
20 des blocs allant jusqu'à 256 mots, par le circuit logique de commande 64. Lorsqu'un bloc de donnée est reçu de la ligne omnibus 16 ou 18, il est placé dans le tampon d'entrée 66 jusqu'à ce que l'unité de mémoire 54 soit prête à le recevoir. Lorsqu'un bloc de données doit être émis, il est
25 prélevé dans l'unité de mémoire 54 et placé dans le tampon de sortie 68 par la ligne omnibus de données (SP) 72. Etant donné que plusieurs émetteurs-récepteurs de différents éléments peuvent tenter d'utiliser la ligne omnibus 16 ou 18 en même temps, un procédé d'arbitrage 60 est mis en
30 oeuvre pour décider de l'émetteur qui commande la ligne. Chaque élément d'émetteur -émetteur associé avec une ligne omnibus produit un code d'arbitrage unique qui détermine la priorité d'émetteur sur la ligne omnibus. Les émetteurs de priorité plus basse laissent la ligne omnibus et
35 seul l'élément de priorité plus élevée subsiste. Ce procédé d'arbitrage sera décrit plus en détail en regard de l'élément de moniteur d'entrée -sortie.

L'unité de mémoire de la figure 3 comporte une mémoire permanente (ROM) 74, une mémoire à aspect direct (RAM) 76 et un moniteur de mémoire 78. Les adresses des positions de mémoire sont émises vers le moniteur de mémoire 78 depuis
5 l'unité arithmétique 56, soit pour lire des instructions ou des données dans la mémoire 74 ou la mémoire 76, soit pour écrire des instructions ou des données dans la mémoire 76. La mémoire 74 de type courant, organisée en 4096 mots de 16 bits chacun, contient le segment DOS-0 75 du système d'ex-
10 ploitation distribué, assurant la commande locale et la gestion du processeur de signaux 12, comme la fréquence d'initialisation à la mise sous tension, le contrôle des fautes, le chargement d'interruption, les interruptions illégales, les demandes de desserte d'entrée-sortie, et qui fournit des
15 informations d'état au segment d'exécution au niveau du système, du système d'exploitation distribué DOS-1, résidant dans le processeur de signaux qui remplit le rôle de gestion de système ou d'exécution. La mémoire à accès direct 76 est réalisée, dans un exemple de réalisation, avec des mémoires
20 MOS dynamiques à 16K et des mots de 16 bits, de type bien connu, dont les détails ne sont pas nécessaires pour la compréhension de l'invention.

L'unité de commande 58 représentée sur la figure 3 est du type courant à micro-programme, bien connu dans
25 la technique, comprenant un registre 94 de macro-instruction, une mémoire permanente 96 de topographie, un circuit séquentiel d'adresse 98, un multiplexeur 100, une mémoire de micro-programme 102, un registre 104 de macro-instruction et un décodeur 106. Lorsqu'une macro-instruction est
30 chargée dans le registre 94 par la ligne omnibus 72 de donnée, une séquence d'une ou plusieurs micro-instructions se déroulent pour exécuter les macro-instructions. La séquence des micro-instructions de la mémoire 102 est commandée par la mémoire 96 et le circuit séquentiel
35 d'adresse 98 et le multiplexeur 100. Les micro-instructions individuels sont lues dans la mémoire permanente 102 de micro-programmes qui, dans un exemple de réalisation est

organisée avec 2048 mots de 80 bits chacun, et ces micro-instructions sont chargées dans le registre 104. Les bits de sortie du registre 104 sont distribués sur la ligne omnibus 80 dans le processeur de signaux 12 pour remplir les fonctions de commande et exécuter les micro-instructions nécessaires pour l'exécution de la macro-instruction. Le décodeur 106 constitue un moyen d'un autre niveau de décodage des bits de micro-instruction, pour exécuter d'autres micro-opérations.

Il existe deux types de formats de macro-instructions, comme l'indique la tableau 3, comprenant un mode d'adresse de base (BAM) et un mode d'adresse prolongée (EAM). Le mode d'adresse de base forme une adresse effective de l'opérateur en utilisant les 8 bits de moindre poids du format de macro-instruction, comme un décalage entier avec un signe, pour être combiné avec le contenu d'un ou plusieurs registres. Le mode d'adresse prolongé forme une adresse effective en utilisant le contenu du registre spécifié dans la zone R1 du format.

Les instructions exécutées par l'unité de commande micro-programmée de la Fig. 3 consistent en un jeu d'instruction de traitement de donnée courant, représenté sur la Fig. 4, et en des instructions d'exploitation indiquées dans le tableau 5. Les instructions d'exploitation effectives des opérations de commande et des opérations de traitement de signaux à la demande, et elles sont exécutées par le générateur 103 de la mémoire de micro-programme 102. Il existe des instructions d'exploitation de programme d'application, des instructions d'exploitation de programmation de système et des instructions de traitement de signaux à usage spécial.

Les instructions d'exploitation de programme d'application établissent la communication entre le programme d'application et le segment local du système d'exploitation distribué DOS-0. Elles comportent des instructions telles que les suivantes : retour d'un sous-programme, autorisation/inhibition d'interruption, reprise d'opération, lecture d'horloge en temps réel, et appels du système.

L'instruction d'appel du système permet à un programmeur de solliciter le système d'exploitation DOS-0 pour remplir une fonction de service spécifique, indiquée dans le tableau 6.

5 Les instructions d'exploitation de programmation de système manipulent et gèrent les ressources du processeur de signaux et la majorité de ces instructions sont privilégiées, comme l'indique le tableau 5, en ce qu'elles ne peuvent être exécutées que par des programmes
10 déclenchés avec un mot d'état de programmes privilégiés, comme l'indique le tableau 7. Toutes tentatives d'exécution d'une instruction privilégiée par un programme non privilégié entraînent une interruption d'erreurs et un
15 arrêt du programme. Les instructions d'essai de diagnostic logique et d'essai de diagnostic de mémoire sont des exemples d'instructions d'exploitation de programmation de système qui ne sont pas privilégiés.

Les instructions d'exploitation de traitement de signaux à usage spécial comprennent par exemple l'instruction
20 de multiplication de matrices et l'instruction de détection et de correction de topographie qui sont particulièrement efficaces pour le traitement de signaux de données de radar dopler, utilisant une topographie de parasites pour établir des seuils de détection, indépendam-
25 ment pour chaque portée du radar, azimuth et cellules dopler. D'autres instructions d'exploitation à usage spécial, non indiquées dans le tableau 5, remplissent des fonctions de transformation de fourrier rapide (FFT) et des opérations vectorielles. Pour d'autres applications
30 d'un dispositif de traitement distribué de signaux, des instructions d'exploitation d'usage spécial peuvent être facilement exécutées dans l'unité de commande micro-programmée.

L'unité arithmétique 56 représentée sur la Fig. 3 comporte une unité arithmétique et logique (ALU) 82
35 à multiplicateur 84, à multiplexeur 86, une mémoire de fichier 88, un générateur d'adresse 90 et une ligne omnibus de données (AU) 92. L'unité arithmétique et logique 82 effectue des opérations arithmétiques et logiques sur

des opérandes reçus de diverses sources, comme l'unité de mémoire 54, la mémoire de fichier 88 ou le multiplicateur 84. L'unité arithmétique et logique 82 comporte les quatre registres suivants : le compteur de programme 81 détermine l'adresse de la macro-instruction suivante provenant de l'unité de mémoire 54 ; l'indicateur de données 83 détermine l'adresse à laquelle des données à traiter sont situées ; le registre ACC1 85 et le registre ACC2 87 sont des accumulateurs de travail pour des opérations arithmétiques itératives, ou ils fonctionnent comme des registres de matiens temporaires pour des opérants intermédiaires. Le multiplicateur 84 effectue une multiplication à grande vitesse de 16 bits par 16 bits en un cycle d'horloge du processeur.

Le multiplexeur 86 constitue le moyen de transférer des données entre le multiplicateur 84 et l'unité arithmétique et logique 82, de manière qu'une addition dans l'unité arithmétique et logique soit effectuée dans le même cycle d'horloge de processeur qu'une multiplication dans le multiplicateur 84. En général, le produit précédent formé par le multiplicateur est transféré à l'unité arithmétique et logique 82 pour être additionné avec les produits précédemment accumulés dans cette unité ; en même temps, des données provenant de la mémoire de fichier 88 et de l'unité de mémoire 54 sont multipliées dans le multiplicateur 84 pendant le cycle d'horloge. Ce procédé permet d'effectuer les calculs sur des données par les instructions d'exploitation de traitement de signes spéciaux, plus rapidement que les procédés courants. Le multiplicateur 86 onstitue également un circuit direct pour un transfert de données depuis la mémoire de fichier 88 vers l'unité arithmétique et logique 82.

Le générateur d'adresse 90 reçoit des informations de l'unité de commande 58 pour déterminer les positions de la mémoire de fichier 88 qu'il faut utiliser pendant une exécution d'une macro-instruction particulière. La ligne omnibus AU de données 92 comporte 16 lignes connectées à des composants classiques d'entrée-sortie à trois états,

et elle constitue un moyen efficace de transfert de données ou d'adresses vers le fichier 88, le générateur d'adresses 90, l'unité arithmétique et logique 82, le multiplicateur 84 et le multiplexeur 86.

5 La mémoire de fichier 88 de l'unité arithmétique 56 constitue un moyen de mémoriser huit groupes de registres, chaque groupe contenant huit mots. Dans leur organisation, les registres sont tous des registres à usage général, mais ils remplissent des fonctions spécialisées déterminées par
10 le micro-code de l'unité de commande 58, ces fonctions comprenant celles de compteurs de programme, d'indicateur de piles, d'accumulateurs et de registres d'index. Chaque jeu de registre est associé avec un mot d'état de programme (PSW) qui contient des informations concernant l'exécution du pro-
15 gramme avec ce groupe de registre. Ce mot d'état contient les huit bits de plus fort poids d'un mot dans la mémoire de fichier, et contient les informations indiquées sur le tableau 7. Le reste de la mémoire de fichier est utilisé pour des fonctions courantes de gestion de processeur de signaux
20 internes, et comme mémoire de travail pour les instructions d'exploitation de traitement de signaux.

Les relations mutuelles entre les unités du processeur de signaux 12 peuvent se décrire comme suit : le compteur de programme de l'unité arithmétique et logique 82 détermine
25 l'adresse à laquelle il trouve la macro-instruction suivante dans la mémoire permanente 74 ou la mémoire vive 76 de l'unité de mémoire 54. L'instruction est transférée par la ligne omnibus de données 72 vers le registre de macro-instructions 94 dans l'unité de commande 58. La mémoire permanente de topographie 96 détermine une adresse de départ ou un mode d'adresse accédant à la mémoire permanente 102 pour obtenir les
30 micro-instructions. Une adresse effective peut alors être calculée par l'intermédiaire de la mémoire de fichier 88 et l'unité arithmétique et logique 82. L'adresse effective
35 est mémorisée dans l'indicateur de données 82 pour accéder aux données de l'unité de mémoire 54, qui sont nécessaires pour l'exécution de la macro-instruction.

L'élément de mémoire de masse (MM) 14 du dispositif de traitement distribué de signaux, représenté sur la fig. 4, comporte une unité 110 d'interface de lignes omnibus, une mémoire 122, un moniteur 124 et une
5 ligne omnibus 126 de données de mémoire. L'unité 110 d'interface de lignes omnibus comporte un circuit 112, 116, d'émetteur-récepteur et d'arbitrage de lignes omnibus, un circuit logique de commande 114, un registre d'adresses d'éléments 115 et un circuit de parité 118
10 qui sont identiques aux circuits fonctionnels équivalents de l'unité 52 d'interface de lignes omnibus du processeur de signaux 12 de la Fig. 3. L'unité 110 d'interface de lignes omnibus comporte également une mémoire 120 qui remplace les tampons d'entrée et de sortie 66 et 68
15 du processeur de signaux 12 de la Fig. 3. Toutes les informations écrites ou lues dans la mémoire de masse passent par la mémoire tampon 120, par l'intermédiaire de la ligne omnibus 126 de données de mémoire. La mémoire tampon 120 est cinq fois plus rapide que la mémoire 122
20 ce qui lui permet de recevoir et d'émettre des blocs d'informations avec les débits de donnée des lignes omnibus 16 et 18. Tous les transferts d'informations dans la mémoire de masse 14 se font par la ligne omnibus 126 de données de mémoire qui comporte seize lignes avec des
25 composants bidirectionnels classiques à trois étapes. Dans le présent mode de réalisation, la mémoire tampon est organisée avec un minimum de 4096 mots de 16 bites chacun. Des informations sont transférées vers et depuis la mémoire 122 par la ligne omnibus 126 de données de mémoire à la commande du moniteur 124.
30

Dans le présent mode de réalisation, la mémoire 122 est organisée sous forme de huit segments de 16K mots chacun, soit un total de 128K mots de 19 bites chacun. Trois bites de réserve sont prévues dans chaque mot pour

augmenter la fiabilité. Des données sont déplacées vers et depuis la mémoire 122 en pages de 240 mots. Des données sont transmises vers et depuis la mémoire de masse 14 par des paquets de messages de 256 mots. Les informations d'en-tête comprenant jusqu'à 16 mots sont ajoutées aux pages de 240 mots par le moniteur 124, pour les informations sortantes. Quand des données arrivent dans la mémoire de masse 14, les informations d'en-tête dans le paquet sont interprétées par le moniteur 124 pour déterminer si une extraction normale ou une mémorisation doit se faire, ou si une action de commande est sollicitée, par exemple une demande d'état, une mise au repos, ou une mise sous tension, ou une coupure d'alimentation. Un paquet de données peut consister en un maximum de 256 mots, mais il peut aussi ne contenir qu'un seul mot comme information d'en-tête. La mémoire de masse 14 fonctionne comme un élément passif dans le dispositif de traitement distribué de signaux, car elle ne déclenche aucune action mais répond simplement aux messages provenant d'autres éléments de l'ensemble.

La Fig. 5 représente un moniteur d'entrée-sortie (IOC) 10 du dispositif de traitement distribué de signaux. Ce moniteur fonctionne comme un centre de messages dans l'ensemble, avec des possibilités d'aiguillage, de commande et de contrôle d'erreurs. Chaque moniteur comporte quatre connections distinctes d'émetteurs-récepteurs de lignes omnibus d'entrée-sortie, constituant le moyen de connecter la ligne omnibus 16, la ligne omnibus 18, la ligne omnibus 22 ou la ligne omnibus 24. Chacune de ces lignes omnibus comporte 16 lignes de données, une ligne de parité et quatre lignes de commande en configuration OU cablées à collecteur ouvert. Chaque ligne omnibus est connectée à l'un de quatre circuits identiques d'émetteurs-récepteurs 130, 132, 134 et 136 qui sont les mêmes

que les circuits émetteurs-récepteurs de lignes omnibus déjà décrits pour d'autres éléments de l'ensemble.

Les émetteurs-récepteurs de lignes omnibus 130 et 132 de la Fig. 5 sont toujours connectés aux lignes omnibus de système 16 et 18 dans lesquelles réside le moniteur, comme le montre la Fig. 1. Dans un réseau à plusieurs systèmes, comme celui de la Fig. 2, les émetteurs-récepteurs de lignes omnibus du moniteur 10 fonctionnent en un mode prolongé, établi par le moniteur de bloc 152, de manière que les lignes omnibus 22 et 24 du système 32 soient connectées à la ligne omnibus 47 du système 35 et à la ligne omnibus 31 du système 36. lorsqu'un moniteur d'entrée-sortie est utilisé pour transmettre des informations vers et depuis des organes périphériques d'entrée-sortie, il fonctionne dans un mode d'entrée-sortie dynamique établi par le moniteur de bloc 152, comme le montre la Fig. 2, à propos du moniteur 42 du système 32. Les signaux de sortie du sélecteur 139 et du sélecteur 141 de la Fig. 5 contiennent chacun des codes à quatre bites pour sélectionner l'un parmi seize organes périphériques connectés à une ligne omnibus. Le circuit de parité 138 de type courant contrôle la ligne de parité en ce qui concerne les données reçues par un moniteur d'entrée-sortie et établit la parité pour les données émises par un moniteur.

Le moniteur d'entrée-sortie de la Fig. 5 comporte deux tampons 146 et 148 destinés à émettre et à recevoir simultanément des blocs entiers de 256 mots de données, par des connections séparées de lignes omnibus. Le tampon X 146 peut recevoir des données d'une ligne omnibus à la commande du circuit logique 140 de commande de réception, tandis que le circuit logique 140 de commande d'émission émet des données sur une autre ligne omnibus. La ligne omnibus d'entrée 142 et la ligne omnibus de sortie 144

de la Fig. 5 constituent les circuits de transfert de données à l'intérieur du moniteur 10.

Le moniteur de bloc 152 de la Fig. 5 délivre les signaux de commande pour le circuit logique 140 de commande de réception et d'émission et il dessert des messages de commande et d'état, indiqués sur les tableaux 1, 2 et 8, pour le programme du système d'exploitation distribué, DOS-1, résidant dans le processeur de signaux 12, comme le montre la Fig. 2. Le moniteur de bloc 152 place un moniteur d'entrée-sortie dans l'un de quatre modes, en fonction de l'exécution avec un mot de commande d'entrée-sortie, comme l'indique le tableau 8. Le mot de commande de moniteur d'entrée-sortie est reçu par l'émetteur-récepteur 130 ou l'émetteur-récepteur 132 et il est transféré au moniteur de bloc par la ligne omnibus d'entrée 142. Deux de quatre modes sont simplement la coupure et la réserve; les deux autres modes fonctionnels consistent à configurer le moniteur d'entrée-sortie pour qu'il fonctionne comme un prolongement de ligne omnibus pour le fonctionnement en réseau à systèmes multiples, et à configurer le moniteur d'entrée-sortie pour fonctionner comme un moniteur d'organes périphériques de données. Le moniteur d'entrée-sortie ne peut fonctionner simultanément dans plusieurs modes. Dans tous les modes de fonctionnement, le moniteur de bloc 152 doit répondre à des messages de "demandes d'état" indiqués sur le tableau 1, provenant d'un processeur de signaux exécutif, en mettant en format et en émettant un message de "retour d'état". Ce message de "retour d'état" comporte plusieurs mots, non représentés, contenant des informations telles que le nombre des erreurs depuis la dernière interrogation, le type d'erreurs, le mode actuel de fonctionnement, la connection d'entrée-sortie sélectionnée, la ligne omnibus actuellement sélectionnée et l'adresse virtuelle du moni-

teur d'entrée-sortie.

Comme cela a été expliqué ci-dessus pour les autres éléments, chaque élément dans un dispositif de traitement distribué de signaux comporte une adresse de position distincte basée sur la position physique des circuits de l'élément, qui est chargée dans les registres d'adresses d'éléments 150 représentés sur la Fig. 5, à la mise sous tension; cependant, une adresse différente peut être affectée à chaque élément par le programme d'exécution, appelée "adresse virtuelle" qui remplace l'adresse de position. Ce procédé de changement d'adresse d'élément offre un moyen de reconfiguration lorsqu'un élément défectueux est détecté et remplacé par un élément de réserve. Mais un élément de moniteur d'entrée-sortie comporte deux registres d'adresses, tandis que les autres éléments n'en comportent qu'un. Un registre d'adresses est destiné au fonctionnement des émetteurs-récepteurs de lignes omnibus 130 et 132 et le second registre d'adresses est destiné au fonctionnement des deux autres émetteurs-récepteurs de lignes omnibus 134 et 136.

Lorsque des informations doivent être émises par un moniteur d'entrée-sortie 10 ou autre élément dans un dispositif de traitement distribué, l'élément émetteur doit d'abord obtenir la commande de la ligne omnibus. Chaque élément émetteur dans l'ensemble commence à occuper une ligne omnibus, par exemple la ligne 16 de la Fig. 5, en émettant un code 170 unique d'arbitrage d'éléments (comme le montre la Fig. 6) sur la ligne omnibus OU câblée à collecteur ouvert. Ce code d'arbitrage est basé sur l'adresse de l'élément qui sollicite l'utilisation de la ligne omnibus. Il comporte les huit bits de l'adresse d'élément (E0 à E7) plus les huit bits du complément de l'adresse d'élément (E0N à E7N) pour un total de 16 bits. Si plusieurs éléments tentent d'utiliser simultanément la

même ligne omnibus, un procédé d'arbitrage est mis en oeuvre dans chaque élément pour décider celui d'entre eux qui utilise la ligne.

L'appareil d'arbitrage est représenté sur la Fig. 6 et il se trouve dans chaque élément d'un dispositif de traitement distribué. Le circuit 150 de registre d'adresses d'éléments et de générateur de codes d'arbitrage contient un registre ou des registres d'adresses à huit bits (deux dans le cas d'un moniteur d'entrée-sortie) qui, selon un procédé de décodage à un-parmi-deux permet d'arbitrer jusqu'à 256 adresses. Il produit une adresse d'éléments 157 à huit bits qui a été chargée par l'entrée 155 de chargement d'adresses d'éléments, et il produit le code 170 d'arbitrage d'éléments mentionné ci-dessus. En plus du générateur et registre 150, le reste du circuit logique d'arbitrage 131 d'un moniteur d'entrée-sortie 10 comporte huit portes ET 161 à 168, un codeur de priorité 158 et un multiplexeur de conflit 160, effectuant le décodage du code 169 d'arbitrage d'éléments composites, situé dans le circuit d'interface d'émetteur-récepteur de ligne omnibus comme l'émetteur-récepteur 130 de la Fig. 5.

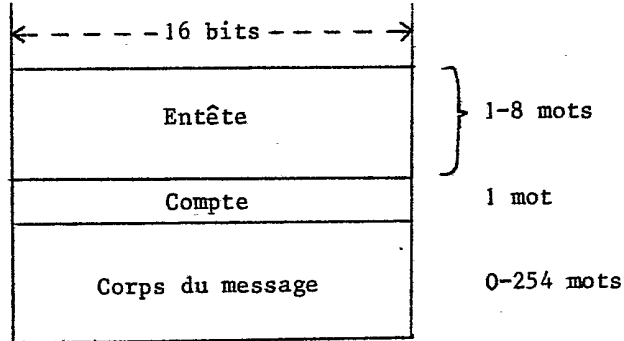
Le code 170 d'arbitrage d'éléments de la Fig. 6 consiste en seize bites provenant de chaque élément sur une ligne omnibus commune, il est détecté sur une ligne omnibus sous la forme d'un code composite 169 d'arbitrage d'éléments par les circuits d'émetteurs-récepteurs (déjà décrits) et un procédé de décodage à un-parmi-deux est appliqué. Les signaux C0 à C7 et C0N à C7N représentent le code composite 169 d'arbitrage d'éléments, avec une combinaison OU cablée, pour tous les éléments sollicitant d'utiliser la ligne omnibus. Deux "1" logiques à l'entrée de la porte ET 161 indiquent qu'un élément avec un "1" pour ce bite d'adresses et un autre élément avec

un "0" pour ce même bit d'adresses sont sur la ligne omnibus, ce dont il résulte un conflit de priorité. Mais si toutes les sorties des huit portes ET connectées au codeur de priorité 158 sont au niveau bas ("0"), il n'existe
5 aucun conflit car un seul code d'arbitrage d'éléments est présent sur la ligne omnibus et l'arbitrage a été acquis, de sorte que le signal WIN est émis. Ce signal est produit par la section 156 de détection de "0" du codeur de priorité 158, permettant à l'élément qui sollicite la ligne
10 omnibus de l'occuper et de passer à l'émission.

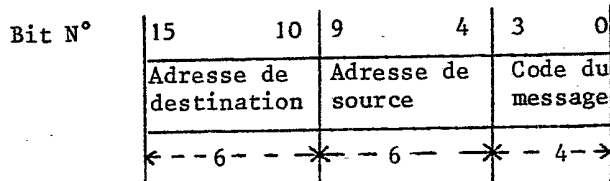
S'il existe un conflit en raison de deux ou plusieurs éléments qui veulent occuper simultanément la ligne omnibus, le codeur de priorité 158 produit un code à trois bits sur les lignes de signaux P0, P1 et P2 de la
15 Fig. 6, correspondant au bit d'adresses d'éléments de plus grand poids dans lequel un conflit existe, ce que détermine les entrées de l'une des huit portes ET 161 à 168. Le multiplexeur de conflit 160 reçoit ce code à trois bits et examine les bits de son adresse d'éléments E0 à
20 E7, 159. Si le bit particulier sur l'une des huit lignes binaires d'adresses spécifiées par le code à trois bits provenant du codeur de priorité 158 et "0", le multiplexeur de conflit 160 produit le signal $\overline{\text{LOSE}}$ signifiant que cet élément a perdu l'arbitrage. Ce signal est appliqué
25 au générateur 150 d'adresses d'éléments et de code d'arbitrage, de sorte que le code d'arbitrage est éliminé de la ligne omnibus; cela se produit dans tous les éléments pour lesquels il est déterminé le même conflit de bit d'adresses. Cette procédure de détection des conflits de
30 bit d'adresses utilisant le code d'arbitrage d'éléments se répète jusqu'à ce que seul l'élément de priorité soit laissé sur la ligne omnibus. L'élément dont l'adresse numérique est la plus élevée a toujours la priorité d'utilisation de la ligne omnibus.

Format message système

TABLEAU 1



Format Entête



Code du message	Type de message
0	{ Premier bloc Bloc du milieu Dernier bloc Simple bloc
1	
2	
3	
4	Message retourné
5	Chercher la page (MM)
6	Chargement de la page (MM)
7	Etat retour
8	Etat demande
9	Message erreur
10	Charger le mot de commande (MM, IOC)
11	Etaleur Bus (IOC)
12	Adressage, adresse virtuelle
13	Mise sous tension - Remise à zéro
14	Message exécution
15	Mise hors tension

Format mot d'état entrée/sortie.

TABLEAU 2

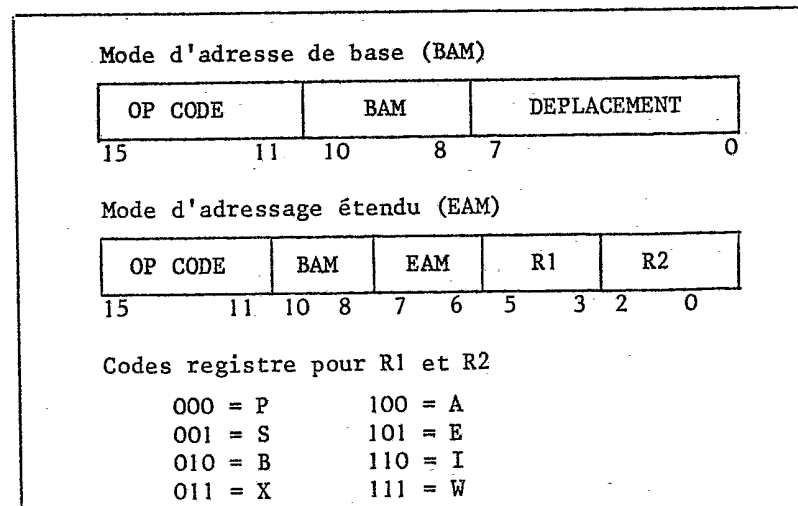
COMPTÉ DE MOT RECEPTION	ETAT RECEPTION	ETAT EMISSION	BUS
15	8 7	5 4	1 0

Bits Définition champ d'état

15-8	Réception mot reçu pour le dernier bloc reçu. N'inclue pas le mot d'entête initial.	
7-5	Etat de réception	Octal (Bits 7-0)
	100 - Inactif	200
	110 - Erreur de parité sur Bus 16	300
	101 - Erreur de parité sur Bus 18	240 pas d'interruption
	010 - Bloc 16 incomplet	100
	001 - Bloc 18 incomplet	040
	000 - Tampon de réception plein	000
	Les autres - Illégal	
4-1	Etat de transmission	Octal (Bits 7-0)
	1111 - Transmission commandée	036
	1101 - Bus occupé	032
	1011 - Arbitrage faute	026
	1001 - Réponse faute	022
	0111 - Récepteur occupé	016
	0101 - Erreur de parité	012
	0011 - Erreur de synchronisation	006
	0001 - Fait	002
	0000 - Inactif	000
	Tous les autres - Illégal	
0	Dernier Bus de transmission	
	0 - Bus 16	
	1 - Bus 18	

Format macro-instruction

TABLEAU 3



Instructions de traitement de données

TABLEAU 4

Mnémonique	Instructions
STS	Mémoire simple mot
STD	Mémoire double mot
LDS	Charger simple mot
LDD	Charger double mot
LDC	Charger le complément
LDN	Charger en négatif
DWP	Echanger
ADD	Ajouter en simple précision
ADP	Ajouter en double précision
SUB	Soustraire en simple précision
SDP	Soustraire en double précision
AND	Et logique
IOR	Ou logique inclusif
XOR	Ou logique exclusif
MPY	Multiplier
DIV	Diviser
JUMP	Saut inconditionnel
JPZ	Saut si positif ou zéro
JNG	Saut si négatif
JEZ	Saut si égal à zéro
JNZ	Saut si non égal à zéro
JOVF	Saut si indicateur de dépassement positionné
JSUB	Saut vers sous-programme
SAD	Décalage arithmétique double
ISEZ	Incrémenter et saut si zéro
DSEZ	Décrémenter et saut si zéro
CSL	Comparer et saut si inférieur
CSE	Comparer et saut si égal
ASZ	Et avec masque et saut si zéro
OSF	Ou avec masque et saut si plein
RSP	Tourner en simple précision

Instructions de fonctionnement

TABLEAU 5

Mnémonique	Instructions
SELINS	Etablir groupe d'instructions
°SETVAD	Etablir adresse virtuelle (Reg A)
TRAP	Appeler sous-programme d'interruption
°DROP	Descendre à niveau 0 pile de registres
°TRACE	Sélection pas-à-pas (n ; 4=ON ; 0=OFF)
RETURN	Marche-arrêt retour sous-programme
SYSREQ	Demander service système (Reg A ; nn = nombre demandé)
°SETCLK	Etablir horloge temps réel (Regs A,E)
INTERR	Interruption autorisation/interdiction (n: 1=E ; 0=D)
°WRITE	Commande écriture (Regs A,I,W)
°READ	Commande lecture (Regs I,W)
RESUME	Résumé programme interrompu
°SELBUS	Choisir bus de transmission (0=BusA ; 1=BusB)
°READR	Rétablissement lecture
°WRITER	Rétablissement écriture
°REQIOS	Demander état entrée/sortie (Reg A)
°CLOCK	Interruption horloge (n: 1=E, 0=D) Autorisation/interruption
LOGSTST	Test diagnostic logique
MEMTST	Test diagnostic mémoire
°SENDIN	Envoi message d'interruption
°STARTU	Débuter programme utilisateur (Regs X,A,E)
TRPRET	Retour du sous-programme d'interruption
°SREADR	Eclatement lecture réelle (Regs A,I,W)
°SREADC	Eclatement lecture complexe (Regs A,I,W)
°RESTR	Résumer avec trace (n: 1=ON, 0=OFF) Choisir
GETCLK	Horloge lecture réelle (Regs A,E)
LWGTMX	Charger matrice de pondération (Regs A,I,W) (n : 0=Réel; 1=complexe)
MXMULT	Multiplier matrice
DETMUP	Mise à jour détection et organisation

° Instruction privilégiée.

Fonction de service DOS-0

TABLEAU 6

Numéro demande	Service réalisé
0	Ecrire un message
1	Demander un message
2	Demande d'interruption
3	Mise à jour non sollicitée de contrôle d'entrée
4	Mise à jour commande horloge
5	Demande de contrôle de tâche DOS-1
6	Faute registre utilisateur
7	Demande enregistrement données
8	Information de mise à jour de commande d'enregistrement
9	Modifier adresse virtuelle CE
10	Supprimer une demande d'écriture
11	Supprimer une demande de lecture
12	Autoriser demande de sortie ajournée
13	Autoriser demande d'entrée ajournée
14	Demande sortie directe
15	Lecture horloge temps réel (double mot)

Mot d'état de programme

TABLEAU 7

NON UTILISE	RS	OF	I	T	M	E	
15	8 7	5	4	3	2	1	0

<u>Bits</u>	<u>Nom de la zone</u>	<u>Description</u>	<u>Valeurs</u>
7-5	RS	Numéro d'ensemble de registre	0-7
4	OF	Indicateur de dépassement	0 - pas de dépassement 1 - dépassement
3	I	Instruction ensemble N°	0 - Ensemble 0 1 - Ensemble 1
2	T	Indicateur de pas-à-pas	0 - non pas-à-pas 1 - un pas-à-pas
1	M	Mode de programme	0 - utilisateur (non privilégié) 1 - système (privilégié)
0	E	° Interruption autorisée	0 - non autorisé 1 - autorisé

° Les interruptions comprennent :

- a. Sortie terminée
- b. Entrée en attente
- c. Interruption d'horloge
- d. Interruption pas-à-pas

Mot de commande IOC provenant du superviseur (DOS-1)

TABLEAU 8

Mot 1 :

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Mode		Bus émetteur		Bus récepteur		non utilisé									

Mode : 00 - Hors service
 01 - Réserve
 10 - Extension Bus - Demande mot 2 - Adresse virtuelle
 11 - Entrée-sortie dynamique - Dispositifs périphériques

Bus émetteur

Bit 13 0 - Bus 16, 1 - Bus 18
 Bit 12 0 - Bus 22, 1 - Bus 24

Bus récepteur

Bit 11 0 - Bus 22 non autorisé, 1 - Bus 22 autorisé
 Bit 10 0 - Bus 24 non autorisé, 1 - Bus 24 non autorisé

Mot 2 :

Adresse virtuelle de IOC vue par le bus pour le mode d'extension du bus dans une configuration à systèmes multiples.

La Fig. 7 représente un autre mode de réalisation d'un appareil d'arbitrage distribué de lignes omnibus pour chaque élément d'un dispositif de traitement distribué de signaux. Le mode de réalisation de l'appareil d'arbitrage de la Fig. 6 permet d'arbitrer des éléments dans un système allant jusqu'à 256 adresses, tandis que le mode de réalisation de la Fig. 7 est limité à l'arbitrage d'éléments allant jusqu'à 64 adresses, et le procédé d'arbitrage est plus lent lorsqu'il s'agit d'arbitrer de petits nombres d'éléments.

Selon la Fig. 7, une adresse d'éléments à six bits est chargée dans le registre 192 d'adresses d'éléments avant le début de l'arbitrage. Au début de l'arbitrage, les trois bits de plus grand poids 191 du registre d'adresses d'éléments sont décodés par un décodeur 188 à trois-parmi-huit, pour placer un "0" sur l'une des huit lignes de code d'arbitrage de plus grand poids E8 à E15. D'une façon similaire, les trois bits de moindre poids AL 193 de l'adresse d'éléments sont décodés par le décodeur 190 à trois-parmi-huit pour placer un "0" sur l'une des huit lignes de code d'arbitrage de moindre poids E0 à E7. Le code d'arbitrage 196 résultant à seize bits est placé sur la ligne.

Les huit lignes C8 à C15 de plus grand poids du code composite 172 d'arbitrage d'éléments provenant de la ligne omnibus sont décodées par le codeur de priorité 174 pour produire un nombre à trois bits CU 179 représentant la ligne de code d'arbitrage d'éléments d'ordre le plus élevé avec un "0", et le détecteur 175 deux "0" unique produit une indication si une seule ligne est au niveau "0". De façon similaire, les huit lignes C0 à C7 de moindre poids du code composite d'arbitrage d'éléments sont décodées par le codeur de priorité 176 pour produire un nombre à trois bits CL181 et le détecteur 177 délivre

une indication si une seule ligne est au niveau "0".

Les trois bits de plus grand poids du code composite CU179 et l'adresse d'éléments AU 191 sont comparés par le comparateur 178 de la Fig. 7 pour détecter la condition d'égalité entre CU 179 et AU 191, et la condition que CU est supérieur à AU. Si CU est supérieur à AU, un autre élément à bénéficier de l'arbitrage et le signal $\overline{\text{LOSE}}$ est produit par la porte NON OU 186, de sorte que le code d'arbitrage d'éléments 187 est éliminé de la ligne omnibus. Si une seule ligne de C8 à C15 est au niveau logique "0" et si CU 179 est égal à AU 191, la porte ET 182 permet au comparateur 180 de comparer les trois bits codés de moindre poids CL 181 du code composite d'arbitrage d'éléments provenant du codeur de priorité 176 avec les trois bits de moindre poids AL 193 du registre d'adresses d'éléments. Si CL est supérieur à AL, un autre élément à bénéficier de l'arbitrage et le signal $\overline{\text{LOSE}}$ est produit par la porte NON OU 186, de sorte que le code d'arbitrage 196 est éliminé de la ligne omnibus.

Si une seule ligne de C0 à C7 est au niveau "0" et si CL 181 est égal à AL 193, l'élément bénéficie de l'arbitrage et le signal WIN est produit par la porte ET 184 permettant à l'élément d'utiliser la ligne omnibus.

Cela termine la description des modes de réalisation de l'invention. Cependant, de nombreuses modifications peuvent y être apportées sans sortir du cadre ni de l'esprit de l'invention. Par exemple, des mémoires permanentes programmables pourraient être utilisées au lieu des mémoires permanentes dans l'unité de mémoire 54 et l'unité de commande 56 du processeur de signaux 12. Dans la configuration en réseau de la Fig. 2, chaque système pourrait être constitué par plusieurs éléments de chaque type et le système 37 pourrait être connecté directement au système 32 au lieu de communiquer avec ce dernier par l'intermédiaire du système 36.

REVENDICATIONS

1. Système de traitement de signaux, caractérisé en ce qu'il comprend plusieurs éléments, comprenant un processeur de signal, une mémoire de masse, et un contrôleur d'entrée/sortie ; des moyens pour interconnecter 5 lesdits plusieurs éléments de façon à former un système de traitement de signaux distribués ; et des moyens pour interconnecter plusieurs des systèmes ainsi formés.

2. Système de traitement de signaux selon la revendication 1, caractérisé en ce qu'au moins un desdits 10 éléments comprend des moyens pour détecter un élément défectueux.

3. Système de traitement de signaux selon la revendication 1, caractérisé en ce qu'au moins un desdits éléments comprend des moyens pour initialiser l'auto- 15 dépannage dudit système.

4. Système de traitement de signaux selon la revendication 1, caractérisé en ce que lesdits moyens pour interconnecter les éléments comprend au moins un bus.

5. Système de traitement de signaux selon la revendication 1, caractérisé en ce que lesdits moyens pour 20 interconnecter les systèmes entre eux comprennent au moins un bus.

6. Système de traitement de signaux, caractérisé en ce qu'il comprend plusieurs éléments formant un système 25 de traitement de signal distribué ; lesdits plusieurs éléments comprenant un processeur de signaux, une mémoire de masse et un contrôleur d'entrée/sortie ; des moyens pour interconnecter lesdits plusieurs éléments ; et des moyens pour connecter plusieurs appareils de données 30 d'entrée/sortie audit élément contrôleur d'entrée/sortie.

7. Système de traitement de signaux selon la reven-

dication 6, caractérisé en ce qu'au moins un desdits éléments comprend des moyens pour détecter un élément défectueux.

5 8. Système de traitement de signaux selon la revendication 6, caractérisé en ce qu'au moins un desdits éléments comprend des moyens pour initialiser un auto-dépannage dudit système.

9. Système de traitement de signaux selon la revendication 6, caractérisé en ce ledit moyen pour inter-
10 connecter lesdits éléments comprend au moins un bus.

10. Système de traitement de signaux selon la revendication 6, caractérisé en ce que ledit moyen pour connecter des appareils de données d'entrée/sortie a un élément contrôleur d'entrée/sortie comprend au moins un
15 bus.

11. Système de traitement de signaux, caractérisé en ce qu'il comprend plusieurs éléments ; lesdits plusieurs éléments comprenant un processeur de signaux, une mémoire de masse et un contrôleur d'entrée/sortie ; des moyens
20 pour interconnecter lesdits plusieurs éléments de façon à former un système de traitement de signaux distribués ; et des moyens pour interconnecter plusieurs desdits systèmes et pour connecter plusieurs des appareils de données d'entrée/sortie à un élément contrôleur d'entrée/
25 sortie.

12. Système de traitement de signaux distribués selon la revendication 11, caractérisé en ce qu'au moins un desdits éléments comprend des moyens pour détecter un élément défectueux.

30 13. Système de traitement de signaux selon la revendication 11, caractérisé en ce qu'au moins un desdits éléments comprend des moyens pour initialiser l'autodépannage des systèmes.

14. Système de traitement de signaux selon la revendication

cation 11, caractérisé en ce que lesdits moyens pour interconnecter plusieurs éléments comprend au moins un bus.

15. Système de traitement de signaux selon la revendication 11, caractérisé en ce que lesdits moyens pour interconnecter la pluralité desdits systèmes comprennent au moins un bus et lesdits moyens pour connecter plusieurs appareils d'entrée/sortie à un élément contrôleur d'entrée/sortie comprennent au moins un bus.

16. Système de traitement de signaux, caractérisé en ce qu'il comprend plusieurs éléments ; lesdits plusieurs éléments comprenant un processeur de signaux, une mémoire de masse et un contrôleur d'entrée/sortie ; des moyens pour interconnecter lesdits plusieurs éléments de façon à former un système de traitement de signaux distribués ; des moyens pour interconnecter plusieurs desdits systèmes et pour connecter plusieurs des appareils de données d'entrée/sortie audit élément contrôleur d'entrée/sortie ; et des moyens situés dans un ou plusieurs desdits plusieurs éléments pour déterminer quel élément utilisera ledit moyen d'infraconnexion lorsque plus d'un élément essaye d'utiliser ledit moyen d'infraconnexion simultanément.

17. Système de traitement de signaux selon la revendication 16, caractérisé en ce qu'au moins un desdits éléments comprend des moyens pour détecter un élément défectueux.

18. Système de traitement de signaux selon la revendication 16, caractérisé en ce qu'au moins un desdits éléments comprend un moyen pour initialiser l'auto-dépannage dudit système.

19. Système de traitement de signaux selon la revendication 16, caractérisé en ce que ledit moyen pour inter-

connecter lesdits éléments comprend au moins un bus.

20. Système de traitement de signaux selon la revendication 16, caractérisé en ce que ledit moyen pour interconnecter les systèmes entre eux comprend au moins
5 un bus et en ce que ledit moyen pour connecter les appareils d'entrée/sortie, à un élément contrôleur d'entrée/sortie comprend au moins un bus.

21. Système de traitement de signaux selon la revendication 16, caractérisé en ce que ledit moyen pour
10 déterminer l'usage du moyen d'interconnexion comprend un appareil de distribution du bus.

22. Système de traitement de signaux, caractérisé en ce qu'il comprend plusieurs éléments ; lesdits plusieurs éléments comprenant un processeur de signaux,
15 une mémoire de masse et un contrôleur d'entrée/sortie, des moyens pour interconnecter lesdits plusieurs éléments de façon à former un système de traitement de signaux distribués ; des moyens pour interconnecter plusieurs systèmes entre eux et pour connecter plu-
20 sieurs appareils de données d'entrée/sortie à un élément contrôleur d'entrée/sortie ; des moyens disposés dans un ou plusieurs desdits éléments pour déterminer quel élément utilisera ledit moyen d'interconnexion
25 lorsque plus d'un élément essaie d'utiliser le moyen d'interconnexion simultanément ; et des moyens pour commander, gérer et reconfigurer lesdits plusieurs éléments comprenant dans un ou plusieurs desdits processeurs de signaux un système d'opération distribué.

23. Système de traitement de signaux selon la revendication 22, caractérisé en ce qu'au moins un des-
30 dits éléments comprend des moyens pour détecter un élément défectueux.

24. Système de traitement de signaux selon la revendication 22, caractérisé en ce qu'au moins un desdits éléments comprend un moyen pour initialiser l'autodépannage dudit système.

5 25. Système de traitement de signaux selon la revendication 22, caractérisé en ce que ledit moyen pour déterminer l'usage dudit moyen d'interconnexion comprend un appareil d'attribution du bus distribué.

26. Système de traitement de signaux selon la revendication 22, caractérisé en ce que ledit moyen pour interconnecter les éléments entre eux comprend plusieurs bus redondants.

27. Système de traitement de signaux selon la revendication 22, caractérisé en ce que lesdits plusieurs éléments comprennent plusieurs éléments redondants.

28. Système de traitement de signaux selon la revendication 22, caractérisé en ce que ladite reconfiguration des éléments comprend des moyens pour remplacer un élément défectueux par un élément de rechange.

20 29. Système de traitement de signaux selon la revendication 22, caractérisé en ce que ladite reconfiguration des éléments comprend des moyens pour changer l'adresse desdits éléments.

30 30. Système de traitement de signaux selon la revendication 22, caractérisé en ce que ledit système de traitement de signaux distribués comprend des moyens pour l'autodépannage ne nécessitant pas une redéfinition du système lorsque des éléments sont ajoutés ou retirés du système.

30 31. Système de traitement de signaux, caractérisé en ce qu'il comprend plusieurs éléments ; lesdits plusieurs éléments comprenant un processeur de signaux, une mémoire de masse et un contrôleur d'entrée/sortie ; des moyens

- pour interconnecter lesdits plusieurs éléments de façon à former un système de traitement de signaux autodépannable ne nécessitant pas la mise en oeuvre de modes de faute particuliers; des moyens pour interconnecter
- 5 plusieurs desdits systèmes et pour connecter plusieurs appareils de données d'entrée/sortie audit élément contrôleur d'entrée sortie ; des moyens disposés dans un ou plusieurs desdits éléments pour déterminer quel élément utilisera lesdits moyens d'interconnexion lorsque
- 10 plus d'un des éléments essaye d'utiliser les moyens d'interconnexion simultanément ; et des moyens pour commander, gérer et reconfigurer lesdits plusieurs éléments comprenant un système d'opération distribué dans un ou plusieurs desdits processeurs de signaux.
- 15 32. Système de traitement de signaux selon la revendication 31, caractérisé en ce que ledit système de traitement de signaux distribué comprend des moyens assurant l'autodépannage sans nécessiter une redéfinition du système lorsque des éléments sont ajoutés ou retranchés
- 20 dudit système.
33. Système de traitement de signaux, caractérisé en ce qu'il comprend plusieurs éléments ; lesdits plusieurs éléments comprenant un processeur de signal, une mémoire de masse et un contrôleur d'entrée/sortie ; des moyens pour
- 25 interconnecter lesdits plusieurs éléments de façon à former un système de traitement de signaux distribué ; des moyens pour interconnecter plusieurs desdits systèmes et pour connecter plusieurs appareils de données d'entrée/sortie à un élément contrôleur d'entrée/sortie ; des moyens
- 30 disposés dans un ou plusieurs desdits éléments pour déterminer quel élément utilisera lesdits moyens d'interconnexion lorsque plus d'un élément essaye d'utiliser lesdits moyens d'interconnexion simultanément ; et un système

- d'opération distribué dans un ou plusieurs des processeurs de signaux pour commander, gérer et reconfigurer les éléments comprenant un segment de niveau local dudit système d'opération distribué, DOS-0 pour exécuter la
- 5 gestion individuelle de processeurs de signaux pour contrôler les fautes et un segment de niveau système dudit système d'opération distribué, DOS-1, pour exécuter la gestion des tâches du système, le contrôle des fautes et la reconfiguration.
- 10 34. Système de traitement de signaux selon la revendication 33, caractérisé en ce que le segment de niveau local DOS-0, dudit système d'opération distribué comprend des mémoires ROM identiques situées dans chacun desdits processeurs de signaux.
- 15 35. Système de traitement de signaux selon la revendication 33, caractérisé en ce qu'au moins un desdits éléments comprend des moyens pour détecter un élément défectueux.
- 20 36. Système de traitement de signaux selon la revendication 33, caractérisé en ce qu'au moins un desdits éléments comprend des moyens pour initialiser l'auto-dépannage du système.
- 25 37. Système de traitement de signaux selon la revendication 33, caractérisé en ce que lesdits moyens de détermination de l'usage des moyens d'interconnexion comprennent un appareil d'affectation du bus distribué.
- 30 38. Système de traitement de signaux selon la revendication 33, caractérisé en ce que lesdits moyens pour interconnecter lesdits éléments comprennent plusieurs bus redondants.
39. Système de traitement de signaux selon la revendication 33, caractérisé en ce que lesdits plusieurs éléments comprennent des éléments redondants.

40. Système de traitement de signaux selon la revendication 33, caractérisé en ce que ladite reconfiguration des éléments entre eux comprend des moyens pour remplacer un élément défectueux par un élément de rechange.

5 41. Système de traitement de signaux selon la revendication 33, caractérisé en ce que ladite reconfiguration des éléments entre eux comprend des moyens pour changer l'adresse desdits éléments.

10 42. Système de traitement de signaux selon la revendication 33, caractérisé en ce que le système de traitement de signaux distribué comprend des moyens pour l'auto-dépannage ne nécessitant pas une redéfinition du système lorsque les éléments sont ajoutés ou retranchés dudit système.

15 43. Système de traitement de signaux, caractérisé en ce qu'il comprend plusieurs éléments ; lesdits plusieurs éléments comprenant un processeur de signaux, une mémoire de masse et un contrôleur d'entrée-sortie ; des moyens pour interconnecter lesdits plusieurs éléments de façon
20 à former un système de traitement de signaux distribué ; des moyens pour interconnecter plusieurs desdits systèmes et pour connecter plusieurs appareils de données d'entrée-sortie audit élément contrôleur d'entrée-sortie ; des moyens situés dans un ou plusieurs des éléments pour dé-
25 terminer quel élément utilisera lesdits moyens d'interconnexion lorsque plus d'un élément essaye d'utiliser lesdits moyens d'interconnexion simultanément ; des moyens pour commander, gérer et reconfigurer lesdits éléments comprenant un système d'opération distribué dans un
30 ou plusieurs desdits processeurs de signaux ; et des moyens pour exécuter la multiplication et l'addition d'opérations simultanément dans l'unité arithmétique à l'intérieur d'un cycle d'horloge desdits processeurs de signaux.

44. Système de traitement de signaux, caractérisé en ce qu'il comprend plusieurs éléments ; lesdits plusieurs éléments comprenant un processeur de signaux, une mémoire de masse et un contrôleur d'entrée/sortie ; des moyens
5 pour interconnecter lesdits plusieurs éléments de façon à former un système de traitement de signaux distribué ; des moyens pour interconnecter plusieurs desdits systèmes et pour connecter plusieurs appareils de données d'entrée/sortie audit élément contrôleur d'entrée/sortie ; des moyens situés dans un ou plusieurs desdits
10 éléments pour déterminer quel élément utilisera lesdits moyens d'interconnexion lorsque plus d'un élément essaie d'utiliser lesdits moyens d'interconnexion simultanément ; un système d'opération distribué situé
15 dans un ou plusieurs processeurs de signaux pour commander, gérer et reconfigurer lesdits plusieurs éléments comprenant un segment de niveau local dudit système d'exploitation distribué, DOS-0, pour exécuter la gestion individuelle de processeur de signaux et
20 contrôler les fautes, et un segment de niveau système dudit système d'exploitation distribué, DOS-1, pour exécuter la gestion des tâches du système, contrôler les fautes et reconfigurer ; et des moyens pour assurer la communication entre un programme d'application
25 et le segment de niveau local, DOS-0, dudit système d'exploitation distribué, pour exécuter la multiplication de deux matrices complexes, pour exécuter la détection d'une cible, la mise à jour d'une organisation de mémoire et pour gérer les ressources d'un processeur
30 de signaux privilégiés, comprenant des moyens pour mémoriser des instructions OPERATE.

45. Procédé pour déterminer quel élément processeur de signaux devient l'exécutant contenant le segment du niveau système du système d'exploitation distribué, DOS-1,
35 caractérisé en ce qu'il consiste à effectuer les étapes sui-

vantes : exécuter les programmes d'autotests situés dans le segment de niveau local, DOS-0, du système d'exploitation distribué chaque élément processeur de signaux lorsque l'alimentation est appliquée, envoyer
5 un message " prêt et demande d'exécution " d'un processeur de signaux vers une mémoire de masse après que l'exécution des programmes d'autotests se soit terminée avec succès ; exécuter la gestion du bus si deux ou plusieurs processeurs de signaux essayent d'utiliser le
10 bus simultanément pour envoyer le message " prêt et demande d'exécution " ; et prévenir plus d'un processeur de signaux de l'obtention d'un programme d'exécution, DOS-1 du système d'exploitation distribué, en changeant l'adresse de ladite mémoire de masse aussitôt que la
15 mémoire de masse reçoit le premier message " prêt et demande d'exécution " résultant dans les autres processeurs de signaux d'un état vacant jusqu'à ce qu'une tâche lui soit assignée par le DOS-1.

46. Système de traitement de signaux, caractérisé en ce
20 qu'il comprend plusieurs éléments ; lesdits plusieurs éléments comprenant un processeur de signaux, une mémoire de masse et un contrôleur d'entrée-sortie ; des moyens pour interconnecter lesdits plusieurs éléments de façon à former un système de traitement de signaux distribué ; plusieurs
25 systèmes de traitement de signaux distribués comprenant des moyens d'interconnexion pour former un réseau; et des moyens pour assurer la communication entre lesdits systèmes à l'aide d'au moins deux bus séparés et en ce que lesdits plusieurs systèmes comprennent des moyens situés dans au
30 moins un élément pour initialiser un autodépannage dudit dispositif.

47. Système de traitement de signaux, caractérisé en ce qu'il comprend plusieurs systèmes de traitement distribués,

des moyens pour interconnecter lesdits systèmes de façon à former un réseau et pour fournir au moins deux voies de communication vers chaque système à partir d'éléments contrôleurs d'entrée/sortie séparés ; des
5 moyens pour communiquer directement entre un premier et un second système ; des moyens pour communiquer entre un premier système et un troisième système comprenant des moyens pour envoyer l'information à travers un second système ; et des moyens pour communiquer avec
10 les appareils d'entrée/sortie par au moins deux voies de communication.

48. Système de traitement de signaux, caractérisé en ce qu'il comprend plusieurs systèmes de traitement de signaux distribués ; des moyens pour interconnecter
15 lesdits systèmes de façon à former un réseau et pour fournir au moins deux voies de communication vers chaque système à partir d'éléments contrôleurs d'entrée/sortie séparés ; des moyens pour communiquer directement entre un premier et un second système ; des moyens pour
20 communiquer entre un premier système et un troisième système pour envoyer l'information au travers d'un second système ; des moyens pour communiquer avec des appareils d'entrée/sortie par au moins deux voies de communication et des moyens pour contrôler, gérer et reconfigurer lesdits dispositifs comprenant une commande d'exécution dans au moins un système.
25

49. Système de traitement de signaux selon la revendication 48, caractérisé en ce que le système d'exploitation distribué situé dans lesdits systèmes comprend
30 ladite commande d'exécution dans ledit premier système.

50. Système de traitement de signaux selon la revendication 48, caractérisé en ce que les éléments à l'intérieur desdits systèmes comprennent des moyens de reconfiguration par changement de l'adresse desdits éléments
35 et par changement de l'élément défectueux par un élément de rechange.

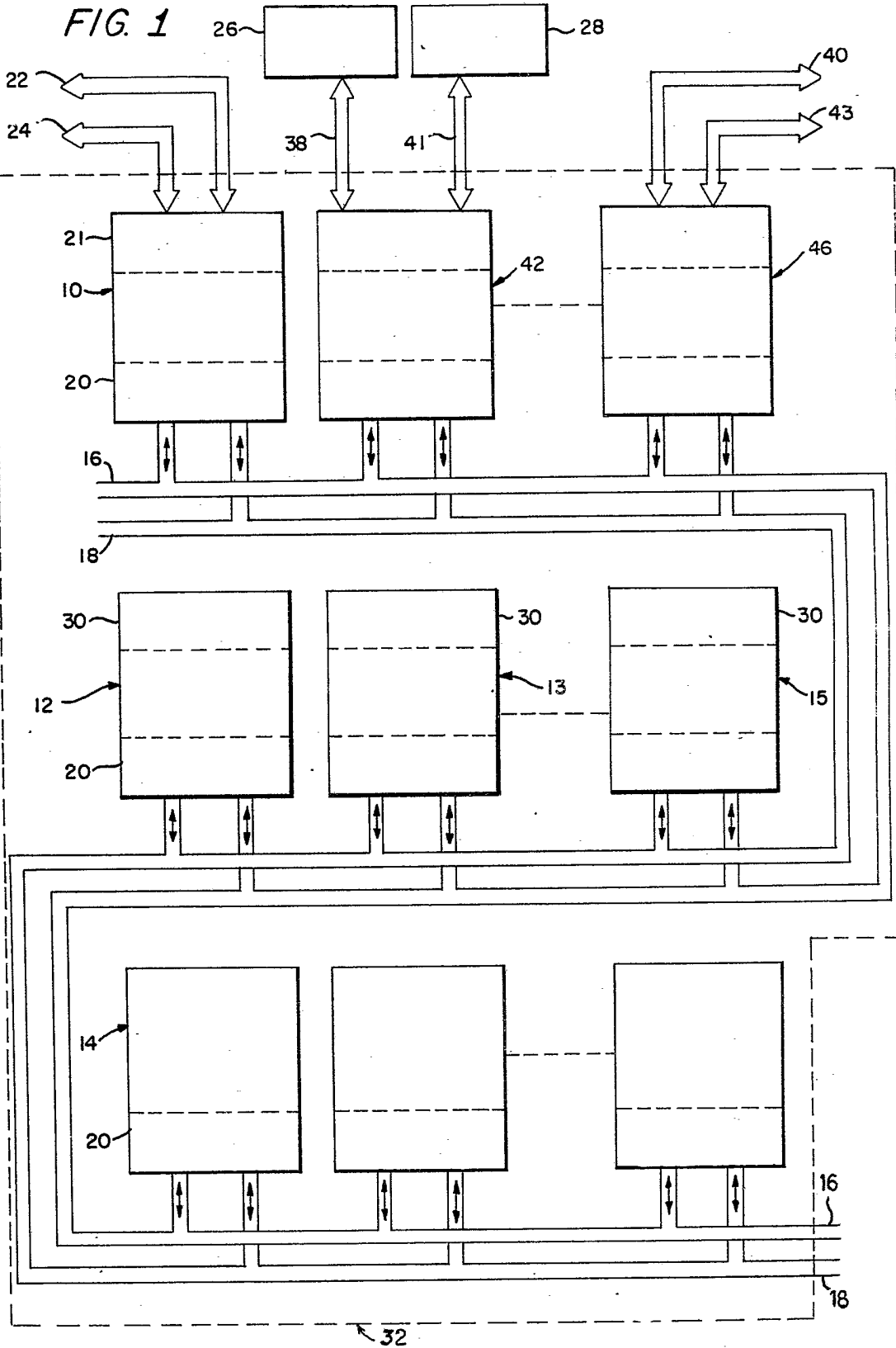
51. Système de traitement de signaux, caractérisé en ce qu'il comprend plusieurs éléments interconnectés par un bus commun ; chacun desdits éléments comprenant un moyen d'arbitrage du bus pour déterminer la priorité d'un
5 élément relativement à un autre élément lorsque plus d'un élément essaye d'utiliser ledit bus simultanément ; et en ce que lesdits moyens d'attribution du bus comprennent des moyens pour décoder des codes composites de plusieurs éléments d'arbitrage placés simultanément sur ledit bus
10 pour déterminer l'élément de priorité la plus haute qui utilisera le bus en premier.

52. Système de traitement de signaux selon la revendication 51, caractérisé en ce que ledit moyen de décodage du code d'arbitrage de l'élément composite comprend une
15 logique pour délivrer des signaux à l'intérieur de chaque élément pour indiquer le moment où ledit élément gagne ou perd l'usage dudit bus.

53. Système de traitement de signaux, caractérisé en ce qu'il comprend plusieurs éléments interconnectés à
20 l'aide d'un bus commun , chacun desdits éléments comprenant des moyens d'arbitrage du bus pour déterminer la priorité d'un élément relativement à un autre élément lorsque plus d'un élément essaye d'utiliser ledit bus simultanément ; les moyens d'arbitrage du bus comprenant en plus des moyens
25 pour décoder des codes d'arbitrage d'éléments composites placés sur ledit bus pour déterminer l'élément de plus haute priorité qui utilisera ledit bus en premier , des moyens pour mémoriser l'adresse d'un élément dans chaque élément , et des moyens pour délivrer un code d'arbitrage
30 d'élément dans chaque élément pour le transfert vers ledit bus.

54. Système de traitement de signaux selon la revendication 53, caractérisé en ce que les moyens de décodage

du code d'arbitrage d'éléments composites comprennent une logique pour délivrer des signaux à l'intérieur de chaque élément pour indiquer l'instant où ledit élément gagne ou perd l'usage dudit bus.



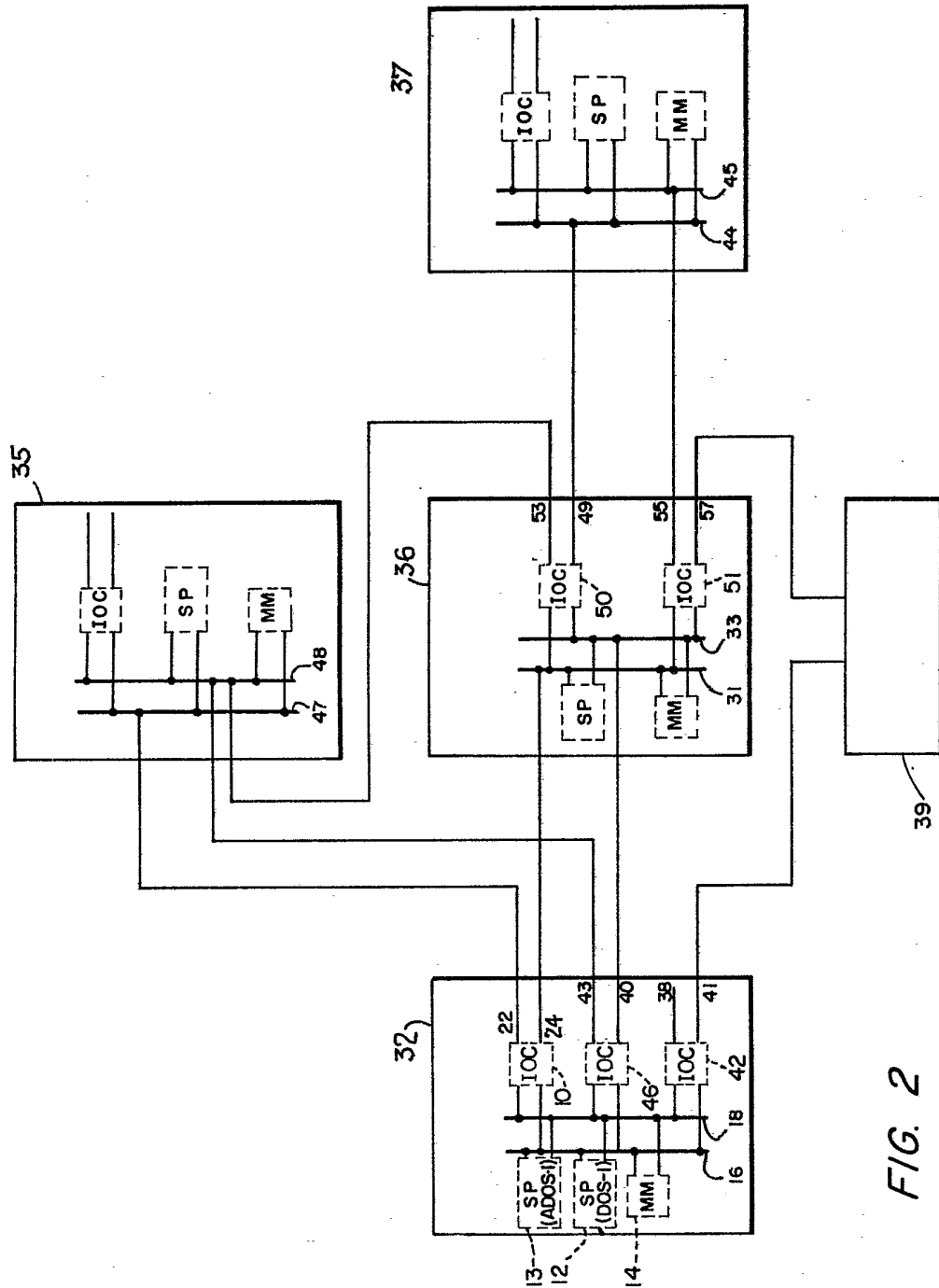


FIG. 2

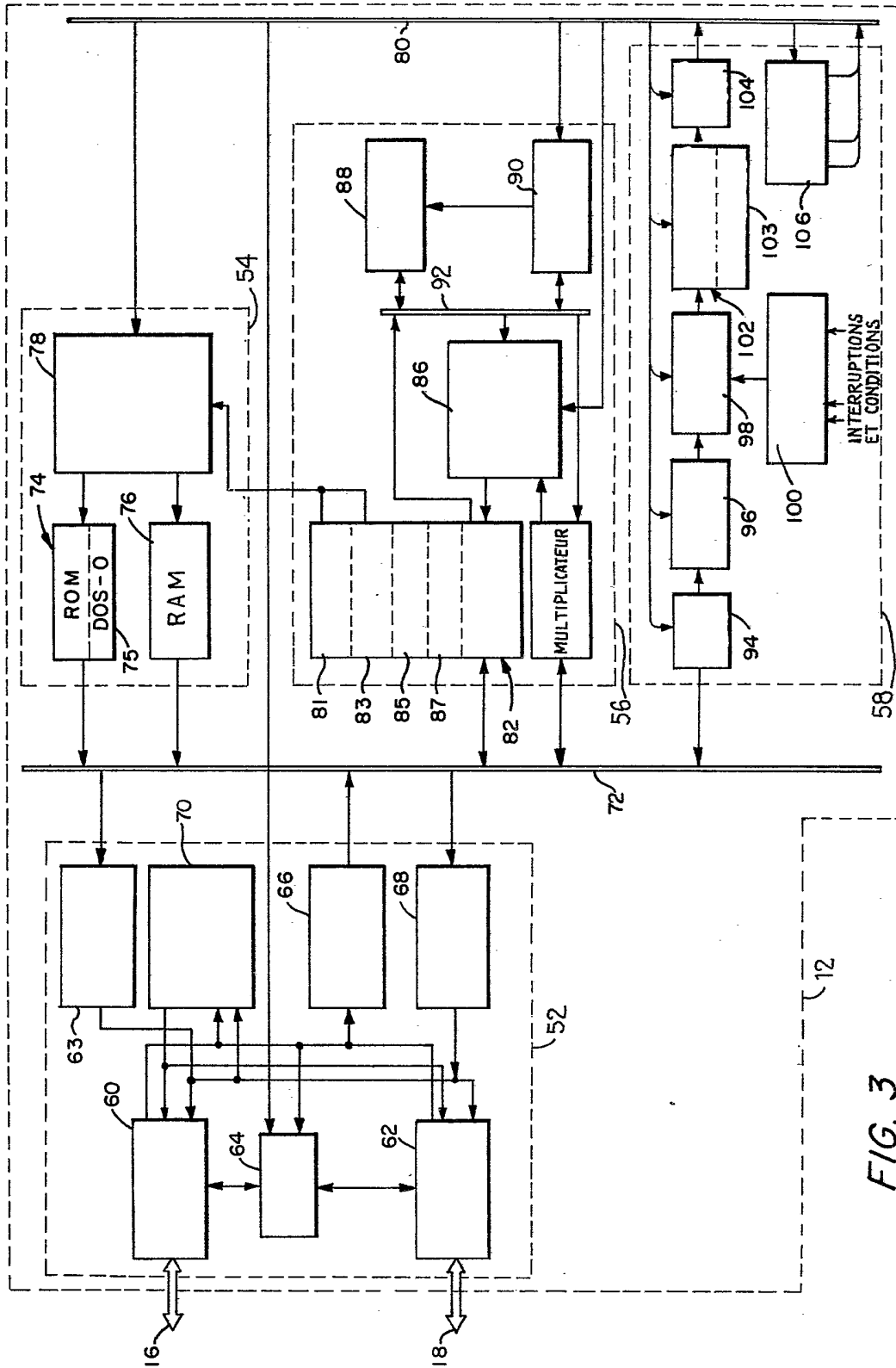


FIG. 3

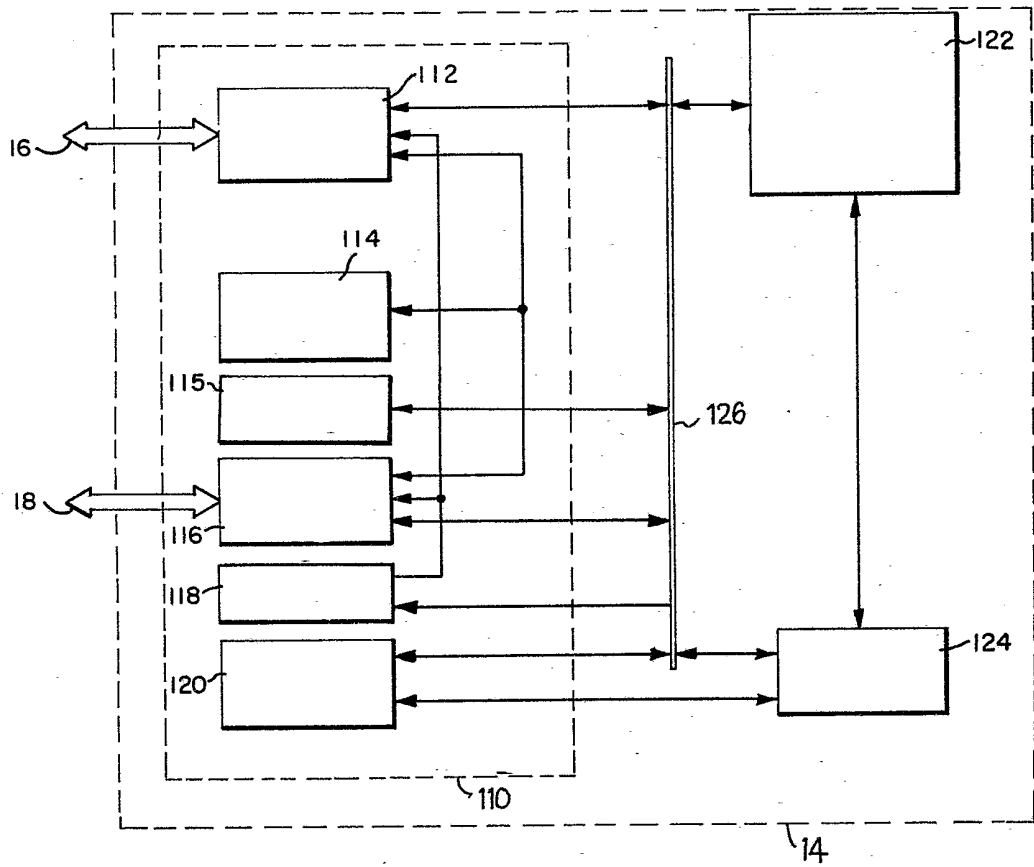


FIG. 4

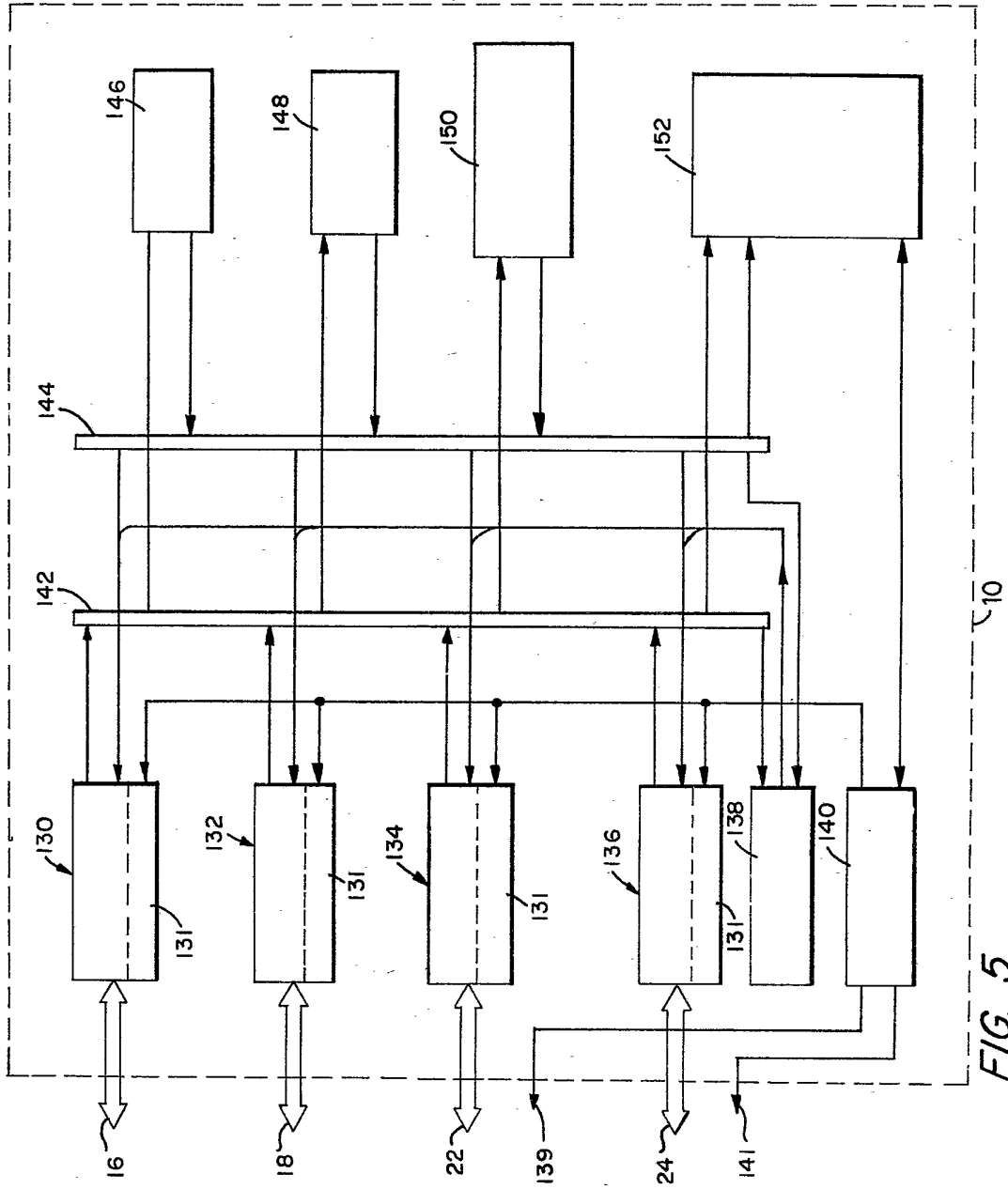


FIG. 5

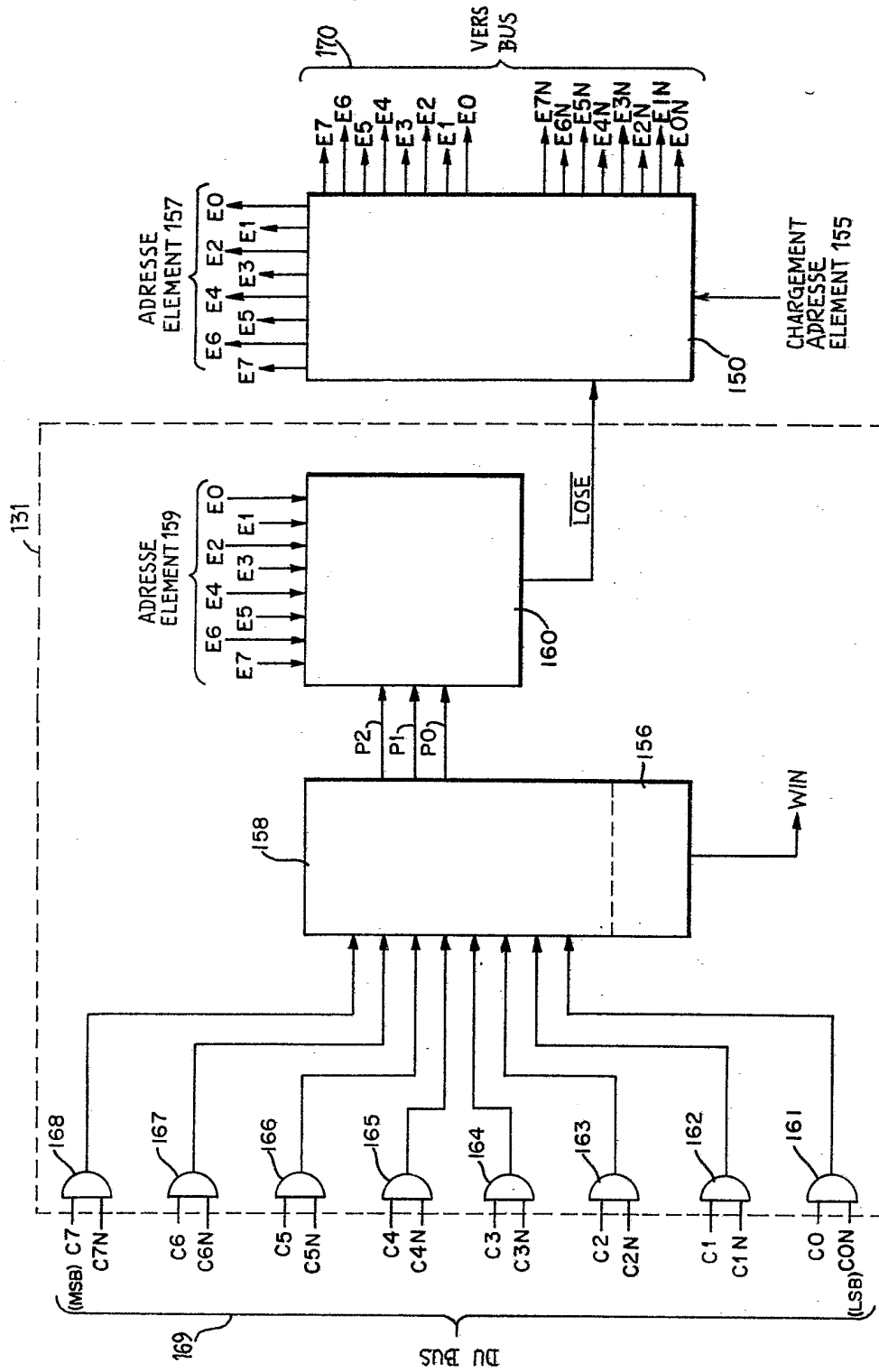


FIG. 6

